

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4024166号
(P4024166)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int. Cl.	F I
G 1 1 C 11/22 (2006.01)	G 1 1 C 11/22 5 0 1 P
H O 1 L 27/10 (2006.01)	G 1 1 C 11/22 5 0 1 H
H O 1 L 21/8246 (2006.01)	H O 1 L 27/10 4 8 1
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 4 Z
	H O 1 L 27/10 4 4 4 A

請求項の数 8 (全 46 頁)

(21) 出願番号	特願2003-57179 (P2003-57179)	(73) 特許権者	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成15年3月4日(2003.3.4)	(74) 代理人	100104433 弁理士 宮園 博一
(65) 公開番号	特開2004-47045 (P2004-47045A)	(72) 発明者	境 直史 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(43) 公開日	平成16年2月12日(2004.2.12)	審査官	加藤 俊哉
審査請求日	平成17年4月1日(2005.4.1)	(56) 参考文献	特開平09-116107 (JP, A) 特開平10-162587 (JP, A) 特開平06-077434 (JP, A)
(31) 優先権主張番号	特願2002-77430 (P2002-77430)		
(32) 優先日	平成14年3月20日(2002.3.20)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願2002-136411 (P2002-136411)		
(32) 優先日	平成14年5月13日(2002.5.13)		
(33) 優先権主張国	日本国(JP)		
早期審査対象出願			最終頁に続く

(54) 【発明の名称】 強誘電体メモリ

(57) 【特許請求の範囲】

【請求項1】

ビット線と、

前記ビット線と交差するように配置されたワード線と、

前記ビット線と前記ワード線との間に接続された第1記憶手段を有する単純マトリックス方式の第1メモリセルとを備え、

前記第1記憶手段は、強誘電体膜を含み、

読み出し動作から、読み出したデータの再書き込み動作までを通じて、前記第1メモリセルに、第1の方向の電界を与える第1電圧パルスと、前記第1の方向と逆方向の電界を与える第2電圧パルスとを、それぞれ、同じ回数ずつ印加するとともに、前記読み出し動作により読み出されたデータが第1データの場合と第2データの場合とで、前記第1メモリセルに前記第1電圧パルスおよび前記第2電圧パルスを印加するための手法を変更し、

前記読み出し動作により読み出されたデータが第1データの場合には、前記読み出し動作後に1回以上の第1の回数再書き込み動作を行い、前記読み出し動作により読み出されたデータが第2データの場合には、前記読み出し動作後に前記第1の回数とは異なる1回以上の第2の回数再書き込み動作を行う、強誘電体メモリ。

【請求項2】

ビット線と、

前記ビット線と交差するように配置されたワード線と、

前記ビット線と前記ワード線との間に接続された第1記憶手段を有するFET型の第1

10

20

メモリセルとを備え、

前記第 1 記憶手段は、強誘電体膜を含み、

読み出し動作から、読み出したデータの再書き込み動作までを通じて、前記第 1 メモリセルに、第 1 の方向の電界を与える第 1 電圧パルスと、前記第 1 の方向と逆方向の電界を与える第 2 電圧パルスとを、それぞれ、同じ回数ずつ印加するとともに、前記読み出し動作により読み出されたデータが第 1 データの場合と第 2 データの場合とで、前記第 1 メモリセルに前記第 1 電圧パルスおよび前記第 2 電圧パルスを印加するための手法を変更し、

前記読み出し動作により読み出されたデータが第 1 データの場合には、前記読み出し動作後に 1 回以上の第 1 の回数再書き込み動作を行い、前記読み出し動作により読み出されたデータが第 2 データの場合には、前記読み出し動作後に前記第 1 の回数とは異なる 1 回以上の第 2 の回数再書き込み動作を行う、強誘電体メモリ。

10

【請求項 3】

前記第 1 電圧パルスおよび前記第 2 電圧パルスが印加される前記第 1 メモリセルは、選択されたビット線と選択されたワード線とに繋がる選択された第 1 メモリセルと、選択された第 1 メモリセル以外の非選択の第 1 メモリセルとを含む、請求項 1 または 2 に記載の強誘電体メモリ。

【請求項 4】

前記読み出し動作により読み出されたデータが第 2 データの場合、前記読み出し動作、2 回の第 1 データの再書き込み動作、および、第 2 データの再書き込み動作を行う、請求項 1 ~ 3 のいずれか 1 項に記載の強誘電体メモリ。

20

【請求項 5】

前記ワード線と前記ビット線とを実質的に同じ電位にした後に、前記読み出し動作を開始する、請求項 1 ~ 4 のいずれか 1 項に記載の強誘電体メモリ。

【請求項 6】

前記読み出し動作により読み出したデータと比較するための参照データを出力する第 2 記憶手段を有する第 2 メモリセルをさらに備え、

読み出し動作から、読み出したデータの再書き込み動作までを通じて、前記第 2 メモリセルに、第 1 の方向の電界を与える第 1 電圧パルスと、前記第 1 の方向と逆方向の電界を与える第 2 電圧パルスとを、それぞれ、同じ回数ずつ印加するとともに、前記読み出し動作により読み出されたデータが第 1 データの場合と第 2 データの場合とで、前記第 2 メモリセルに前記第 1 電圧パルスおよび前記第 2 電圧パルスを印加するための手法を変更する、請求項 1 ~ 5 のいずれか 1 項に記載の強誘電体メモリ。

30

【請求項 7】

書き込み動作時に、選択された第 1 メモリセルに書き込むべきデータと逆のデータを書き込んだ後、書き込むべきデータを書き込む、請求項 1 ~ 6 のいずれか 1 項に記載の強誘電体メモリ。

【請求項 8】

前記第 1 メモリセルは、選択された前記ビット線と選択された前記ワード線とに繋がる選択された第 1 メモリセルと、前記選択された第 1 メモリセル以外の非選択の第 1 メモリセルとを含み、

40

前記読み出し動作では、少なくとも 1 つの前記選択された第 1 メモリセルに対して、前記第 1 メモリセルの記憶データを反転させる方向である第 1 の方向の電界を与える第 1 選択電圧パルスと、前記第 1 メモリセルの記憶データを反転させない方向である前記第 1 の方向と逆方向の電界を与える第 2 選択電圧パルスとのいずれか一方を印加し、前記非選択の第 1 メモリセルに対して、前記第 1 メモリセルの記憶データを反転させる方向である第 1 の方向の電界を与える第 1 非選択電圧パルスと、前記第 1 メモリセルの記憶データを反転させない方向である前記第 1 の方向と逆方向の電界を与える第 2 非選択電圧パルスとの少なくとも一方を印加し、

前記再書き込み動作では、前記非選択の第 1 メモリセルに対して、前記第 1 非選択電圧パルスと、前記第 2 非選択電圧パルスとを印加する、請求項 1 ~ 7 のいずれか 1 項に記載

50

の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、メモリに関する。

【0002】

【従来の技術】

従来、半導体メモリとして、揮発性メモリと不揮発性メモリとが知られている。また、揮発性メモリとしては、DRAM (Dynamic Random Access Memory) が知られており、不揮発性メモリとしては、フラッシュEEPROM (Electrically Erasable and Programmable Read Only Memory) が知られている。DRAMおよびフラッシュEEPROMは、高集積化が可能であるため、幅広く使用されている。

10

【0003】

図58は、従来のDRAMのメモリセルの構成を示した等価回路図である。また、図59は、従来のDRAMに用いられるトレンチ型キャパシタの構造を示した断面図である。まず、図58を参照して、従来の揮発性メモリとしてのDRAMのメモリセル103は、1つの選択トランジスタ101と、1つのキャパシタ102とによって構成されている。そして、メモリセルの情報は、電荷としてキャパシタ102に蓄えられる。メモリセルの情報を読み出すときは、ワード線WLが立ち上がることによって、選択トランジスタ101がオン状態となる。これにより、セル容量 C_{cell} とビット線容量 C_{bl} とが容量結合する。これにより、メモリセルに蓄えられていた電荷量によって、ビット線電位が決まるので、その電位を読み出すことができる。

20

【0004】

上記のような構成を有する従来のDRAMのメモリセルにおいて、微細化された場合にもキャパシタ102のセル容量 C_{cell} を確保するために、図59に示すように、キャパシタ102を構成する上部電極102aおよび下部電極102cならびに誘電体膜102bを縦方向に延ばしたトレンチ型キャパシタが用いられている。しかしながら、さらに微細化が進むと、図59に示したトレンチ型キャパシタを用いてもキャパシタ102の容量を確保することが困難になってきている。すなわち、デザインルールの縮小によるDRAMの高集積化は、限界に近づいてきている。

30

【0005】

また、不揮発性メモリとしてのフラッシュEEPROM (以下、フラッシュメモリという) では、スタック型およびスプリットゲート型などのCHE (チャネルホットエレクトロン) 書き込み方式のメモリセルは、チャネル長の微細化に限界がある。また、NAND型などのFN (ファウラーノルドハイム) 書き込み方式のメモリセルでは、微細化の限界は、ロジックトランジスタと同等である。しかし、フラッシュメモリの動作には、15V ~ 20Vの高電圧が必要であり、ロジックトランジスタの低電源電圧化が進むと、その低電源電圧から15V ~ 20Vの高電圧を生成する際の生成効率が低下する。このため、電力消費が増大するとともにチャージポンプ部の面積も大きくなるので、微細化の妨げになるという問題がある。

40

【0006】

一方、近年注目されている不揮発性メモリの1つとして、強誘電体メモリが知られている (たとえば、特許文献1)。この強誘電体メモリは、強誘電体の分極方向による擬似的な容量変化をメモリ素子として利用するメモリである。この強誘電体メモリは、原理的に、高速かつ低電圧でデータ書き換えが可能であるので、高速および低電圧というDRAMの利点と、不揮発性というフラッシュメモリの利点とを兼ね備えた理想のメモリとして脚光を浴びている。

【0007】

強誘電体メモリのメモリセル方式は、1トランジスタ1キャパシタ方式、単純マトリッ

50

クス方式および1トランジスタ方式の3種類に大きく分類される。図60は、1トランジスタ1キャパシタ方式の強誘電体メモリのメモリセルを示した等価回路図である。また、図61は、単純マトリクス方式の強誘電体メモリのメモリセルアレイを示した等価回路図である。図62は、単純マトリクス方式の強誘電体メモリの動作を説明するためのヒステリシス図であり、図63は、単純マトリクス方式の強誘電体メモリにおけるディスタート現象を説明するためのヒステリシス図である。また、図64は、1トランジスタ方式の強誘電体メモリのメモリセルを示した等価回路図であり、図65は、1トランジスタ方式の強誘電体メモリの動作を説明するためのヒステリシス図である。また、図66は、図64に示した1トランジスタ方式の強誘電体メモリの書き込み時における電圧印加状態を説明するための等価回路図であり、図67は、図64に示した1トランジスタ方式の強誘電体メモリのスタンバイ時における電圧印加状態を説明するための等価回路図である。

10

【0008】

まず、図60に示すように、1トランジスタ1キャパシタ方式の強誘電体メモリのメモリセル113は、DRAMと同様、1つの選択トランジスタ111と1つの強誘電体キャパシタ112とによって構成されている。DRAMと異なる点は、キャパシタが強誘電体キャパシタ112である点である。動作としては、ワード線WLが立ち上がることによって選択トランジスタ111がオン状態になる。これにより、強誘電体キャパシタ112のキャパシタ容量 C_{cell} とビット線容量 C_{bl} とが接続される。次に、プレート線PLがパルス駆動されることによって、強誘電体キャパシタ112の分極方向によって異なる電荷量がビット線BLに送られる。そして、DRAMの場合と同様、ビット線BLの電圧として、データが読み出される。

20

【0009】

この1トランジスタ1キャパシタ方式の強誘電体メモリでは、DRAMと同様の構成を有するため、強誘電体キャパシタ112の微細化に限界がある。このため、DRAMと同様、高集積化には限界がある。

【0010】

次に、図61～図63を参照して、単純マトリクス方式の強誘電体メモリについて説明する。単純マトリクス方式の強誘電体メモリのメモリセル121は、図61に示すように、互いに交差する方向に延びるように形成されたワード線WLおよびビット線BLと、ワード線WLおよびビット線BLの間に配置された強誘電体膜(図示せず)とからなる強誘電体キャパシタ122により構成されている。強誘電体キャパシタ122の一端は、ワード線WLに接続されており、強誘電体キャパシタ122の他端は、ビット線BLに接続されている。この単純マトリクス方式の強誘電体メモリでは、ビット線BLと強誘電体キャパシタ122との容量結合による電位を読み出すので、DRAMと同様に、容量の確保が必要である。ただし、この単純マトリクス方式の強誘電体メモリでは、強誘電体キャパシタ122のみによってメモリセル121が構成されており、選択トランジスタが存在しないため、1トランジスタ1キャパシタ方式よりも集積度を高めることができる。

30

【0011】

ここで、この単純マトリクス方式の強誘電体メモリの動作を図61および図62を参照して説明する。なお、読み出し/書き込み時に各セルに印加される電圧を以下の表1に示す。

40

【0012】

【表1】

	スタンバイ	読出し	書込み「1」	書込み「0」
選択WL	1/2 Vcc	Vcc	0	Vcc
非選択WL	1/2 Vcc	1/3 Vcc	2/3 Vcc	1/3 Vcc
選択BL	1/2 Vcc	0→フローティング	Vcc	0
非選択BL	1/2 Vcc	2/3 Vcc	1/3 Vcc	2/3 Vcc

50

書き込み動作としては、スタンバイ状態では、強誘電体キャパシタ 1 2 2 の両端は同一電位となっている。データ「0」を書き込むときには、ワード線 W L に V c c を印加するとともに、ビット線 B L に 0 V を印加する。この時、強誘電体キャパシタ 1 2 2 には、V c c の電圧が印加される。これにより、図 6 2 に示した A 点に移る。その後、強誘電体キャパシタ 1 2 2 の両端を同一電位にすると、図 6 2 に示す「0」に遷移する。データ「1」を書き込むときには、ワード線 W L に 0 V を印加するとともに、ビット線 B L に V c c を印加する。この時、強誘電体キャパシタ 1 2 2 には、- V c c の電圧が印加される。これにより、図 6 2 の B 点に移る。この後、強誘電体キャパシタ 1 2 2 の両端を同一電位にすると、図 6 2 に示す「1」に遷移する。

【0013】

また、読み出し動作としては、まず、ビット線 B L を 0 V にプリチャージする。次に、ワード線 W L を V c c に立ち上げる。この電圧 V c c は、強誘電体キャパシタ 1 2 2 の容量 C F E、ビット線 B L の寄生容量を C B L とすると、C F E と C B L とで容量分割される。強誘電体キャパシタ 1 2 2 の容量 C F E は、保持されているデータによって、C 0 または C 1 として近似することができる。そのため、ビット線 B L の電位は以下の式 (1) および式 (2) によって表される。

【0014】

$$V 0 = \{ C 0 / (C 0 + C B L) \} \times V c c \quad \dots \dots (1)$$

$$V 1 = \{ C 1 / (C 1 + C B L) \} \times V c c \quad \dots \dots (2)$$

上記式 (1) は、データ「0」が保持されているときのビット線 B L の電位 V 0 を示しており、上記式 (2) は、データ「1」が保持されているときのビット B L の電位 V 1 を示している。

【0015】

上記式 (1) のビット線電位 V 0 と上記式 (2) によるビット線電位 V 1 との電位差をリードアップによって判別することによりデータの読み出しを行う。このデータの読み出し時に、メモリセルのデータは破壊されるので、データの読み出し後に、読み出しデータに応じた書き込み動作 (リストア) を行う。

【0016】

なお、単純マトリックス方式の強誘電体メモリには、非選択セルのデータが消えるディスタurbという不都合がある。すなわち、全ての非選択のメモリセルには、書き込み時および読み出し時に、1 / 3 V c c の電圧が印加されることになる。したがって、図 6 3 に示すように、強誘電体の持つヒステリシス特性によって、分極量が減少していき、その結果、データが消えてしまう。

【0017】

次に、図 6 4 ~ 図 6 7 を参照して、1トランジスタ方式の強誘電体メモリについて説明する。1トランジスタ方式の強誘電体メモリのメモリセル 1 3 1 は、図 6 4 に示すように、M O S トランジスタ 1 3 3 のゲートに、強誘電体キャパシタ 1 3 2 を接続した構成を有する。また、この1トランジスタ方式の強誘電体メモリでは、強誘電体キャパシタ 1 3 2 の一端は、ワード線 W L に接続されており、強誘電体キャパシタ 1 3 2 の他端は、セルトランジスタを構成する M O S トランジスタ 1 3 3 のゲートに接続されている。この1トランジスタ方式の強誘電体メモリでは、強誘電体キャパシタ 1 3 2 の分極方向によって、M O S トランジスタ 1 3 3 のしきい値電圧が変化するので、メモリセル電流が変化する。このメモリセル電流の変化を判別することによって、データが読み出される。この1トランジスタ方式の強誘電体メモリでは、メモリセル電流を検出することによりデータの読み出しが行われるので、図 6 0 に示した1トランジスタ1キャパシタ方式の強誘電体メモリのように、ビット線容量を考慮して強誘電体キャパシタのキャパシタ容量をある程度大きくする必要がない。このため、強誘電体キャパシタ 1 3 2 を小さくすることができるので、微細化に適している。

【0018】

以下、1トランジスタ方式の強誘電体メモリの動作について説明する。まず、スタンバ

10

20

30

40

50

イ状態では、全てのワード線WL、ビット線BLおよびソース線SLは0Vとなっている。書き込み動作としては、データ「0」を書き込む際には、ワード線WLにVpp（昇圧電圧）を印加する。この時、強誘電体キャパシタ132には、MOSトランジスタ133のゲート容量と容量分割された電位Vccが印加される。これにより、初期状態であるにもかかわらず、図65に示した点Aに移る。その後、ワード線WLを0Vに戻すと、図65に示したデータ「0」に遷移する。データ「1」を書き込む際には、ワード線WLに0V、ビット線BLにVppを印加する。この場合、強誘電体キャパシタ132には、-Vccの電圧が印加される。これにより、図65に示したB点に移る。その後、ビット線BLを0Vに戻すと、図65に示したデータ「1」に遷移する。

【0019】

10

1トランジスタ方式の強誘電体メモリの読み出し動作の際には、ワード線WLを分極反転しない程度の電圧Vrに立ち上げることにより行う。これにより、セルトランジスタ（MOSトランジスタ）133のゲート電圧が書き込み状態によって変化する。そして、セルトランジスタ133のゲート電圧の変化によってセルトランジスタ133を流れる電流が異なるので、その電流差をビット線BLを通じて読み出す。すなわち、1トランジスタ方式の強誘電体メモリでは、強誘電体キャパシタとビット線容量との容量結合による電位差ではなく、セルトランジスタの電流を読み出せばよいので、読み出し時の分極反転は必要ない。このため、非破壊読み出しが可能である。

【0020】

20

ただし、この1トランジスタ方式の強誘電体メモリでは、上記した単純マトリクス方式の強誘電体メモリと同様、非選択セルのディスタープの問題がある。また、強誘電体キャパシタ132への逆バイアス状態が続くことに起因して、データが変化するいわゆる逆バイアスリテンションという問題もある。すなわち、データの書き込み時に、図66に示すように、ワード線WLにVppを印加することによってデータを書き込んだ後、スタンバイ状態に戻ると、図67に示すように、分極とは逆方向の電位が掛かり続ける。このため、データの保持時間が短くなるという問題がある。

【0021】

【特許文献1】

特開2001-210795号公報

【発明が解決しようとする課題】

30

上記のように、従来のDRAMおよびフラッシュメモリの微細化は困難になってきているため、より高集積化が可能なメモリセル方式が求められている。その一方、強誘電体メモリの1トランジスタ方式および単純マトリクス方式は高集積化が可能である反面、上記したような非選択セルのデータが消えるディスタープ現象や逆バイアス状態が続くことに起因してデータが変化する逆バイアスリテンションなどの問題があった。このため、従来の1トランジスタ方式および単純マトリクス方式の強誘電体メモリの実用化は困難であるという問題点があった。

【0022】

この発明は上記のような課題を解決するためになされたものであり、この発明の1つの目的は、非選択セルのデータが消えるディスタープ現象を抑制することが可能なメモリを提供することである。

40

【0023】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1の局面による強誘電体メモリは、ビット線と、ビット線と交差するように配置されたワード線と、ビット線とワード線との間に接続された第1記憶手段とを備え、第1記憶手段は、強誘電体膜を含み、読み出し動作から、読み出したデータの再書き込み動作までを通じて、第1記憶手段に、第1の方向の電界を与える第1電圧パルスと、第1の方向と逆方向の電界を与える第2電圧パルスとを、それぞれ、同じ回数ずつ印加するとともに、読み出し動作により読み出されたデータが第1データの場合と第2データの場合とで、第1記憶手段に第1電圧パルスおよび第2電圧パル

50

スを印加するための手法を変更する。

【0024】

この第1の局面による強誘電体メモリでは、上記のように、読み出し動作から、読み出したデータの再書き込み動作までを通じて、非選択の第1記憶手段に、互いに逆方向の第1電圧パルスおよび第2電圧パルスを同じ回数ずつ印加することによって、非選択セルの第1記憶手段においてディスタープによる分極劣化が打ち消されるので、非選択セルのディスタープ現象を抑制することができる。また、読み出し動作により読み出されたデータが第1データの場合と第2データの場合とで、第1記憶手段に第1電圧パルスおよび第2電圧パルスを印加するための手法を変更することによって、データが第1データの場合と第2データの場合とでそれぞれ別個に、必要な回数分だけ非選択の第1記憶手段に互いに逆方向の電圧を同じ回数ずつ印加することができる。

10

【0025】

この発明の第2の局面による強誘電体メモリは、ビット線と、ビット線と交差するように配置されたワード線と、ビット線と前記ワード線との間に接続された第1記憶手段を有するFET型の第1メモリセルとを備え、第1記憶手段は、強誘電体膜を含み、読み出し動作から、読み出したデータの再書き込み動作までを通じて、第1メモリセルに、第1の方向の電界を与える第1電圧パルスと、第1の方向と逆方向の電界を与える第2電圧パルスとを、それぞれ、同じ回数ずつ印加するとともに、読み出し動作により読み出されたデータが第1データの場合と第2データの場合とで、第1メモリセルに第1電圧パルスおよび第2電圧パルスを印加するための手法を変更し、読み出し動作により読み出されたデータが第1データの場合には、読み出し動作後に1回以上の第1の回数再書き込み動作を行い、読み出し動作により読み出されたデータが第2データの場合には、読み出し動作後に第1の回数とは異なる1回以上の第2の回数再書き込み動作を行う。

20

【0026】

上記第1または第2の局面による強誘電体メモリにおいて、第1電圧パルスおよび第2電圧パルスが印加される第1メモリセルは、選択されたビット線と選択されたワード線とに繋がる選択された第1メモリセルと、選択された第1メモリセル以外の非選択の第1メモリセルとを含む。このように構成すれば、容易に、非選択の第1メモリセルにおいて、ディスタープによる分極劣化が打ち消されるので、非選択の第1メモリセルのディスタープ現象を抑制することができる。

30

【0027】

上記第1～第2のいずれかの局面による強誘電体メモリにおいて、読み出し動作により読み出されたデータが第2データの場合、読み出し動作、2回の第1データの再書き込み動作、および、第2データの再書き込み動作を行う。このように構成すれば、読み出し動作により読み出されたデータが第2データの場合に、容易に、非選択の第1記憶手段においてディスタープによる分極劣化が打ち消されるので、非選択の第1記憶手段のディスタープ現象を抑制することができる。また、別途、補償動作を発生させる回路が不要になる。

【0028】

上記第1～第2のいずれかの局面による強誘電体メモリにおいて、ワード線とビット線とを実質的に同じ電位にした後に、読み出し動作を開始するようにしてもよい。

40

【0029】

上記第1～第2のいずれかの局面による強誘電体メモリにおいて、読み出し動作により読み出したデータと比較するための参照データを出力する第2記憶手段を有するメモリセルをさらに備え、読み出し動作から、読み出したデータの再書き込み動作までを通じて、第2メモリセルに、第1の方向の電界を与える第1電圧パルスと、第1の方向と逆方向の電界を与える第2電圧パルスとを、それぞれ、同じ回数ずつ印加するとともに、読み出し動作により読み出されたデータが第1データの場合と第2データの場合とで、第2メモリセルに第1電圧パルスおよび第2電圧パルスを印加するための手法を変更する。このように構成すれば、読み出したデータと比較するための参照データを出力する第2メモリセル

50

においても、非選択の第2メモリセルのディスタート現象を抑制することができるので、読み出し動作により読み出されたデータと参照データとを比較する際に、正確な読み出しを行うことができる。

【0030】

上記第1または第2の局面による強誘電体メモリにおいて、書き込み動作時に、選択された第1記憶手段に書き込むべきデータと逆のデータを書き込んだ後、書き込むべきデータを書き込む。このように構成すれば、非選択の第1メモリセルにおいてディスタートによる分極劣化が打ち消されるので、非選択の第1メモリセルのディスタート現象を抑制することができる。

【0031】

上記第1～第2のいずれかの局面による強誘電体メモリにおいて、第1メモリセルは、選択されたビット線と選択されたワード線とに繋がる選択された第1メモリセルと、選択された第1メモリセル以外の非選択の第1メモリセルとを含み、読み出し動作では、少なくとも1つの選択された第1メモリセルに対して、第1メモリセルの記憶データを反転させる方向である第1の方向の電界を与える第1選択電圧パルスと、第1メモリセルの記憶データを反転させない方向である第1の方向と逆方向の電界を与える第2選択電圧パルスとのいずれか一方を印加し、非選択の第1メモリセルに対して、第1メモリセルの記憶データを反転させる方向である第1の方向の電界を与える第1非選択電圧パルスと、第1メモリセルの記憶データを反転させない方向である第1の方向と逆方向の電界を与える第2非選択電圧パルスとの少なくとも一方を印加し、再書き込み動作では、非選択の第1メモリセルに対して、第1非選択電圧パルスと、第2非選択電圧パルスとを印加する。

【0032】

なお、上記発明は以下のように変更してもよい。

【0033】

上記強誘電体メモリにおいて、読み出し動作により読み出されたデータが第1データの場合は、互いに逆方向の第1電圧パルスおよび第2電圧パルスが1回ずつ印加されるか、または、実質的に電圧が印加されず、読み出し動作により読み出されたデータが第2データの場合は、互いに逆方向の第1電圧パルスおよび第2電圧パルスが2回ずつ印加されるか、または、実質的に電圧が印加されないようにしてもよい。このように構成すれば、第1データが読み出された場合および第2データが読み出された場合に、容易に、非選択の第1記憶手段においてディスタートによる分極劣化が打ち消されるので、非選択の第1記憶手段のディスタート現象を抑制することができる。なお、2回ずつ印加される電圧パルスは、全く同一形態の電圧パルスを2回ずつ印加してもよいし、それぞれ形態の異なる電圧パルスを印加してもよい。

【0034】

上記強誘電体メモリにおいて、好ましくは、読み出し動作により読み出されたデータが第1データの場合は、読み出し動作および第1データの再書き込み動作を行い、読み出し動作により読み出されたデータが第2データの場合は、読み出し動作、第1データの再書き込み動作、第2データ再書き込みのための補償動作、および、第2データの再書き込み動作を行う。このように構成すれば、容易に、データが第1データの場合と第2データの場合とでそれぞれ別個に、必要な回数分だけ非選択の第1記憶手段に互いに逆方向の電圧パルスを同じ回数ずつ印加することができる。

【0035】

上記強誘電体メモリにおいて、好ましくは、非選択の第1記憶手段には、選択された第1記憶手段に印加される電圧の実質的に1/3の電圧が印加される。このように構成すれば、選択された第1記憶手段に印加される電圧と非選択の第1記憶手段に印加される電圧との電圧差を最も大きくすることができるので、非選択の第1記憶手段のディスタート現象をより低減することができる。なお、選択された第1記憶手段に印加される電圧の実質的に1/3とは、選択された第1記憶手段に印加される電圧を V_{in} とした場合、 $1/3 V_{in} \times 0.9$ 以上 $1/3 V_{in} \times 1.1$ 以下の範囲内に含まれる電圧値を意味する。

10

20

30

40

50

【0036】

上記強誘電体メモリにおいて、読み出し動作では、非選択のビット線につながる非選択の第1記憶手段には、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/3の電圧が印加され、選択されたビット線につながる非選択の第1記憶手段には、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/3よりも小さい電圧が印加されてもよい。上記一の局面によるメモリにおいて、読み出し動作では、選択されたビット線につながる非選択の第1記憶手段には、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/3の電圧よりも小さい電圧が印加された後、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/3の電圧が印加されてもよい。なお、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/3の電圧よりも小さい電圧とは、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/3の電圧の絶対値よりも小さい絶対値を有する正および負の電圧を意味する。

10

【0037】

上記強誘電体メモリにおいて、非選択の第1記憶手段には、選択された第1記憶手段に印加される電圧の実質的に1/2の電圧が印加されるか、または、電圧が印加されないようにしてもよい。なお、選択された第1記憶手段に印加される電圧の実質的に1/2とは、選択された第1記憶手段に印加される電圧を V_{in} とした場合、 $1/2 V_{in} \times 0.9$ 以上 $1/2 V_{in} \times 1.1$ 以下の範囲内に含まれる電圧値を意味する。また、上記一の局面によるメモリにおいて、読み出し動作では、非選択のビット線につながる非選択の第1記憶手段には、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/2の電圧が印加されるか、または、電圧が印加されず、選択されたビット線につながる非選択の第1記憶手段には、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/2よりも小さい電圧が印加されるか、または、電圧が印加されないようにしてもよい。なお、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/2の電圧よりも小さい電圧とは、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/2の電圧の絶対値よりも小さい絶対値を有する正および負の電圧を意味する。

20

【0038】

また、上記強誘電体メモリにおいて、読み出し動作では、選択されたビット線につながる非選択の第1記憶手段には、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/2の電圧よりも小さい電圧が印加された後、データの再書き込み動作時に選択された第1記憶手段に印加される電圧の実質的に1/2の電圧が印加されるか、または、読み出し動作を通じて、非選択のビット線につながる非選択の第1記憶手段には、実質的に電圧が印加されないようにしてもよい。

30

【0039】

上記強誘電体メモリにおいて、好ましくは、読み出し動作は、選択されたビット線の電圧を検知することによって行う。このように構成すれば、データが第1データの場合と第2データの場合とで選択されたビット線の電圧値が異なるので、容易に、データの読み出しを行うことができる。この場合、好ましくは、読み出し動作では、第1の期間で選択されたビット線の電圧を検知した後、第2の期間で、選択されたビット線を実質的に0Vに戻し、第1の期間は、選択されたビット線につながる非選択の第1記憶手段が第1の期間に受ける分極量の変化量が、選択されたビット線につながる非選択の第1記憶手段が第2の期間に受ける分極量の変化量に比べて十分に小さくなるような長さに設定され、第2の期間は、再書き込み動作で選択されたビット線につながる非選択の第1記憶手段が受ける分極量の変化量と同等の変化量を、ビット線につながる非選択の第1記憶手段が受けるような長さに設定されている。このように構成すれば、選択されたビット線につながる非選択の第1記憶手段においても、分極劣化と分極改善とが交互に同じ回数ずつ繰り返されるので、選択されたビット線につながる非選択の第1記憶手段についてもディスタープ現象を抑制することができる。

40

50

【 0 0 4 0 】

上記強誘電体メモリにおいて、好ましくは、読み出し動作は、選択されたワード線に流れる電流を検知することによって行う。このように構成すれば、データが第1データの場合と第2データの場合とで選択されたワード線に流れる電流値が異なるので、容易に、データの読み出しを行うことができる。

【 0 0 4 1 】

上記強誘電体メモリにおいて、好ましくは、読み出し動作は、選択されたワード線に流れる電流値と選択されたビット線に流れる電流値とを比較することによって行う。このように構成すれば、データが第1データの場合には、選択されたワード線に流れる電流値と選択されたビット線に流れる電流値とが同じであるとともに、データが第2データの場合には、選択されたワード線に流れる電流値と選択されたビット線に流れる電流値とが異なるので、容易に、データの読み出しを行うことができる。

10

【 0 0 4 2 】

上記強誘電体メモリにおいて、好ましくは、読み出し動作により読み出されたデータと比較するための参照データを出力する第2記憶手段を含むダミーセルをさらに備え、ダミーセルにおいても、読み出し動作から、読み出したデータを再び書き込む動作までを通じて、第2記憶手段に、第1の方向の電界を与える第1電圧パルスと、第1の方向と逆方向の電界を与える第2電圧パルスとが、それぞれ、同じ回数ずつ印加されるか、または、実質的に電圧が印加されない。このように構成すれば、ダミーセルにおいても、非選択の第2記憶手段のディスタープ現象を抑制することができるので、読み出し動作により読み出されたデータと参照データとを比較する際に、正確な読み出しを行うことができる。

20

【 0 0 4 3 】

この場合、メモリセルが形成される領域とダミーセルが形成される領域とは、ワード線を分割することにより分割されていてもよいし、メモリセルが形成される領域とダミーセルが形成される領域とは、ビット線を分割することにより分割されていてもよい。

【 0 0 4 4 】

上記強誘電体メモリにおいて、好ましくは、メモリセルは、互いに交差する方向に延びるように形成されたワード線およびビット線と、ワード線とビット線との間に配置された強誘電体膜とからなる強誘電体キャパシタにより構成されたメモリセルを含む。このように構成すれば、単純マトリクス方式の強誘電体メモリにおいて、容易に、非選択セルのディスタープ現象を抑制することができる。

30

【 0 0 4 5 】

上記強誘電体メモリにおいて、好ましくは、メモリセルは、強誘電体キャパシタと負荷容量とにより構成されたメモリセルを含む。このように構成すれば、強誘電体キャパシタと負荷容量とにより構成されたメモリセルを含む強誘電体メモリにおいて、容易に、非選択セルのディスタープ現象を抑制することができる。この場合、負荷容量は、強誘電体キャパシタおよび常誘電体キャパシタのいずれかであってもよい。また、強誘電体キャパシタの容量を C_f とし、負荷容量を C_e とした場合、メモリセルには、メモリセルが強誘電体キャパシタのみから構成されている場合に印加される電圧の実質的に $(C_f + C_e) / C_e$ 倍の電圧が印加される。このように構成すれば、容易に、強誘電体キャパシタと負荷容量とにより構成されたメモリセルを含む強誘電体メモリに、本発明の電圧配置を適用することができる。

40

【 0 0 4 6 】

上記強誘電体メモリにおいて、好ましくは、メモリセルは、一端がワード線に接続されるとともに、他端がトランジスタのゲート電極に接続された強誘電体キャパシタを有するメモリセルを含む。このように構成すれば、FET型の強誘電体メモリにおいて、容易に、非選択セルのディスタープ現象を抑制することができる。この場合、データの読み出し動作は、トランジスタのドレイン電流を測定することにより行う。このように構成すれば、データが第1データの場合と第2データの場合とでドレイン電流値が異なるので、容易に、データの読み出しを行うことができる。また、強誘電体キャパシタの容量を C_f とし

50

、ゲート電極の容量を C_g とした場合、メモリセルには、メモリセルが強誘電体キャパシタのみから構成されている場合に印加される電圧の実質的に $(C_f + C_g) / C_g$ 倍の電圧が印加される。このように構成すれば、容易に、FET型の強誘電体メモリに、本発明の電圧配置を適用することができる。

【0047】

上記強誘電体メモリにおいて、好ましくは、読み出し動作から、読み出したデータを再び書き込む動作までを通じて、非選択の第1記憶手段のうち、少なくとも、選択された第1記憶手段とワード線およびビット線を共有しない非選択の第1記憶手段と、選択された第1記憶手段とワード線を共有する非選択の第1記憶手段とに、互いに逆方向の同じ大きさの第1電圧パルスおよび第2電圧パルスが同じ回数ずつ印加されるか、または、実質的に電圧が印加されない第1の構成を有する。このように構成すれば、非選択の第1記憶手段のうち、少なくとも、選択された第1記憶手段とワード線およびビット線を共有しない第1記憶手段と、選択された第1記憶手段とワード線を共有する第1記憶手段とのディスタート現象を抑制することができる。

10

【0048】

上記第1の構成において、好ましくは、互いに逆方向の同じ大きさの第1電圧パルスおよび前記第2電圧パルスは、データの書き込み時に第1記憶手段に印加される電圧の実質的に $1/3$ であり、読み出し動作から、読み出したデータを再び書き込む動作までを通じて、非選択の第1記憶手段のうち、少なくとも選択された第1記憶手段とワード線およびビット線を共有しない非選択の第1記憶手段と、選択された第1記憶手段とワード線を共有する非選択の第1記憶手段とに、データの書き込み時に第1記憶手段に印加される電圧の実質的に $1/3$ の互いに逆方向の第1電圧パルスおよび第2電圧パルスが同じ回数ずつ印加される。このように構成すれば、 $1/3$ Vcc法を用いる場合に、非選択の第1記憶手段のうち、少なくとも、選択された第1記憶手段とワード線およびビット線を共有しない第1記憶手段と、選択された第1記憶手段とワード線を共有する第1記憶手段とのディスタート現象を抑制することができる。

20

【0049】

この場合、好ましくは、読み出し動作から、読み出したデータを再び書き込む動作までを通じて、非選択の第1記憶手段のうち、選択された第1記憶手段とビット線を共有する非選択の第1記憶手段にも、データの書き込み時に第1記憶手段に印加される電圧の実質的に $1/3$ の互いに逆方向の第1電圧パルスおよび第2電圧パルスが同じ回数ずつ印加される。このように構成すれば、選択された第1記憶手段とワード線およびビット線を共有しない第1記憶手段と、選択された第1記憶手段とワード線を共有する第1記憶手段とに加えて、選択された第1記憶手段とビット線を共有する第1記憶手段についても、ディスタート現象を抑制することができるので、全ての非選択の第1記憶手段のディスタート現象を抑制することができる。

30

【0050】

上記第1の構成において、好ましくは、互いに逆方向の同じ大きさの第1電圧パルスおよび第2電圧パルスは、データの書き込み時に第1記憶手段に印加される電圧の実質的に $1/2$ であり、読み出し動作から、読み出したデータを再び書き込む動作までを通じて、非選択の第1記憶手段のうち、少なくとも選択された第1記憶手段とワード線を共有する非選択の第1記憶手段に、データの書き込み時に第1記憶手段に印加される電圧の実質的に $1/2$ の互いに逆方向の第1電圧パルスおよび第2電圧パルスが同じ回数ずつ印加されるとともに、選択された第1記憶手段とワード線およびビット線を共有しない非選択の第1記憶手段に、実質的に電圧が印加されない。このように構成すれば、 $1/2$ Vcc法を用いる場合に、非選択の第1記憶手段のうち、少なくとも、選択された第1記憶手段とワード線およびビット線を共有しない第1記憶手段と、選択された第1記憶手段とワード線を共有する第1記憶手段とのディスタート現象を抑制することができる。

40

【0051】

また、上記強誘電体メモリにおいて、読み出し動作および再書き込み動作の際には、選

50

択された第1記憶手段には、所定の電圧が印加され、非選択の第1記憶手段には、上記所定の電圧の m/n (m, n は正の整数)の電圧が印加されるようにしてもよい。この場合、好ましくは、非選択の第1記憶手段には、上記所定の電圧の $1/3$ の電圧が印加される。このように構成すれば、選択された第1記憶手段に印加される電圧と非選択の第1記憶手段に印加される電圧との電圧差を最も大きくすることができるので、非選択の第1記憶手段のディスタ urb現象をより低減することができる。

【0052】

また、上記強誘電体メモリにおいて、第1記憶手段は、強誘電体膜を含んでいてもよいし、第1記憶手段は、抵抗素子を含んでいてもよい。

【0053】

【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0054】

(第1実施形態)

図1は、本発明の第1実施形態による単純マトリクス方式の強誘電体メモリの全体構成を示したブロック図である。まず、図1を参照して、第1実施形態の単純マトリクス方式の強誘電体メモリの全体構成について説明する。第1実施形態の強誘電体メモリは、メモリセルアレイ1と、ロウデコーダ2と、カラムデコーダ3と、ロウアドレスバッファ4と、カラムアドレスバッファ5と、ライトアンプ6と、入力バッファ7と、電圧センスアンプからなるリードアンプ8と、出力バッファ9と、 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路10とを備えている。

【0055】

メモリセルアレイ1は、強誘電体キャパシタ(図示せず)のみからなる単純マトリクス方式のメモリセルを複数個含んでいる。すなわち、第1実施形態による単純マトリクス方式のメモリセルは、図61に示した従来の単純マトリクス方式のメモリセルと同様、互いに交差する方向に延びるように形成されたワード線WLおよびビット線BLと、ワード線WLおよびビット線BLの間に配置された強誘電体膜(図示せず)とからなる強誘電体キャパシタ(図示せず)により構成されている。この強誘電体キャパシタは、本発明の「第1記憶手段」の一例である。メモリセルアレイ1のワード線WLには、ロウデコーダ2が接続されており、ビット線BLには、カラムデコーダ3が接続されている。ロウデコーダ2およびカラムデコーダ3には、 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路10が接続されている。これにより、非選択ワード線WL(非選択WL)および非選択ビット線BL(非選択BL)には、 $1/3V_{cc}$ および $2/3V_{cc}$ を印加可能である。また、ロウデコーダ2およびカラムデコーダ5は、選択ワード線WL(選択WL)および選択ビット線BL(選択BL)に、 V_{cc} (電源電圧または電源電圧に基づいて生成された電圧)および0Vを印加可能なように構成されている。

【0056】

図2は、図1に示した第1実施形態による強誘電体メモリの $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路の内部構成を示した回路図である。図2に示すように、 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路は、2つの $1/2V_{cc}$ 生成回路40aおよび40bを組み合わせることによって構成されている。この $1/2V_{cc}$ 生成回路40aおよび40bは、2つの電圧入力端子50a(50b)および51a(51b)と、1つの電圧出力端子52a(52b)とを有している。また、一方の $1/2V_{cc}$ 生成回路40aの電圧入力端子50aには、 V_{cc} が印加され、電圧入力端子51aは、他方の $1/2V_{cc}$ 生成回路40bの電圧出力端子52bと接続されている。また、一方の $1/2V_{cc}$ 生成回路40aの電圧出力端子52aは、他方の $1/2V_{cc}$ 生成回路40bの電圧入力端子50bと接続されている。さらに、他方の $1/2V_{cc}$ 生成回路40bの電圧入力端子51bには、0Vが印加されている。

【0057】

このように構成することにより、 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路の一方の電圧出

10

20

30

40

50

力端子62a(一方の1/2Vcc生成回路40aの電圧出力端子52a)からは、Vccと1/3Vccとの中間の電圧である2/3Vccが得られる。また、他方の電圧出力端子62b(他方の1/2Vcc生成回路40bの電圧出力端子52b)からは、2/3Vccと0Vとの中間の電圧である1/3Vccが得られる。

【0058】

以下、図3～図6を参照して、第1実施形態の単純マトリックス方式の強誘電体メモリにおける読み出し動作および再書き込み動作について説明する。なお、この動作説明では、図3に示すワード線WL2とビット線BL2との交点に位置する第4セルを選択セルとして説明する。

【0059】

図4には、ワード線WLおよびビット線BLに印加する電圧波形が示されている。図4に示す(1)、(2)、(3)および(4)の各動作の時間は、それぞれ、同じ時間(T秒)とする。また、(1)～(4)の各動作は、(1)から(4)まで連続して行ってもよいし、それぞれ独立して行ってもよい。以下に、(1)～(4)での各動作について説明する。なお、スタンバイ状態では、ワード線WLおよびビット線BLは、0Vとする。

【0060】

(1)読み出し動作

図4に示した(1)の期間では、読み出し動作を行う。まず、スタンバイ状態から、選択BLをフローティング状態にする。同じタイミングで、選択WLをVcc、非選択WLを1/3Vcc、非選択BLを2/3Vccにする。この状態で、選択BLの電圧を検知することによって、データ「0」またはデータ「1」の判定を行う。このデータ「0」または「1」の判定は、選択BLの電位と、別途生成された参照電位とを、電圧センスアンプであるリードアンプ8(図1参照)により比較して増幅することによって行う。この(1)の読み出し動作において、第1セル～第4セル(図2参照)には、以下の電位差がT秒間印加される。

【0061】

すなわち、(1)の読み出し動作では、図2に示した選択WLと非選択BLとの交点に位置する非選択セルである第1セルには、1/3Vccの電位差がT秒間印加される。また、非選択線WLと選択BLとの交点に位置する非選択セルである第2セルには、1/3Vcc-選択BLの電位(フローティング電位)がT秒間印加される。また、非選択WLと非選択BLとの交点に位置する非選択セルである第3セルには、-1/3Vccの電位差がT秒間印加される。また、選択WLと選択BLとの交点に位置する選択セルである第4セルには、Vcc-選択BLの電位(フローティング電位)の電位差がT秒間印加される。この場合、非選択セル(第1セル～第3セル)に次のデータが保持されていた場合、分極状態の劣化および改善が生じる。ここで、分極状態の劣化とは、強誘電体キャパシタに蓄積されている電荷量が減少されることをいい、分極状態の改善とは、減少した電荷量が増加することをいう。

【0062】

非選択セルである第1セルに、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、非選択セルである第2セルに、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、非選択セルである第3セルに、データ「1」が保持されている場合には、分極状態の改善が生じ、データ「0」が保持されている場合には、分極状態の劣化が生じる。なお、選択セルである第4セルにデータ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、再度データ「0」を書き込んでいる。

【0063】

(2)再「1」書き込み動作

上記した(1)の読み出し動作の後、一旦スタンバイ状態に戻す。その後、選択WLを0V、非選択WLを2/3Vcc、選択BLをVcc、非選択BLを1/3Vccにする

10

20

30

40

50

。この場合、(2)の動作期間であるT秒間において、以下の電位差が第1セル～第4セルに印加される。すなわち、非選択セルである第1セル、第2セルおよび第3セルには、それぞれ、 $-1/3V_{cc}$ 、 $-1/3V_{cc}$ および $1/3V_{cc}$ がT秒間印加される。これにより、非選択セルである第1セルに、データ「1」が保持されている場合には、分極状態の改善が生じ、データ「0」が保持されている場合には、分極状態の劣化が生じる。また、非選択セルである第2セルに、データ「1」が保持されている場合には、分極状態の改善が生じ、データ「0」が保持されている場合には、分極状態の劣化が生じる。また、非選択セルである第3セルに、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。

【0064】

また、選択セルである第4セルでは、 $-V_{cc}$ の電位差がT秒間印加されるため、(1)の読み出し動作において、データ「1」が読み出された場合、この(2)の動作において、データ「1」の再書き込み動作が完了している。選択セルである第4セルにおいて、データ「1」が保持されていた場合の(1)の動作から(2)の動作に至る分極状態の変化が図5に示される。データ「1」が選択セルで読み出された場合には、この時点で読み出しおよび再書き込み動作を終了させる。

【0065】

(3)再「0」書き込みのための補償動作

上記した(2)の再「1」書き込み動作の後、一旦スタンバイ状態に戻す。その後、選択WLを0V、非選択WLを $2/3V_{cc}$ 、選択BLを V_{cc} 、非選択BLを $1/3V_{cc}$ にする。この場合、第1セル～第4セルには、次の電位差がT秒間印加される。具体的には、非選択セルである第1セル、第2セルおよび第3セルには、それぞれ、 $-1/3V_{cc}$ 、 $-1/3V_{cc}$ および $1/3V_{cc}$ の電位差がT秒間印加される。また、選択セルである第4セルには、 $-V_{cc}$ の電位差がT秒間印加される。この電位差の印加によって、非選択セルである第1セルでは、データ「1」が保持されている場合には、分極状態の改善が生じ、データ「0」が保持されている場合には、分極状態の劣化が生じる。また、非選択セルである第2セルでは、データ「1」が保持されている場合には、分極状態の改善が生じ、データ「0」が保持されている場合には、分極状態の劣化が生じる。また、非選択セルである第3セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、選択セルである第4セルでは、上記(2)の時点で保持するデータは「1」になっているが、再度データ「1」を書き込む状態となる。

【0066】

(4)再「0」書き込み動作

上記(3)の再「0」書き込みのための補償動作の後、一旦スタンバイ状態に戻す。その後、選択WLを V_{cc} 、非選択WLを $1/3V_{cc}$ 、選択BLを0V、非選択BLを $2/3V_{cc}$ にする。これにより、非選択セルである第1セル、第2セルおよび第3セルには、それぞれ、 $1/3V_{cc}$ 、 $1/3V_{cc}$ 、 $-1/3V_{cc}$ の電位差がT秒間印加される。また、選択セルである第4セルには、 V_{cc} の電位差がT秒間印加される。これにより、非選択セルである第1セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、非選択セルである第2セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、非選択セルである第3セルでは、データ「1」が保持されている場合には、分極状態の改善が生じ、データ「0」が保持されている場合には、分極状態の劣化が生じる。また、選択セルである第4セルでは、 V_{cc} の電位差が印加されるため、データ「0」が再書き込みされた状態となっている。

【0067】

なお、選択セルである第4セルにおいて、「0」が保持されていた場合の上記(1)～(4)の動作における分極状態の変化が図6に示される。この(4)の動作によって、一

10

20

30

40

50

連の読み出しおよび再書き込み動作を終了する。上記した(1)~(4)の動作における分極状態の劣化および改善状況を以下の表2に示す。

【0068】

【表2】

	(1)		(2)		(3)		(4)	
	「0」	「1」	「0」	「1」	「0」	「1」	「0」	「1」
選択WL-非選択BL(第1セル)	○	×	×	○	×	○	○	×
非選択WL-選択BL(第2セル)	○	×	×	○	×	○	○	×
非選択WL-非選択BL(第3セル)	×	○	○	×	○	×	×	○

×:分極劣化

○:分極改善

この第1実施形態では、読み出しおよび再書き込み動作において、データ「1」が読み出された場合には(2)の動作まで進み、データ「0」が読み出された場合には(4)の動作まで進む。その後、それぞれ次の読み出しおよび再書き込み動作に移る。この第1実施形態では、データ「1」が読み出された場合およびデータ「0」が読み出された場合の両方の場合において、分極状態の劣化の回数と分極状態の改善の回数とは等しくなる。したがって、読み出し動作および再書き込み動作を繰り返し行ったとしても、非選択セルにおいて分極状態の劣化が蓄積されていくことはないので、最終的に保持しているデータが破壊されることはない。

【0069】

すなわち、上記第1実施形態では、読み出し動作および再書き込み動作を通じて、非選択セルのディスタープによる分極状態の劣化を打ち消す方向に、非選択セルのうち第1セルおよび第3セルには、 $\pm 1/3 V_{cc}$ を交互に印加するとともに、非選択セルのうち第2セルには、 $1/3 V_{cc}$ -選択ビット線の電位、および、 $1/3 V_{cc}$ と、 $-1/3 V_{cc}$ とを交互に印加することによって、分極状態の劣化による非選択セルのデータ破壊を有効に抑制することができる。

【0070】

また、上記第1実施形態においては、非選択セルに印加される電圧値である $1/3 V_{cc}$ を、強誘電体メモリを構成するメモリセルの有するヒステリシス特性から考えられる抗電圧(分極反転する電圧)以下になるように、 V_{cc} を設定している。これにより、最終的に非選択セルに発生する分極状態の劣化量を少なくすることができる。なお、この点は、以下に説明する第2~第8実施形態でも同様である。

【0071】

(第2実施形態)

図7は、本発明の第2実施形態による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。図7を参照して、この第2実施形態では、(2)~(4)の動作は、上記した第1実施形態と同様であり、(1)の動作のみが第1実施形態と異なる。以下、第2実施形態の動作について説明する。なお、第2実施形態では、上記第1実施形態と同様、(1)~(4)の各動作の時間は、それぞれ、同じ時間(T秒)とする。また、(1)~(4)の各動作は、(1)から(4)まで連続して行ってもよいし、それぞれ独立して行ってもよい。また、スタンバイ状態では、ワード線WLおよびビット線BLは、0Vとする。

【0072】

(1)読み出し動作

この第2実施形態における(1)の読み出し動作では、スタンバイ状態から、選択WL

10

20

30

40

50

を V_{cc} 、非選択 W_L を $1/3 V_{cc}$ 、選択 B_L を $0 V$ 、非選択 B_L を $2/3 V_{cc}$ にする。この状態から、第 2 実施形態では、選択 W_L に流れる電流を検知することによって、データ「0」またはデータ「1」の判定を行う。すなわち、上記第 1 実施形態では、選択 B_L の電圧を検知することによってデータの判別を行ったが、この第 2 実施形態では、選択 W_L に流れる電流を検知することによって、データの判別を行う。具体的には、データ「0」または「1」の判定は、選択 W_L の電流と、別途生成された参照電流とを比較して増幅することによって行う。この場合、第 1 実施形態の電圧センスアンプからなるリードアンプ（図 1 参照）に代えて、電流センスアンプからなるリードアンプ（図示せず）を用いる。ここで、選択 W_L に流れる電流値は、過渡的に変化する。このため、選択 W_L に流れる電流値がピークに達した時に、参照電流値と比較増幅することによって、データ「0」または「1」の判定を行うのが好ましい。

10

【0073】

なお、この（1）の読み出し動作においては、非選択セルである第 1 セル、第 2 セルおよび第 3 セルには、それぞれ、 $1/3 V_{cc}$ 、 $1/3 V_{cc}$ および $-1/3 V_{cc}$ の電位差が T 秒間印加される。また、選択セルである第 4 セルには、 V_{cc} の電位差が T 秒間印加される。これにより、非選択セルである第 1 セルでは、データ「1」が保持されていた場合には、分極状態の劣化が生じ、データ「0」が保持されていた場合には、分極状態の改善が生じる。また、非選択セルである第 2 セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、非選択セルである第 3 セルでは、データ「1」が保持されている場合には、分極状態の改善が生じ、データ「0」が保持されている場合には、分極状態の劣化が生じる。また、選択セルである第 4 セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、再度データ「0」を書き込んでいる。

20

【0074】

この第 2 実施形態における（1）の読み出し動作では、上記第 1 実施形態と異なり、選択 B_L の電位を $0 V$ に固定しているため、非選択 W_L と選択 B_L との交点に位置する第 2 セルに印加される電位差は確実に $1/3 V_{cc}$ になる。すなわち、第 1 実施形態においては、非選択 W_L と選択 B_L との交点に位置する第 2 セルの電位差は、 $1/3 V_{cc}$ - 選択 B_L 電位であったため、選択 B_L 電位の変化によって、 $0 V$ 付近（または $0 V$ 以下）から $1/3 V_{cc}$ の値を取り得る。このため、第 1 実施形態では、非選択セルのうち、非選択 W_L と選択 B_L との交点に位置する第 2 セルにおいて、データ「1」が保持されている場合の分極状態の劣化動作と、データ「0」が保持されている場合の分極状態の改善動作とを確実に行うことができない可能性がある。

30

【0075】

これに対して、この第 2 実施形態では、選択 B_L の電位を $0 V$ に固定にしているため、選択 B_L につながる非選択セルである第 2 セルにおいて、データ「1」が保持されている場合の分極状態の劣化動作とデータ「0」が保持されている場合の分極状態の改善動作とを確実に行うことができる。これにより、この第 2 実施形態では、選択 B_L につながる非選択セルとしての第 2 セルにおいても、確実に分極状態の劣化が蓄積されていくのを抑制することができるので、第 2 セルにおいて最終的に保持しているデータが破壊されるのを抑制することができる。

40

【0076】

なお、この第 2 実施形態における（2）～（4）の動作は、上記第 1 実施形態と同様である。

【0077】

（第 3 実施形態）

図 8 は、本発明の第 3 実施形態による単純マトリックス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。図 8 を参照して、この第 3 実施形態では、（2）～（4）の動作は、上記した第 1 実施形態と同様であり、（1

50

)の動作のみが第1実施形態と異なる。以下、第3実施形態の動作について説明する。なお、この第3実施形態においても、上記第1実施形態と同様、(1)~(4)の各動作の時間は、それぞれ、同じ時間(T秒)とする。また、(1)~(4)の各動作は、(1)から(4)まで連続して行ってもよいし、それぞれ独立して行ってもよい。また、スタンバイ状態では、ワード線WLおよびビット線BLは、0Vとする。

【0078】

(1)読み出し動作

この第3実施形態における(1)の読み出し動作では、スタンバイ状態から、選択BLをフローティングにする。同じタイミングで、選択WLをVcc、非選択WLを1/3Vcc、非選択BLを2/3Vccにする。この状態で、選択BLの電圧を検知することによって、データ「0」または「1」の判定を行う。このデータ「0」または「1」の判定は、選択BLの電位と、別途生成された参照電位とを電圧センスアンプからなるリードアンプ8(図1参照)を用いて比較して増幅することによって行う。さらに、この第3実施形態では、データ「0」または「1」の判定終了後、選択BLを再び0Vに戻す。(1)の動作の期間をT秒間とし、選択BLがフローティング状態になっている時間をt1秒とする。

10

【0079】

この場合、非選択セルである第1セルには、1/3Vccの電位差がT秒間印加される。また、非選択WLと選択BLとの交点に位置する非選択セルである第2セルには、1/3Vcc-選択BL電位がt1秒間印加されるとともに、1/3Vccの電位差がT-t1秒間印加される。また、非選択WLと非選択BLとの交点に位置する非選択セルである第3セルでは、-1/3Vccの電位差がT秒間印加される。その一方、選択セルである第4セルには、Vcc-選択BL電位がt1秒間印加された後、Vccの電位差がT-t1秒間印加される。

20

【0080】

なお、上記したt1秒は、非選択WLと選択BLとの交点に位置する非選択セルである第2セルにおいて、t1間に受ける1/3Vcc-選択BLの電位による分極量の変化が、T-t1間に受ける1/3Vccによる分極量の変化と比較して十分に小さく、かつ、1/3VccがT-t1秒間印加されることにより、(1)の分極量の変化が(1)後の(2)~(4)において発生する分極量の変化とほぼ同じ量となるように、十分短い時間t1に設定されているものとする。このようにすれば、この(1)の読み出し動作において、分極状態を以下のように変化させることができる。すなわち、非選択セルである第1セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、非選択セルである第2セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、非選択セルである第3セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。また、選択セルである第4セルでは、データ「1」が保持されている場合には、分極状態の劣化が生じ、データ「0」が保持されている場合には、分極状態の改善が生じる。

30

40

【0081】

なお、この第3実施形態における(2)~(4)の動作は、第1実施形態と同様である。

【0082】

第3実施形態では、上記のように、(1)の読み出し動作において、選択BLの電位を検知後、0Vとすることによって、非選択WLと選択BLとの交点に位置する第2セルでは、(1)の読み出し動作において、1/3Vccとなる期間が生じる。これにより、第3実施形態では、(1)の読み出し動作において、選択BLにつながる非選択セルである第2セルにおいても、データ「1」が保持されている場合の分極状態の劣化動作とデータ「0」が保持されている場合の分極状態の改善動作とを確実に行うことができる。

50

【 0 0 8 3 】

(第 4 実施形態)

この第 4 実施形態では、上記した第 2 実施形態における (1) の読み出し動作を (1) と (2) とによって行うようにする。以下に、第 4 実施形態の (1) および (2) の動作について説明する。なお、この第 4 実施形態において、ワード線 W L およびビット線 B L に印加する電圧波形は図 7 に示した第 2 実施形態の電圧波形図と同様である。また、第 4 実施形態の (3) および (4) の動作は、上記した第 1 実施形態と同様である。以下、第 4 実施形態の動作について説明する。

【 0 0 8 4 】

(1) 選択 W L の電流値保持動作

10

この第 4 実施形態では、スタンバイ状態から、選択 W L を V_{cc} 、非選択 W L を $1/3 V_{cc}$ 、選択 B L を $0 V$ 、非選択 B L を $2/3 V_{cc}$ にする。この状態で、選択 W L に流れる電流を電流値保持回路 (図示せず) に保持する。ただし、選択 W L に流れる電流は過渡的に変化するため、流れる電流がピークに達する時の値を保持することが好ましい。この (1) の選択 W L の電流値保持動作では、非選択セルである第 1 セル、第 2 セルおよび第 3 セルに、それぞれ、 $1/3 V_{cc}$ 、 $1/3 V_{cc}$ および $-1/3 V_{cc}$ の電位差が T 秒間印加される。また、選択セルである第 4 セルには、 V_{cc} の電位差が T 秒間印加される。

【 0 0 8 5 】

これにより、選択 W L につながる非選択セルである第 1 セルでは、データ「 1 」が保持されている場合には、分極状態の劣化が生じ、データ「 0 」が保持されている場合には、分極状態の改善が生じる。また、選択 B L につながる非選択セルである第 2 セルでは、データ「 1 」が保持されている場合には、分極状態の劣化が生じ、データ「 0 」が保持されている場合には、分極状態の改善が生じる。また、非選択 W L および非選択 B L につながる非選択セルである第 3 セルでは、データ「 1 」が保持されている場合には、分極状態の改善が生じ、データ「 0 」が保持されている場合には、分極状態の劣化が生じる。また、選択セルである第 4 セルでは、データ「 0 」が書き込まれている。

20

【 0 0 8 6 】

(2) 選択 B L の電流値保持、読み出し、再「 1 」書き込み動作

スタンバイ状態から、選択 W L を $0 V$ 、非選択 W L を $2/3 V_{cc}$ 、選択 B L を V_{cc} 、非選択 B L を $1/3 V_{cc}$ にする。この状態で、選択 B L に流れる電流値を電流値保持回路 (図示せず) に保持する。ただし、選択 B L に流れる電流は過渡的に変化するため、流れる電流がピークに達する時の値を保持することが好ましい。さらに、この (2) の動作で保持した選択 B L の電流値と、上記した (1) の動作で保持した選択 W L の電流値とを比較することによって、データ「 0 」または「 1 」の判定を行う。この場合、第 1 実施形態の電圧センスアンプからなるリードアンプ 8 (図 1 参照) に代えて、電流センスアンプからなるリードアンプ (図示せず) を用いる。

30

【 0 0 8 7 】

ここで、選択セルである第 4 セルにデータ「 1 」が保持されていた場合、(1) および (2) の動作で分極状態が反転するため、(1) および (2) の動作でそれぞれ同じ電流が選択 W L および選択 B L に流れる。また、選択セルにデータ「 0 」が保持されていた場合には、(2) の動作のみで分極状態が反転するため、(1) および (2) の動作で選択 W L および選択 B L に流れる電流値はそれぞれ異なる。したがって、(1) の動作で選択 W L に流れる電流値と、(2) の動作で選択 B L に流れる電流値とが同じ場合には、データ「 1 」と判別し、(1) の動作で選択 W L に流れる電流値と、(2) の動作で選択 B L に流れる電流値とが異なる場合には、データ「 0 」と判別する。

40

【 0 0 8 8 】

この (2) の動作において、非選択セルである第 1 セル、第 2 セルおよび第 3 セルには、それぞれ、 $-1/3 V_{cc}$ 、 $-1/3 V_{cc}$ および $1/3 V_{cc}$ の電位差が T 秒間印加される。また、選択セルである第 4 セルには、 $-V_{cc}$ の電位差が T 秒間印加される。こ

50

れにより、非選択セルである第1セルでは、データ「1」が保持されている場合には、分極状態が改善され、データ「0」が保持されている場合には分極状態が劣化される。また、非選択セルである第2セルでは、データ「1」が保持されている場合には、分極状態が改善され、データ「0」が保持されている場合には、分極状態が劣化される。また、非選択セルである第3セルでは、データ「1」が保持されている場合には、分極状態が劣化され、データ「0」が保持されている場合には、分極状態が改善される。

【0089】

また、選択セルである第4セルでは、 $-V_{cc}$ の電位差が印加されるため、データ「1」が読み出された場合には、この時点でデータ「1」が書き込みされる。そして、データ「1」が読み出された場合には、この時点で読み出し動作および書き込み動作を終了させる。

10

【0090】

なお、この第4実施形態における(3)および(4)の動作は、上記第1実施形態の(3)および(4)の動作と同様である。

【0091】

この第4実施形態では、上記のように、電流値保持回路により電流値を保持することによって、第2実施形態と異なり、選択WLの電流値と比較するための参照電流を生成するための参照セルなどが不要になるという利点がある。

【0092】

(第5実施形態)

20

図9は、本発明の第5実施形態による単純マトリクス方式の強誘電体メモリのメモリセルアレイ領域の構成を示した概略図である。図10は、本発明の第5実施形態による単純マトリクス方式の強誘電体メモリの読み出し動作および書き込み動作を説明するための電圧波形図である。図9を参照して、この第5実施形態では、メモリセル領域の半分を通常のメモリセル領域とするとともに、残り半分をダミーセル領域とする。図中、ワード線 WL_m とビット線 BL_n との交点に位置するメモリセルには、ワード線 WL_{ma} とビット線 BL_{na} との交点に位置するダミーセルが対応する。また、メモリセルおよびダミーセルは、強誘電体キャパシタ(図示せず)のみからなる。この場合のメモリセルを構成する強誘電体キャパシタは、本発明の「第1記憶手段」の一例であり、ダミーセルを構成する強誘電体キャパシタは、本発明の「第2記憶手段」の一例である。

30

【0093】

書き込み動作時には、SW信号により、トランジスタ T_{rm} をオフ状態にすることによって、ワード線を中央からワード線 WL_m とワード線 WL_{ma} とに分割する。メモリセルとそれに対応するダミーセルとは、それぞれ、逆のデータを書き込むようにする。

【0094】

読み出し時には、SW信号によりトランジスタ T_{rm} をオン状態にした状態で、選択セルのビット線 BL_n の電位とこれに対応するダミーセルのビット線 BL_{na} の電位とをセンスアンプ S_{An} により比較して増幅する。これにより、データ「0」または「1」の判定を行う。

【0095】

以下の表3には、書き込み時の電圧配置が示される。

40

【0096】

【表3】

	メモリセル			
	選択WL	非選択WL	選択BL	非選択BL
「0」書き込み	Vcc	1/3Vcc	0	2/3Vcc
「1」書き込み	0	2/3Vcc	Vcc	1/3Vcc

	ダミーセル			
	選択WLa	非選択WLa	選択BLa	非選択BLa
「1」書き込み	0	2/3Vcc	Vcc	1/3Vcc
「0」書き込み	Vcc	1/3Vcc	0	2/3Vcc

上記表3に示すように、データ「1」を書き込む場合には、データ「0」を書き込んだ後、データ「1」の書き込みを行う。また、データ「0」を書き込む場合には、データ「1」を書き込んだ後、データ「0」の書き込みを行う。このように、事前に逆のデータを書き込んでおくことによって、非選択セルには、 $\pm 1/3Vcc$ が印加されるので、ディスタープを抑制することができる。なお、書き込み動作時には、トランジスタTrmはオフ状態である。

【0097】

図10には、読み出し動作および再書き込み動作時の電圧波形が示されている。この図10に示されるメモリセル領域およびダミーセル領域に印加される読み出し動作および再書き込み動作の際の電圧波形は、それぞれ、図8に示した第3実施形態と同様である。この第5実施形態の読み出しおよび再書き込み動作としては、図10に示す(1)および(2)の動作時には、図9に示すトランジスタTrmがオン状態であり、(3)および(4)の動作時には、トランジスタTrmはオフ状態である。

【0098】

すなわち、選択セルと選択ダミーセルとは互いに逆のデータを書き込んでいるため、(3)以降の動作をメモリセル領域とダミーセル領域とでそれぞれ独立に行う必要がある。具体的には、選択セルにデータ「0」が保持されており、データ「0」が読み出された場合には、メモリセル領域では、(4)の動作まで行い、データ「0」を書き込むとともに、ダミーセル領域では、(2)の動作まで行い、メモリセルに書き込んだデータとは逆のデータである参照データ「1」を書き込む。また、選択セルにデータ「1」が保持されており、データ「1」が読み出された場合には、メモリセル領域では、(2)の動作まで行い、データ「1」を書き込むとともに、ダミーセル領域では、(4)の動作まで行い、メモリセルに書き込んだデータとは逆のデータである参照データ「0」を書き込む。

【0099】

上記した読み出し動作および再書き込み動作においても、 $\pm 1/3Vcc$ の電位差が交互に印加されるので、非選択セルおよび非選択ダミーセルにおけるディスタープを有効に抑制することができる。これにより、データの正確な読み出しを行うことができる。

【0100】

なお、上記第5実施形態では、ワード線WLを中央から分割することによりメモリセル領域とダミーセル領域とに分割する構成を示したが、本発明はこれに限らず、たとえば、図11に示すように、ビット線BLを中央から分割することにより、メモリセル領域とダミーセル領域とに分割するような構成でもよい。

【0101】

(第6実施形態)

図12および図13は、本発明の第6実施形態による書き込み動作を説明するための電圧波形図である。図14は、第6実施形態による書き込み動作の効果の説明するためのヒステリシス図である。図12～図14を参照して、この第6実施形態では、上記第1～第

10

20

30

40

50

4 実施形態のいずれかの読み出し/再書き込み動作を行う場合において、さらに、非選択セルのディスタープを抑制するための書き込み動作について説明する。

【0102】

この第6実施形態では、上記第1～第4実施形態のいずれかの読み出し/再書き込み動作を行う場合において、さらに、書き込み動作時に、選択セルに対して1/3V_{cc}法を用いて任意のデータを書き込む前に、その任意のデータとは逆のデータを予め選択セルに書き込むようにする。以下、詳細に説明する。

【0103】

まず、データ「0」を書き込む場合には、図12に示すように、(1)の期間では、データ「0」の逆のデータ「1」を書き込む。その後、(2)の期間では、データ「0」を書き込む。具体的な電圧配置は、(1)の期間では、選択WLを0Vにするとともに、選択BLをV_{cc}にする。また、非選択WLを2/3V_{cc}にするとともに、非選択BLを1/3V_{cc}にする。これにより、(1)の期間では、逆のデータ「1」が選択セルに書き込まれる。この時、選択WLと非選択BLとに繋がる第1非選択セルには、-1/3V_{cc}の電位差が印加される。また、非選択WLと選択BLとに繋がる第2非選択セルには、-1/3V_{cc}の電位差が印加される。また、非選択WLと非選択BLとに繋がる第3非選択セルには、1/3V_{cc}の電位差が印加される。

10

【0104】

(1)の期間に逆のデータ「1」を書き込んだ後、(2)の期間では、本来書き込むべきデータ「0」を書き込む。この(2)の期間では、選択WLをV_{cc}にするとともに、選択BLを0Vにする。また、非選択WLを1/3V_{cc}にするとともに、非選択BLを2/3V_{cc}にする。この場合には、第1非選択セルおよび第2非選択セルには、共に、1/3V_{cc}の電位差が印加され、第3非選択セルには、-1/3V_{cc}の電位差が印加される。

20

【0105】

また、データ「1」を書き込む場合には、図13に示すような電圧配置となる。具体的には、(1)の期間では、逆のデータ「0」を書き込む。そして、(2)の期間に、本来書き込むべきデータ「1」を書き込む。したがって、図13に示す(1)の期間の電圧配置は、図12に示した(2)の期間の電圧配置と同じであり、図13に示す(2)の電圧配置は、図12に示した(1)の電圧配置と同じである。図13に示す電圧配置の場合、(1)の期間には、第1非選択セルおよび第2非選択セルには、1/3V_{cc}の電位差が印加され、第3非選択セルには、-1/3V_{cc}の電位差が印加される。また、(2)の期間には、第1非選択セルおよび第2非選択セルには、-1/3V_{cc}の電位差が印加され、第3非選択セルには、1/3V_{cc}の電位差が印加される。

30

【0106】

図12および図13に示した書き込み動作では、全ての非選択セル(第1非選択セル～第3非選択セル)に、±1/3V_{cc}がそれぞれ同じ回数ずつ印加される。すなわち、この第6実施形態では、データ「0」を書き込む場合およびデータ「1」を書き込む場合の両方の場合において、分極状態の劣化の回数と分極状態の改善の回数とが等しくなる。したがって、書き込み動作を繰り返し行ったとしても、非選択セルにおいて分極状態の劣化が蓄積されていくことはないので、最終的に保持しているデータが破壊されることはない。

40

【0107】

すなわち、上記第6実施形態では、書き込み動作において、非選択セルのディスタープによる分極状態の劣化を打ち消す方向に、図13に示すように、非選択セル(第1非選択セル～第3非選択セル)に±1/3V_{cc}を交互に印加することによって、分極状態の劣化による非選択セルのデータ破壊を有効に抑制することができる。

【0108】

この第6実施形態の書き込み動作に加えて、上記した第1実施形態～第4実施形態のいずれかの読み出し動作および再書き込み動作を行うようにすれば、より非選択セルのデー

50

タ破壊を有効に抑制することができる。

【0109】

(第7実施形態)

図15は、本発明の第7実施形態による強誘電体メモリの動作方法を適用するメモリセルアレイの構成を示した等価回路図である。図15を参照して、この第7実施形態では、メモリセル20が、強誘電体キャパシタ21と、強誘電体キャパシタまたは常誘電体キャパシタからなる負荷容量22とから構成されている場合の動作方法について説明する。

【0110】

すなわち、この第7実施形態では、メモリセル20に印加される電位差を V_a とすると、メモリセル20内の強誘電体キャパシタ21に印加される電位差 V_f は、次の式(3)によって示される。

【0111】

$$V_f = C_e V_a / (C_f + C_e) \quad \dots \dots (3)$$

ここで、 C_f は、強誘電体キャパシタ21の容量であり、 C_e は、負荷容量22である。

【0112】

上記式(3)に示すように、メモリセル20の強誘電体キャパシタ21には、強誘電体キャパシタ21の容量と負荷容量22との比で分割された電位差がかかる。したがって、上記第1～第6実施形態におけるメモリセルが、第7実施形態の強誘電体キャパシタ21と同じ強誘電体キャパシタのみによって構成されていると仮定すると、この第7実施形態では第1～第6実施形態において説明した電圧配置を、全て、 $(C_f + C_e) / C_e$ 倍して図15に示すメモリセル20に印加すればよい。これにより、上記した第1～第6実施形態と同様の電位差を強誘電体キャパシタ21に印加することができる。その結果、図15に示したようなメモリセル20を有する構成においても、容易に、上記第1～第6実施形態の動作方法を適用することができる。これにより、読み出しおよび再書き込み動作や、書き込み動作において、非選択セルのディスタープによる分極状態の劣化を打ち消す方向に、非選択セルに $\pm 1/3 V_{cc}$ を交互に印加することができるので、分極状態の劣化による非選択セルのデータ破壊を有効に抑制することができる。

【0113】

(第8実施形態)

図16は、本発明の第8実施形態による強誘電体メモリの動作方法を適用するメモリセルアレイを示した等価回路図である。図17は、本発明の第8実施形態による強誘電体メモリの動作方法におけるデータ「0」の状態を示した等価回路図である。図18は、本発明の第8実施形態による強誘電体メモリの動作方法におけるデータ「1」の状態を示した等価回路図である。また、図19および図20は、本発明の第8実施形態による強誘電体メモリの書き込み動作を説明するための電圧波形図である。図21は、本発明の第8実施形態による読み出し/再書き込み動作を説明するための電圧波形図である。

【0114】

まず、図16を参照して、この第8実施形態で用いるFET型の強誘電体メモリでは、メモリセル30は、強誘電体キャパシタ31と、セルトランジスタ32とから構成されている。強誘電体キャパシタ31の一端は、ワード線WLに接続されており、強誘電体キャパシタ31の他端は、セルトランジスタ32のゲート電極に接続されている。FET型の強誘電体メモリは、強誘電体キャパシタ31と半導体基板(図示せず)との間に、導電層と、二酸化シリコン(SiO_2)などの半導体との間に界面準位を形成しにくい常誘電体キャパシタとを挿入したMFMI S(M:金属または導体、F:強誘電体、I:常誘電体、S:半導体)構造を有する。

【0115】

図16に示した第8実施形態によるFET型の強誘電体メモリでは、第4セルを選択セルとし、第1～第3セルを非選択セルとして説明する。この場合、選択されたワード線WL1と選択されたビット線BL1との間に電位差 V_{pp} を印加することによって、図17

10

20

30

40

50

に示すように、強誘電体キャパシタ31の分極方向が下向きとなった状態をデータ「0」とする。また、選択されたワード線WL1と選択されたビット線BL1との間に、電位差(-Vpp)を印加することによって、図18に示すように、強誘電体キャパシタ31の分極方向を上向きとした状態を、データ「1」の状態とする。

【0116】

なお、強誘電体キャパシタ31には、ゲート容量と容量分割された電圧が印加されるので、Vppは、強誘電体キャパシタ31の分極状態が十分に反転できるほど大きく設定しておく必要がある。

【0117】

次に、図16に示した強誘電体メモリにおいて、非選択セルに保持されるデータの破壊を防ぐ動作方法について説明する。なお、強誘電体キャパシタ31には、ゲート容量と容量分割した電圧が印加されるため、これを考慮して高電圧Vppを用いている。また、以下の説明では、簡単化のために、セルトランジスタ32の空乏層容量は、考慮していない。空乏層容量を考慮する場合は、強誘電体キャパシタ容量、ゲート容量および空乏層容量による電圧の容量分割を考慮して、各電圧配置を調整すればよい。

【0118】

(書き込み動作)

まず、図19を参照して、データ「0」を書き込む場合の書き込み動作について説明する。

【0119】

(1)逆データ書き込み動作

図19に示すように、(1)の期間では、選択セル(第4セル)において、ワード線WL1(選択WL)は0Vであり、ビット線BL1(選択BL)およびソース線SL1(選択SL)は、ともにVppとなっている。なお、基板とビット線とは接続されているため、セルトランジスタ32の基板電位および半導体表面近傍の電位は、Vppとなる。選択セル(第4セル)の強誘電体キャパシタ31には、ゲート容量と容量分割された電圧-Vccが印加されて逆のデータ「1」が書き込まれる。ここで、強誘電体キャパシタ31に印加される電圧Vccは、ゲート容量Cg、強誘電体キャパシタ容量Cfおよび電圧Vppを用いて、以下の式(4)によって表される。

【0120】

$$V_{cc} = \{ C_g / (C_f + C_g) \} V_{pp} \quad \dots \dots (4)$$

したがって、メモリセルには、Vccの(Cf+Cg)/Cg倍の電圧Vppを印加すればよい。また、非選択セルである第1セルでは、ワード線WL1(選択WL)に0V、ビット線BL2(非選択BL)に1/3Vpp、ソース線SL1(選択SL)にVppが印加される。この第1セルのセルトランジスタ32の基板電位および半導体表面近傍の電位は、1/3Vppとなり、第1セルの強誘電体キャパシタ31には、-1/3Vccの電位差が印加される。なお、図16に示したセルトランジスタ32では、ワード線とビット線との間の電位差が1/3Vppの場合にはチャンネルが形成されないようにしきい値電圧が調整されている。

【0121】

また、非選択セルである第2セルでは、ワード線WL0(非選択WL)に2/3Vpp、ビット線BL1(選択BL)にVpp、ソース線SL0(非選択SL)に、1/3Vppが印加される。この第2セルの基板電位および半導体表面近傍の電位は、Vppとなり、第2セルの強誘電体キャパシタ31には、-1/3Vccの電位差が印加される。

【0122】

また、非選択セルである第3セルでは、ワード線WL0(非選択WL)に、2/3Vpp、ビット線BL2(非選択BL)およびソース線SL0(非選択SL)に、1/3Vppの電位差が印加される。この第3セルの基板電位および半導体表面近傍の電位は、1/3Vppとなり、第3セルの強誘電体キャパシタ31には、1/3Vcc電位差が印加される。

10

20

30

40

50

【 0 1 2 3 】

(2) データ書き込み動作

選択セルである第 4 セルでは、ワード線 $W L 1$ (選択 $W L$) は V_{pp} であり、ビット線 $B L 1$ (選択 $B L$)、ソース線 $S L 1$ (選択 $S L$) は、ともに $0 V$ となっている。なお、基板とビット線とは接続されているため、第 4 セル (選択セル) のセルトランジスタ 3 2 の基板電位および半導体表面近傍の電位は、 $0 V$ となる。第 4 セル (選択セル) の強誘電体キャパシタ 3 1 には、ゲート容量と容量分割された電圧 V_{cc} (上記式 (4) 参照) が印加されてデータ「 0 」が書き込まれる。

【 0 1 2 4 】

また、非選択セルである第 1 セルでは、ワード線 $W L 1$ (選択 $W L$) に V_{pp} 、ビット線 $B L 2$ (非選択 $B L$) に $2 / 3 V_{pp}$ 、ソース線 $S L 1$ (選択 $S L$) に $0 V$ が印加されている。この第 1 セルのセルトランジスタ 3 2 の基板電位および半導体表面近傍の電位は、 $2 / 3 V_{pp}$ となり、第 1 セルの強誘電体キャパシタ 3 1 には、 $1 / 3 V_{cc}$ の電位差が印加される。

【 0 1 2 5 】

また、非選択セルである第 2 セルでは、ワード線 $W L 0$ (非選択 $W L$) に $1 / 3 V_{pp}$ 、ビット線 $B L 1$ (選択 $B L$) に $0 V$ 、ソース線 $S L 0$ (非選択 $S L$) に $2 / 3 V_{pp}$ が印加される。この第 2 セルの基板電位および半導体表面近傍の電位は、 $0 V$ となり、第 2 セルの強誘電体キャパシタ 3 1 には、 $1 / 3 V_{cc}$ の電位差が印加される。また、非選択セルである第 3 セルでは、ワード線 $W L 0$ (非選択 $W L$) に $1 / 3 V_{pp}$ が印加されるとともに、ビット線 $B L 2$ (非選択 $B L$) およびソース線 $S L 0$ (非選択 $S L$) に、 $2 / 3 V_{pp}$ が印加される。この第 3 セルの基板電位および半導体表面近傍の電位は、 $2 / 3 V_{pp}$ となり、第 3 セルの強誘電体キャパシタ 3 1 には、 $- 1 / 3 V_{cc}$ 電位差が印加される。

【 0 1 2 6 】

図 1 9 の (1) の逆データ書き込み動作および (2) のデータ書き込み動作を通じて、非選択セル (第 1 セル ~ 第 3 セル) の強誘電体キャパシタ 3 1 には、 $\pm 1 / 3 V_{cc}$ が印加される。したがって、図 1 9 に示した電圧配置を用いることによって、書き込み動作時のディスターブによる非選択セルのデータ破壊を抑制することができる。

【 0 1 2 7 】

なお、図 2 0 に示すデータ「 1 」を書き込む場合には、図 1 9 に示したデータ「 0 」を書き込む場合の (1) の期間の動作と (2) の期間の動作とを入れ替えるだけであり、その他の動作は、データ「 0 」を書き込む場合と同様である。

【 0 1 2 8 】

(読み出し / 再書き込み動作)

読み出し / 再書き込み時の電圧配置では、図 2 1 に示すように、(1) 読み出し、(2) 「 1 」再書き込み、(3) 「 1 」書き込み、(4) 「 0 」再書き込み (再読み出し) の 4 つの動作に分けられる。さらに、メモリセルがデータ「 1 」を保持している場合、動作は (2) で終了させ、データ「 0 」を保持していた場合には、(4) まで動作を行う。

【 0 1 2 9 】

(1) 読み出し動作

まず、データの読み出しは、選択されたワード線 $W L 1$ (選択 $W L$) と選択されたビット線 $B L 1$ (選択 $B L$) との間に電位差 V_{pp} を印加するとともに、選択されたソース線 $S L 1$ (選択 $S L$) に適当な電圧を印加することによって、セルトランジスタ 3 2 のドレイン電流を測定することにより行う。ドレイン電流を測定することによりデータの判別が可能な理由は、次の通りである。すなわち、選択セルにデータ「 1 」が保持されていた場合、読み出し時に、強誘電体キャパシタ 3 1 の分極状態が反転するため、セルトランジスタ 3 2 のゲート電極に十分に大きな電荷量 Q_g が発生する。これに伴って、セルトランジスタ 3 2 のゲート直下の半導体表面近傍には、 $- Q_g$ の電荷が発生する。これにより、ソース・ドレイン間が反転電子により導通するので、ドレイン電流が流れる。

10

20

30

40

50

【 0 1 3 0 】

その一方、データ「0」が保持されていた場合には、読み出し時に、強誘電体キャパシタ31の分極状態は反転しないため、選択WLと選択BLとの間の電位差 V_{pp} が十分大きい場合にも、セルトランジスタ32のゲート電極にはほとんど電荷が発生しない。このため、ゲート直下の半導体表面近傍にも負電荷はほとんど誘起されないので、セルトランジスタ32のソース・ドレイン間が導通することもない。このため、ドレイン電流は流れない。したがって、ドレイン電流を測定することによりデータの判別が可能になる。

【 0 1 3 1 】

具体的には、図21に示すように、(1)の読み出し動作において、選択セルである第4セルでは、ワード線WL1(選択WL)には V_{pp} 、ビット線BL1(選択BL)には0V、ソース線SL1(選択SL)には V_{pp} が印加される。なお、基板とビット線とは接続されているため、第4セルのセルトランジスタ32の基板電位は0Vになる。データ「1」が保持されていた場合、第4セル(選択セル)の強誘電体キャパシタ31は、分極状態が反転される。これにより、大きな電荷がゲート電極上に発生するので、チャンネルが形成される。このため、第4セル(選択セル)のセルトランジスタ32にドレイン電流が流れる。その一方、データ「0」が保持されていた場合には、第4セル(選択セル)の強誘電体キャパシタ31の分極状態は反転しない。このため、第4セル(選択セル)のセルトランジスタ32には、チャンネルが形成されないため、ドレイン電流が流れない。このドレイン電流を測定することによって、データ「0」および「1」の判別を行う。

【 0 1 3 2 】

また、非選択セルである第1セルでは、ワード線WL1(選択WL)に V_{pp} 、ビット線BL2(非選択BL)に $2/3 V_{pp}$ 、ソース線SL1(選択SL)に V_{pp} が印加される。この第1セルのセルトランジスタ32の基板電位および半導体表面近傍の電位は、 $2/3 V_{pp}$ となり、第1セルの強誘電体キャパシタ31には、 $1/3 V_{cc}$ の電位差が印加される。

【 0 1 3 3 】

また、非選択セルである第2セルでは、ワード線WL0(非選択WL)に $1/3 V_{pp}$ 、ビット線BL1(選択BL)に0V、ソース線SL0(非選択SL)に $2/3 V_{pp}$ が印加される。第2セルの基板電位および半導体表面近傍の電位は、0Vとなり、第2セルの強誘電体キャパシタ31には、 $1/3 V_{cc}$ の電位差が印加される。また、非選択セルである第3セルでは、ワード線WL0(非選択WL)に、 $1/3 V_{pp}$ 、ビット線BL2(非選択BL)およびソース線SL0(非選択SL)に、 $2/3 V_{pp}$ が印加される。この第3セルの基板電位および半導体表面近傍の電位は、 $2/3 V_{pp}$ となり、第3セルの強誘電体キャパシタ31には、 $-1/3 V_{cc}$ の電位差が印加される。

【 0 1 3 4 】

(2) データ「1」再書き込み動作

この場合の電圧配置は、図19に示したデータ「0」書き込み動作時の(1)の期間に行う逆データ書き込みと同じである。選択セルである第4セルがデータ「1」を保持していた場合、読み出し/再書き込みの動作はここで終了する。

【 0 1 3 5 】

(3) データ「1」書き込み動作

この場合の電圧配置は、図19に示したデータ「0」書き込み動作時の(1)の期間に行う逆データ書き込みと同じである。

【 0 1 3 6 】

(4) データ「0」再書き込み(再読み出し)動作

この場合の電圧配置は、図21に示す読み出し/再書き込み動作の(1)の期間に行う読み出しと同じである。すなわち、選択WLには V_{pp} 、選択BLには0V、選択SLには V_{pp} を印加する。

【 0 1 3 7 】

なお、この場合、選択SLに V_{pp} ではなく、0Vを印加するようにしてもよい。具体

10

20

30

40

50

的には、この(4)のデータ「0」再書き込みの状態では、(3)のデータ「1」書き込み動作でデータ「1」が書き込まれた状態であるので、選択セルである第4セルの強誘電体キャパシタ31には、必ず分極反転する方向に電圧がかかる。このため、セルトランジスタ32のゲート直下ではチャンネルが形成される。この場合、選択SLに上記のように V_{pp} を印加すると、第4セルのゲート直下の半導体表面近傍の電位は、必ずしも選択ビット線BL1と同電位(0V)にはならないため、強誘電体キャパシタ31に、 V_{cc} の電位差が印加されているとは限らない。これに対して、選択ソース線SL1を0Vにすれば、チャンネルが形成されていても半導体表面近傍の電位は0Vとなり、確実にデータ「0」を書き込むことができる。選択ソース線SL1を0Vにした場合の非選択セルである第1~第3セルの動作は、図19に示した「0」データ書き込み動作時の(2)の期間に行うデータ書き込みと同じである。

10

【0138】

この第8実施形態においても、(1)~(4)の読み出し/再書き込み動作を通じて、非選択セル(第1セル~第3セル)の強誘電体キャパシタ31には、 $\pm 1/3 V_{cc}$ がそれぞれ同じ回数印加されるので、書き込み動作時のディスタープによる非選択セルのデータ破壊を抑制することができる。

【0139】

(第9実施形態)

図22は、本発明の第9実施形態による単純マトリクス方式の強誘電体メモリの全体構成を示したブロック図である。図22を参照して、この第9実施形態では、上記第1~第8実施形態と異なり、非選択セルに $1/2 V_{cc}$ の電圧を印加する場合について説明する。

20

【0140】

具体的には、この第9実施形態による単純マトリクス方式の強誘電体メモリでは、図1に示した第1実施形態による強誘電体メモリの $1/3 V_{cc} \cdot 2/3 V_{cc}$ 生成回路10を、図22に示すように、 $1/2 V_{cc}$ 生成回路10aに置き換えている。その他の構成は、図1に示した第1実施形態と同様である。

【0141】

図23は、本発明の第9実施形態によるメモリセルアレイの選択セルと非選択セルとを説明するための概略図である。図24は、本発明の第9実施形態による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。図23および図24を参照して、この第9実施形態では、図23に示すワード線WL3とビット線BL3との交点に位置する第4セルを選択セルとして説明する。図24には、ワード線WLおよびビット線BLに印加する電圧波形が示されている。図24に示すT1(1)、T2(2)、T3(3)およびT4(4)の各動作の時間は、同じ時間(T秒:同じパルス幅)とする。また、(1)~(4)の各動作は、(1)から(4)まで連続して行ってもよいし、それぞれ独立して行ってもよい。以下に、(1)~(4)での各動作について説明する。なお、スタンバイ状態では、ワード線WLおよびビット線BLは、0Vとする。

30

【0142】

(1)読み出し動作T1

図24に示したT1の期間では、読み出し動作を行う。まず、スタンバイ状態から選択BLをフローティング状態(ハイインピーダンス状態)とする。これと同じタイミング、または、数 $nsec$ ~数 $10nsec$ だけタイミングを遅らせて、選択WLを V_{cc} 、非選択WLを $1/2 V_{cc}$ にする。その後、選択BLを0Vとする。選択BLがフローティング状態のとき、選択BLの電圧を検知することによって、データ「0」またはデータ「1」の判定を行う。このデータ「0」またはデータ「1」の判定は、選択BLの電位と別途生成された参照電位とを、電圧センスアンプであるリードアンプ8(図22参照)により比較して増幅することによって行う。

40

【0143】

50

図25は、第9実施形態による読み出し動作および再書き込み動作のT1の期間において各メモリセルに印加される電位差を説明するための図である。また、図26～図31は、非選択セルである第1セルおよび第2セルと、選択セルである第4セルとの分極状態の変化を示したヒステリシス図である。

【0144】

このT1の読み出し動作において、選択BLに繋がる非選択セルである第2セルでは、図25に示すように、 $1/2V_{cc} - V_r$ の電位差が $t_1 (< T_1)$ の期間印加され、その後、 $1/2V_{cc}$ の電位差が $(T_1 - t_1)$ の期間印加される。また、選択WLに繋がる非選択セルである第1セルには、 $1/2V_{cc}$ の電位差がT1の期間印加される。また、選択WLおよび選択BLに繋がらない非選択セルである第3セルには、0VがT1の期間印加される。その一方、選択セルである第4セルには、 $V_{cc} - V_r$ の電位差が t_1 の期間印加され、その後、 V_{cc} の電圧が $T_1 - t_1$ の期間印加される。

10

【0145】

なお、この第9実施形態では、選択BLに繋がる非選択セルである第2セルにおいて、 t_1 の期間受けた $(1/2V_{cc} - V_r)$ による分極量の変化 P_r は、 $(T_1 - t_1)$ の間に受けた $1/2V_{cc}$ による分極量の変化 P_r と比較して十分に小さく、かつ、 P_r はT1の期間の後のT2～T4においてそれぞれ発生する分極量の変化とほぼ同じ量となるように、 t_1 の期間を十分短く設定しているものとする。

【0146】

その結果、選択BLに繋がる非選択セルである第2セルのうち、データ「1」を保持するメモリセルでは、図26に示すように、分極状態の劣化が生じ、データ「0」を保持するメモリセルでは、図27に示すように、分極状態の改善が生じる。また、選択WLに繋がる非選択セル(第1セル)のうち、データ「1」を保持するメモリセルでは、図28に示すように、分極状態の劣化が生じ、データ「0」を保持するメモリセルでは、図29に示すように、分極状態の改善が生じる。なお、非選択WLと非選択BLとに繋がる非選択セル(第3セル)は、T1の期間中電位差が0Vであるため、保持しているデータに関わらず、分極状態は変化しない(図示せず)。また、選択セルである第4セルでは、データ「1」を保持していた場合には、図30に示すように、データ「1」が破壊されてデータ「0」が書き込まれた状態になる。また、選択セル(第4セル)がデータ「0」を保持していた場合には、図31に示すように、データは破壊されない。

20

30

【0147】

(2)再書き込み動作T2

上記した(1)の読み出し動作の後、図24に示すように、一旦スタンバイ状態に戻す。その後、選択WLを0V、非選択WLを $1/2V_{cc}$ 、選択BLを V_{cc} 、非選択BLを $1/2V_{cc}$ にする。図32は、T2の期間に各メモリセルに印加される電位差を説明するための図である。また、図33～図35は、非選択セルである第1セルおよび第2セルと、選択セルである第4セルとの分極状態の変化を示したヒステリシス図である。読み出し動作のT1の期間に、 $1/2V_{cc}$ が印加されていた非選択セルである第1セルおよび第2セルには、この再書き込み動作のT2の期間に、 $-1/2V_{cc}$ が印加される。また、T1の期間に0Vが印加された非選択セルである第3セルには、再び、0Vが印加される。

40

【0148】

その結果、非選択セルである第1セルおよび第2セルでデータ「1」が保持されていた場合には、図33に示すように、分極状態の改善が生じる。また、第1セルおよび第2セルでデータ「0」が保持されていた場合には、図34に示すように、分極状態の劣化が生じる。なお、非選択WLと非選択BLとに繋がる非選択セル(第3セル)は、T2の期間中電位差が0Vであるため、保持しているデータに関わらず、分極状態は変化しない(図示せず)。また、選択セルである第4セルでは、図35に示すように、データ「1」が書き込まれる。なお、(1)の読み出し動作T1において、データ「1」が読み出されていた場合には、第9実施形態の読み出しおよび再書き込み動作はT2で終了する。

50

【 0 1 4 9 】

(3) 補償動作 T 3

上記した (2) の再書き込み動作 T 2 の後、図 2 4 に示すように、一旦スタンバイ状態に戻す。その後、再度、選択 W L を 0 V、非選択 W L を $1 / 2 V_{cc}$ 、選択 B L を V_{cc} 、非選択 B L を $1 / 2 V_{cc}$ にする。図 3 6 は、T 3 の期間に各メモリセルに印加される電位差を説明するための図である。また、図 3 7 ~ 図 3 9 は、非選択セルである第 1 セルおよび第 2 セルと、選択セルである第 4 セルとの分極状態の変化を示したヒステリシス図である。再書き込み動作 T 2 において、 $- 1 / 2 V_{cc}$ が印加されていた非選択セル (第 1 セルおよび第 2 セル) には、図 3 6 に示すように、再度、 $- 1 / 2 V_{cc}$ が印加される。また、再書き込み動作 T 2 において、0 V が印加されていた非選択セル (第 3 セル) は、0 V のままである。

10

【 0 1 5 0 】

その結果、第 1 セルおよび第 2 セルでデータ「 1 」を保持していた場合には、図 3 7 に示すように、分極状態の改善が生じる。また、第 1 セルおよび第 2 セルでデータ「 0 」を保持していた場合には、図 3 8 に示すように、分極状態の劣化が生じる。なお、図 3 8 において、Pr 2 は、分極状態が 2 回劣化した時の分極量の減少量を示している。また、非選択セルである第 3 セルでは、電位差が 0 V であるため、分極状態の変化はない (図示せず)。また、選択セルである第 4 セルでは、図 3 9 に示すように、再度、データ「 1 」が書き込まれる。

【 0 1 5 1 】

(4) 再書き込み動作 T 4

上記した (3) の補償動作 T 3 の後、図 2 4 に示すように、一旦スタンバイ状態に戻す。その後、選択 W L を V_{cc} 、非選択 W L を $1 / 2 V_{cc}$ 、選択 B L を 0 V、非選択 B L を $1 / 2 V_{cc}$ にする。図 4 0 は、T 4 の期間に各メモリセルに印加される電位差を説明するための図である。また、図 4 1 ~ 図 4 3 は、T 4 における非選択セルである第 1 セルおよび第 2 セルと、選択セルである第 4 セルとの分極状態の変化を示したヒステリシス図である。補償動作 T 3 において $- 1 / 2 V_{cc}$ が印加されていた非選択セル (第 1 セルおよび第 2 セル) には、この再書き込み動作 T 4 において、図 4 0 に示すように、 $1 / 2 V_{cc}$ が印加される。その一方、補償動作 T 3 において、0 V が印加されていた非選択セル (第 3 セル) は、0 V のままである。

20

30

【 0 1 5 2 】

その結果、第 1 セルおよび第 2 セルでデータ「 1 」を保持していた場合には、図 4 1 に示すように、分極状態の劣化が生じる。また、第 1 セルおよび第 2 セルでデータ「 0 」が保持されていた場合には、図 4 2 に示すように、分極状態の改善が生じる。その一方、非選択セルである第 3 セルは、電位差が 0 V であるため、分極状態の変化はない (図示せず)。また、選択セルである第 4 セルは、図 4 3 に示すように、データ「 0 」が書き込まれる。

【 0 1 5 3 】

ここで、第 9 実施形態では、図 3 2 に示した再書き込み動作 T 2 後のスタンバイ状態または図 4 0 に示した再書き込み動作 T 4 後のスタンバイ状態におけるメモリセルの分極状態が、一連の読み出しおよび再書き込み動作後の各メモリセルの分極状態となる。一部のメモリセルでは、1 回分のディスタープによる分極状態の劣化が生じている。しかし、読み出しおよび再書き込み動作を繰り返す場合にも、この分極状態の劣化が増加することはない。

40

【 0 1 5 4 】

図 4 4 には、ディスタープによる分極状態の劣化がない初期状態 (T 0) から、第 9 実施形態の読み出しおよび再書き込み動作を行った場合の第 1 セルおよび第 2 セルの分極量の変化が示されている。また、図 4 5 には、ディスタープによる分極状態の劣化が 1 回存在する初期状態 (T 0) から、第 9 実施形態の読み出しおよび再書き込み動作を行った場合の第 1 セルおよび第 2 セルの分極量の変化が示されている。なお、非選択セルである第

50

3セルは、一連の読み出しおよび再書き込み動作時に電位差は常に0Vであり、分極状態の変化がない(ディスターブがない)ため、図示していない。図44および図45に示すように、読み出しおよび再書き込み動作を繰り返した場合にも、分極状態の劣化が増加することがないことがわかる。

【0155】

第9実施形態では、上記のように、読み出し動作および再書き込み動作を通じて、非選択セルのうち、第1セルおよび第2セルには、 $\pm 1/2 V_{cc}$ を交互に印加することによって、分極状態の劣化による非選択セル(第1セルおよび第2セル)のデータの破壊を有効に抑制することができる。また、非選択セルのうち、第3セルについては、読み出し動作および再書き込み動作を通じて、常に0Vが印加されているため、分極状態の劣化による非選択セルのデータ破壊は生じない。

10

【0156】

(書き込み動作)

図46は、本発明の第9実施形態による単純マトリクス方式の強誘電体メモリの書き込み動作を説明するための電圧波形図である。図47は、第9実施形態による書き込み動作のT1(T4)の期間における各メモリセルに印加される電位差を説明するための図である。図48~図50は、T1(T4)の期間における非選択セル(第1セルおよび第2セル)と選択セル(第4セル)との分極状態の変化を示したヒステリシス図である。図51は、T2(T3)の期間に各メモリセルに印加される電位差を説明するための図であり、図52~図54は、T2(T3)の期間における非選択セル(第1セルおよび第2セル)と選択セル(第4セル)との分極状態の変化を示したヒステリシス図である。

20

【0157】

以下、図46~図54を参照して、第9実施形態による単純マトリクス方式の強誘電体メモリにおけるデータ「1」の書き込み動作について説明する。

【0158】

(1)補償動作T1

まず、図46に示すように、スタンバイ状態から、選択WLを V_{cc} 、非選択WLを $1/2 V_{cc}$ 、選択BLを0V、非選択BLを $1/2 V_{cc}$ にする。この場合、各メモリセルに印加される電位差は、図47に示すようになる。すなわち、非選択セルのうち第1セルおよび第2セルには、 $1/2 V_{cc}$ がT1の期間印加され、非選択セルのうち第3セルには、0VがT1の期間印加される。その一方、選択セルである第4セルには、 V_{cc} の電位差がT1の期間印加される。

30

【0159】

その結果、第1セルおよび第2セルでデータ「1」が保持されている場合には、図48に示すように、分極状態の劣化が生じる。また、非選択セルである第1セルおよび第2セルでデータ「0」が保持されている場合には、図49に示すように、分極状態の改善が生じる。また、非選択セルである第3セルでは、電位差が0Vであるため、分極状態の変化はない(図示せず)。また、選択セルである第4セルでは、図50に示すように、データ「0」が書き込まれる。

【0160】

(2)書き込み動作T2

書き込み動作T2の期間では、図46に示すように、スタンバイ状態から、選択WLを0V、非選択WLを $1/2 V_{cc}$ 、選択BLを V_{cc} 、非選択BLを $1/2 V_{cc}$ にする。この場合、各メモリセルに印加される電位差は、図51に示すようになる。すなわち、非選択セルのうち第1セルおよび第2セルには、 $-1/2 V_{cc}$ がT2の期間印加される。また、非選択セルのうち第3セルには0Vの電位差がT2の期間印加される。その一方、選択セルである第4セルには、 $-V_{cc}$ の電位差がT2の期間印加される。

40

【0161】

その結果、非選択セルである第1セルおよび第2セルでデータ「1」が保持されていた場合には、図52に示すように、分極状態の改善が生じる。また、非選択セルのうち第1

50

セルおよび第2セルでデータ「0」が保持されていた場合には、分極状態の劣化が生じる。また、非選択セルのうち第3セルでは、電位差が0Vであるため、分極状態の変化はない(図示せず)。また、選択セルである第4セルでは、図54に示すように、データ「1」が書き込まれる。

【0162】

図52～図54に示したT2後スタンバイ状態における各メモリセルの分極状態が、一連の書き込み動作後の各メモリセルの分極状態となる。一部のメモリセルでは、1回分のディスタープによる分極状態の劣化が生じている。しかし、書き込み動作を繰り返す場合にもこの分極状態の劣化が増加することはない。この第9実施形態では、一連の書き込み動作の中で、分極状態の劣化と改善とがそれぞれ1回ずつ引き起こされるため、1回分のディスタープによる分極状態の劣化が存在する初期状態から、一連の書き込み動作を開始した場合にも、書き込み動作終了後に劣化量が増大することはない。

10

【0163】

なお、データ「0」の書き込み動作においても、上記したデータ「1」の書き込み動作と同様に、予め逆のデータを書き込んだ後に、書き込むべきデータを書き込む。この場合にも、得られる効果は、データ「1」の上記した効果と同様である。

【0164】

第9実施形態では、上記のように、ワード線WLおよびビット線BLを、 V_{cc} 、 $1/2 V_{cc}$ および0Vの3種類の電圧で駆動するので、ワード線WLおよびビット線BLを、 V_{cc} 、 $2/3 V_{cc}$ 、 $1/3 V_{cc}$ および0Vの4種類の電圧で駆動する上記した第1～第8実施形態に比べて、電圧の種類を減少させることができる。これにより、この第9実施形態では、第1～第8実施形態に比べて、制御回路を簡略化することができることも、消費電力を低減することができ、かつ、電圧生成回路を簡単にすることができる。

20

【0165】

また、上記第9実施形態においては、非選択セルに印加される電圧値である $1/2 V_{cc}$ を、強誘電体メモリを構成するメモリセルの有するヒステリシス特性から考えられる抗電圧(分極反転する電圧)以下になるように、 V_{cc} を設定している。これにより、最終的に非選択セルに発生する分極状態の劣化量を少なくすることができる。

【0166】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

30

【0167】

たとえば、上記実施形態では、各動作(1)～(4)の間に、スタンバイ状態を配置するようにしたが、本発明はこれに限らず、各動作(1)～(4)の間にスタンバイ状態を設けずに、連続して行うようにしてもよい。

【0168】

上記実施形態では、記憶手段としての強誘電体膜を含む強誘電体メモリについて説明したが、本発明はこれに限らず、ビット線とワード線との間に記憶手段が接続されるメモリであれば、他のメモリであってもよい。たとえば、記憶手段が抵抗素子により形成されるメモリについても同様に適用可能である。

40

【0169】

また、上記第8実施形態では、MFMI S構造を有するFET型の強誘電体メモリについて説明したが、本発明はこれに限らず、MFI S構造およびMFS構造を有するFET型の強誘電体メモリにも同様に適用可能である。

【0170】

また、上記第8実施形態では、読み出し/再書き込み動作の(1)の期間に行う読み出し動作において、選択セルである第4セルのソース線SL1(選択SL)に V_{pp} の電圧を印加するようにしたが、本発明はこれに限らず、選択SLには、たとえば、非選択BL

50

と同じ $2/3 V_{pp}$ などの電圧を印加するようにしてもよい。

【0171】

また、上記実施形態では、(1)～(4)の各動作の時間を同じ時間(T秒)にした例を示したが、本発明はこれに限らず、たとえば、(1)の期間をT1秒、(2)の期間をT2秒として、(1)および(2)を繰り返した場合に、非選択セルにおいて実質的に分極状態の劣化が発生しなければ、T1 T2でもよい。

【0172】

また、上記実施形態では、スタンバイ状態で、ワード線WLおよびビット線BLを0Vにした例を示したが、本発明はこれに限らず、スタンバイ状態でワード線WLおよびビット線BLを0V以外の所定の同じ電位にしてもよい。ただし、たとえば、WL = BL = 1Vをスタンバイ状態の電圧とした場合、読み出し時に、選択BL = 1V フローティングというように、選択BLのフローティング前の電位は、スタンバイ状態の電位にする必要がある。

【0173】

また、上記実施形態では、データの読み出し時に、スタンバイ状態から選択BLをフローティング状態にするのと同じタイミングで、選択WL、非選択WLおよび非選択BLを所定の電圧に設定したが、本発明はこれに限らず、スタンバイ状態から選択BLをフローティング状態にするタイミングから数十ns程度遅らせたタイミングで、選択WL、非選択WLおよび非選択BLを所定の電圧に設定してもよい。

【0174】

また、図4に示した第1実施形態では、スタンバイ状態での電圧をWL = BL = 0Vとした例を示したが、本発明はこれに限らず、図55に示した第1実施形態の第1変形例のように、スタンバイ状態での電圧をWL = BL = V_{cc} としてもよい。この場合の電圧配置は、図55に示すようになる。この場合、(1)の読み出し動作でデータ「0」が読み出された場合には、(2)の動作で終了し、(1)の読み出し動作でデータ「1」が読み出された場合には、(4)の動作まで行う。この第1実施形態の第1変形例においても、上記第1実施形態と同様、データ「1」が読み出された場合およびデータ「0」が読み出された場合の両方の場合において、分極状態の劣化の回数と分極状態の改善の回数とは等しくなる。したがって、読み出し動作および再書き込み動作を繰り返し行ったとしても、非選択セルにおいて分極状態の劣化が蓄積されていくことはない。最終的に保持しているデータが破壊されることはない。なお、スタンバイ状態での電圧がWL = BL = $1/2 V_{cc}$ の場合には、図55に示した第1実施形態の第1変形例によるシーケンスが好ましく、スタンバイ状態での電圧がWL = BL < $1/2 V_{cc}$ の場合には、図4に示した第1実施形態のシーケンスが好ましい。

【0175】

また、図4に示した第1実施形態では、読み出されたデータが「1」の場合(「1」Readの場合)に、(1)および(2)のみで読み出し動作および再書き込み動作を終了するようにしたが、本発明はこれに限らず、図56および図57に示した第1実施形態の第2変形例および第3変形例のように、読み出されたデータが「1」の場合(「1」Readの場合)に、(1)～(4)のシーケンスで読み出し動作および再書き込み動作を行うようにしてもよい。この場合には、読み出されたデータが「1」の場合(「1」Readの場合)、図56または図57に示した(1)～(4)のシーケンスで読み出し動作および再書き込み動作を行い、読み出されたデータが「0」の場合(「0」Readの場合)、図4に示した(1)～(4)のシーケンスで読み出し動作および再書き込み動作を行う。

【図面の簡単な説明】

【図1】 本発明の第1実施形態による単純マトリックス方式の強誘電体メモリの全体構成を示したブロック図である。

【図2】 図1に示した第1実施形態による強誘電体メモリの $1/3 V_{cc}$ ・ $2/3 V_{cc}$ 生成回路の内部構成を示した回路図である。

【図3】 本発明の第1実施形態によるメモリセルアレイの選択セルと非選択セルとを説

10

20

30

40

50

明するための概略図である。

【図4】 本発明の第1実施形態による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。

【図5】 本発明の第1実施形態における読み出しおよび再書き込み動作において選択セルにデータ「1」が保持されていた場合の分極状態の変化を示したヒステリシス図である。

【図6】 第1実施形態による読み出し動作および再書き込み動作において選択セルにデータ「0」が保持されていた場合の分極状態の変化を示したヒステリシス図である。

【図7】 本発明の第2実施形態による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。

10

【図8】 本発明の第3実施形態による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。

【図9】 本発明の第5実施形態による単純マトリクス方式の強誘電体メモリのメモリセルアレイ領域の構成を示した概略図である。

【図10】 本発明の第5実施形態による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。

【図11】 本発明の第5実施形態の変形例による単純マトリクス方式の強誘電体メモリのメモリセルアレイ領域を示した概略図である。

【図12】 本発明の第6実施形態によるデータ「0」の書き込み動作を説明するための電圧波形図である。

20

【図13】 本発明の第6実施形態によるデータ「1」の書き込み動作を説明するための電圧波形図である。

【図14】 図12および図13に示した第6実施形態による書き込み動作の効果を説明するためのヒステリシス図である。

【図15】 本発明の第7実施形態による強誘電体メモリの動作方法を適用するメモリセルアレイの構成を示した等価回路図である。

【図16】 本発明の第8実施形態による強誘電体メモリの動作方法を適用するメモリセルアレイを示した等価回路図である。

【図17】 本発明の第8実施形態による強誘電体メモリの動作方法におけるデータ「0」の状態を示した等価回路図である。

30

【図18】 本発明の第8実施形態による強誘電体メモリの動作方法におけるデータ「1」の状態を示した等価回路図である。

【図19】 本発明の第8実施形態によるデータ「0」の書き込み動作を説明するための電圧波形図である。

【図20】 本発明の第8実施形態によるデータ「1」の書き込み動作を説明するための電圧波形図である。

【図21】 本発明の第8実施形態による読み出し/再書き込み動作を説明するための電圧波形図である。

【図22】 本発明の第9実施形態による単純マトリクス方式の強誘電体メモリの全体構成を示したブロック図である。

40

【図23】 本発明の第9実施形態によるメモリセルアレイの選択セルと非選択セルとを説明するための概略図である。

【図24】 本発明の第9実施形態による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。

【図25】 第9実施形態による読み出し動作および再書き込み動作のT1の期間において各メモリセルに印加される電位差を説明するための図である。

【図26】 第9実施形態による読み出し動作および再書き込み動作において、第2セルにデータ「1」が保持されていた場合のT1の期間における分極状態の変化を示したヒステリシス図である。

【図27】 第9実施形態による読み出し動作および再書き込み動作において、第2セル

50

にデータ「0」が保持されていた場合のT1の期間における分極状態の変化を示したヒステリシス図である。

【図28】 第9実施形態による読み出し動作および再書き込み動作において、第1セルにデータ「1」が保持されていた場合のT1の期間における分極状態の変化を示したヒステリシス図である。

【図29】 第9実施形態による読み出し動作および再書き込み動作において、第1セルにデータ「0」が保持されていた場合のT1の期間における分極状態の変化を示したヒステリシス図である。

【図30】 第9実施形態による読み出し動作および再書き込み動作において、選択セル（第4セル）にデータ「1」が保持されていた場合のT1の期間における分極状態の変化を示したヒステリシス図である。

10

【図31】 第9実施形態による読み出し動作および再書き込み動作において、選択セル（第4セル）にデータ「0」が保持されていた場合のT1の期間における分極状態の変化を示したヒステリシス図である。

【図32】 第9実施形態による読み出し動作および再書き込み動作において、T2の期間に各メモリセルに印加される電位差を説明するための図である。

【図33】 第9実施形態による読み出し動作および再書き込み動作において、非選択セルである第1セルおよび第2セルにデータ「1」が保持されていた場合のT2の期間における分極状態の変化を示したヒステリシス図である。

【図34】 第9実施形態による読み出し動作および再書き込み動作において、非選択セルである第1セルおよび第2セルにデータ「0」が保持されていた場合のT2の期間における分極状態の変化を示したヒステリシス図である。

20

【図35】 第9実施形態による読み出し動作および再書き込み動作において、T2の期間における選択セル（第4セル）の分極状態の変化を示したヒステリシス図である。

【図36】 第9実施形態による読み出し動作および再書き込み動作において、T3の期間における各メモリセルに印加される電位差を説明するための図である。

【図37】 第9実施形態による読み出し動作および再書き込み動作において、非選択セルである第1セルおよび第2セルにデータ「1」が保持されていた場合のT3の期間における分極状態の変化を示したヒステリシス図である。

【図38】 第9実施形態による読み出し動作および再書き込み動作において、非選択セルである第1セルおよび第2セルにデータ「0」が保持されていた場合のT3の期間における分極状態の変化を示したヒステリシス図である。

30

【図39】 第9実施形態による読み出し動作および再書き込み動作において、T3の期間における選択セル（第4セル）の分極状態の変化を示したヒステリシス図である。

【図40】 第9実施形態による読み出し動作および再書き込み動作において、T4の期間における各メモリセルに印加される電位差を説明するための図である。

【図41】 第9実施形態による読み出し動作および再書き込み動作において、非選択セルである第1セルおよび第2セルにデータ「1」が保持されていた場合のT4の期間における分極状態の変化を示したヒステリシス図である。

【図42】 第9実施形態による読み出し動作および再書き込み動作において、非選択セルである第1セルおよび第2セルにデータ「0」が保持されていた場合のT4の期間における分極状態の変化を示したヒステリシス図である。

40

【図43】 第9実施形態による読み出し動作および再書き込み動作において、T4の期間における選択セル（第4セル）の分極状態の変化を示したヒステリシス図である。

【図44】 ディスタープによる分極状態の劣化がない初期状態（T0）から、第9実施形態による読み出しおよび再書き込み動作を行った場合の非選択セル（第1セルおよび第2セル）の分極量の変化を示した図である。

【図45】 ディスタープによる分極状態の劣化が1回存在する初期状態（T0）から、第9実施形態による読み出しおよび再書き込み動作を行った場合の非選択セル（第1セルおよび第2セル）の分極状態の変化を示した図である。

50

【図46】 本発明の第9実施形態による単純マトリクス方式の強誘電体メモリの書き込み動作を説明するための電圧波形図である。

【図47】 第9実施形態による書き込み動作のT1(T4)の期間における各メモリセルに印加される電位差を説明するための図である。

【図48】 第9実施形態による書き込み動作において、非選択セルである第1セルおよび第2セルでデータ「1」が保持されていた場合のT1(T4)の期間における分極状態の変化を示したヒステリシス図である。

【図49】 第9実施形態による書き込み動作において、非選択セルである第1セルおよび第2セルでデータ「0」が保持されていた場合のT1(T4)の期間における分極状態の変化を示したヒステリシス図である。

10

【図50】 第9実施形態による書き込み動作において、T1(T4)の期間における選択セル(第4セル)の分極状態の変化を示したヒステリシス図である。

【図51】 第9実施形態による書き込み動作におけるT2(T3)の期間に各メモリセルに印加される電位差を説明するための図である。

【図52】 第9実施形態による書き込み動作において、非選択セルである第1セルおよび第2セルでデータ「1」が保持されていた場合のT2(T3)の期間における分極状態の変化を示したヒステリシス図である。

【図53】 第9実施形態による書き込み動作において、非選択セルである第1セルおよび第2セルでデータ「0」が保持されていた場合のT2(T3)の期間における分極状態の変化を示したヒステリシス図である。

20

【図54】 第9実施形態による書き込み動作において、T2(T3)の期間における選択セル(第4セル)の分極状態の変化を示したヒステリシス図である。

【図55】 本発明の第1実施形態の第1変形例による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。

【図56】 本発明の第1実施形態の第2変形例による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。

【図57】 本発明の第1実施形態の第3変形例による単純マトリクス方式の強誘電体メモリの読み出し動作および再書き込み動作を説明するための電圧波形図である。

【図58】 従来のDRAMのメモリセルの構成を示した等価回路図である。

【図59】 従来のDRAMのトレンチ型キャパシタの構造を示した断面図である。

30

【図60】 従来の1トランジスタ1キャパシタ方式の強誘電体メモリのメモリセルを示した等価回路図である。

【図61】 従来の単純マトリクス方式の強誘電体メモリのメモリセルアレイを示した等価回路図である。

【図62】 従来の単純マトリクス方式の強誘電体メモリの動作を説明するためのヒステリシス図である。

【図63】 従来の単純マトリクス方式の強誘電体メモリにおけるディスタ urb 現象を説明するためのヒステリシス図である。

【図64】 従来の1トランジスタ方式の強誘電体メモリのメモリセルを示した等価回路図である。

40

【図65】 従来の1トランジスタ方式の強誘電体メモリの動作を説明するためのヒステリシス図である。

【図66】 図64に示した従来の1トランジスタ方式の強誘電体メモリの書き込み時における電圧印加状態を説明するための等価回路図である。

【図67】 図64に示した従来の1トランジスタ方式の強誘電体メモリのスタンバイ時における電圧印加状態を説明するための等価回路図である。

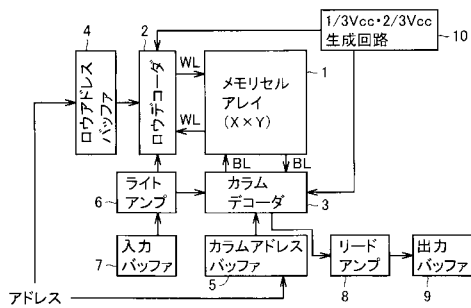
【符号の説明】

- 1 メモリセルアレイ
- 2 ロウデコーダ
- 3 カラムデコーダ

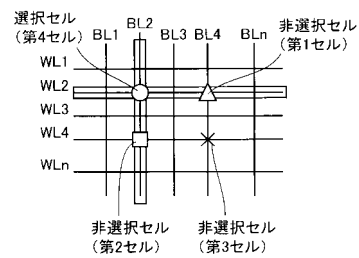
50

- 8 リードアンプ
- 10 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路
- 10a $1/2V_{cc}$ 生成回路
- 20 メモリセル
- 21 強誘電体キャパシタ
- 22 負荷容量
- 30 メモリセル
- 31 強誘電体キャパシタ
- 32 セルトランジスタ

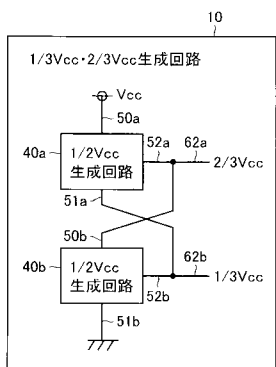
【図1】



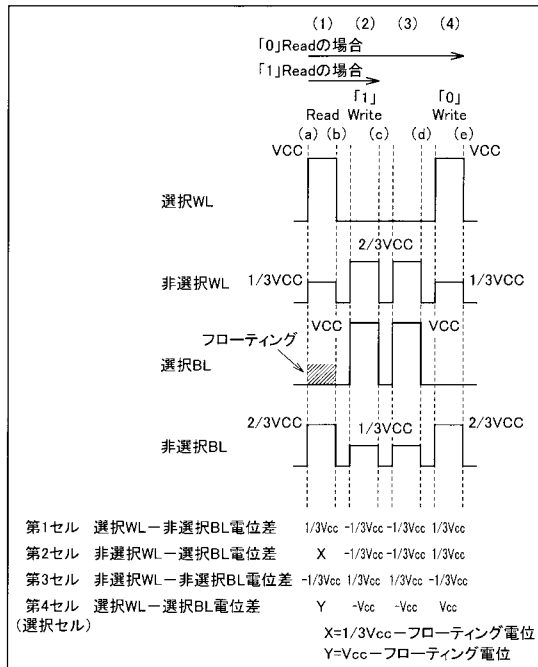
【図3】



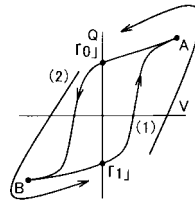
【図2】



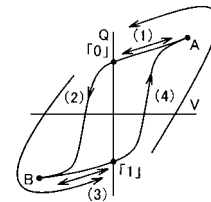
【 図 4 】



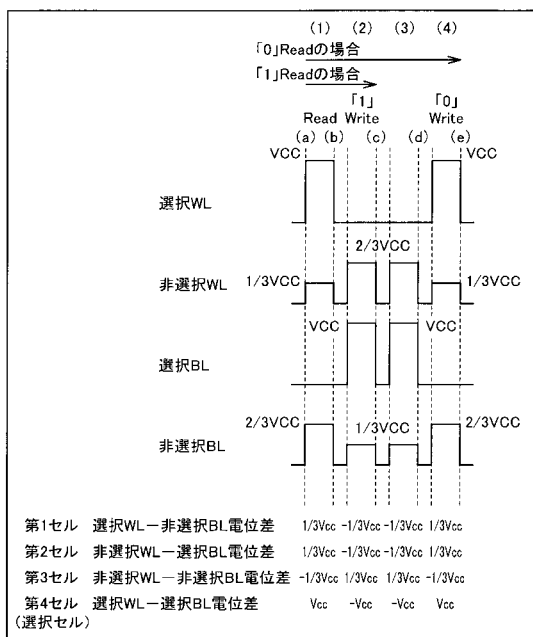
【 図 5 】



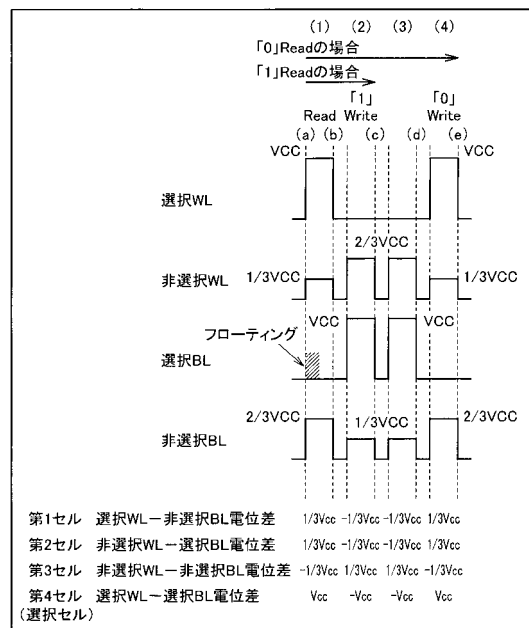
【 図 6 】



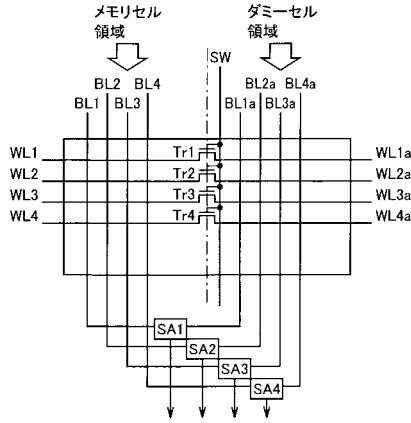
【 図 7 】



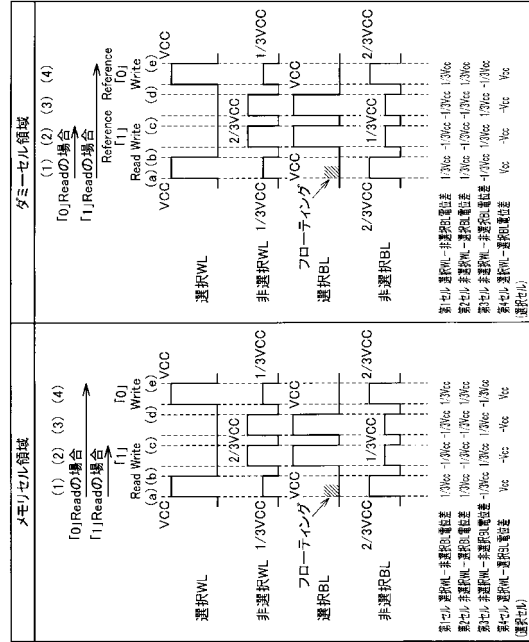
【 図 8 】



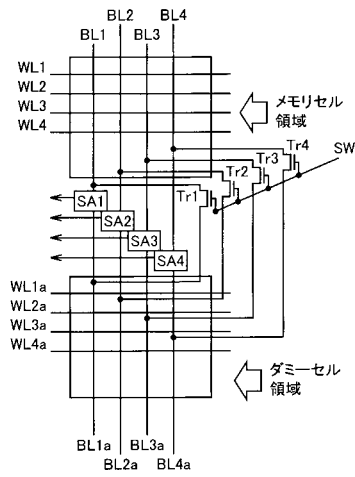
【 図 9 】



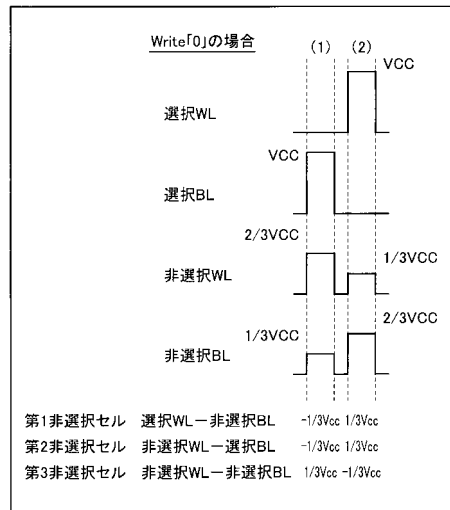
【 図 10 】



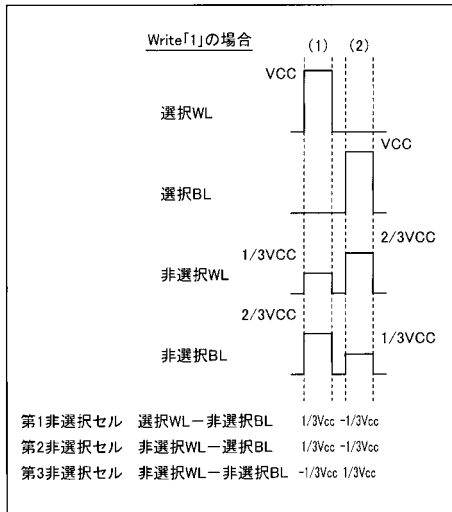
【 図 11 】



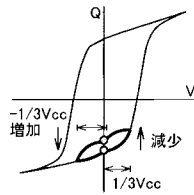
【 図 12 】



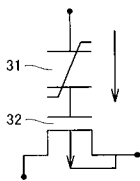
【 図 1 3 】



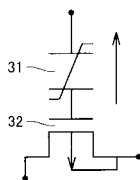
【 図 1 4 】



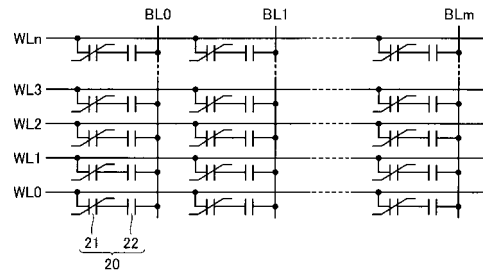
【 図 1 7 】



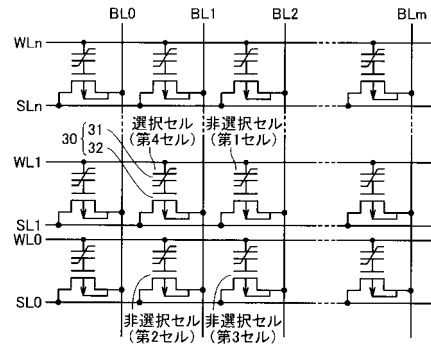
【 図 1 8 】



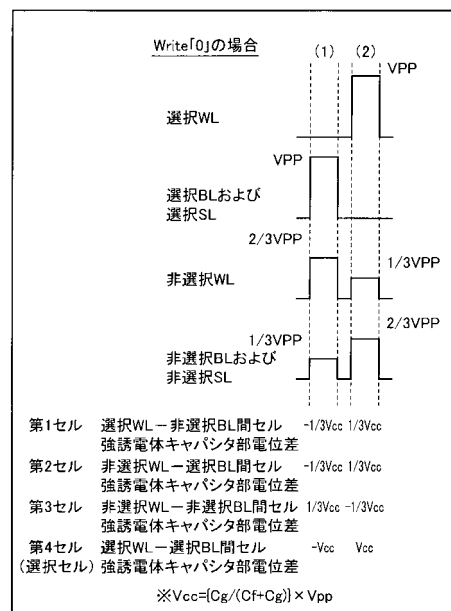
【 図 1 5 】



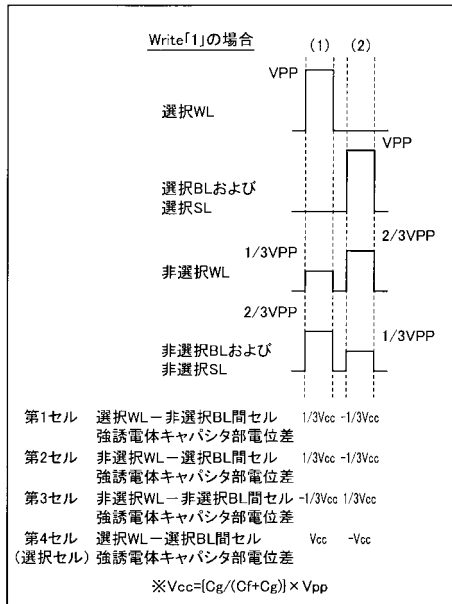
【 図 1 6 】



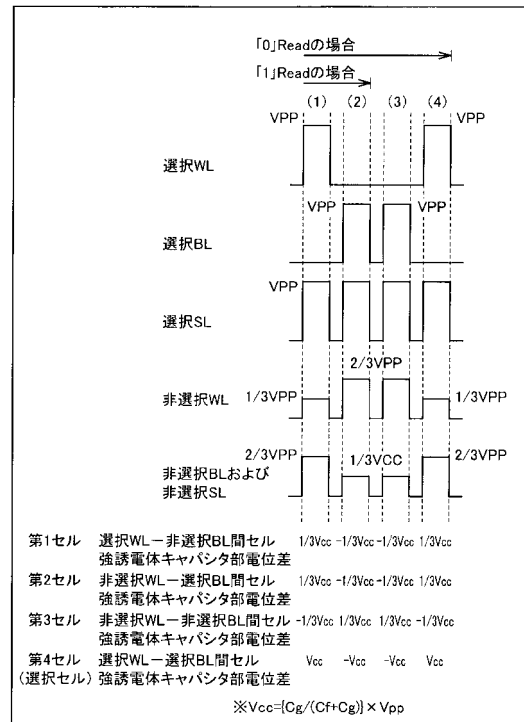
【 図 1 9 】



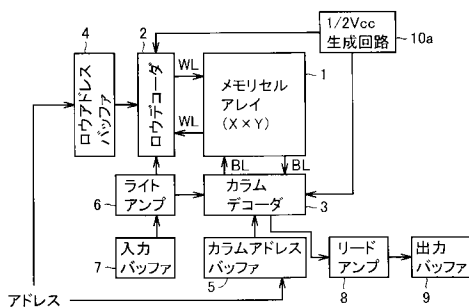
【図 2 0】



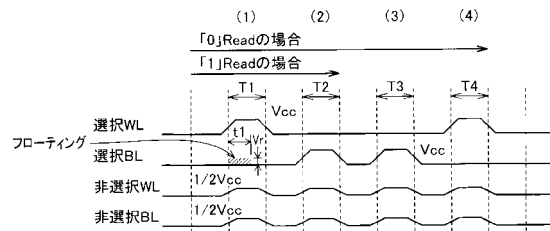
【図 2 1】



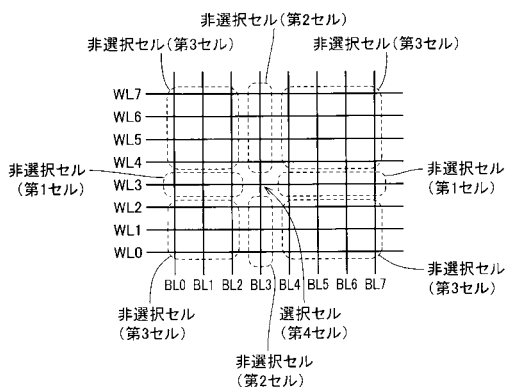
【図 2 2】



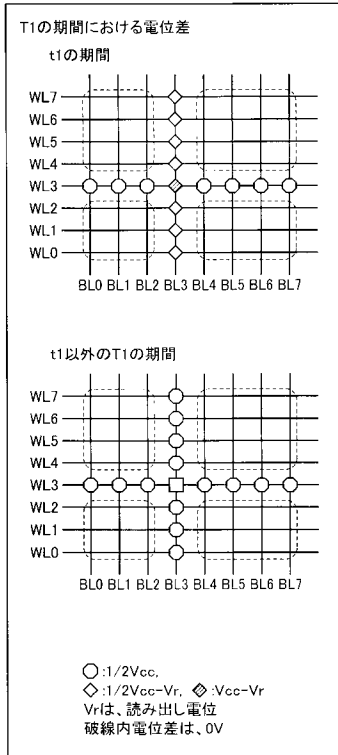
【図 2 4】



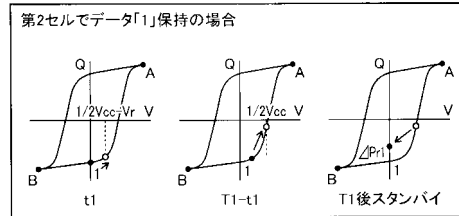
【図 2 3】



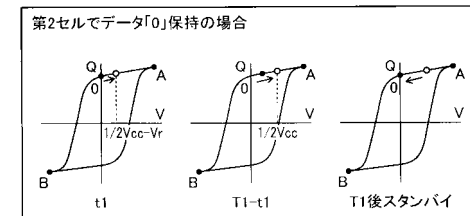
【 図 2 5 】



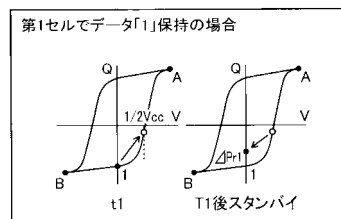
【 図 2 6 】



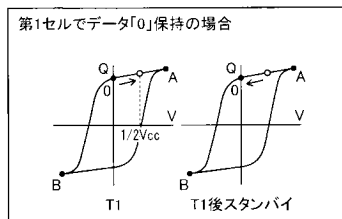
【 図 2 7 】



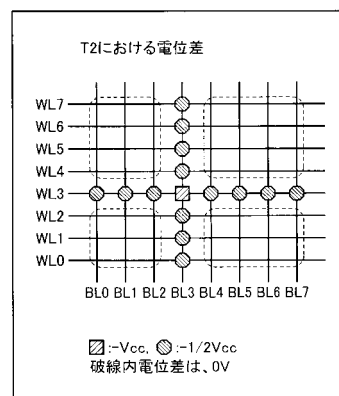
【 図 2 8 】



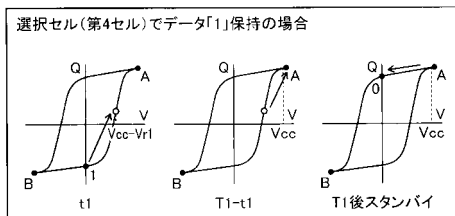
【 図 2 9 】



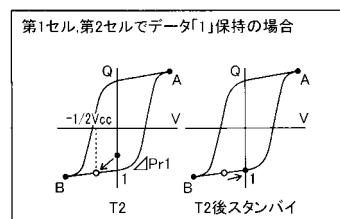
【 図 3 2 】



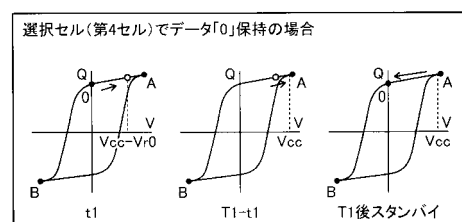
【 図 3 0 】



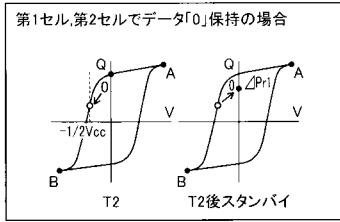
【 図 3 3 】



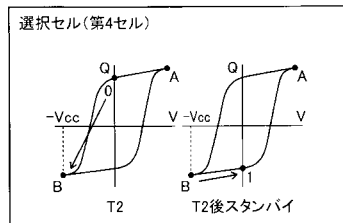
【 図 3 1 】



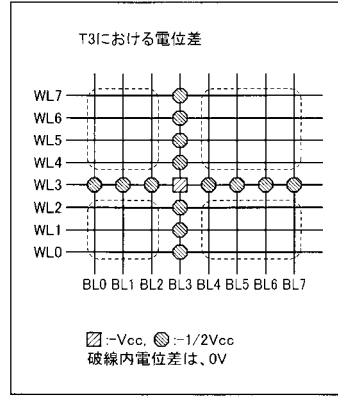
【図34】



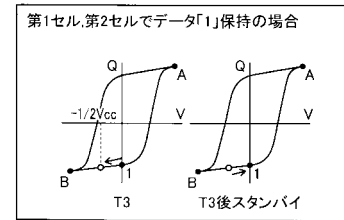
【図35】



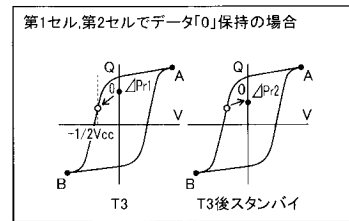
【図36】



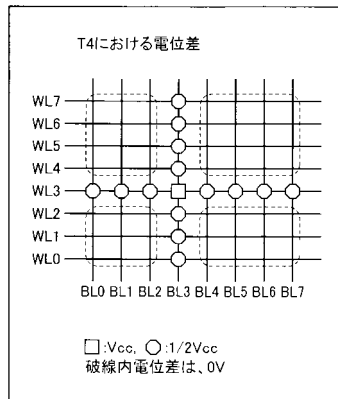
【図37】



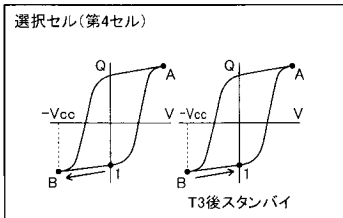
【図38】



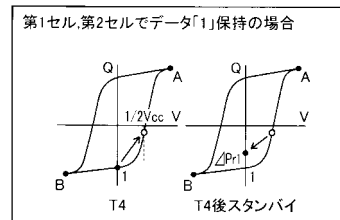
【図40】



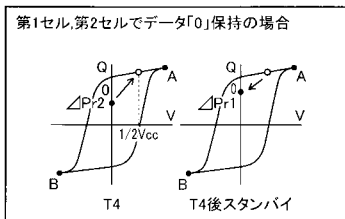
【図39】



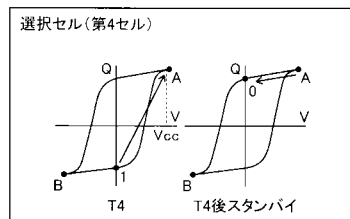
【図41】



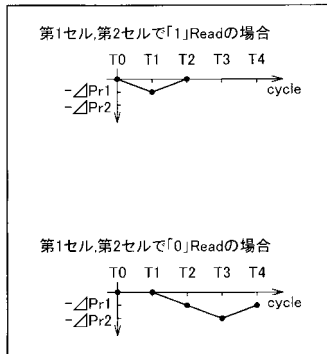
【 図 4 2 】



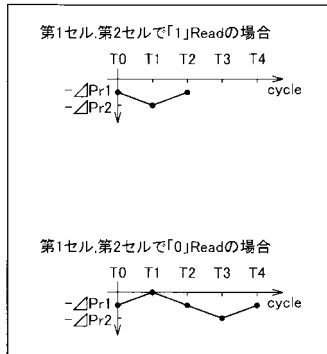
【 図 4 3 】



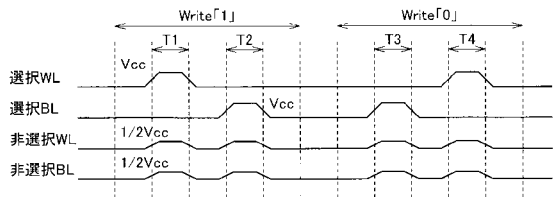
【 図 4 4 】



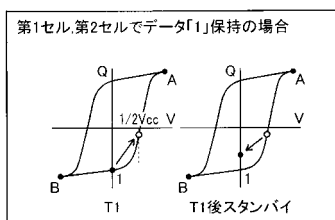
【 図 4 5 】



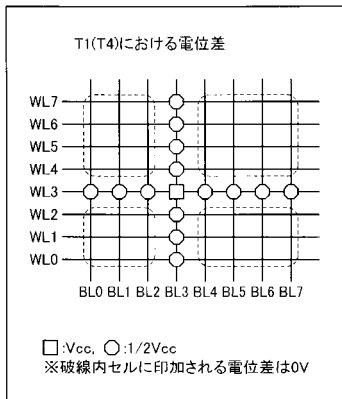
【 図 4 6 】



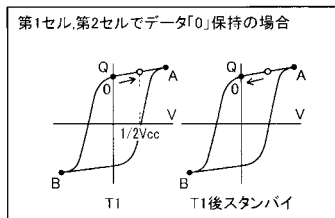
【 図 4 8 】



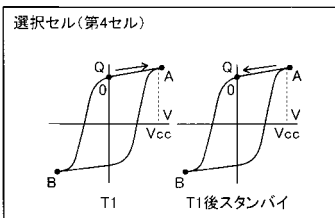
【 図 4 7 】



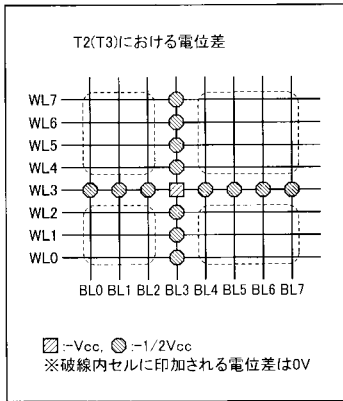
【 図 4 9 】



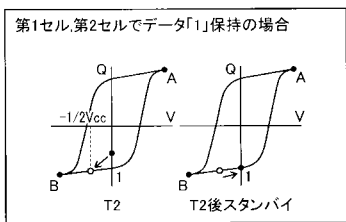
【 図 5 0 】



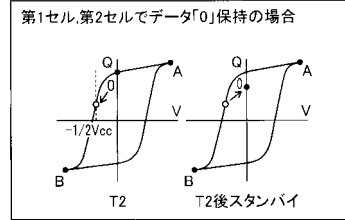
【 図 5 1 】



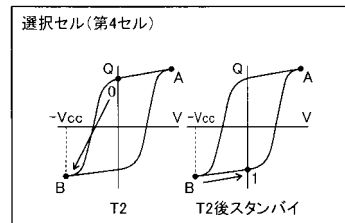
【 図 5 2 】



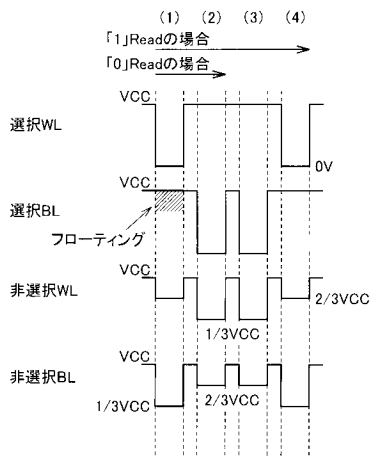
【 図 5 3 】



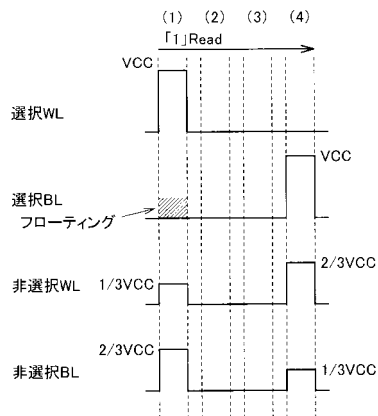
【 図 5 4 】



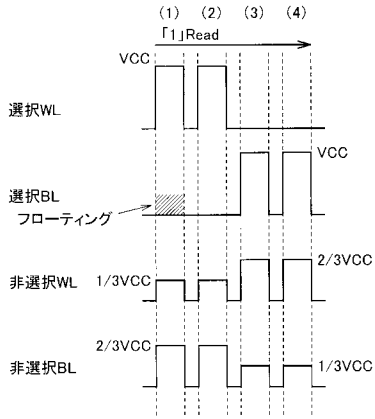
【 図 5 5 】



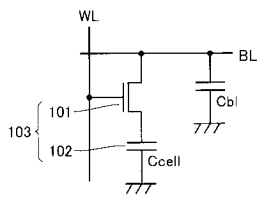
【 図 5 6 】



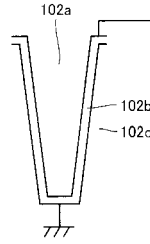
【図57】



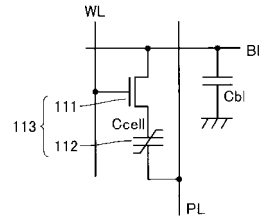
【図58】



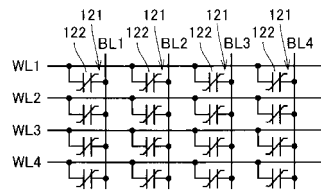
【図59】



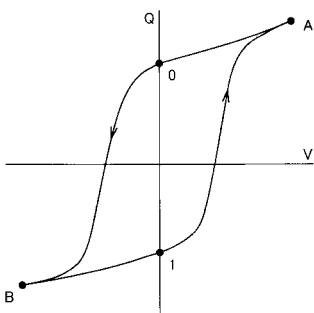
【図60】



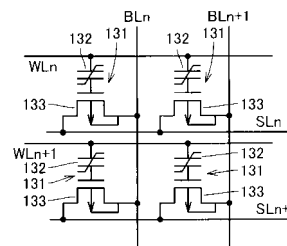
【図61】



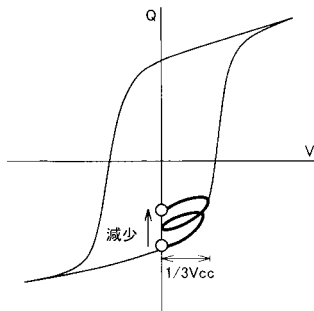
【図62】



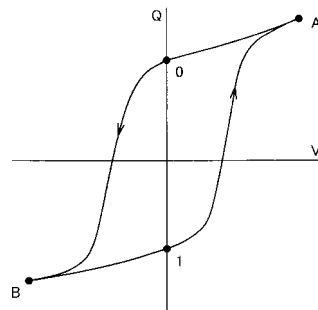
【図64】



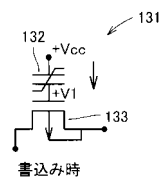
【図63】



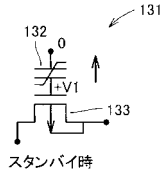
【図65】



【図66】



【図 67】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G11C 11/22

H01L 21/8246

H01L 27/10

H01L 27/105