

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】令和5年9月20日(2023.9.20)

【公開番号】特開2021-52394(P2021-52394A)

【公開日】令和3年4月1日(2021.4.1)

【年通号数】公開・登録公報2021-016

【出願番号】特願2020-157536(P2020-157536)

【国際特許分類】

H 04 N 25/76(2023.01)

10

H 01 L 27/146(2006.01)

H 04 N 25/772(2023.01)

【F I】

H 04 N 5/374

H 01 L 27/146 A

H 04 N 5/3745500

【手続補正書】

【提出日】令和5年9月11日(2023.9.11)

20

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の第1のピクセル回路を含む第1の基板と、複数の第2のピクセル回路を含む第2の基板とを含むイメージセンサー装置であって、

前記複数の第1のピクセル回路は第1の光検出器を含み、

前記複数の第2のピクセル回路は、

30

前記第1の光検出器から生成された第1のデジタル信号を記憶するように構成された第1のメモリセルと第1のダミーメモリセルとを含む第1のメモリ回路と、

第2の光検出器から生成された第2のデジタル信号を記憶するように構成された第2のメモリセルと第2のダミーメモリセルとを含む第2のメモリ回路と、を含み、

前記第1のメモリ回路は第1の方向で前記第2のメモリ回路に直接隣接して配置され、

前記複数の第1のピクセル回路のうちの1つの第1のピクセル回路と前記複数の第2のピクセル回路のうちの1つの第2のピクセル回路とが、1つのデジタルピクセルを構成する、

イメージセンサー装置。

【請求項2】

40

前記第1のメモリセルは、前記第2のメモリセルに直接隣接して配置され、

前記第1のメモリセルと前記第2のメモリセルとの間には、前記第1のダミーメモリセル又は前記第2のダミーメモリセルが配置されない、請求項1に記載のイメージセンサー装置。

【請求項3】

前記複数の第1のピクセル回路のうちの前記1つの第1のピクセル回路と前記複数の第2のピクセル回路のうちの前記1つの第2のピクセル回路とは、C u - t o - C u ボンディングを介して電気的に接続される、請求項1に記載のイメージセンサー装置。

【請求項4】

前記複数の第1のピクセル回路のうちの前記1つの第1のピクセル回路はコンパレータ

50

の一部を含み、前記複数の第2のピクセル回路のうちの前記1つの第2のピクセル回路は前記コンパレータの残りの部分を含む、請求項3に記載のイメージセンサー装置。

【請求項5】

前記複数の第1のピクセル回路は第3の光検出器をさらに含み、

前記複数の第2のピクセル回路は第3のメモリ回路をさらに含み、該第3のメモリ回路は、前記第3の光検出器から生成された第3のデジタル信号を記憶するように構成された第3のメモリセルと第3のダミーメモリセルとを含み、

前記第3のメモリ回路は、前記第1の方向に対して垂直な第2の方向において前記第1のメモリセルに直接隣接して配置される、請求項1に記載のイメージセンサー装置。

【請求項6】

前記複数の第1のピクセル回路は第4の光検出器をさらに含み、

前記複数の第2のピクセル回路は第4のメモリ回路をさらに含み、該第4のメモリ回路は、前記第4の光検出器から生成された第4のデジタル信号を記憶するように構成された第4のメモリセルと第4のダミーメモリセルとを含み、

前記第4のメモリセルは、前記第2の方向において前記第2のメモリセルに直接隣接して配置される、請求項5に記載のイメージセンサー装置。

【請求項7】

前記第3のメモリ回路は、前記第1の方向において前記第4のメモリ回路に直接隣接して配置され、

前記第3のダミーメモリセル及び前記第4のダミーメモリセルは、前記第3のメモリセルと前記第4のメモリセルとの間に配置されない、請求項6に記載のイメージセンサー装置。

【請求項8】

前記第1～第4のダミーメモリセルは、前記第1～第4のメモリセルを取り囲む、請求項6に記載のイメージセンサー装置。

【請求項9】

前記第1～第4のメモリセルは、複数のビットライン及び複数のワードラインに接続される、請求項6に記載のイメージセンサー装置。

【請求項10】

前記第2の基板は、

コードを出力するように構成されたカウンターと、

前記複数の第1のピクセル回路及び前記複数の第2のピクセル回路を制御するように構成された行ドライバーと、をさらに含む、請求項1に記載のイメージセンサー装置。

【請求項11】

前記第1～第4の光検出器はコンパレータの第1の部分に接続される、請求項6に記載のイメージセンサー装置。

【請求項12】

前記第2の基板上に積層された第3の基板をさらに含み、

該第3の基板はデジタルロジック回路を含む、請求項1に記載のイメージセンサー装置。

。

【請求項13】

前記第2の基板及び前記第3の基板は、C u - t o - C u ボンディングを介して接続される、請求項12に記載のイメージセンサー装置。

【請求項14】

前記第2の基板及び前記第3の基板は、T S Vを介して接続される、請求項12に記載のイメージセンサー装置。

【請求項15】

複数の光検出器を含む第1の基板と、前記複数の光検出器から生成された複数のデジタル信号を記憶するためのN×M個のメモリセルと複数のダミーメモリセルとを含む第2の基板とを含むイメージセンサー装置であって、

10

20

30

40

50

前記 $N \times M$ 個のメモリセルは、前記複数のダミーメモリセルのいずれも含まず、
 N 及び M は、1 より大きい整数である、
イメージセンサー装置。

【請求項 1 6】

前記複数のダミーメモリセルは、前記 $N \times M$ 個のメモリセルの少なくとも 2 辺に沿って配置される、請求項 1 5 に記載のイメージセンサー装置。

【請求項 1 7】

前記複数のダミーメモリセルは、前記 $N \times M$ 個のメモリセルを取り囲む、請求項 1 6 に記載のイメージセンサー装置。

【請求項 1 8】

第 1 の基板及び第 2 の基板を含むイメージセンサー装置であって、
前記第 1 の基板は、

第 1 の光検出器を含む第 1 のピクセル回路と、

第 2 の光検出器を含む第 2 のピクセル回路と、を含み、

前記第 2 の基板は、

前記第 1 の光検出器から生成された第 1 のデジタル信号を記憶するように構成された第 1 のメモリセルと第 1 のダミーメモリセルとを含む第 1 のメモリ回路と、

前記第 2 の光検出器から生成された第 2 のデジタル信号を記憶するように構成された第 2 のメモリセルと第 2 のダミーメモリセルとを含む第 2 のメモリ回路と、を含み、

前記第 1 のメモリ回路は第 1 の方向で前記第 2 のメモリ回路に直接隣接して配置され、

前記第 1 の基板は、前記第 1 の光検出器及び前記第 1 のメモリ回路が重なり、前記第 2 の光検出器及び第 3 のメモリ回路が重なるように、前記第 2 の基板上に積層される、

イメージセンサー装置。

【請求項 1 9】

前記第 1 の基板は第 3 の光検出器をさらに含み、

前記第 2 の基板は第 3 のメモリ回路をさらに含み、該第 3 のメモリ回路は、前記第 3 の光検出器から生成された第 3 のデジタル信号を記憶するように構成された第 3 のメモリセルと第 3 のダミーメモリセルとを含み、

前記第 3 のメモリ回路は、前記第 1 の方向に対して垂直な第 2 の方向において前記第 1 のメモリセルに直接隣接して配置される、請求項 1 8 に記載のイメージセンサー装置。

【請求項 2 0】

前記第 2 の基板上に積層された第 3 の基板をさらに含み、該第 3 の基板はデジタルロジック回路を含む、請求項 1 9 に記載のイメージセンサー装置。

10

20

30

40

50