

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】令和 5 年 9 月 20 日(2023.9.20)

【公開番号】特開 2021-52394(P2021-52394A)
【公開日】令和 3 年 4 月 1 日(2021.4.1)
【年通号数】公開・登録公報 2021-016
【出願番号】特願 2020-157536(P2020-157536)
【国際特許分類】

H 0 4 N 25/76(2023.01)

10

H 0 1 L 27/146(2006.01)

H 0 4 N 25/772(2023.01)

【F I】

H 0 4 N 5/374

H 0 1 L 27/146 A

H 0 4 N 5/3745500

【手続補正書】

【提出日】令和 5 年 9 月 11 日(2023.9.11)

【手続補正 1】

20

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の第 1 のピクセル回路を含む第 1 の基板と、複数の第 2 のピクセル回路を含む第 2 の基板とを含むイメージセンサー装置であって、

前記複数の第 1 のピクセル回路は第 1 の光検出器を含み、

前記複数の第 2 のピクセル回路は、

30

前記第 1 の光検出器から生成された第 1 のデジタル信号を記憶するように構成された第 1 のメモリセルと第 1 のダミーメモリセルとを含む第 1 のメモリ回路と、

第 2 の光検出器から生成された第 2 のデジタル信号を記憶するように構成された第 2 のメモリセルと第 2 のダミーメモリセルとを含む第 2 のメモリ回路と、を含み、

前記第 1 のメモリ回路は第 1 の方向で前記第 2 のメモリ回路に直接隣接して配置され、

前記複数の第 1 のピクセル回路のうちの 1 つの第 1 のピクセル回路と前記複数の第 2 のピクセル回路のうちの 1 つの第 2 のピクセル回路とが、1 つのデジタルピクセルを構成する、

イメージセンサー装置。

【請求項 2】

40

前記第 1 のメモリセルは、前記第 2 のメモリセルに直接隣接して配置され、

前記第 1 のメモリセルと前記第 2 のメモリセルの間には、前記第 1 のダミーメモリセル又は前記第 2 のダミーメモリセルが配置されない、請求項 1 に記載のイメージセンサー装置。

【請求項 3】

前記複数の第 1 のピクセル回路のうちの前記 1 つの第 1 のピクセル回路と前記複数の第 2 のピクセル回路のうちの前記 1 つの第 2 のピクセル回路とは、C u - t o - C u ボンディングを介して電気的に接続される、請求項 1 に記載のイメージセンサー装置。

【請求項 4】

前記複数の第 1 のピクセル回路のうちの前記 1 つの第 1 のピクセル回路はコンパレータ

50

の一部を含み、前記複数の第 2 のピクセル回路のうちの前記 1 つの第 2 のピクセル回路は前記コンパレータの残りの部分を含む、請求項 3 に記載のイメージセンサー装置。

【請求項 5】

前記複数の第 1 のピクセル回路は第 3 の光検出器をさらに含み、

前記複数の第 2 のピクセル回路は第 3 のメモリ回路をさらに含み、該第 3 のメモリ回路は、前記第 3 の光検出器から生成された第 3 のデジタル信号を記憶するように構成された第 3 のメモリセルと第 3 のダミーメモリセルとを含み、

前記第 3 のメモリ回路は、前記第 1 の方向に対して垂直な第 2 の方向において前記第 1 のメモリセルに直接隣接して配置される、請求項 1 に記載のイメージセンサー装置。

【請求項 6】

前記複数の第 1 のピクセル回路は第 4 の光検出器をさらに含み、

前記複数の第 2 のピクセル回路は第 4 のメモリ回路をさらに含み、該第 4 のメモリ回路は、前記第 4 の光検出器から生成された第 4 のデジタル信号を記憶するように構成された第 4 のメモリセルと第 4 のダミーメモリセルとを含み、

前記第 4 のメモリセルは、前記第 2 の方向において前記第 2 のメモリセルに直接隣接して配置される、請求項 5 に記載のイメージセンサー装置。

【請求項 7】

前記第 3 のメモリ回路は、前記第 1 の方向において前記第 4 のメモリ回路に直接隣接して配置され、

前記第 3 のダミーメモリセル及び前記第 4 のダミーメモリセルは、前記第 3 のメモリセルと前記第 4 のメモリセルとの間に配置されない、請求項 6 に記載のイメージセンサー装置。

【請求項 8】

前記第 1 ～第 4 のダミーメモリセルは、前記第 1 ～第 4 のメモリセルを取り囲む、請求項 6 に記載のイメージセンサー装置。

【請求項 9】

前記第 1 ～第 4 のメモリセルは、複数のビットライン及び複数のワードラインに接続される、請求項 6 に記載のイメージセンサー装置。

【請求項 10】

前記第 2 の基板は、

コードを出力するように構成されたカウンターと、

前記複数の第 1 のピクセル回路及び前記複数の第 2 のピクセル回路を制御するように構成された行ドライバーと、をさらに含む、請求項 1 に記載のイメージセンサー装置。

【請求項 11】

前記第 1 ～第 4 の光検出器はコンパレータの第 1 の部分に接続される、請求項 6 に記載のイメージセンサー装置。

【請求項 12】

前記第 2 の基板上に積層された第 3 の基板をさらに含み、

該第 3 の基板はデジタルロジック回路を含む、請求項 1 に記載のイメージセンサー装置。

【請求項 13】

前記第 2 の基板及び前記第 3 の基板は、C u - t o - C u ボンディングを介して接続される、請求項 12 に記載のイメージセンサー装置。

【請求項 14】

前記第 2 の基板及び前記第 3 の基板は、T S V を介して接続される、請求項 12 に記載のイメージセンサー装置。

【請求項 15】

複数の光検出器を含む第 1 の基板と、前記複数の光検出器から生成された複数のデジタル信号を記憶するための $N \times M$ 個のメモリセルと複数のダミーメモリセルとを含む第 2 の基板とを含むイメージセンサー装置であって、

10

20

30

40

50

前記 $N \times M$ 個のメモリセルは、前記複数のダミーメモリセルのいずれも含まず、
 N 及び M は、1 より大きい整数である、
イメージセンサー装置。

【請求項 16】

前記複数のダミーメモリセルは、前記 $N \times M$ 個のメモリセルの少なくとも 2 辺に沿って
配置される、請求項 15 に記載のイメージセンサー装置。

【請求項 17】

前記複数のダミーメモリセルは、前記 $N \times M$ 個のメモリセルを取り囲む、請求項 16 に
記載のイメージセンサー装置。

【請求項 18】

10

第 1 の基板及び第 2 の基板を含むイメージセンサー装置であって、
前記第 1 の基板は、

第 1 の光検出器を含む第 1 のピクセル回路と、

第 2 の光検出器を含む第 2 のピクセル回路と、を含み、

前記第 2 の基板は、

前記第 1 の光検出器から生成された第 1 のデジタル信号を記憶するように構成され
た第 1 のメモリセルと第 1 のダミーメモリセルとを含む第 1 のメモリ回路と、

前記第 2 の光検出器から生成された第 2 のデジタル信号を記憶するように構成され
た第 2 のメモリセルと第 2 のダミーメモリセルとを含む第 2 のメモリ回路と、を含み、

前記第 1 のメモリ回路は第 1 の方向で前記第 2 のメモリ回路に直接隣接して配置され、

20

前記第 1 の基板は、前記第 1 の光検出器及び前記第 1 のメモリ回路が重なり、前記第 2
の光検出器及び第 3 のメモリ回路が重なるように、前記第 2 の基板上に積層される、
イメージセンサー装置。

【請求項 19】

前記第 1 の基板は第 3 の光検出器をさらに含み、

前記第 2 の基板は第 3 のメモリ回路をさらに含み、該第 3 のメモリ回路は、前記第 3 の
光検出器から生成された第 3 のデジタル信号を記憶するように構成された第 3 のメモリセ
ルと第 3 のダミーメモリセルとを含み、

前記第 3 のメモリ回路は、前記第 1 の方向に対して垂直な第 2 の方向において前記第 1
のメモリセルに直接隣接して配置される、請求項 18 に記載のイメージセンサー装置。

30

【請求項 20】

前記第 2 の基板上に積層された第 3 の基板をさらに含み、該第 3 の基板はデジタルロジ
ック回路を含む、請求項 19 に記載のイメージセンサー装置。

40

50