

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 27/115
H01L 21/8247

(45) 공고일자 2005년04월15일
(11) 등록번호 10-0483416
(24) 등록일자 2005년04월06일

(21) 출원번호 10-2001-0066992
(22) 출원일자 2001년10월30일

(65) 공개번호 10-2002-0034907
(43) 공개일자 2002년05월09일

(30) 우선권주장 JP-P-2000-00331407 2000년10월30일 일본(JP)
JP-P-2001-00324141 2001년10월22일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고

(72) 발명자 모리세이이찌
일본가나가와현요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바
요코하마퍼실러티어드미니스트레이션센터내

노구찌미쓰히로
일본가나가와현요코하마시이소고꾸신스기따쵸8가부시끼가이샤도시바
요코하마퍼실러티어드미니스트레이션센터내

(74) 대리인 장수길
구영창

심사관 : 김근모

(54) 반도체 장치 및 그 제조 방법

요약

반도체 기관 위에 제1 절연막, 제1 도전체막, 캡이 순서대로 형성된다. 동일한 패턴으로 상기 제1 절연막, 상기 제1 도전체막, 상기 캡과 상기 기관이 에칭된다. 그 패턴으로 제2 절연막이 매립된다. 상기 캡이 제거된다. 상기 제2 절연막 측면에 제2 도전체막이 형성된다.

대표도

도 1a

색인어

절연막, 절연체, 부유 게이트막, 도전체막, 불휘발성 메모리, 결합 용량

명세서

도면의 간단한 설명

도 1a는 제1 실시예에 따른 반도체 장치의 상면도.

도 1b는 도 1a의 I-I 방향의 단면도.

도 2a는 도 1a의 II-II 방향의 단면도.

도 2b는 도 1a의 III-III 방향의 단면도.

도 3a~도 4c는 각각 제1 실시예에 따른 반도체 장치의 제조 공정을 설명하는 단면도로서, 도 4c는 도 5의 I-I 방향의 단면도.

도 5는, 도 4c에 도시된 반도체 장치의 상측으로부터의 투시도.

도 6은 제1 실시예의 제1 변형예에 따른 반도체 장치의 단면도.

도 7은 제1 실시예의 제2 변형예에 따른 반도체 장치의 단면도.

도 8a 및 도 8b는 제2 실시예에 따른 반도체 장치의 단면도.

도 9a 및 도 9b는 제2 실시예에 따른 반도체 장치의 비교예의 상세부에 대한 단면도.

도 10은 제1 및 제2 실시예에 따른 반도체 장치에 의해 얻어지는 부유 게이트사이의 결합 용량 저감의 효과를 설명하기 위한 도면.

도 11a는 제3 실시예에 따른 반도체 장치의 단면도.

도 11b는 제3 실시예의 제1 변형예에 따른 반도체 장치의 단면도.

도 11c는 제3 실시예의 제2 변형예에 따른 반도체 장치의 단면도.

도 11d는 제3 실시예의 제3 변형예에 따른 반도체 장치의 단면도.

도 12a~도 12d는 각각 제3 실시예에 따른 반도체 장치의 제조 공정을 설명하는 단면도.

도 13a~도 13d는 각각 제3 실시예의 제1 변형예에 따른 반도체 장치의 제조 공정을 설명하는 단면도.

도 14a~도 14c는 각각 제3 실시예의 제2 변형예에 따른 반도체 장치의 제조 공정을 설명하는 단면도.

도 15a는 제4 실시예에 따른 반도체 장치의 상측으로부터의 투시도.

도 15b는 도 15a의 I-I 방향의 단면도.

도 15c는 도 15a의 VI-VI 방향의 단면도.

도 16a~도 20d는 각각 제4 실시예에 따른 반도체 장치의 각 제조 공정 단면도로서, 도 16a, 도 16c, 도 17a, 도 17c, 도 18a, 도 18c, 도 19a, 도 19c, 도 20a, 도 20c는 각각 메모리 셀 영역의 단면도이고, 도 16b, 도 16d, 도 17b, 도 17d, 도 18b, 도 18d, 도 19b, 도 19d, 도 20b, 도 20d는 각각 주변 회로 영역의 단면도.

도 21a 및 도 21b는 제4 실시예에 따른 반도체 장치의 비교예의 단면도로서, 도 21a는 도 21c의 I-I 방향의 단면도이고, 도 21b는 도 21c의 VI-VI 방향의 단면도.

도 21c는 제4 실시예에 따른 반도체 장치의 비교예의 상면도.

도 22a는 제4 실시예의 변형예에 따른 반도체 장치의 상측으로부터의 투시도.

도 22b는 도 22a의 I-I 방향의 단면도.

도 22c는 도 22a의 VI-VI 방향의 단면도.

도 23a~도 23d는 각각 제4 실시예의 변형예에 따른 반도체 장치의 제조 공정을 설명하는 단면도로서, 도 23a 및 도 23c는 메모리 셀 영역의 단면도이고, 도 23b 및 도 23d는 주변 회로 영역의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 기판

6 : 절연막

7 : 제어 게이트

21~24 : 소자 분리 영역

31~33 : 터널 산화막

41~43 : 제1 도전체

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 홈형 소자 분리 영역, 부유 게이트와 제어 게이트를 갖는 반도체 장치에 관한 것이다. 특히, 부유 게이트와 제어 게이트 사이의 용량 결합에 관한 것이다.

불휘발성 반도체 기억 장치는 불휘발성 메모리 셀로 구성되어 있다. 이 불휘발성 메모리 셀은, 부유 게이트와 제어 게이트를 갖는다. 부유 게이트와 제어 게이트 사이의 용량 결합에 의해 부유 게이트의 전위가 제어된다. 제어 게이트와 부유 게이트의 용량 결합이 클수록 제어 게이트의 전압을 낮출 수 있다. 용량 결합을 크게 하기 위해, 제어 게이트가 부유 게이트에 근접하는 면적을 이하와 같이 크게 한다. 부유 게이트는 제1층의 다결정 실리콘(Si)막과 제2층의 다결정 실리콘의 2층 구조를 갖는다. 제1층의 다결정 실리콘막은 홈형 소자 분리 영역과 자기 정합적으로 형성된다. 제2층의 다결정 실리콘은, 제1층의 다결정 실리콘막과 홈형 소자 분리 영역 위에 형성된다. 제2층의 다결정 실리콘 위에 절연막이 형성된다. 이 절연막 위에 제어 게이트가 형성된다.

그러나, 이 셀 구조는 메모리 셀의 소자 분리 폭 Wt로서, 제2층의 다결정 실리콘끼리 분리하기 위한 스페이스를 필요로 한다. 또한, 이 셀 구조는 리소그래피 공정시의 정합 여유를 위한 스페이스를 필요로 한다.

이 셀 구조에서는, 부유 게이트와 제어 게이트 사이의 용량 결합을 크게 하기 위해, 부유 게이트의 막 두께를 두껍게 하는 것이 유효하다. 부유 게이트의 막 두께를 두껍게 하면, 셀 사이의 부유 게이트의 용량 결합 C2가 커진다. 용량 결합 C2가 커지면, 이웃한 셀의 데이터 상태에 따라 셀의 임계 전압이 변조되기 쉽다.

발명이 이루고자 하는 기술적 과제

본 발명에 따르면, 표면에 홈을 갖는 반도체 기판과,

그 홈에 매립되며 측면의 상부가 상기 기판의 표면보다 높은 제1 및 제2 절연체와,

상기 기판의 표면 상에 설치되고, 하나의 단부가 제1 절연체와 접하며, 다른 단부가 상기 제2 절연체와 접하는 제3 절연막과,

상기 제3 절연막의 표면 상에 설치하고, 하나의 단부면이 상기 제1 절연체와 접하며, 다른 단부면이 상기 제2 절연체와 접하는 제1 도전체와,

상기 제1 도전체의 하나의 단부면 근방에 설치되는 제2 도전체와,

상기 제1 도전체의 다른 단부면 근방에 설치되는 제3 도전체와,

상기 제2 도전체의 제1 측면과 상기 제3 도전체의 제2 측면에 접하고, 상기 제1 도전체의 상면과 접하는 제4 절연막과,

상기 제4 절연막 위에 설치되는 제4 도전체를 포함하는 반도체 장치가 제공된다.

발명의 구성 및 작용

<제1 실시예>

본 발명의 제1 실시예에 따른 반도체 장치는 도 1a 내지 도 2b에 도시된 바와 같이, 이하의 특징을 갖는다. 반도체 기판(1)은 표면에 홈을 갖는다. 소자 분리 영역(21 내지 24)은 그 홈에 매립된다. 소자 분리 영역(21 내지 24)의 측면이 기판(1)의 표면보다 높은 위치까지 연장되어 있다. 터널 산화막(31 내지 33)이 기판(1)의 표면 위에 설치된다. 터널 산화막(31 내지 33)의 양측 단부가 소자 분리 영역(21 내지 24)과 접하고 있다.

제1 도전체(41 내지 43)는 터널 산화막(31 내지 33)의 표면 위에 설치된다. 제1 도전체(41 내지 43)의 양측 단부면이 소자 분리 영역(21 내지 24)과 접한다. 제2 도전체(51, 53, 55)는 제1 도전체(41 내지 43)의 표면 위에 설치된다. 제2 도전체(51, 53, 55)는 제1 도전체의 한쪽 단부면의 근방에 설치된다. 제2 도전체(51, 53, 55)의 제1 측면이 소자 분리 영역(21 내지 24)과 접하고 있다. 제3 도전체(52, 54, 56)는 제1 도전체(41 내지 43)의 표면 위에 설치된다. 제3 도전체(52, 54, 56)는 제1 도전체의 다른 단부면 근방에 설치된다. 제3 도전체(52, 54, 56)의 제1 측면이 소자 분리 영역(21 내지 24)과 접하고 있다. 제1 도전체(41 내지 43)와, 제2 도전체(51, 53, 55) 및 제3 도전체(52, 54, 56)에 의해 부유 게이트 전극이 구성된다.

절연막(6)은 제2 도전체(51, 53, 55)의 제2 측면과 접한다. 절연막(6)은 제3 도전체(52, 54, 56)의 제2 측면과 접한다. 절연막(6)은 제1 도전체(41 내지 43)의 표면과 접한다. 제어 게이트(7)로 기능하는 도전체는 절연막(6) 위에 설치된다.

또, 이하의 실시예에서는 전하 축적을 담당하는 전극인 전하 축적 영역을 관례에 따라 부유 게이트 전극으로 표기한다. 부유 게이트 전극은 용도에 부합한 보유 시간, 예를 들면 불휘발성 메모리 용도로는 10년, 휘발성 메모리 용도로는 1초 정도의 기간동안 전하를 보유할 수 있다.

소스·드레인 영역(81 내지 87)은 반도체 기관(1)의 표면 근방에 배치된다. 소스·드레인 영역(81 내지 87)의 도전형은 부유 게이트 전극(41 내지 43)의 하측의 기관(1)의 도전형과 상이하다. 또한, 도 1a에 도시된 바와 같이, 홈형 소자 분리 영역(21 내지 24)을 세로 방향으로 복수개 평행하게 배치하고, 제어 게이트(7, 27)를 가로 방향으로 복수개 평행하게 배치함으로써 기관(1) 위에 불휘발성 메모리 셀을 다수개 집적시킬 수 있다.

부유 게이트 전극은 2층 구조이다. 제1층은 제1 도전체(41 내지 43)이다. 제2층은 제2 및 제3 도전체(51 내지 56)이다. 제2 및 제3 도전체는 제1 도전체와 전기적으로 접속한다. 제1 내지 제3 도전체(42, 53, 54)가 하나의 부유 게이트 전극으로서 기능한다.

홈형 소자 분리 영역(21 내지 24)의 패턴은 제1 도전체(41 내지 43)의 패턴에 반전된 패턴이다. 홈형 소자 분리 영역(21 내지 24)에 의해 제1 도전체(41 내지 43)가 자기 정합적으로 분리된다. 제2 및 제3 도전체(51 내지 56)는 제1 도전체(41 내지 43)의 단부 위에 소자 분리 절연막(21 내지 24)의 측벽으로서, 소자 분리 영역(21 내지 24)의 측면에 설치된다. 제2 및 제3 도전체(51 내지 56)의 측면은 제어 게이트(7) 아래에 불록한 부분에 근접하여 배치된다.

불휘발성 메모리 셀인 플래시 메모리 셀도 부유 게이트(42, 53, 54)와 제어 게이트(7)를 갖는다. 미세화된 플래시 메모리 셀을 개발할 때는 부유 게이트(42, 53, 54)와 제어 게이트(7) 사이의 결합 용량의 크기를 유지할 필요가 있다. 제1 실시예에 따르면, 제어 게이트(7)와 부유 게이트(42, 53, 54) 사이의 결합 용량을 증대시킬 수 있다. 그리고, 메모리 셀의 성능이 향상된다. 이 미세화와 결합 용량의 증대를 달성할 수 있던 이유는 두가지이다. 첫째 이유는 홈형 소자 분리 영역(22, 23)에 대하여 자기 정합적으로 활성 영역과 제1 도전체(42)를 설치하기 때문이다. 둘째 이유는, 제1 도전체(42)의 양측 단부, 즉 홈형 소자 분리 영역(22, 23)의 측면에 대하여 자기 정합적으로 홈형 소자 분리 영역(22, 23)의 측벽인 제2 및 제3 도전체(53, 54)를 설치하기 때문이다. 다중 자기 정합적인 구조에 의해 미세화를 달성할 수 있다. 제2 및 제3 도전체(53, 54)의 측면을 크게 할 수 있다. 이 큰 측면에 의해 결합 용량의 증대를 달성한다.

제2 도전체(51)의 측면이 제1 소자 분리 영역(21)과 접한다. 제3 도전체(52)의 측면이 제2 소자 분리 영역(22)과 접한다. 이들은 소자 분리 영역(21, 22)에 대하여 자기정합적으로 도전체(51, 52)를 형성하고 있기 때문이다.

또한, 도 2a 및 도 10에 도시된 바와 같이, 제1 도전체(42, 44 혹은 71 내지 74)의 막 두께가 얇다. 또한, 제2 및 제3 도전체(53, 54)의 막 두께도 얇다. 이에 따라, 인접 셀(61 내지 64) 사이의 부유 게이트 전극 사이의 기생 용량 C1을 작게 할 수 있다. 그리고, 기생 용량 C1을 통한 셀 사이의 간섭을 저감시킬 수 있다.

이하에 제1 실시예에 따른 반도체 장치를 제조하는 방법을 설명한다.

(1) 우선, 도 3a에 도시된 바와 같이, 소자 분리 영역(22과 23)의 장소에 홈부(10)가 형성된다. 홈부(10)와, 제1 도전체(41 내지 43) 및 활성 영역(1)은 자기 정합적으로 가공된다. 제1 도전체(41 내지 43)는 활성 영역(1)의 측방에는 배치하지 않는다.

p형 실리콘(Si) 기관(1) 위에 실리콘 산화막 또는 옥시니트라이드막인 절연막(31 내지 33)을 형성한다. 이 실리콘 산화막 또는 옥시니트라이드막은 불휘발성 메모리 셀의 터널(Tunnel) 산화막이 된다. 이 실리콘 산화막의 막 두께는 3nm 이상에서 15nm 이하로, 예를 들면 10nm 정도이다. 절연막(31 내지 33) 위에 다결정 실리콘(Si)막인 제1 도전체(41 내지 43)를 퇴적한다. 제1 도전체(41 내지 43)의 막 두께는 10nm 이상에서 500nm 이하로, 예를 들면 30nm 정도이다. 제1 도전체(41 내지 43) 위에 실리콘 질화막인 캡(91 내지 93)을 퇴적시킨다. 캡(91 내지 93)의 막 두께는 3nm 이상에서 500nm 이하로, 예를 들면 100nm 정도이다. 제2 및 제3 도전체(51 내지 56)의 높이는 이들 캡(91 내지 93)의 막 두께에 대응하여 거의 동일하다. 즉, 캡(91 내지 93)의 막 두께를 두껍게 함으로써, 제2 및 제3 도전체(51 내지 56)의 높이를 높일 수 있다.

이어서, 리소그래피 공정과 에칭에 의해, 소자 분리 영역(21 내지 24)이 되는 영역에 홈(10)을 형성한다. 구체적으로는, 캡(91 내지 93), 제1 도전체(31 내지 33), 실리콘 기관(1)을 순차적으로 에칭한다. 소자 분리용의 홈(10)과, 제1 도전체(41 내지 43), 캡(91 내지 93)은 자기 정합적으로 형성된다. 실리콘 기관(1) 내의 홈(10)의 깊이는 50nm 이상에서 1000nm 이하로, 예를 들면 300nm 정도이다. 홈(10)을 형성한 후에, 필요에 따라 얇은 실리콘 산화막을 열 산화법으로 형성한다. 이 실리콘 산화막의 막 두께는 3nm 이상에서 20nm 이하로 예를 들면 10nm 정도이다.

이에 따라, 셀의 미세화를 실현한다. 또한, 활성 영역의 코너부를 피복하도록 제1 도전체(41 내지 43)가 형성되지 않는다. 활성 영역의 코너부에서의 전계 집중이 생기지 않는다. 이 전계 집중에 따른 메모리 셀 특성의 변동을 억제할 수 있다.

(2) 이어서, 소자 분리 영역(21 내지 24)에 고밀도 플라즈마(HDP : High Density Plasma)법으로 절연막이 매립된다. 도 3b에 도시된 바와 같이, 이 절연막을 퇴적한 후, 화학 기계 연마(CMP : Chemical Mechanical Polish) 등의 방법으로 캡(91 내지 93)의 상면까지 절연막(21 내지 24)이 연마된다. 절연막(21 내지 24)이 평탄화된다. 소자 분리 영역(21 내지 24)이 제1 도전체의 단부에 자기 정합적으로 매립된다.

(3) 도 3c에 도시된 바와 같이, 캡(91 내지 93)을 제거한다. 이에 따라, 소자 분리 영역(21 내지 24)에 둘러싸인 홈부(11)가 생긴다. 캡(91 내지 93)이 실리콘 질화막이면, 열 인산(H_3PO_4)의 약액을 이용한다. 이 약액에 의한 에칭으로, 캡(91 내지 93)만을 용이하게 제거할 수 있다.

(4) 도 4a에 도시된 바와 같이, 소자 분리 영역(21 내지 24)의 측면에 얇은 도전체막(5)을 퇴적시킨다. 이 얇은 도전체막(5)의 재료는 다결정 실리콘이다. 이 얇은 도전체막(5)은 제2 및 제3 도전체(51 내지 56)가 된다.

(5) 도 4b에 도시된 바와 같이 도전체막(5)이 에치 백된다. 소자 분리 영역(21 내지 24)의 측면에 제2 및 제3 도전체(51 내지 56)가 형성된다. 이 에치 백 공정으로, 셀 사이에 존재하는 소자 분리 영역(21 내지 24) 위의 절연체막(5)은 자기 정합적으로 제거된다. 제2 및 제3 도전체(51 내지 56)는 셀마다 분리할 수 있다. 예를 들면 제2 도전체(53)와 제3 도전체(52)는 분리된다. 제1 도전체(41 내지 43)와 제2 및 제3 도전체(51 내지 56)는 제2 및 제3 도전체(51 내지 56)의 바닥면에서 전기적으로 접속한다. 또, 제1 및 제2 도전체(41, 51)사이의 얇은 절연막이 존재해도 제1과 제2 도전체(41, 51)는 용량 결합한다. 따라서, 절연막이 존재하는 경우도, 전기적으로 접속되는 경우와 마찬가지로 메모리 셀은 동작한다.

(6) 도 4c 및 도 5에 도시된 바와 같이, 부유 게이트(42, 53, 54)와 제어 게이트(7)사이의 블록 절연막(6)을 형성한다. 블록 절연막(6)은 제2 및 제3 도전체(51 내지 56) 측면에 형성된다. 블록 절연막(6)은 제2 및 제3 도전체(51 내지 56)와, 제1 도전체와, 소자 분리 영역(21 내지 24) 상면 위에 형성된다. 블록 절연막(6)은 홈부(11)의 내벽에 형성된다. 블록 절연막(6)으로서는 실리콘 산화막/실리콘 질화막/실리콘 산화막으로 이루어지는 3층 구조막, 소위 ONO막을 이용한다.

(7) 도 1b에 도시된 바와 같이, 제어 게이트(7)는 절연막(6) 위에 퇴적된다. 제어 게이트(7)는 홈부(11)에 매립된다. 제2 및 제3 도전체(51 내지 56)의 측면에 근접하여 제어 게이트(7)가 퇴적된다. 제2 및 제3 도전체(51 내지 56)와 제어 게이트(7)는 큰 결합 용량을 갖는다.

(8) 도 1a에 도시된 바와 같이, 리소그래피 공정과 에칭으로 제어 게이트재료(7와 27)를 스트립 형성으로 형성한다. 이 에칭을 행할 때와 동일한 마스크를 이용하거나, 에칭된 제어 게이트 재료(7와 27)와 마스크로 이용하고, 또한 소자 분리 영역(21 내지 24)도 마스크로 하여, 도 2a와 도 2b와 같이 제1 내지 제3 도전체(42, 44) 등도 에칭한다. 또, 이 에칭에서는, 도 1b에 나타난 바와 같이 두께가 두께 H1로 모두 동일한 제어 게이트(7), 제2 및 제3 도전체(56) 등과 절연막(6)을 동시에 동일한 속도로 에칭하는 것이 바람직하다. 이 에칭에는, 스퍼터성이 높은 에칭 조건을 선택하면 된다. 또한, 후술된 제1 실시예의 제2 변형예를 채용해도 무방하다. 이에 따라, 재료에 따라 에칭 속도가 상이해도 양호한 에칭 형상을 얻을 수 있다.

마지막으로, 소자 분리 영역(21 내지 24)이나 제어 게이트 재료(7, 27)를 마스크로 하여 기판(1)에 이온 주입을 행한다. 주입한 불순물의 활성화를 행한다. 이에 따라, 소스·드레인 영역(81 내지 87)이 형성된다.

본 제1 실시예의 제조 방법에서는, 일반적으로 사용되는 부유 게이트를 분리하기 위한 리소그래피 공정과 에칭 공정이 불필요하다. 부유 게이트(41 내지 43)와 활성 영역의 정합 여유도 불필요하다. 소자 분리 영역(21 내지 24)과 활성 영역을 자기 정합적으로 형성될 수 있다. 이에 따라, 셀을 미세화할 수 있다. 도 1b에 도시된 바와 같이 셀의 횡폭을 최소 디자인 치수 F의 2배의 크기로 할 수 있다. 이것은, 소자 분리 영역(23) 등의 폭과 간격을 각각 F로 설정할 수 있기 때문이다. 그리고, 고전압을 이용하는 반도체 집적 회로에 있어서, 그 소자 분리 스페이스를 F로 축소할 수 있다. 이 반도체 집적 회로의 집 면적을 축소할 수 있다. 그리고, 이 반도체 집적 회로의 제조 비용을 삭감시킬 수 있다.

또한, 제1 도전체(41 내지 43)의 양측 단부에 소자 분리 영역(21 내지 24)의 측면으로서 자기 정합적으로 제2 및 제3 도전체(51 내지 56)가 형성된다. 제1 내지 제3 도전체의 막 두께를 얇게 할 수 있다. 이 때문에, 인접 셀 사이의 부유 게이트 전극사이의 기생 용량 C1을 작게 할 수 있다. 그리고, 이 기생 용량을 통한 셀 사이의 간섭을 저감시킬 수 있다. 이와 같이, 부유 게이트(41 내지 43) 등과 제어 게이트(7) 사이의 용량 결합을 유지하면서, 플래시 메모리를 미세화시킬 수 있다.

<제1 실시예의 제1 변형예>

도 6에 도시된 바와 같이, 높이 H2를 크게 함으로써, 부유 게이트와 제어 게이트사이의 용량 결합을 크게 할 수 있다. 높이 H2를 크게 하기 위해서는, 원리적으로는 캡(91) 등의 막 두께를 두껍게 한다. 높이 H2는 캡(91) 등의 막 두께와 거의 동일해진다. 결합 용량의 증대를 위해, 도전체(41)의 막 두께를 두껍게 할 필요가 없다. 높이 H2를 높이면, 부유 게이트끼리의 기생 용량 C1은 증대한다. 그러나, 높이 H2를 크게 할 때의 그 기생 용량 C1의 증대율은 부유 게이트(41, 51, 52)와 제어 게이트(7) 사이의 용량 결합의 증대율보다 작다.

<제1 실시예의 제2 변형예>

제1 실시예에서는, 소자 분리 영역(21 내지 24) 측면에 설치되는 제2 부유 게이트(51) 등의 측면이 기판(1) 표면에 대하여 수직이다. 이 수직의 경우, 도 1a에 도시된 바와 같은 스트립 형성의 제어 게이트(7, 27)를 반응성 이온 에칭(RIE : Reactive Ion Etching)으로 형성한다. 이 에칭시에, 자기 정합적으로 동일한 마스크를 이용하여 연속적으로, 제어 게이트(7) 등과 부유 게이트(51, 52) 등을 에칭 가공한다. 이 때에, 부유 게이트(51, 52) 등의 측면과 제어 게이트(7) 등의 측면 사이에 형성된 수직의 절연막(6)이 제거되기 어렵다. 이 제거되지 않은 절연막(6)이 마스크가 되어, 하층의 제1 도전막(41) 등의 에칭에 있어서, 에칭 잔여물이 발생할 가능성이 있다. 이러한 에칭 잔여물은 셀끼리의 부유 게이트를 쇼트시킨다. 이 에칭 잔여물은 반도체 장치의 불량률의 원인이 된다. 수율을 저하시킬 우려가 있다.

그래서, 제1 실시예의 제2 변형예에서는, 도 7에 도시된 바와 같이 제2 및 제3 도전체(151 내지 156)의 단면 형상을 순방향 테이퍼 형상으로 한다. 이 형상에 의해, 에칭 시의 절연막(6)의 가공성을 높인다. 제2 및 제3 도전체(151) 등의 형상을 순방향 테이퍼 형상으로 함으로써, 절연막(6)이 비스듬히 배치된다. RIE와 같은 이방성 에칭에서도 절연막(6)을 적은 에칭량으로 용이하게 제거할 수 있다. 이 순방향 테이퍼 형상은, 제2 및 제3 도전체(151 내지 156)를 상호 분리하는 에칭 백시의 에칭 조건을 변화시킴으로써(예를 들면 기판 온도를 저하시키는 등) 실현할 수 있다.

<제2 실시예>

제1 실시예에서는, 제2 및 제3 도전체(51 내지 56)의 홈(11) 내측의 측면만이 제어 게이트(7)와 근접한다. 제2 실시예에서는 도 8b에 도시된 바와 같이 제2 및 제3 도전체(51 내지 56)의 홈(11) 외측의 측면에서도 제어 게이트(7)와 근접한다. 제2 실시예에 따른 반도체 장치에서는, 제1 실시예의 반도체 장치보다 제2 및 제3 도전체(51 내지 56)와 제어 게이트(7)의 용량 결합을 더 증대시킬 수 있다.

제조 방법은 제1 실시예의 공정(5)의 도 4b까지 동일하다. 이어서 도 8a에 도시된 바와 같이 예를 들면 웨트(wet) 에칭법으로 소자 분리 영역(STI: 21 내지 24)을 에칭 백한다. 이후의 공정은 제1 실시예의 공정(6)의 도 4c 이후와 동일하다. 즉, 도 8b에 나타난 바와 같이 제1 도전체(41 내지 43)와 제2 및 제3 도전체(51 내지 56) 위에 절연막(6)을 형성한다. 또한, 절연막(6) 위에 제어 게이트(7)가 되는 도전막을 형성한다. 이러한 구조를 이용함으로써, 제2 및 제3 도전체(51 내지 56)의 양측면이 제어 게이트(7)와 용량 결합할 수 있다. 제2 및 제3 도전체(51 내지 56)의 높이가 동일하면, 제1 실시예보다 제2 실시예의 용량 결합은 크다. 또한, 제1 실시예와 동일한 크기의 용량 결합을 얻기 위해 제2 실시예에서는 제2 부유 게이트(51) 등의 높이를 제1 실시예보다 낮출 수 있다.

소자 분리 영역(21 내지 24)의 상면의 높이는 제1 도전체(41 내지 43)의 다결정 실리콘막의 상면의 높이보다 높아진다. 이에 따라, 도 1a 및 도 2a에 나타내는 제어 게이트(7)와 제어 게이트(27)의 쇼트를 방지할 수 있다.

반대로, 도 9a에 도시된 바와 같이, 소자 분리 영역(22)의 상면의 높이가 제1 도전체(41)의 상면의 높이보다 낮은 경우에 대해 설명한다. 이 경우에, 제어 게이트(7)가 제1 도전체(41)의 상면의 높이보다 낮은 위치에 설치된다. 그리고, 제어 게이트(7)가 영역(116)과 같이 제3 도전체(52) 하측에 설치된다. 이것은, 제3 도전체(52)가 제1 도전체(41)보다도 소자 분리 영역(22)측으로 확대되기 때문이다. 제3 도전체(52)가 소자 분리 영역(22)의 상측에 설치된다. 이 확대는, 제1 도전체(41) 위에 제3 도전체(52)를 퇴적시킨 공정의 앞 처리에서 생긴다. 이 앞 처리에서는 제1 도전체(41) 위의 자연 산화막을 에칭 제거한다. 이 때, 노출되어 있는 소자 분리 영역(22)도 에칭되어, 소자 분리 영역(21과 22)의 간격이 확대된다.

그리고, 도 9a의 구조에 있어서, 제어 게이트(7)와 제어 게이트(27)를 분리 가공한다. 제어 게이트(7), 블록 절연막(6), 제3 도전체(52) 및 제1 도전체(41)를 이방성 에칭으로 거의 수직으로 에칭 가공한다. 이 분리 가공에는 다음과 같은 문제점이 생긴다.

우선, 제어 게이트(7)를 패터닝하여 수직 가공한다. 블록 절연막(6)은 에칭되지 않고 남는다. 제3 도전체(52) 하측의 제어 게이트(7)의 영역(116)도 에칭되지 않고 남는다. 이것은, 영역(116)이 에칭제로부터 제3 도전체(52)로 마스크되기 때문이다.

이 후, 블록 절연막(6)을 이방성 에칭한다. 제3 도전체(52) 아래의 블록 절연막(114)은 에칭되지 않고 남는다. 이것은, 막(114)이 에칭제로부터 제3 도전체(52)로 마스크되기 때문이다. 영역(116)도 에칭되지 않고 남는다.

마지막으로, 제1 도전체(41)를 에칭에 의해 제거한다. 이 에칭시에도, 막(114)과 영역(116)은 제거되지 않고 남는 경우가 있다. 이 에칭 잔여 영역(116)은 인접하는 데이터 제어선(7과 27) 사이의 단락 불량을 생기게 한다. 이 단락 불량은, 본 발명자들이 처음으로 발견하였다.

영역(116)이 제거되어 존재하지 않고, 막(114)만이 에칭 후에 남은 경우에도 문제점이 생기는 경우가 있다. 소스·드레인 영역을 형성하기 위한 이온 주입을 행할 때에 막(114)이 이온 주입시의 마스크로서 이용되기 때문이다. 또한, 소스·드레인 영역에 대한 컨택트 전극을 형성하기 위한 에칭을 행할 때에 에칭의 마스크가 되기 때문이다.

이들로부터, 제2 실시예에서는 메모리 셀부의 소자 분리 영역(21 내지 24)의 높이는 제1 부유 게이트(41)의 상면의 높이보다 높아지도록 제어한다. 이에 따라, 제어 게이트 전극(7)의 에칭 잔여 영역(116)은 생기지 않는다.

<제3 실시예>

제1 실시예에서는 소자 분리 영역(21 내지 24) 측면의 측벽으로서 제2 및 제3 도전체(51 내지 56)를 형성한다. 제2 및 제3 도전체(51 내지 56) 각각의 분리는 에칭 백 공정으로 행한다. 이 에칭 백 공정에 관하여, 이하의 문제가 발생하는 경우가 있다.

우선, 에칭 백하는 제2 및 제3 도전체(51 내지 56)의 재료는 다결정 실리콘막이다. 제2 및 제3 도전체(51 내지 56)의 하층에는 제1 도전체(41 내지 43)가 설치되어 있다. 이들 제1 도전체(41 내지 43)의 재료도 다결정 실리콘막이다. 에칭 백 공정에서, 제2 및 제3 도전체(54와 55)를 확실하게 분리시키기 위해 제1 도전체(41 내지 43)도 에칭된다. 이에 따라 제1 도전체(41 내지 43)의 완성된 막 두께가 반도체 기억 장치사이와 내부에서 변동된다. 이 변동에 의해 셀 특성이 변동될 가능성이 있다고 발명자는 생각하였다.

이어서, 셀사이의 기생 용량 C1을 감소시키기 위해, 제1 도전체(41 내지 43)의 막 두께를 얇게 할 수 있다. 이것은, 막의 두께를 줄여도 제어 게이트와 부유 게이트의 용량 결합을 줄이지 않기 때문이다. 그러나, 제1 도전체(41 내지 43)의 막 두께

를 얇게 하면, 이 얇은 막(41 내지 43)의 표면이 에치 백 공정에서 에칭된다. 이 에칭에 의해, 얇은 막(41 내지 43)에 핀 홀이라는 결함이 발생한다. 이 결함에 의해, 막(41 내지 43)의 하층인 터널 산화막(31 내지 33)의 신뢰성을 열화시킬 가능성이 있다고 발명자는 생각하였다.

마지막으로, 도 8a에서 제2 및 제3 도전체(51 내지 56)는 하층의 제1 부유 게이트(41 내지 43)와 밀착하는 면적이 작다. 이에 따라, 제2 및 제3 도전체(51 내지 56)의 높이를 너무 높이면, 제2 및 제3 도전체(51 내지 56)가 제1 도전체(41 내지 43)로부터 박리되어 쓰러질 가능성이 있다고 발명자는 생각하였다.

그래서 제3 실시예에서는, 하나의 메모리 셀의 두개의 제2 및 제3 도전체(51와 52)는 분리하지 않고 접속된 일체의 구조를 갖는다. 그리고, 제3과 제2 도전체(54와 55)를 분리하는 에치 백 공정에서는 제2 및 제3 도전체(55와 56) 사이에 제1 도전체(43)를 노출시키지 않는다.

즉, 제3 실시예에 따른 반도체 장치는, 도 11a에 도시된 바와 같이 표면에 홈을 갖는 반도체 기판(1)을 갖는다. 소자 분리 영역(21 내지 24)은 그 홈에 매립된다. 소자 분리 영역(21 내지 24) 측면이 기판(1)의 표면보다 높은 위치까지 설치된다. 소자 분리 영역(21 내지 24)의 상면은 기판(1)의 표면보다 높다. 터널 산화막(31 내지 33)은 기판(1)의 표면 위에 설치된다. 터널 산화막(31 내지 33) 양단이 소자 분리 영역(21 내지 24)과 접하고 있다. 부유 게이트는 제1 도전체(41 내지 43)와, 제2 도전체(51 내지 53)를 갖고 있다. 제1 도전체(41 내지 43)는 터널 산화막(31 내지 33)의 표면 위에 설치된다. 제1 도전체(41 내지 43)의 양측 단면이 소자 분리 영역(21 내지 24)과 접하고 있다. 제2 도전체(51 내지 53)는 제1 도전체(41 내지 43)의 표면 위에 설치된다. 제2 도전체(51, 53, 55)의 바닥부가 제1 도전체(41 내지 43)에 접한다. 제2 도전체(51, 53, 55)의 양측 단부는 중앙부보다 높다. 그 양단부의 높이는 소자 분리 영역의 상면의 높이와 거의 동일하다. 부유 게이트와 제어 게이트사이의 절연막(6)은 제2 도전막(51 내지 53)의 표면에 접한다. 절연막(6)은 소자 분리 영역(21 내지 24)의 상면 위에 설치된다. 제어 게이트(7)는 절연막(6) 위에 설치된다.

부유 게이트는 제1 도전체(41 내지 43)와 제2 도전체(51 내지 53)로 이루어지는 2층의 적층 구조로 되어 있다. 제3 실시예의 제2 도전체(51 내지 53)는 제1과 제2 실시예의 제2 및 제3 도전체(51와 52)가 제1 도전체(41 내지 43) 위에서 연결되어 일체로 되어 있는 것으로 고려된다. 도전체(41 내지 43와 51 내지 53)는 모두 두께를 얇게 설정함으로써, 부유 게이트와 제어 게이트사이의 접합 용량을 줄이지 않고, 인접 메모리 셀의 부유 게이트 사이의 기생 용량C1을 작게 할 수 있다.

이어서, 제3 실시예에 따른 반도체 장치의 제조 방법을 설명한다.

제1 실시예의 도 3a로부터 도 4a를 이용하여 설명한 반도체 장치의 제조 방법과 기본적으로 동일한 제조 방법을 우선 행한다. 즉, 홈부(10)와, 제1 도전체(41 내지 43) 및 활성 영역은 자기 정합적으로 가공된다.

(1) 도 3a에 도시된 바와 같이, p형 실리콘(Si) 기판(1) 위에 실리콘 산화막 또는 옥시니트라이드막(31 내지 33 : SiO₂)을 열 산화에 의해 성장한다. 이 실리콘 산화막 또는 옥시니트라이드막(31 내지 33)은 불휘발성 메모리 셀의 터널(Tunnel) 산화막이 된다. 이 실리콘 산화막 또는 옥시니트라이드막(31 내지 33)의 막 두께는 3nm이상 15이하, 예를 들면 10nm 정도이다. 계속해서, 부유 게이트의 일부에서 제1 도전체(41 내지 43)가 되는 다결정 실리콘(Si)막을 실리콘 산화막(31 내지 33) 위에 형성한다. 제1 도전체(41 내지 43)의 막 두께는 10nm이상 500nm이하, 예를 들면 30nm 정도이다. 또한, 캡(91 내지 93)으로서 기능하는 실리콘 질화막을 제1 도전체(41 내지 43) 위에 퇴적시킨다. 캡 재료(91 내지 93)의 막 두께는 3nm이상 500nm로서, 예를 들면 120nm 정도이다.

이어서, 포토리소그래피와 에칭에 의해 소자 분리 영역(21 내지 24)이 되는 영역에 홈(10)을 만든다. 구체적으로는, 소자 분리 영역(21 내지 24)이 되는 영역의 캡(91 내지 93), 제1 도전체(41 내지 43), 실리콘 기판(1)을 순차적으로 에칭한다. 도 3a에 도시된 바와 같이, 홈(10)과, 제1 도전체(41 내지 43), 캡(91 내지 93)은 자기 정합적으로 형성할 수 있다. 이에 따라, 셀의 미세화를 실현함과 함께 활성 영역의 코너부를 피복하도록 부유 게이트가 형성되지 않기 때문에, 전계 집중 효과에 따른 메모리 셀 특성의 변동을 억제할 수 있다. 실리콘 기판(1) 내의 홈(10)의 깊이는 50nm이상 1000nm 이하의 범위로서, 예를 들면 300nm 정도이다. 소자 분리용의 홈(10)을 형성한 후에 필요에 따라 얇은 실리콘 산화막을 기판(1)과 제1 도전체의 노출면 위에 열 산화법으로 형성한다. 이 얇은 실리콘 산화막의 막 두께는 3nm이상 20nm이하로서 예를 들면 5nm 정도이다.

이어서, 홈(10)에 예를 들면 고밀도 플라스마(HDP : High Density Plasma)법으로 절연막을 매립한다. 매립 재료를 퇴적시킨 후, 화학 기계 연마법(CMP : Chemical Mechanical Polish)등의 방법으로 캡(91 내지 93)의 상면까지 절연막을 연마하여 평탄화한다. 도 3b에 도시된 바와 같이 소자 분리 영역(21 내지 24)은 부유 게이트(41 내지 43) 단부에 자기 정합적으로 매립된다. 이어서, 도 3c에 도시된 바와 같이 캡 재료(91 내지 93)를 제거한다. 이에 따라, 소자 분리 영역(21 내지 24)으로 둘러싼 홈부(11)를 형성한다. 이어서, 부유 게이트 전극의 제2 도전체(51 내지 53)가 되는 얇은 다결정 실리콘막(5)을 퇴적한다. 이 다결정 실리콘막(5)의 막 두께는 3nm이상 250nm 이하의 범위로서 예를 들면 20nm 정도이다. 지금까지의 제조 방법은 기본적으로는 제1 실시예와 동일하다.

이어서, 도 12a에 도시된 바와 같이, 예를 들면 포토레지스트(76)를 다결정 실리콘막(5) 위의 전면에 도포한다. 도 12b에 도시된 바와 같이 도트 레지스터(76)를 에치 백한다. 이에 따라, 소자 분리 영역(21 내지 24) 위에 위치하는 다결정 실리콘막(5)을 노출시킨다. 에치 백된 레지스트(77 내지 79)는 홈(11) 내에 매립된다. 도 12c에 도시된 바와 같이, 예를 들면 RIE 법에 의한 에치 백으로, 소자 분리 영역(21 내지 24) 위의 다결정 실리콘막(5)을 제거한다. 부유 게이트 전극의 제2 도전체(51 내지 53)가 형성된다. 도 12d에 도시된 바와 같이 레지스트(77 내지 79)를 박리한다.

마지막으로, 제2 도전체(51 내지 53)와, 소자 분리 영역(21 내지 24) 위에 부유 게이트와 제어 게이트사이의 절연막(6)을 형성한다. 그리고, 도 11a에 도시된 바와 같이 제어 게이트(7)가 되는 다결정 실리콘막을 퇴적시킨다.

<제3 실시예의 제1 변형예>

제3 실시예의 제1 변형예에 따른 반도체 장치는, 도 11b에 도시된 바와 같이 소자 분리 영역(21 내지 24)의 상면의 높이가 제2 도전체(51 내지 53)의 최상부의 높이보다 낮다. 그리고, 소자 분리 영역(21 내지 24)의 상면의 높이가 제2 도전체(51 내지 53)의 최하부의 높이보다 높던지 동일하다. 이에 따라, 도 9의 에칭 잔여물(116)을 생기게 하지 않는다. 소자 분리 영역(21 내지 24)의 상측에 배치되는 제어 게이트(7)와 제2 도전체(51 내지 53)가 절연막(6)을 통해 근접한다. 즉, 제2 도전체(51 내지 53) 외측의 측면부에서도 제2 도전체(51 내지 53)가 제어 게이트(7)와 절연막(6)을 통해 근접한다. 이에 따라, 제3 실시예의 제1 변형예는 제3 실시예와 비교하여 제어 게이트(7)와 부유 게이트(51 내지 53) 사이의 용량 결함을 보다 높일 수 있다.

이어서, 제3 실시예의 제1 변형예에 따른 반도체 장치의 제조 방법에 대하여 설명한다. 도 4a에 도시된 제2 도전체(5)를 퇴적시키는 부분까지는 제1 및 제3 실시예와 동일하다. 이어서, 도 13a에 도시된 바와 같이 실리콘 산화막(120)을 CVD법으로 퇴적시킨다. 도 13b에 도시된 바와 같이 실리콘 산화막(120)의 에치 백을 행한다. 소자 분리 영역(21 내지 24) 상측의 제2 도전체(5)가 노출된다. 실리콘 산화막(121 내지 123)은 홈(11) 내부에 매립된다. 이 때, 홈(11) 내의 실리콘 산화막(121 내지 123)의 잔여 막 두께 d는 이후에 소자 분리 영역(21 내지 24)을 에칭 제거하는 깊이보다도 얇은 것이 바람직하다.

이어서, 도 13c에 도시된 바와 같이 CMP법 혹은 에치 백법으로, 소자 분리 영역(21 내지 24) 위의 제2 도전체(5)를 제거한다. 제2 도전체(5)는 제2 도전체(51 내지 53)를 분할된다. CMP법에 따르면, 홈(11) 측면에 남게 되는 제2 도전체의 높이를 양호하게 제어할 수 있다.

이어서, 도 13d에 도시된 바와 같이 실리콘 산화막(121 내지 123)과 소자 분리 영역(21 내지 24)의 에칭을 행한다. 이 에칭에 의해, 홈(11) 내의 실리콘 산화막(121 내지 123)을 제거한다. 제2 도전체의 상면을 노출시킨다. 그리고, 소자 분리 영역(21 내지 24)을 원하는 깊이까지 에칭한다. 이 때, 원하는 깊이보다도 실리콘 산화막(121 내지 123)의 잔여 막 두께 d가 얇으면, 소자 분리 영역(21 내지 24)의 에칭과 동시에 실리콘 산화막(121 내지 123)의 제거를 할 수 있다. 이 에칭에 의해, 제2 도전체(51 내지 53)의 외측면부의 핀(fin) 형상의 돌기가 노출된다. 제2 도전체(51 내지 53)의 바닥면의 전면이 제1 도전체(41 내지 43) 상면의 전면에 접하고 있으므로, 돌기는 쓰러지기 어렵다.

마지막으로, 도 11b에 도시된 바와 같이 소자 분리 영역(21 내지 24) 위와 제2 도전체(51 내지 53) 위에 절연막(6)을 형성한다. 절연막(6) 위에 제어 게이트(7)가 되는 다결정 실리콘막을 퇴적시킨다.

<제3 실시예의 제2 변형예>

제3 실시예의 제2 변형예에 따른 반도체 장치는, 도 11c에 도시된 바와 같이 제2 도전체(57 내지 59)가 소자 분리 영역(124 내지 127) 위에 배치된다. 이에 따라, 부유 게이트(57 내지 59)와 제어 게이트(7)의 절연막(5)을 통해 대향하는 부분의 면적을, 제3 실시예의 반도체 장치보다 넓힐 수 있다. 제3 실시예의 제2 변형예는 제3 실시예와 비교하여, 제어 게이트(7)와 부유 게이트(57 내지 59) 사이의 용량 결함을 보다 높일 수 있다.

이어서 제3 실시예의 제2 변형예에 따른 반도체 장치의 제조 방법에 대하여 설명한다. 도 3c에 나타내는 캡 재료(91 내지 93)를 제거하는 부분까지는 제1 및 제3 실시예와 동일하다. 이어서, 도 14a에 도시된 바와 같이 소자 분리 영역(124 내지 127)을 웨트(wet) 에칭 등의 등방성 에칭으로 에칭한다. 이 에칭에 의해, 소자 분리 영역(124 내지 127)은 후퇴한다. 제1 도전체(41 내지 43) 측방의 소자 분리 영역(124 내지 127)도 제거된다. 홈(11)의 폭은 넓어진다.

이어서, 도 14b에 도시된 바와 같이, 제2 도전체(5)를 소자 분리 영역(124 내지 127) 위와 제1 도전체(41 내지 43) 위에 성막한다. 특히, 제2 도전체(5)는 제1 도전체(41 내지 43)의 측면 위에도 성막한다. 이후의 제조 방법은, 도 12a로부터 도 12d에 나타내는 제3 실시예의 제조 방법과 동일하다. 즉, 도 14c에 도시된 바와 같이, 포토레지스트(77 내지 79)로 홈(11) 내부의 제2 도전체(57 내지 59)를 보호하면서 제2 도전체(57 내지 59)를 분할한다. 이러한 공정에 의해, 소자 분리 영역(124 내지 127)으로 제2 도전체(57 내지 59)가 돌출된 형상을 형성할 수 있다.

(제3 실시예의 제3 변형예)

제3 실시예의 제3 변형예에 따른 반도체 장치는, 도 11d에 도시된 바와 같이 제3 실시예의 제1 변형예와 제3 실시예의 제2 변형예의 특징을 겸비하고 있다. 제2 도전체(57 내지 59) 외측의 측면이 제어 게이트와 절연막(6)을 통해 대향하고 있다. 또, 제2 도전체(57 내지 59)가 소자 분리 영역(124 내지 127) 위에 배치되고, 소자 분리 영역(124 내지 127)으로 돌출되어 있다.

소자 분리 영역(124 내지 127)의 상면의 높이가 제2 도전체(57 내지 59)의 최상부의 높이보다 낮다. 그리고, 소자 분리 영역(124 내지 127)의 상면의 높이가 제2 도전체(57 내지 59)의 최하부의 높이보다 높거나 동일하다. 이에 따라, 도 9의 에칭 잔여물(116)을 생기게 하지 않는다. 소자 분리 영역(124 내지 127)의 상측에 배치되는 제어 게이트(7)와 제2 도전체(57 내지 59)가 절연막(6)을 통해 대향한다. 이에 따라 제3 실시예의 제3 변형예는 제3 실시예와 비교하여, 제어 게이트(7)와 부유 게이트(57 내지 59) 사이의 용량 결함을 보다 높일 수 있다. 제3 실시예의 제3 변형예에 따른 반도체 장치의 제조 방법은 제3 실시예의 제1 변형예와 제3 실시예의 제2 변형예의 제조 방법에 기초한다.

<제4 실시예>

제4 본 실시예는, 제3 실시예 중에서 특히 제3 변형예를 더 자세하게 설명한다. 제4 본 실시예의 반도체 장치는 NAND 구조의 불휘발성의 반도체 기억 장치이다. 제4 본 실시예의 반도체 장치는 메모리 셀 영역과 주변 회로 영역 사이의 영역과, 메모리 셀 영역의 제어 게이트 전극(7) 상면의 단차가 작은 것을 특징으로 한다. 또, 제4 실시예에 있어서, 도 15b의 절연막(101, 102)도 소자 분리 영역(124 내지 127)이라고 간주할 수 있다. 이에 따라, 제4 실시예의 소자 분리 영역(101, 102, 124 내지 127)의 형상은 도 11d의 제3 실시예의 제3 변형예의 소자 분리 영역(124 내지 127)의 형상과 동일하다.

도 15a의 좌측과 도 15b는 메모리 셀 영역이다. 도 15a의 우측과 도 15c는 주변 회로 영역이다. 상호 동일한 폭의 제어 게이트(28, 7, 27)가 등간격으로 평행하게 가로 방향으로 배치되어 있다. 소자 분리 영역(124 내지 127)이 제어 게이트(28, 7, 27)의 하측에서, 평행하게 세로 방향으로 배치되어 있다. 메모리 셀 영역에 있어서, 소자 분리 영역(124 내지 127)은 예를 들면 상호 동일한 폭을 갖고, 등간격으로 배치되는 것이 소자 분리 내압을 맞추고, 채널 컨덕턴스를 맞추어, 균일한 디바이스를 형성하는데 바람직하다. 메모리 셀(162, 163)과 더미 셀(161)의 소스/드레인 영역(81 내지 87)은 상측에 제어 게이트(28, 7, 27)와, 소자 분리 영역(124 내지 127)이 배치되어 있지 않은 영역에 설치된다. 주변 회로(164)의 소스/드레인 영역(88)은 상측에 제어 게이트(28, 7, 27)와, 소자 분리 영역(124)이 배치되어 있지 않은 영역에 설치된다.

소자 분리 영역(124 내지 127) 상측에 형성된 제어 게이트 전극(7)의 바닥면은 제1 도전체(41 내지 43)의 상면보다도 적층 방향의 상측에 배치된다. 제2 도전체(58, 59) 두개의 외측 측면의 최대 거리는 제1 도전체(42, 43)의 두개의 단부면의 거리보다도 크다. 제2 도전체(58, 59)의 하면 즉 외측 측면의 하단은 제1 도전체(42, 43)의 상면보다도 아래에 설치된다. 제2 도전체(58, 59)는 제1 도전체(42, 43) 위에서 연결된 일체의 도전체이다. 제2 도전체(58, 59)의 두개의 외측 측면의 거리는 이 측면의 상부일수록 좁다. 제어 게이트 전극(7)은 블록 절연막(6)을 통해 제2 도전체(58, 59)의 상면과 측면에 대향한다. 소자 분리 영역(125)은 제2 도전체(57)에 접한다. 소자 분리 영역(124)도 제2 도전체(57)에 접한다. 소자 분리 영역(124)은 소자 분리 영역(125)보다 폭이 넓다. 소자 분리 영역(124)의 상면의 높이는 소자 분리 영역(125)의 상면의 높이보다 높다.

더미 셀(161)은 복수의 메모리 셀(162, 163)로 이루어지는 메모리 셀 어레이와 주변 회로(164) 사이에 형성된다. 더미 셀(161)은 메모리 셀(162, 163)의 동작이나 프로세스 제어성을 안정시킨다. 더미 셀(161)은 메모리 셀(162, 163)과 거의 동등한 구조를 갖고, 메모리 셀(162, 163)과 인접하여 형성된다. 더미 셀(161)은 하나에 한하지 않고, 물론 복수개 형성해도 상관없다. 또한, 기호를 알기 쉽게 표시하기 위해, 더미 셀(161)과 주변 회로(164) 사이를 분리하여 나타내었다. 더미 셀(161)과 주변 회로(164)는 소자 분리 영역(124)을 동일한 것으로 하여 연속하여 형성된다. 주변 회로(164)란, 메모리 셀(162, 163) 이외에서 MIS 트랜지스터로서 기능하는 디바이스를 말한다.

p형 실리콘 기판(1)의 붕소(B)의 불순물 농도는 10^{14}cm^{-3} 이상에서 10^{29}cm^{-3} 이하이다. p형 실리콘 기판(1) 위에, 예를 들면 3nm 이상에서 15nm 이하의 두께를 갖는 실리콘 산화막 또는 옥시니트라이드막인 게이트 절연막(31 내지 33, 35)이 설치되어 있다. 게이트 절연막(31 내지 33, 35) 위에는 폴리실리콘으로 이루어지는 제1 도전체(41 내지 43, 141)가 설치되어 있다. 제1 도전체(42와 43)는 메모리 셀(163, 162)의 부유 게이트의 제1 전하 축적층으로서 기능한다. 제1 도전체(41 내지 43, 141)에는 예를 들면 인(P) 또는 비소(As)가 불순물 농도로 10^{18}cm^{-3} 이상에서 10^{21}cm^{-3} 이하의 범위로 첨가되어 있다. 제1 도전체(41 내지 43, 141)의 두께는 10nm 이상에서 500nm 이하의 범위이다. 또한, 게이트 절연막(31 내지 33, 35)과 제1 도전체(41 내지 43, 141)는 단차가 없는 평면 위에 설치되어 있다. 이에 따라, 메모리 셀(162, 163)의 전기 특성의 셀 사이의 변동을 균일하게 할 수 있다. 제1 도전체(41 내지 43, 141)의 측면에는 부유 게이트 측벽 산화막(101)이 설치되어 있다.

제1 도전체(41 내지 43, 141)와, 부유 게이트 측벽 산화막(101) 위에는 제2 도전체(57 내지 59와 157)가 설치되어 있다. 이 제2 도전체(57 내지 59와 157)는 예를 들면 인 또는 비소를 불순물로서 불순물 농도 10^{18}cm^{-3} 이상에서 10^{21}cm^{-3} 이하의 범위로 첨가되어 있는 폴리실리콘이다. 제2 도전체(57 내지 59)의 두께는 3nm 이상에서 500nm 이하의 범위이다. 제2 도전체(57 내지 59)의 두께는 제1 도전체(41 내지 43) 두께의 절반보다도 작고, 예를 들면 3nm 이상에서 100nm 이하의 범위가 바람직하다. 이 범위에서도 제어 게이트 사이의 용량 결함을 작게 하지 않는다. 또, 데이터의 판독 시간이나 기입 시간을 현저히 길게 할수록 저항 성분이 커지는 일도 없다. 한편, 셀 사이의 결합 용량을 작게 할 수 있다.

제2 도전체(57 내지 59)는 제1 도전체(41 내지 43) 상면의 전면과, 대향하는 측면의 상부에 접하고 있다. 즉, 제2 도전체(57 내지 59)는 제1 도전체(41 내지 43)의 상면 및 측면을 피복하고 있다. 또한, 제2 도전체(57 내지 59)는 도 1b의 도전체(51, 52)와 달리, 일체형의 도전체이다. 이에 따라, 제2 도전체(57 내지 59)와 제1 도전체(41 내지 43)는 보다 넓은 면적에서 밀착되기 때문에, 제2 도전체(57 내지 59)의 내부 응력이나 제2 도전체(57 내지 59)에 대한 외력에 의한 박리를 방지할 수 있다.

제2 도전체(58, 59)는 메모리 셀(162, 163)의 부유 게이트의 제2 전하 축적층으로서 기능한다. 제2 도전체(58, 59)의 외측면부의 상면은 내부의 상면보다 높다. 제2 도전체(58, 59)는 대문자 H의 형상이다. 제2 도전체(58, 59)는 외측의 우측에 제1 측면과, 외측의 좌측에 제2 측면을 갖고 있다. 제2 도전체(58, 59)는 내측의 우측에 제3 측면과, 내측의 좌측에 제4 측면을 갖고 있다. 제2 도전체(58, 59) 외측의 제1과 제2 측면의 하부는 소자 분리 영역(125 내지 127)에 접하고 있다. 제2 도전체(58, 59) 외측의 제1과 제2 측면과 내측의 제3과 제4 측면의 상부 위에는 블록 절연막(6)이 설치되어 있다. 제2 도전체(58, 59)의 내부의 상면에도 블록 절연막(6)이 설치되어 있다. 이 블록 절연막(6) 위에는 제어 게이트(7)가 설치되어 있다. 블록 절연막(6)은 예를 들면 두께 5nm 이상에서 30nm 이하의 범위의 실리콘 산화막 또는 옥시니트라이드막, 또는 각각의 두께가 2nm 이상에서 100nm 이하의 범위인 실리콘 산화막/실리콘 질화막/실리콘 산화막으로 이루어지는 적층막(ONO 막)이다. 제어 게이트(7)는 예를 들면 인, 비소, 또는 붕소를 불순물로 하여 불순물 농도 10^{17}cm^{-3} 이상에서 10^{21}cm^{-3} 이하의 범위로 첨가되어 있는 폴리실리콘이다. 또한, 제어 게이트(7)는 텅스텐 실리사이드(WSi)와 폴리실리콘과의 적층 구조라도 무방하다. 또한, 니켈 실리사이드(NiSi), 몰리브덴 실리사이드(MoSi), 티타늄 실리사이드(TiSi), 코발트실리사이드(CoSi)와 폴리실리콘의 적층 구조라도 무방하다. 제어 게이트(7)의 두께는 10nm 이상에서 500nm 이하 범위의 두께이다. 소자 분리 영역(125 내지 127)의 상측에 위치하는 블록 절연막(6) 및 제어 게이트(7)는 제1 도전체(42, 43)의 상면보다도 상측에 형성되어 있다. 마찬가지로, 소자 분리 영역(125 내지 127)의 상측에 위치하는 블록 절연막(6) 및 제어 게이트(7)는 제2 도전체(58, 59)의 최하면보다도 상측에 형성되어 있다. 즉, 도 15b의 높이 H는 양의 값이 된다. 이에 따라, 도 9에서 설명한 제어 게이트(7)의 에칭 잔여물(116)은 발생하지 않는다.

실리콘 기판(1) 위에는 라이너 절연막(102)을 통하여 소자 분리 영역(124 내지 127)이 설치되어 있다. 소자 분리 영역(124 내지 127)은 예를 들면, 실리콘 산화막으로 이루어진다. 소자 분리 영역(124 내지 127)이 형성되지 않은 실리콘 기판(1)의 표면 위에, 게이트 절연막(31 내지 33, 35)과 제1 도전체(41 내지 43, 141)와 제2 도전체(57 내지 59)가 자기 정합적으로 설치되어 있다.

제4 실시예 에에서는, 제2 도전체(58, 59)가 일체형의 도전체이다. 이에 따라, 제1 도전체(42, 43)와 제2 도전체(58, 59)와의 접촉 면적이 증대한다. 이에 따라, 제1 도전체(42, 43)와 제2 도전체(58, 59) 사이의 용량 또는 콘택턴스를 크게 할 수 있다. 따라서, 제2 도전체(58, 59)의 전위 변동에 대하여, 제1 도전체(42, 43)의 전위 변동을 크게 할 수 있다. 또한, 제1 도전체(42, 43)와 제어 게이트 전극(7)과의 커플링비를 향상시킬 수 있다.

제2 도전체(58, 59)의 외측면부의 돌기부는 내부로 기울어져 있다. 돌기부가 대향하는 내측 측면의 거리는 돌기부의 상측일수록 좁다. 또한, 제2 도전체(58, 59)의 외측면부의 돌기부가 대향하는 외측 측면의 거리는 돌기부의 상측일수록 크다. 이에 따라, 소자 분리 영역(125 내지 127) 사이에 삽입된 실리콘 기판(1)의 폭으로 결정되는 트랜지스터 셀의 채널 폭을 바꾸지 않고 일정하게 한 상태에서 인접하는 메모리 셀의 제2 도전체(58, 59) 사이의 용량 결합을 작게 할 수 있다. 따라서, 채널 폭에 따라 결정되는 트랜지스터의 전류 구동 능력을 일정하게 유지한 상태에서, 인접하는 메모리 셀 사이의 용량 결합에 의한 임계치 변화를 작게 할 수 있다. 또한, 이웃하는 메모리 셀의 제2 도전체(58, 59) 사이의 단락에 의한 문제점을 감소시킬 수 있다.

이어서, 제4 실시예의 반도체 장치의 제조 방법을 설명한다. 제4 실시예에 따른 반도체 장치의 제조 방법에서는, 반도체 장치의 메모리 셀 영역과 주변 회로 영역을 제조하는 방법을 설명한다. 제조 방법 도중까지는 기본적으로는 제1 실시예의 제조 방법과 동일하다.

우선, 도 16a와 도 16b에 도시된 바와 같이 메모리 셀(162, 163), 더미 셀(161)과 주변 회로(164)에서는 소자 분리용 홈부(10)와, 제1 도전체(41 내지 43), 주변 회로의 게이트 전극(141) 및 활성 영역(1)은 자기 정합적으로 가공된다. 제1 도전체(41 내지 43) 및 주변 회로의 게이트 전극(141)은 활성 영역(1)의 측면에는 형성되지 않는다. 이에 따라, 셀(161 내지 163)의 미세화를 실현함과 함께, 활성 영역(1)의 코너부를 피복하도록 부유 게이트(42, 43)가 형성되지 않기 때문에 전계 집중 효과에 따른 메모리 셀 특성의 변동을 억제시킬 수 있다.

p형 실리콘 기판(1) 위에, 절연막(31 내지 33, 35)을 실리콘 기판(1)의 산화 또는 질화에 의해 형성한다. 절연막(31 내지 33, 35)의 두께는 3nm 이상에서 15nm 이하의 범위의 두께이다. 이 절연막(31 내지 33, 35)은 불휘발성 메모리 셀(162, 163)의 터널(Tunnel) 산화막(32, 33)과 더미 셀(161)의 절연막(31)과, 주변 회로의 게이트 절연막(35)으로서 기능한다.

이어서, 절연막(31 내지 33, 35) 위에 제1 도전체(41 내지 43, 141)를 성막한다. 제1 도전체(41 내지 43, 141)의 재료는 다결정 실리콘으로서, 막 두께는 10nm 이상에서 500nm 이하의 범위의 막 두께이다. 제1 도전체(41 내지 43, 141)는 메모리 셀(162, 163)의 제1 부유 게이트(42, 43)와, 더미 셀(161)의 도전체(41)와 주변 회로의 제1 게이트 전극(141)으로서 기능한다.

제1 도전체(41 내지 43, 141) 위에 캡(91 내지 94)으로서 기능하는 실리콘 질화막을 퇴적시킨다. 이 캡(91 내지 94)의 막 두께에 따라 나중에 형성하는 제2 도전체(57 내지 59)의 높이가 결정된다. 이 캡(91 내지 94)의 막 두께는 100nm 이상에서 500nm 이하 범위의 막 두께이다.

이어서, 도 16a와 도 16b에 도시된 바와 같이, 리소그래피 공정과 에칭에 의해 소자 분리 영역(124 내지 127)이 되는 영역에 홈(10)을 형성한다. 구체적으로는, 소자 분리 영역(124 내지 127)이 되는 영역 이외를 마스크하는 레지스트 패턴을 형성한다. 이 레지스트 패턴 및 해당 레지스터 패턴으로 패턴닝된 캡(91 내지 94)을 마스크로, 캡(91 내지 94), 제1 도전체(41 내지 43, 141), 절연막(31 내지 33, 35)과 실리콘 기판(1)을 순차적으로 에칭한다. 소자 분리용의 홈(10)과, 제1 도전체(41 내지 43, 141), 캡(91 내지 94)은 자기 정합적으로 형성된다. 실리콘 기판(1) 내의 소자 분리용의 홈(10)의 깊이는 50nm 이상에서 500nm 이하의 범위의 깊이이다. 홈(10)의 측면의 형상은 순방향 테이퍼 형상인 것이 바람직하다. 특히, 캡 재료(91 내지 94)가 노출되는 측면은 순방향 테이퍼 형상인 것이 바람직하다. 이에 따라, 제어 게이트 전극의 에칭 잔여물을 발생시키지 않고 메모리 셀을 분리할 수 있다.

홈(10)을 만든 후, 홈(10) 내벽 위에 얇은 라이너 산화막(102)을 성막한다. 라이너 산화막(102)은 실리콘 기판(1)을 열 산화하여 형성한다. 라이너 산화막(102)의 막 두께는 3nm 이상에서 15nm 이하의 범위의 막 두께이다. 이 열 산화시에 제1 도전체(41 내지 43, 141)의 측면도 산화되어, 실리콘 산화막(101)이 형성된다. 캡 재료(91 내지 94)는 거의 산화되지 않는다. 캡(91 내지 94)보다도 제1 도전체(41 내지 43, 141)가 산화 속도가 더 빠르다. 도 16c와 도 16d에 도시된 바와 같이 제1 도전체(41 내지 43, 141)의 폭은 캡(91 내지 94)의 폭보다도 좁아진다.

이어서, 소자 분리용의 홈(10)에, 예를 들면 고밀도 플라즈마(HDP: High Density plasma)법으로 형성한 실리콘 산화막(21 내지 24)을 매립한다. 실리콘 산화막(21 내지 24)은 감압(LP) CVD 법으로 형성해도 무방하다. 도 16c와 도 16d에 도시된 바와 같이 실리콘 산화막(21 내지 24)을 퇴적시킨 후, CMP 법으로 캡 재료(91 내지 94)를 CMP 법의 스톱 재료로서 실리콘 산화막(21 내지 24)을 평탄화한다. 이에 따라, 소자 분리 영역(21 내지 24)은 캡 재료(91 내지 94)와 실리콘 산화막(101)의 측면에 자기 정합적으로 형성된다.

도 17a와 도 17b에 도시된 바와 같이, 캡 재료(91 내지 94)를 선택적으로 제거한다. 이에 따라, 소자 분리 영역(21 내지 24)으로 둘러싸인 홈부(11)를 형성한다. 지금까지의 공정은 기본적으로는 제1 실시예에 따른 반도체 장치의 제조 방법을 적용할 수 있다. 이 홈부(11)의 형성에 의해, 제1 도전체(41 내지 43, 141)의 표면은 공기에 노출된다. 이 때문에, 소위 자연 산화막(103)이 제1 도전체(41 내지 43, 141) 표면 위에 성막된다. 자연 산화막(103)의 막 두께는 0.3nm로부터 2nm 범위의 막 두께이다. 이 산화막(103)의 막 두께는 이어서 행해지는 제2 도전체(57 내지 59)의 퇴적까지의 방치 시간에 의존한다. 이 산화막(103)은 막 두께의 균일성이나 제어성이 뒤떨어지기 때문에, 균일한 커플링비를 얻기 위해서는 제거할 필요가 있다. 불산에 의한 웨트 에칭에 의해 산화막(103)을 제거한다. 불산에 의한 웨트 에칭을 행하면, 도 17c와 도 17d에 도시된 바와 같이, 실리콘 산화막으로 형성된 소자 분리 영역(21 내지 24)의 상부가 에칭된다. 그 소자 분리 영역(21 내지 24) 상부의 폭이 좁아진 소자 분리 영역(124 내지 127)이 형성된다. 홈부(11)의 폭이 넓어진다. 산화막(101)도 동시에 에칭된다. 여기서, 산화막(101)도 에칭되는 것은 제1 도전체(41 내지 43, 141)의 폭은 캡 재료(91 내지 94)의 폭(1)보다도 좁기 때문이다. 캡 재료(91 내지 94)를 제거하면, 산화막(101)이 노출된다.

이어서, 도 18a와 도 18b에 나타난 바와 같이 제1 도전체(41 내지 43, 141)와 절연막(101)과 소자 분리 영역(124 내지 127) 위에 제2 도전체(5)를 성막한다. 제2 도전막(5)의 재료는, 다결정 실리콘막이다. 제2 도전막의 막 두께는 3nm 이상에서 100nm 이하의 범위의 막 두께이다. 특히, 10nm 이상에서 30nm 이하 범위의 막 두께가 바람직하다. 상기 범위이면, 셀사이의 용량 결합은 충분히 작다. 전하 축적 전극의 내부의 분포 저항도 충분히 작다. 제2 도전체(5)는 제2 전하 축적 전극(부유 게이트: 58, 59)으로서 기능한다.

이어서, 제2 도전체(5) 위에 측벽 마스크 절연막(104)을 성막한다. 측벽 마스크 절연막(104)으로는, 예를 들면 테트라에톡시실란(TEOS)을 원료로 하는 실리콘 산화막이나 HTO(High Temperature Oxide)막을 이용한다. 측벽 마스크 절연막(104)의 막두께는 3nm 이상에서 100nm 이하 범위의 막 두께로, 예를 들면 10nm 정도의 막 두께이다. 포토레지스트(77 내지 80)를 도포한다. 이어서, 부분 노광한다. 메모리 셀(162, 163)과 더미 셀(161) 위의 레지스트를 노광하고, 주변 회로(164) 위의 레지스트를 노광하지 않는다. 이 노광시에 노광량을 조정함에 따라, 도 18c와 도 18d에 도시된 바와 같이 메모리 셀(162, 163) 및 더미 셀(161)의 홈부(11)의 바닥부에 레지스트(77 내지 79)를 남긴다. 주변 회로(164)의 활성 영역과 그 주변의 소자 분리 영역(124)은 레지스트(80)로 피복한다. 이 노광시에, 메모리 셀(162, 163) 및 더미 셀(161)의 피치보다도 과장이긴데, 예를 들면 염가인 i선의 레지스트를 이용할 수 있다. 이에 따라, 메모리 셀(162, 163) 및 더미 셀(161)의 홈부(11)의 바닥부에 있는 레지스트(77 내지 79)까지는 노광되지 않는다. 이 노광의 조건은 메모리 셀(162, 163) 및 더미 셀(161)의 활성 영역에 레지스트가 남기 때문에, 메모리 셀(162, 163) 및 더미 셀(161)의 소자 분리 영역(124 내지 127) 상부의 레지스트는 노광되고 박리되는 것이다.

이어서, 도 19a와 도 19b에 도시된 바와 같이 레지스트(77 내지 80)를 마스크로 하여 이방성 에칭을 행한다. 측벽 마스크 절연막(104)이 제거된다. 여기서 제2 도전체(5)의 홈부(11)의 내부에서 대향하는 측면의 간격은 홈부(11)의 상부일수록 좁아진다. 따라서 홈부(11)의 측벽에 형성된 절연막(104)은 소자 분리 영역(124 내지 127)의 상면 위에 설치된 제2 도전체(5)에 마스크되어, 에칭되지 않고 남는다. 레지스트(77 내지 79) 두께의 변동과는 무관하게, 측벽 마스크 절연막(104)의 최대 높이가 결정된다. 측벽 마스크 절연막(104)의 최대 높이는 이방성 에칭의 에칭량에 따라 결정된다. 측벽 마스크 절연막(104)의 최대 높이를 균일한 높이로 제어성 좋게 형성할 수 있다.

이어서, 레지스트(77 내지 80)를 박리한다. 측벽 마스크 절연막(104)을 마스크로 하여, 소자 분리 영역(124 내지 127)을 에칭 스톱퍼로 하여 도 19c와 도 19d에 도시된 바와 같이 제2 도전체(5)를 에칭한다. 소자 분리 영역(124 내지 127) 위의 제2 도전체(5)는 제거된다. 이에 따라, 제2 도전체(57 내지 59, 157)는 상호 분리된다. 이 에칭으로는 에칭 손상이 적은 등방성 에칭을 이용한다. 물론, 손상이 문제가 되지 않는 경우에는, 측벽 마스크 절연막(104)을 마스크로 하여 이방성 에칭을 행해도 무방하다. 이방성 에칭에서는, 도 19d에 도시된 바와 같은, 제2 도전막(157)의 가로 방향의 에칭량은 적게 할 수 있다. 또한 제2 도전체(57 내지 59, 157)에 직접 레지스트(77 내지 80)가 접하지 않기 때문에, 레지스트(77 내지 80)로부터 제2 도전체에 대한 나트륨(Na)이나 철(Fe), 크롬(Cr) 등의 금속 오염이나 탄소 오염을 막을 수 있다. 또한, 제2 도전체(57 내지 59, 157)의 에칭에 CMP 법을 이용하지 않는다. 이에 따라, CMP법에 특유의 스크래치에 의한 잔사 잔여물이나 면적이 넓은 부분의 오버 폴리시(over polish) 현상이 생기지 않는다.

레지스트(106)를 전면 도포한다. 더미 셀(161)의 일부와, 주변 회로의 소자 분리 영역(124)을 피복하도록 레지스트(106)를 노광하고, 패터닝한다. 이 노광에서는, 메모리 셀의 홈부(11)의 바닥도 완전하게 노광되도록 조건을 선택한다. 도 20a와 도 20b에 도시된 바와 같이 레지스트(106)를 마스크로 하여, 예를 들면 등방성 에칭으로 측벽 마스크 절연막(104)을 박리한다. 계속해서, 레지스트(106)를 마스크로 하여, 이방성 에칭으로 소자 분리 절연막(124 내지 127)을 에치 백한다. 소자 분리 영역(124 내지 127)의 상면의 높이는 제1 도전체(41 내지 43)의 상면보다도 높게 배치된다. 또한, 소자 분리 영역(124 내지 127) 상면의 높이는 제2 도전체(57 내지 59)의 하면보다도 높게 배치된다. 즉, 소자 분리 영역(124 내지 127)의 측면과 제2 도전체(57 내지 59)의 측면은 접한다. 또한, 레지스트(106)가 제2 도전체(57 내지 59, 157)의 단면에만 접촉한다. 이 때문에, 제3 실시예의 도 12a와 같이 제2 도전체(5) 전면에 레지스트(76)를 도포하는 것보다도 레지스트(106)로부터의 제2 도전체(57 내지 59, 157)에 대한 오염을 억제할 수 있다. 또한, 제2 도전체(57 내지 59)의 단부의 돌기부가 노출되지만 쓰러지지는 않는다. 이것은, 제2 도전체(57 내지 59) 바닥부의 면적이 넓기 때문이다.

레지스트(106)를 박리한다. 제2 도전체(57 내지 59, 157)의 표면은 공기에 노출되기 때문에, 소위 자연 산화막이 0.3nm ~ 12nm 정도 성장한다. 이 자연 산화막의 막 두께는 이어서 행해지는 블록 절연막(6)의 퇴적까지의 시간에 의존한다. 따라서, 이 자연 산화막의 막 두께는 균일성이나 제어성이 뒤떨어진다. 부유 게이트와 제어 게이트의 균일한 커패시턴스를 얻기 위해서는 이 자연 산화막을 제거하는 것이 필요하다. 그래서 예를 들면 이 자연 산화막의 불산에 의한 에칭 처리를 행한다.

도 20c와 도 20d에 도시된 바와 같이, 제2 도전체(57 내지 59, 157)가 노출되는 표면과, 소자 분리 영역(124 내지 127) 위에, 블록 절연막(6)을 퇴적시킨다. 블록 절연막(6)으로는 예를 들면 두께 5nm 이하로부터 30nm 범위의 실리콘 산화막 또는 옥시나이트라이드막 또는 각각의 두께가 2nm로부터 100nm 범위의 실리콘 산화막/실리콘 산화막/실리콘 산화막의 적층 구조를 갖는 ONO막이 이용된다.

이어서, 레지스트를 도포하고, 포토리소그래피 에칭을 행한다. 이에 따라, 주변 회로(164)의 제2 도전체(157) 위와, 더미 셀(161)과 주변 회로(164)사이의 소자 분리 영역(124) 위의 블록 절연막(6)을 제거한다. 제어 게이트 전극(7)을 블록 절연막(6)과 제2 도전체(157) 위에 퇴적시킨다. 제어 게이트 전극(7)으로는 예를 들면 인, 비소(砒素), 또는 붕소를 불순물로 하여 불순물 농도 10^{17}cm^{-3} 이상에서 10^{21}cm^{-3} 이하의 범위로 첨가되어 있는 폴리실리콘을 이용한다. 또는, 제어 게이트 전극(7)으로는 텅스텐 실리사이드(WSi)와 폴리실리콘과의 적층 구조, 또는 NiSi, MoSi, TiSi, CoSi와 폴리실리콘의 적층 구조라도 무방하다. 제어 게이트 전극(7)의 막 두께는 10nm 이상에서 500nm 이하의 범위의 막 두께이다. 이 제어 게이트 전극(7)의 막 두께는 제2 도전체(57 내지 59)의 단부 돌기부의 최대 간격의 1/2 이상으로 한다. 이에 따라, 제2 도전체(57 내지 59)의 내측을 매립시킬 수 있다. 또한, 제2 도전체(57 내지 59)의 돌기부 상측에 평탄화한 제어 게이트 전극(7)의 상면을 설치할 수 있다. 그리고, 제어 게이트 전극(7)의 리소그래피 여유를 확보할 수 있다.

마지막으로, 제2 실시예의 제조 방법과 마찬가지로, 제어 게이트 전극(7), 블록 절연막(6), 전하 축적 전극이 되는 제1과 제2 도전체(42, 43, 58, 59)를 반도체 표면 내의 패턴으로 선형으로 이방성 에칭으로 가공한다. 도 15a에 도시된 바와 같

은 제어 게이트 전극(7, 27, 28)으로 분할한다. 여기서, 제2 도전체(57 내지 59) 주변부의 돌기부 간격은 적층 방향으로 좁아진다. 이에 따라, 제어 게이트(7)의 가공 시의 이방성 에칭시에 제어 게이트 전극(7)의 에칭 잔여물을 감소시킬 수 있다. 소스·드레인 영역(81 내지 88)을 제어 게이트 전극(7, 27, 28) 양측에 형성한다.

한편, 도 21a, 도 21b와 도 21c는, 제4 실시예의 제조 공정에서 도 20a와 도 20b에 나타내는 레지스트(106)의 패터닝 프로세스와, 레지스트(106)에 의한 마스크 에칭 프로세스를 생략한 경우의 반도체 장치의 단면도와 상면도이다. 레지스트(106)에 의한 마스크 에칭 프로세스를 생략하면, 주변 회로(164)와 더미 셀(161) 사이의 넓은 소자 분리 영역(124)이 에치 백된다. 이 에치 백에 의해, 메모리 셀(162, 163) 사이의 좁은 소자 분리 영역(125 내지 127)도 모두 에치 백되기 때문에, 소자 분리 영역(124 내지 127) 상면의 높이는 거의 동일하다. 즉 한번 보면 양호한 평탄화가 이루어진 상태이다. 그러나, 도 21a와 도 21b에 나타난 바와 같이 제어 게이트 전극(7)을 퇴적시키면 메모리 셀 영역의 상면과, 더미 셀(161)과 주변 회로(164) 사이의 넓은 소자 분리 영역(124)의 상면에 제2 도전체(57 내지 59)의 외측면도의 볼록부의 높이 정도의 단차 D가 형성된다. 이 단차 D에 의해 도 21c에 나타난 바와 같이 제어 게이트 전극(7, 27, 28)의 선평이 넓은 소자 분리 영역(124) 위에서 굽어진다. 제어 게이트 전극(7, 27, 28)의 선평이 굽어짐에 따라, 제어 게이트 전극(7, 27, 28) 사이에서 단락이 생기기 쉬워지는 경우가 있다. 혹은, 상기 단차 D에 의해 제어 게이트 전극(7, 27, 28)을 가공하는 리소그래피의 여유가 대폭 축소되는 것을 알았다. 이에 따라, 제어 게이트 전극(7, 27, 28)의 단선이나, 단락이 생기기 쉬워지는 경우가 있다.

이에 대하여, 제4 실시예에서는 제어 게이트 전극(7, 27, 28)을 가공하는 리소그래피에 있어서, 단차 D를 작게 한다. 이 때문에, 굳이 도 20a와 도 20b에 도시된 바와 같이 넓은 소자 분리 영역(124) 상면의 높이를 소자 분리 영역(125 내지 127) 상면의 높이보다 높게 한다. 이에 따라, 단차 D를 작게 할 수 있으므로, 제어 게이트 전극(7, 27, 28)을 가공하는 리소그래피 여유의 폭이 넓다. 그리고, 제어 게이트 전극(7, 27, 28)의 단선이나, 단락이 생기기 어려워진다.

<제4 실시예의 변형예>

제4 실시예의 변형예는 제3 실시예의 제1 변형예를 더 상세히 설명한다. 제4 실시예의 변형예에 따른 반도체 장치는 메모리 셀 영역과 주변 회로 영역 사이의 영역과, 메모리 셀 영역의 제어 게이트 전극(7) 상면의 단차가 작은 것을 특징으로 한다. 또한, 제4 실시예의 변형예에 따른 반도체 장치는 도 9에 나타난 제어 게이트 전극(7)의 에칭 잔여물(116)을 생기게 하지 않는다. 이 때문에, 제4 실시예의 변형예에서는 도 22b와 도 22c에 도시된 바와 같이 제2 도전체(57 내지 59, 157)는 제1 도전체(41 내지 43, 141) 상면 위에만 형성된다. 그리고, 제2 도전체(57 내지 59, 157)의 최대폭은 제1 도전체(41 내지 43, 141)의 폭보다도 작다. 즉, 제2 도전체(57 내지 59)의 두개의 외측 측면의 최대 거리는 제1 도전체(41 내지 43)의 두개의 단부면의 거리보다도 작다.

도 22a의 좌측과 도 22c가 메모리 셀 영역이다. 도 22a의 우측과 도 22c가 주변 회로 영역이다. 상호 동일한 폭의 제어 게이트(28, 7, 27)가 등간격으로 평행하게 가로 방향으로 배치되어 있다. 소자 분리 영역(21 내지 24)이 제어 게이트(28, 7, 27)의 하측에 있어서, 평행하게 세로 방향으로 배치되어 있다. 메모리 셀 영역에 있어서, 소자 분리 영역(21 내지 24)은 상호 동일한 폭을 갖고, 등간격으로 배치된다. 메모리 셀(162, 163)과 더미 셀(161)의 소스/드레인 영역(81 내지 87)은 상측에 제어 게이트(28, 7, 27)와 소자 분리 영역(21 내지 24)이 배치되지 않은 영역에 설치된다. 주변 회로(164)의 소스/드레인 영역(88)은 상측에 제어 게이트(28, 7, 27)와, 소자 분리 영역(124)이 배치되지 않은 영역에 설치된다.

p형 실리콘 기판(1) 위에 게이트 절연막(31 내지 33, 35)이 설치되어 있다. 게이트 절연막(31 내지 33, 35) 위에는 제1 도전체(41 내지 43, 141)가 설치되어 있다. 제1 도전체(41 내지 43, 141) 측면에는 부유 게이트 측벽 산화막(101)이 설치되어 있다. 제1 도전체(41 내지 43, 141) 위에는 제2 도전체(57 내지 59와 157)가 설치되어 있다. 한편, 부유 게이트 측벽 산화막(101)과 소자 분리 영역(21 내지 24) 위에는 제2 도전체(57 내지 59)는 배치되지 않는다.

제2 도전체(57 내지 59)의 바닥면의 전면은 제1 도전체(41 내지 43)의 상면과 접하고 있다. 즉, 제2 도전체(57 내지 59)의 바닥면의 전면은 제1 도전체(41 내지 43)의 상면으로 피복되어 있다. 제2 도전체(57 내지 59)도 일체형의 도전체이다. 보다 넓은 면적에서 제1 도전체와 밀착한다. 이 때문에, 제2 도전체(57 내지 59)의 내부 응력이나, 제2 도전체(57 내지 59)에 대한 외력에 따른 박리를 방지할 수 있다. 제2 도전체(58, 59)는 외측 측면부에 있어서 높고, 내부에 있어서 낮은 제2 도전체(58, 59) 외측면의 하부는 소자 분리 영역(21 내지 24)에 접하는 것이 바람직하다. 부유 게이트 측벽 산화막(101)은 소자 분리 절연막(21 내지 24)에 접하고 있다. 제2 도전체(58, 59) 외측과 내측의 양측면 위에는 블록 절연막(6)이 설치되어 있다. 제2 도전체(58, 59) 내부의 상면에도 블록 절연막(6)이 설치되어 있다. 이 블록 절연막(6) 위에는 제어 게이트(7)가 설치되어 있다. 소자 분리 영역(21 내지 24) 상측에 위치하는 블록 절연막(6) 및 제어 게이트(7)는 제1 도전체(42, 43)의 상면(제2 도전체(58, 59)의 하면과 일치함)보다도 상측에 형성되어 있다. 즉, 도 22b의 높이 H는 양의 값이 된다. 이에 따라 도 9에서 설명한 제어 게이트(7)의 에칭 잔여물(116)이 발생하는 일이 없다. 또한, 소자 분리 영역(21 내지 24)의 상측에 위치하는 블록 절연막(6) 및 제어 게이트(7)는 제1 도전체(42, 43) 하면보다도 상측에 형성되어도 무방하다. 이에 따라 서도, 도 9에서 설명한 제어 게이트(7)의 에칭 잔여물(116)이 발생하지 않는다.

실리콘 기판(1) 위에는 라이너 절연막(102)을 통해 소자 분리 영역(21 내지 24)이 설치되어 있다. 소자 분리 영역(21 내지 24)이 형성되지 않은 실리콘 기판(1)의 표면 위에 게이트 절연막(31 내지 33, 35)과 제1 도전체(41 내지 43, 141)와 제2 도전체(57 내지 59, 157)가 자기 정합적으로 설치되어 있다.

제4 실시예의 변형예에서는 제2 도전체(58, 59)가 일체형의 도전체이다. 이에 따라, 제1 도전체(42, 43)와 제2 도전체(58, 59)와의 접촉 면적이 증대한다. 이에 따라, 제1 도전체(42, 43)와 제2 도전체(58, 59)사이의 용량 또는 커패시턴스를 크게 할 수 있다.

이어서, 제4 실시예의 변형예에 따른 반도체 장치의 제조 방법을 설명한다. 제4 실시예의 변형예에 따른 반도체 장치의 제조 방법에서는, 반도체 장치의 메모리 셀 영역과 주변 회로 영역을 제조하는 방법을 설명한다. 제4 실시예의 제조 방법의 일부를 변경한다.

우선, 제4 실시예의 도 16a와 도 16b에 나타난 구조가 얻어질 때까지, 제4 실시예의 제조 방법을 실행한다. 이어서, 캡(91 내지 94)을 열 인산으로 에칭한다. 캡(91 내지 94)을 5nm로부터 50nm까지 범위의 두께로 제거한다. 도 23a와 도 23b에 도

시된 바와 같이 이 에칭에 의해 캡 재료(95 내지 98)를 형성할 수 있다. 이 때의 제거 두께는 부유 게이트 측벽 산화막(101)을 형성할 때의 제1 도전체(41 내지 43, 141)의 감소량과, 제1 도전체(41 내지 43, 141)의 자연 산화막을 제거할 때의 소자 분리 영역(21 내지 24)의 감소량과의 합보다도 크다. 이어서, 홈(10) 내벽 위에 얇은 라이너 산화막(102)을 성막한다. 이후에는, 제4 실시예의 제조 방법으로 설명한 것과 동일한 공정을 행한다.

도 23c와 도 23d에 도시된 바와 같이 제1 도전체(41 내지 43, 141)의 자연 산화막을 제거한 직후에, 제2 도전체(5)를 퇴적시키기 직전에는 제1 도전체(41 내지 43, 141) 상면의 상측에만 개구가 설치되어 있다. 제1 도전체(41 내지 43, 141)의 측면은 노출되어 있지 않다. 이에 따라, 제2 도전체(57 내지 59, 157)가 제1 도전체(41 내지 43, 141)의 측면으로부터 아래로 저하되지 않는다. 이에 따라, 제어 게이트 전극(7)은 제2 도전막(57 내지 59, 157)의 상면 또는 측면에 선택적으로 형성된다. 한편, 제어 게이트 전극(7)은 제2 도전막(57 내지 59, 157)의 하측에는 배치되지 않는다. 또한, 제어 게이트 전극(7)의 바닥면이 제1 전하 축적층(41)의 바닥면보다도 적층 방향으로 상측에 형성된다. 제2 도전체(57 내지 59, 157)가 마스크가 되어, 제어 게이트 전극(7)의 에칭 잔여물(116)이 생기지 않는다.

본 발명은 상기 실시예에 한정되지 않는다.

소자 분리 영역이나 절연막의 형성법은, 실리콘을 실리콘 산화막이나 실리콘 질화막으로 변환하는 산화나 질화의 방법에 한정되지 않는다. 예를 들면, 산소 이온을 퇴적시킨 실리콘에 주입하는 방법이나, 퇴적한 실리콘을 산화하는 방법, 실리콘 질화막을 실리콘 산화막으로 전환하는 방법을 이용해도 무방하다.

또한, 반도체 기판은 p형 실리콘 기판에 한정되지 않는다. 반도체 기판은, n형 실리콘 기판이나 SOI 기판의 실리콘층, 또는 실리콘 게르마늄(SiGe) 혼합 결정, 탄화 실리콘 게르마늄(SiGeC) 혼합 결정 등 실리콘을 포함하는 단결정의 반도체 기판이라도 무방하다. 또, p형 실리콘 기판으로부터 n형 실리콘 기판으로 치환하는 경우에는 n형 MOSFET의 형성을 대신하여 p형 MOSFET의 형성으로 치환된다. 즉, 상술된 실시예의 n형을 p형으로 치환하고, p형을 n형으로 치환한다. 또한, 도핑 불순물종의 비소(As), 인(P)을 인듐(In), 붕소(B) 중 하나와 재관독하면 된다.

또한, 제어 게이트 전극 및 전하 축적 영역은 실리콘 반도체, SiGe 혼합 결정, SiGeC 혼합 결정, TiSi, NiSi, CoSi, TaSi, WSi, MoSi 등의 실리사이드나 폴리사이드, 티타늄(Ti), 알루미늄(Al), 구리(Cu), 질화 티타늄(TiN), 텅스텐(W) 등의 금속을 이용할 수 있다. 이들 재료는 다결정이라도 무방하다. 또한, 제어 게이트 전극 및 전하 축적 영역은 이들 재료의 적층 구조라도 무방하다. 또한, 제어 게이트 전극 및 전하 축적 영역에는 비정질 Si, 비정질 SiGe 혼합 결정, 또는 비정질 SiGe 혼합 결정을 이용할 수 있으며, 이들 적층 구조로 해도 무방하다. 또한, 전하 축적 영역은 도트 형상으로 형성되어도 상관없으며, 물론 본 발명을 적용할 수 있다. 기타, 본 발명의 요지를 일탈하지 않은 범위에서 여러가지로 변형시켜 실시할 수 있다.

발명의 효과

이상, 설명한 바와 같이 본 발명에 따르면, 부유 게이트와 제어 게이트 사이의 용량을 크게 보유한 상태에서 소자 분리 폭 Wt를 좁힐 수 있는 반도체 장치를 제공할 수 있다.

또한, 본 발명에 따르면, 부유 게이트와 제어 게이트 사이의 용량 결함을 크게 해도 부유 게이트 사이의 용량이 커지기 어려워, 셀 사이의 전기적 간섭을 막을 수 있는 반도체 장치의 제조 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.
삭제

청구항 4.
삭제

청구항 5.

표면에 홈을 갖는 반도체 기판과,

상기 홈에 매립되며 측면의 상부가 상기 기판의 표면보다 높은 제1 및 제2 절연체와,

상기 기판의 표면 위에 설치되며, 하나의 단부가 상기 제1 절연체와 접하고, 다른 단부가 상기 제2 절연체와 접하는 제3 절연막과,

상기 제3 절연막의 표면 위에 설치되고, 일 단부면이 상기 제1 절연체와 접하고, 타 단부면이 상기 제2 절연체와 접하는 제1 도전체와,

상기 제1 도전체의 그의 일 단부면의 근방에 설치되는 제2 도전체와,
 상기 제1 도전체의 그의 타 단부면의 근방에 설치되는 제3 도전체와,
 상기 제2 도전체의 제1 측면과 상기 제3 도전체의 제2 측면에 접하고, 상기 제1 도전체의 상면과 접하는 제4 절연막과,
 상기 제4 절연막 위에 설치되는 제4 도전체
 를 포함하고,
 상기 제2 및 제3 도전체의 단면 폭이 적층 방향의 아래 방향으로 넓어지는 반도체 장치.

청구항 6. 삭제

청구항 7.

표면에 홈을 갖는 반도체 기판과,
 상기 홈에 매립되며 측면의 상부가 상기 기판의 표면보다 높은 제1 및 제2 절연체와,
 상기 기판의 표면 위에 설치되며, 하나의 단부가 상기 제1 절연체와 접하고, 다른 단부가 상기 제2 절연체와 접하는 제3 절연막과,
 상기 제3 절연막의 표면 위에 설치되고, 일 단부면이 상기 제1 절연체와 접하고, 타 단부면이 상기 제2 절연체와 접하는 제1 도전체와,
 상기 제1 도전체의 그의 일 단부면의 근방에 설치되는 제2 도전체와,
 상기 제1 도전체의 그의 타 단부면의 근방에 설치되는 제3 도전체와,
 상기 제2 도전체의 제1 측면과 상기 제3 도전체의 제2 측면에 접하고, 상기 제1 도전체의 상면과 접하는 제4 절연막과,
 상기 제4 절연막 위에 설치되는 제4 도전체
 를 포함하고,
 상기 제2 도전체의 제2 측면이 상기 제1 절연체와 접하고, 상기 제3 도전체의 제1 측면이 상기 제2 절연체와 접하고,
 상기 제2 도전체의 상기 제2 측면과 상기 제3 도전체의 상기 제1 측면의 최대 간격은 상기 제1 도전체의 그의 일 단부면과 그의 타 단부면의 거리보다도 크고, 상기 제2 도전체의 하면은 상기 제1 도전체의 상면보다도 낮은 반도체 장치.

청구항 8.

표면에 홈을 갖는 반도체 기판과,
 상기 홈에 매립되며 측면의 상부가 상기 기판의 표면보다 높은 제1 및 제2 절연체와,
 상기 기판의 표면 위에 설치되며, 하나의 단부가 상기 제1 절연체와 접하고, 다른 단부가 상기 제2 절연체와 접하는 제3 절연막과,
 상기 제3 절연막의 표면 위에 설치되고, 일 단부면이 상기 제1 절연체와 접하고, 타 단부면이 상기 제2 절연체와 접하는 제1 도전체와,
 상기 제1 도전체의 그의 일 단부면의 근방에 설치되는 제2 도전체와,
 상기 제1 도전체의 그의 타 단부면의 근방에 설치되는 제3 도전체와,
 상기 제2 도전체의 제1 측면과 상기 제3 도전체의 제2 측면에 접하고, 상기 제1 도전체의 상면과 접하는 제4 절연막과,

상기 제4 절연막 위에 설치되는 제4 도전체

를 포함하고,

상기 제2 도전체의 제2 측면이 상기 제1 절연체와 접하고, 상기 제3 도전체의 제1 측면이 상기 제2 절연체와 접하고,

상기 제2 도전체의 그의 제2 측면과 상기 제3 도전체의 그의 제1 측면의 최대 간격은 상기 제1 도전체의 그의 일 단부면과 그의 타 단부면의 거리보다도 작은 반도체 장치.

청구항 9.

표면에 홈을 갖는 반도체 기판과,

상기 홈에 매립되며 측면의 상부가 상기 기판의 표면보다 높은 제1 및 제2 절연체와,

상기 기판의 표면 위에 설치되며, 하나의 단부가 상기 제1 절연체와 접하고, 다른 단부가 상기 제2 절연체와 접하는 제3 절연막과,

상기 제3 절연막의 표면 위에 설치되고, 일 단부면이 상기 제1 절연체와 접하고, 타 단부면이 상기 제2 절연체와 접하는 제1 도전체와,

상기 제1 도전체의 그의 일 단부면의 근방에 설치되는 제2 도전체와,

상기 제1 도전체의 그의 타 단부면의 근방에 설치되는 제3 도전체와,

상기 제2 도전체의 제1 측면과 상기 제3 도전체의 제2 측면에 접하고, 상기 제1 도전체의 상면과 접하는 제4 절연막과,

상기 제4 절연막 위에 설치되는 제4 도전체

를 포함하고,

상기 제2 도전체의 그의 제2 측면과 상기 제3 도전체의 그의 제1 측면의 간격은 위로 갈수록 좁은 반도체 장치.

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

표면에 홈을 갖는 반도체 기판과,

상기 홈에 매립되며 상면이 상기 기판의 표면보다 높은 제1 및 제2 절연체와,

상기 기판의 표면 위에 설치되는 제3 절연막과,

상기 제3 절연막의 표면 위에 설치되는 제1 도전체와,

상기 제1 도전체의 표면 위에 설치되고, 외측면부의 상면의 높이가 내부의 상면의 높이보다 높고, 제1 측면과 제2 측면의 간격은 위로갈수록 좁은 제2 도전체와,

상기 제2 도전체의 상기 내부의 상면과 접하는 제4 절연막과,

상기 제4 절연막 위에 설치되는 제4 도전체

를 포함하는 반도체 장치.

청구항 13.

제12항에 있어서,

상기 제2 도전체의 상기 제1 측면은 상기 제2 절연체와 접하고, 상기 제2 도전체의 상기 제2 측면은 상기 제1 절연체와 접하는 반도체 장치.

청구항 14.

제12항에 있어서,

상기 제1 절연체는 세로 방향(longitudinal)으로 복수개 평행하게 배치되며, 상기 제2 절연체는 상기 세로 방향으로 복수개 평행하게 배치되고, 상기 제4 도전체는 가로 방향으로 복수개 평행하게 배치되는 반도체 장치.

청구항 15.

제12항에 있어서,

상기 제2 도전체는 상기 제1 도전체와 전기적으로 접속하는 반도체 장치.

청구항 16.

제12항에 있어서,

상기 제2 도전체의 상기 외측면부의 단면 폭이 적층 방향의 아래 방향으로 넓어지는 반도체 장치.

청구항 17.

제12항에 있어서,

상기 제1 절연체 상부에 형성된 상기 제4 도전체의 바닥면은 상기 제1 도전체의 상면보다도 높은 반도체 장치.

청구항 18.

제13항에 있어서,

상기 제2 도전체의 상기 제1 측면과 상기 제2 측면의 최대 간격은 상기 제1 도전체의 폭보다도 크고, 상기 제2 도전체의 하면은 상기 제1 도전체의 상면보다도 낮은 반도체 장치.

청구항 19.

제13항에 있어서,

상기 제2 도전체의 상기 제1 측면과 상기 제2 측면의 최대 간격은 상기 제1 도전체의 폭보다도 작은 반도체 장치.

청구항 20.

삭제

청구항 21.

제13항에 있어서,

상기 제2 도전체의 상기 제2 측면과 상기 제4 도전체 사이에, 상기 제4 절연막이 배치되는 반도체 장치.

청구항 22.

제12항에 있어서,

상기 제2 절연체는 상기 제1 절연체보다 폭이 넓고, 상기 제2 절연체의 상면의 높이는 상기 제1 절연체의 상면의 높이보다 높은 반도체 장치.

청구항 23.

반도체 기판 위에 제1 절연막, 제1 부유 게이트막, 캡을 순서대로 형성하는 공정과,

동일한 패턴으로, 상기 제1 절연막, 상기 제1 부유 게이트막, 상기 캡과 상기 기판을 에칭함으로써 양측면의 간격이 위로 갈수록 좁은 홈을 형성하는 공정과,

상기 패턴으로 제2 절연막을 매립하는 공정과,

상기 캡을 제거하는 공정과,

상기 제2 절연막의 측면과 상기 제1 부유 게이트막의 상면에, 외측면부의 상면의 높이가 내부의 상면의 높이보다 높은 제2 부유 게이트막을 형성하는 공정

을 포함하는 불휘발성 메모리의 제조 방법.

청구항 24.

제23항에 있어서,

상기 제2 부유 게이트막을 형성하는 공정 후에, 상기 제2 절연막을 에칭하는 불휘발성 메모리의 제조 방법.

청구항 25.

제23항에 있어서,

상기 제2 절연막의 측면에 제2 부유 게이트막을 형성함에 있어서, 상기 제2 부유 게이트막이 일체형으로, 상기 제1 부유 게이트 위에 배치되는 불휘발성 메모리의 제조 방법.

청구항 26.

제23항에 있어서,

상기 제2 부유 게이트막 위 및 상기 제2 절연막 위에 제4 절연막을 형성하는 공정과,

상기 제4 절연막 위에 제4 도전체막을 형성하는 공정을 더 포함하는 불휘발성 메모리의 제조 방법.

청구항 27.

표면에 홈을 갖는 반도체 기판과,

상기 홈에 매립되며 상면이 상기 기판의 표면보다 높은 제1 절연체와,

상기 홈에 매립되며 상면이 상기 기판의 표면보다 높고, 폭이 상기 제1 절연체보다 크고, 상면이 상기 제1 절연체의 상면보다 높은 제2 절연체와,

상기 기판의 표면 위에 설치되는 제3 절연막과,

상기 제3 절연막의 표면 위에 설치되는 제1 도전체와,
 상기 제1 도전체의 표면 위에 설치되는 제2 도전체와,
 상기 제2 도전체의 상면과 접하는 제4 절연막과,
 상기 제4 절연막 위에 설치되는 제4 도전체
 를 포함하는 반도체 장치.

청구항 28.

제27항에 있어서,

상기 제2 도전체의 제1 측면이 상기 제2 절연체와 접하고, 상기 제2 도전체의 제2 측면이 상기 제1 절연체와 접하는 반도체 장치.

청구항 29.

제27항 또는 제28항에 있어서,

상기 제1 절연체는 세로 방향으로 복수개 평행하게 배치되며, 상기 제2 절연체는 상기 세로 방향으로 복수개 평행하게 배치되고, 상기 제4 도전체는 가로방향으로 복수개 평행하게 배치되는 반도체 장치.

청구항 30.

제27항 또는 제28항에 있어서,

상기 제2 도전체가 상기 제1 도전체와 전기적으로 접속하는 반도체 장치.

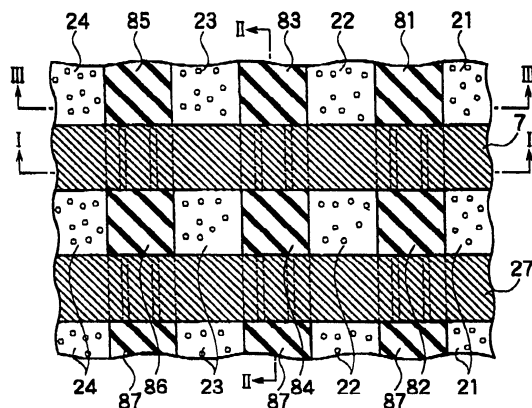
청구항 31.

제27항 또는 제28항에 있어서,

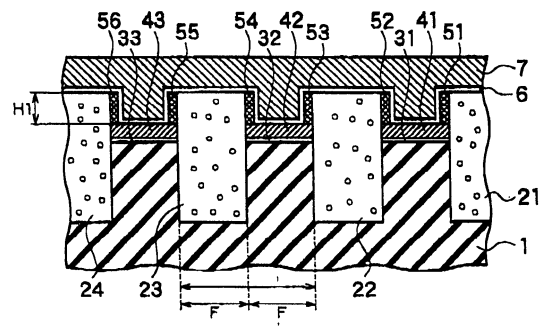
상기 제1 절연체의 상방에 형성된 상기 제4 도전체의 바닥면은, 상기 제1 도전체의 상면보다도 높은 반도체 장치.

도면

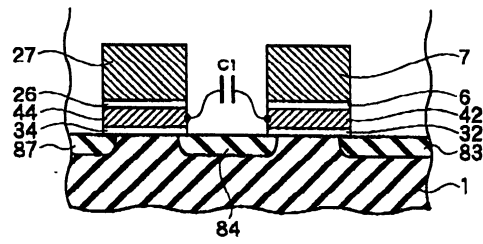
도면1a



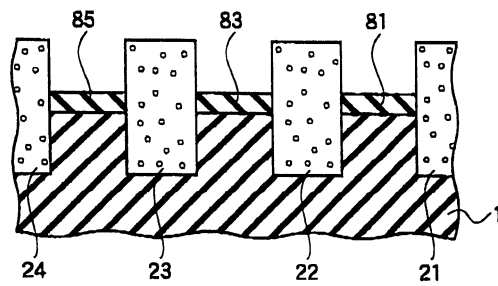
도면1b



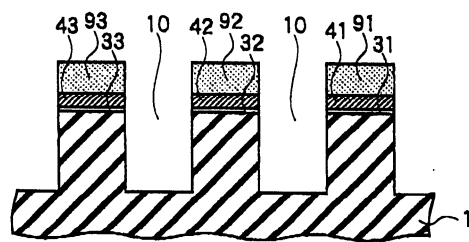
도면2a



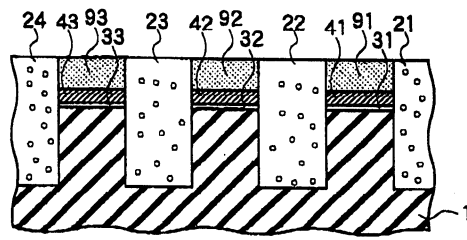
도면2b



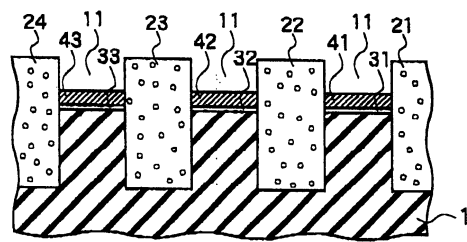
도면3a



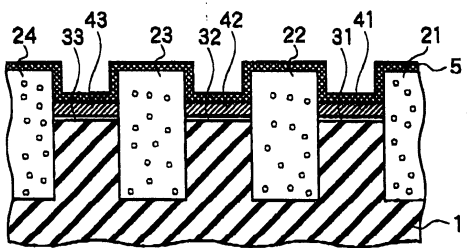
도면3b



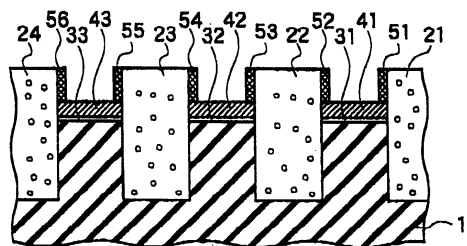
도면3c



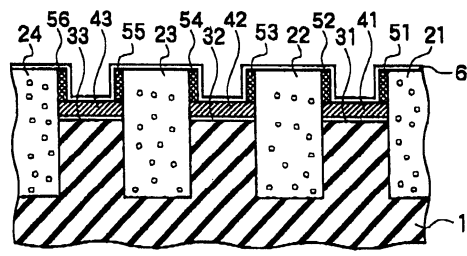
도면4a



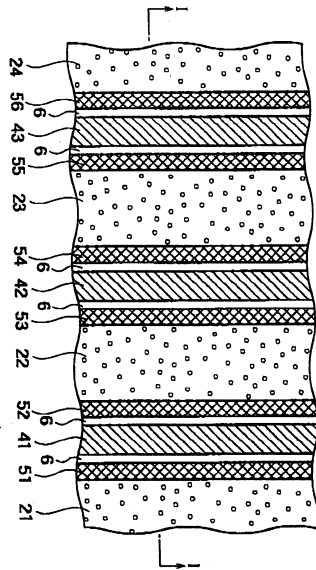
도면4b



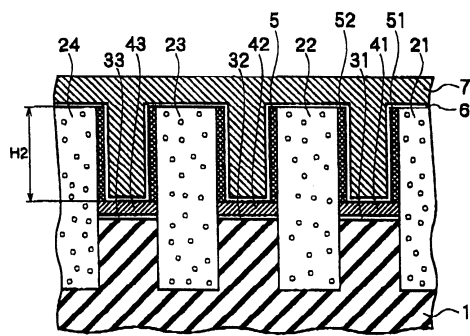
도면4c



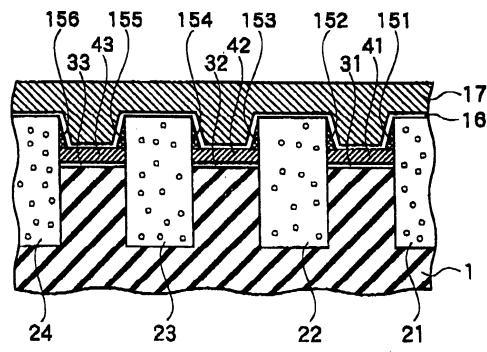
도면5



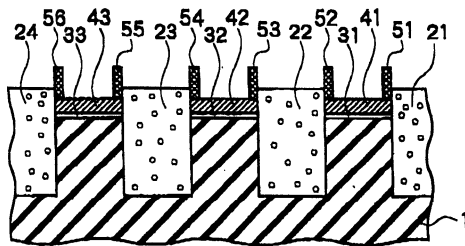
도면6



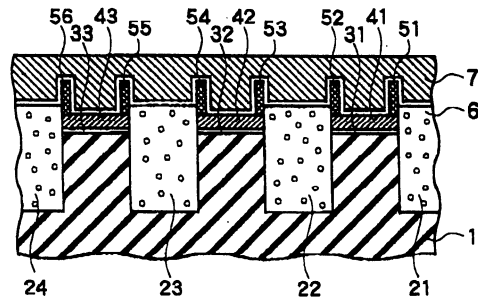
도면7



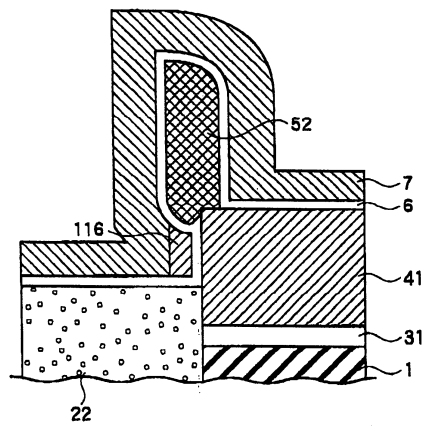
도면8a



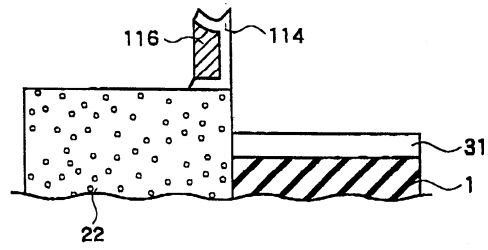
도면8b



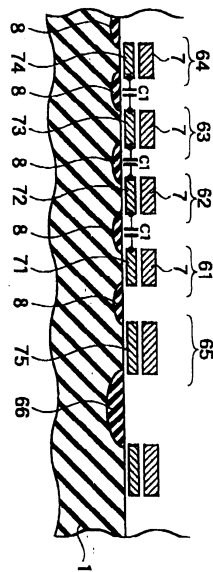
도면9a



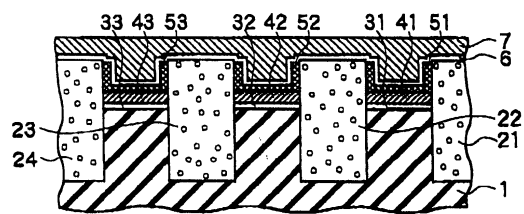
도면9b



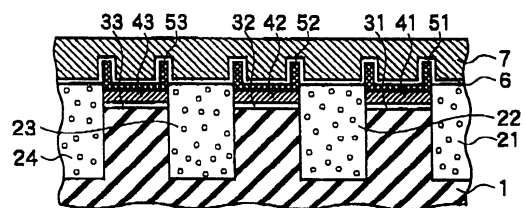
도면10



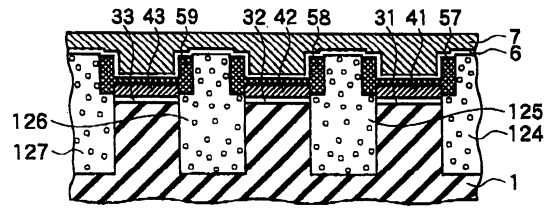
도면11a



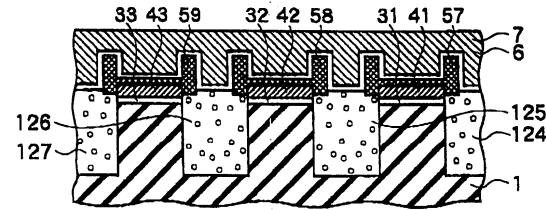
도면11b



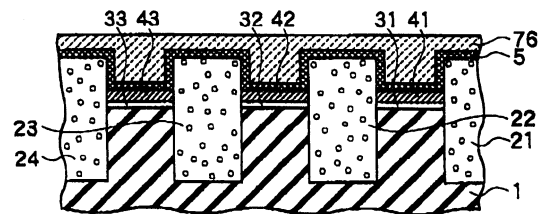
도면11c



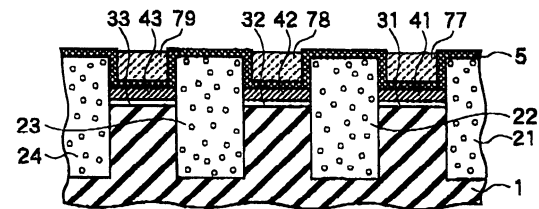
도면11d



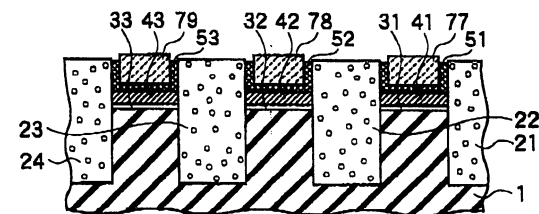
도면12a



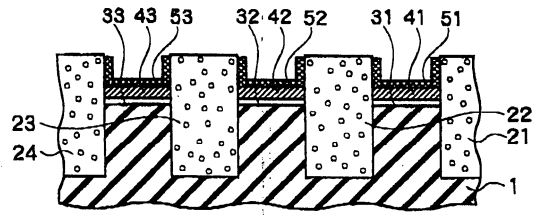
도면12b



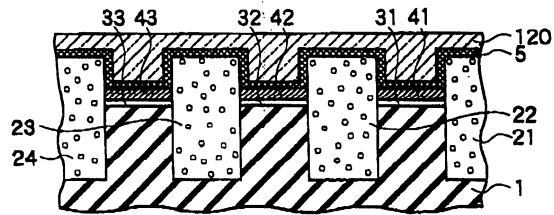
도면12c



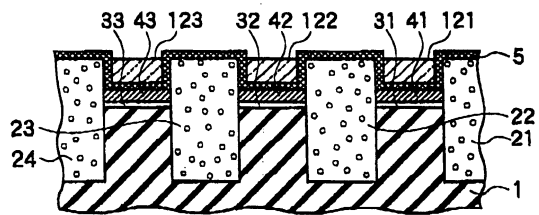
도면12d



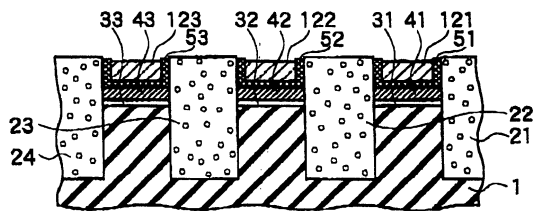
도면13a



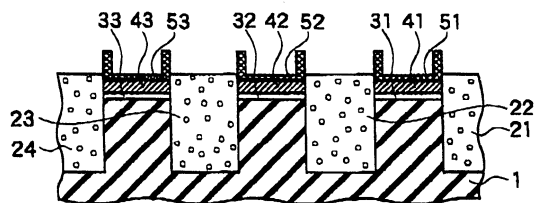
도면13b



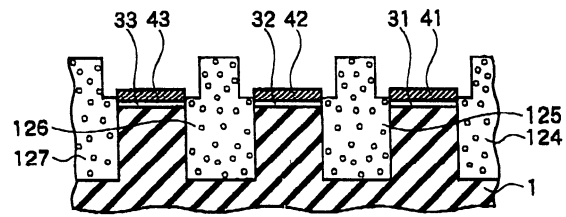
도면13c



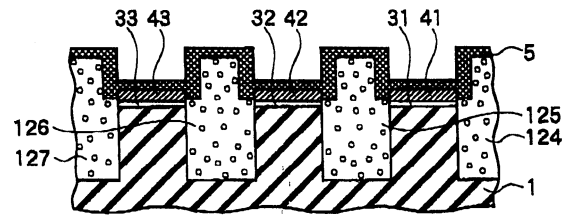
도면13d



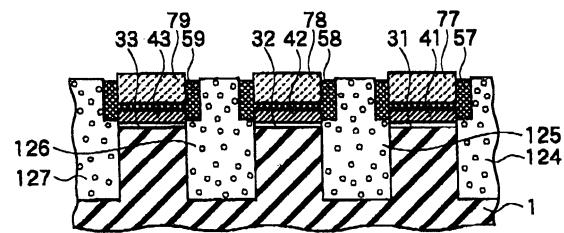
도면14a



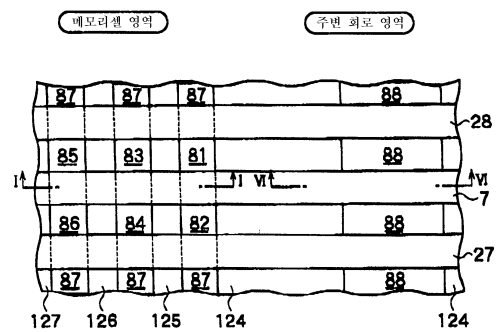
도면14b



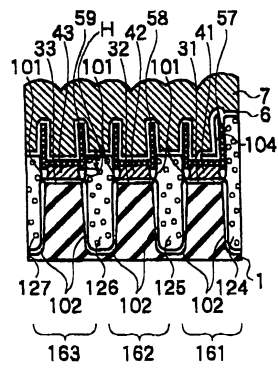
도면14c



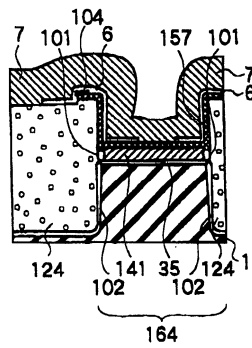
도면15a



도면15b

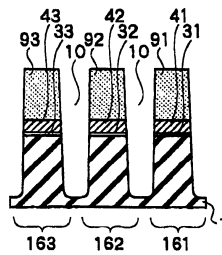


도면15c



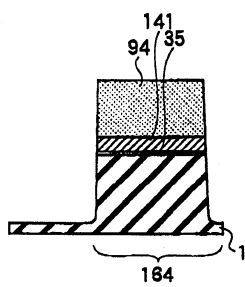
도면16a

메모리셀 영역

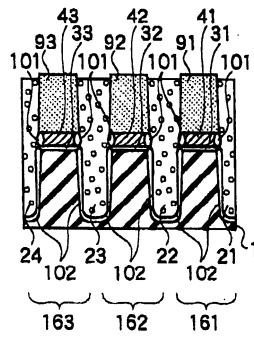


도면16b

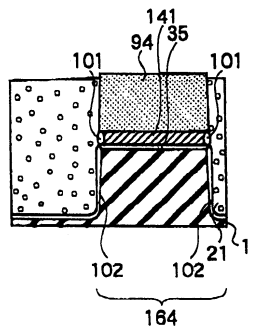
주변 회로 영역



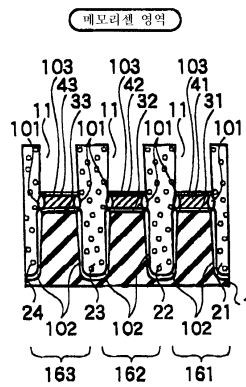
도면16c



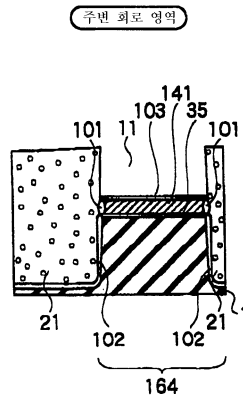
도면16d



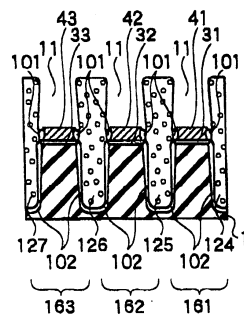
도면17a



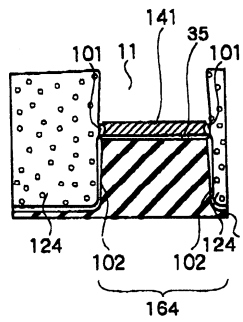
도면17b



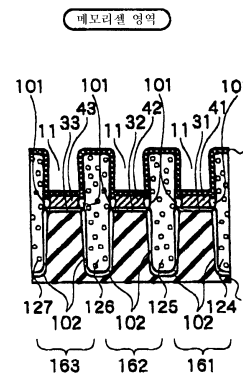
도면17c



도면17d

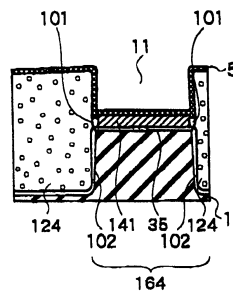


도면18a

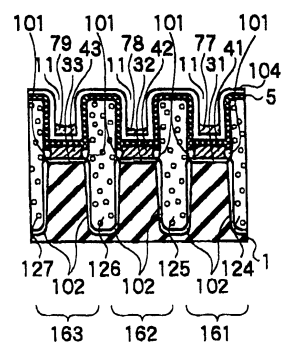


도면18b

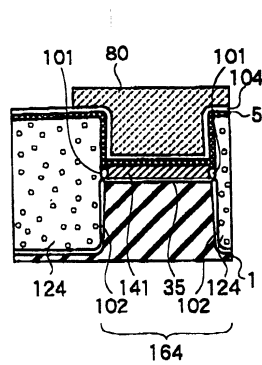
주변 회로 영역



도면18c

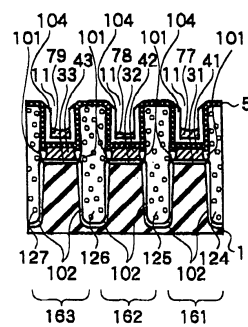


도면18d

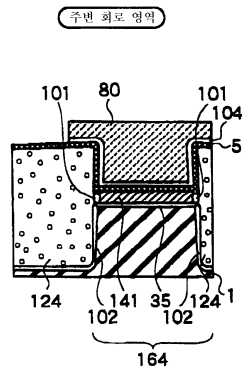


도면 19a

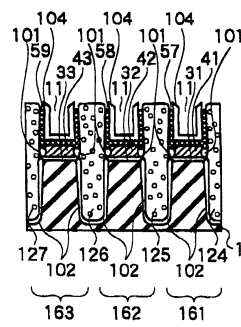
메모리셀 영역



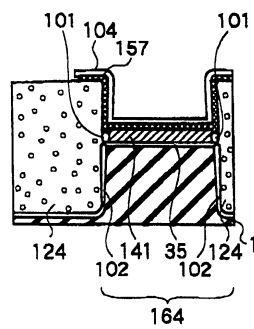
도면 19b



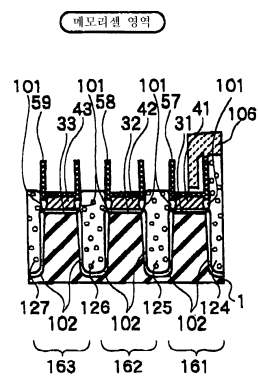
도면19c



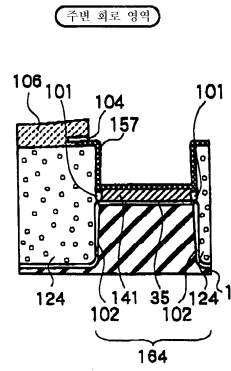
도면 19d



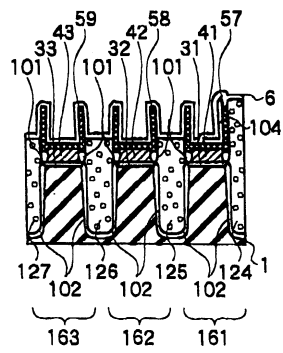
도면 20a



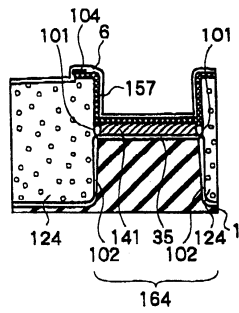
도면20b



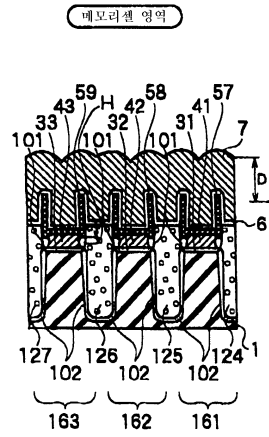
도면20c



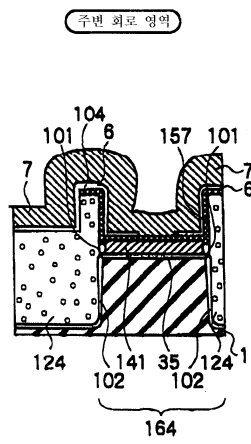
도면20d



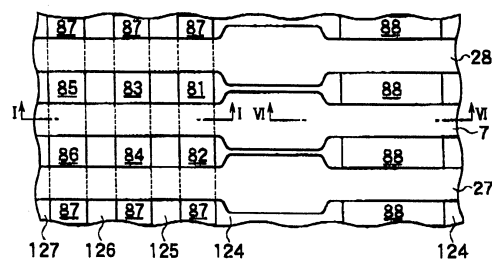
도면21a



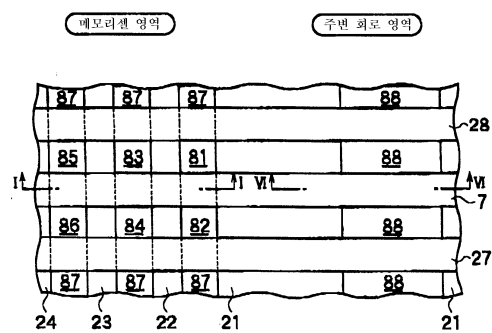
도면21b



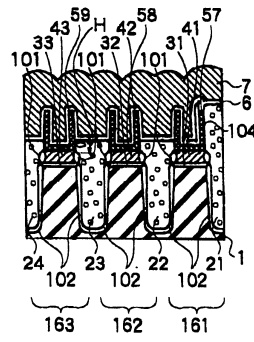
도면21c



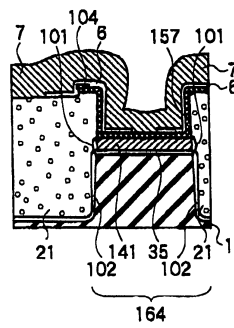
도면22a



도면22b

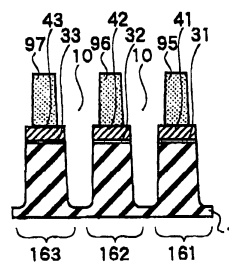


도면22c



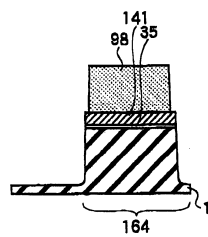
도면23a

메모리셀 영역

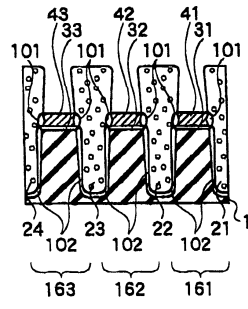


도면23b

주변 회로 영역



도면23c



도면23d

