

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-239233

(P2014-239233A)

(43) 公開日 平成26年12月18日(2014.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 2 6 B	4 M 1 0 4
H O 1 L 29/417 (2006.01)	H O 1 L 29/50 M	5 F 1 1 0
H O 1 L 29/41 (2006.01)	H O 1 L 29/44 P	5 J 0 5 5
H O 3 K 17/687 (2006.01)	H O 1 L 29/78 6 2 2	
	H O 3 K 17/687 G	
審査請求 未請求 請求項の数 133 O L (全 64 頁)		

(21) 出願番号 特願2014-141529 (P2014-141529)
 (22) 出願日 平成26年7月9日(2014.7.9)
 (62) 分割の表示 特願2013-3388 (P2013-3388)
 の分割
 原出願日 平成18年7月11日(2006.7.11)
 (31) 優先権主張番号 60/698,523
 (32) 優先日 平成17年7月11日(2005.7.11)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/484,370
 (32) 優先日 平成18年7月10日(2006.7.10)
 (33) 優先権主張国 米国 (US)

(特許庁注：以下のものは登録商標)

1. GSM

(71) 出願人 508004502
 ペレグリン セミコンダクター コーポレ
 イション
 アメリカ合衆国, カリフォルニア州 92
 121, サン・ディエゴ, キャロル・パー
 ク・ドライブ 9380
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

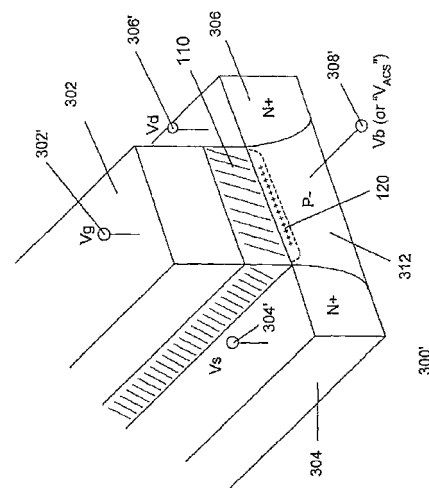
(54) 【発明の名称】 蓄積電荷シンクを用いてMOSFETの線形性を改善することに使用される方法及び装置

(57) 【要約】

【課題】 蓄積電荷シンク(ACS)を用いてMOSFETの線形性を改善する方法及び装置が開示される。

【解決手段】 この方法及び装置は、SOI型MOSFET内の蓄積電荷を除去、低減あるいはその他の方法で制御し、それによりFET性能の改善をもたらす。典型的な一実施形態において、少なくとも1つのSOI型MOSFETを有する回路は、蓄積電荷レジームで動作するように構成される。SOI型MOSFETのボディに動作可能に結合されたACSが、該FETが蓄積電荷レジームで動作するときの蓄積電荷を排除、除去あるいはその他の方法で制御し、それによりSOI型MOSFETのオフ状態での寄生ソースドレイン間容量の非線形性を低減させる。SOI型MOSFETを用いて実現されるRFスイッチング回路において、SOI型MOSFETが蓄積電荷レジームで動作するときの蓄積電荷を除去あるいはその他の方法で制御することによって、高調波歪み及び相互変調歪みが低減される。

【選択図】 図3C



【特許請求の範囲】

【請求項 1】

蓄積電荷制御型のフローティングボディ型 MOSFET (ACC 型 MOSFET) という、当該 MOSFET が蓄積電荷レジームで動作しているときの当該 MOSFET の非線形応答を制御するように適応された ACC 型 MOSFET であって：

a) フローティングのボディを有する MOSFET であり、選択的に前記蓄積電荷レジームで動作し、前記蓄積電荷レジームで動作するときに前記ボディ内に蓄積電荷が存在する MOSFET；及び

b) 前記 MOSFET の前記ボディに動作可能に結合された蓄積電荷シンク (ACS) であり、前記ボディ内の前記蓄積電荷を除去あるいは制御する蓄積電荷シンク；

10

を有する ACC 型 MOSFET。

【請求項 2】

前記 MOSFET はゲート、ドレイン、ソース、及び前記ゲートと前記ボディとの間に配置されたゲート酸化物層を含み、且つ前記 MOSFET は、オフ状態で動作させられ且つ前記ゲート酸化物層に近接する領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作する、請求項 1 に記載の ACC 型 MOSFET。

【請求項 3】

前記 MOSFET の前記ボディは、前記ソースと前記ドレインとの間に、ゲート変調される導電性チャネルを含むチャネル領域を有し、前記のソース、ドレイン及びチャネルは、前記 MOSFET がオン状態で動作するとき同一極性のキャリアを有し、且つ前記 MOSFET は、該 MOSFET がオフ状態で動作するようにバイアスされ且つ前記蓄積電荷が前記のソース、ドレイン及びチャネルの前記キャリアの極性と反対の極性を有するとき、前記蓄積電荷レジームで動作する、請求項 2 に記載の ACC 型 MOSFET。

20

【請求項 4】

前記 MOSFET は NMOSFET デバイスから成り、且つ前記蓄積電荷は、P 型極性を有する正孔を有する、請求項 3 に記載の ACC 型 MOSFET。

【請求項 5】

前記 MOSFET は PMOSFET デバイスから成り、且つ前記蓄積電荷は、N 型極性を有する電子を有する、請求項 3 に記載の ACC 型 MOSFET。

【請求項 6】

前記 MOSFET はエンハンスメントモード型の NMOSFET デバイスから成る、請求項 4 に記載の ACC 型 MOSFET。

30

【請求項 7】

前記 MOSFET はディプレッションモード型の NMOSFET デバイスから成る、請求項 4 に記載の ACC 型 MOSFET。

【請求項 8】

前記 MOSFET はエンハンスメントモード型の PMOSFET デバイスから成る、請求項 5 に記載の ACC 型 MOSFET。

【請求項 9】

前記 MOSFET はディプレッションモード型の PMOSFET デバイスから成る、請求項 5 に記載の ACC 型 MOSFET。

40

【請求項 10】

前記 MOSFET は半導体・オン・インシュレータ技術で製造されている、請求項 1 に記載の ACC 型 MOSFET。

【請求項 11】

前記 MOSFET は半導体・オン・サファイア基板上に製造されている、請求項 1 に記載の ACC 型 MOSFET。

【請求項 12】

前記半導体・オン・インシュレータ技術は、絶縁基板上に製造された SiGe から成る、請求項 10 に記載の ACC 型 MOSFET。

50

【請求項 13】

前記半導体・オン・インシュレータ技術は、絶縁基板上に製造されたGaAsから成る、請求項10に記載のACC型MOSFET。

【請求項 14】

前記MOSFETは半導体・オン・接合ウェハ技術で製造されている、請求項1に記載のACC型MOSFET。

【請求項 15】

前記MOSFETは、ベース絶縁基板上に単結晶シリコン膜を接合し且つ電氣的に貼り付けることによる直接シリコン接合基板上に製造されている、請求項14に記載のACC型MOSFET。

10

【請求項 16】

前記MOSFETは固有の線形性特性を有し、且つ当該ACC型MOSFETの線形性は、前記MOSFETの前記ボディから前記蓄積電荷を除去あるいは削減することによって高められている、請求項1に記載のACC型MOSFET。

【請求項 17】

前記MOSFETは、所定の回路に実装されたとき高調波歪み及び相互変調効果を生じ、前記蓄積電荷を除去あるいは削減することによって高められた当該ACC型MOSFETの前記線形性はまた、前記高調波歪み及び前記相互変調効果を改善し、且つ前記蓄積電荷を除去あるいは削減することはまた、当該ACC型MOSFETの電力処理能力及び電圧耐性を改善する、請求項16に記載のACC型MOSFET。

20

【請求項 18】

前記MOSFETは固有のドレインソース間破壊電圧特性を有し、当該ACC型MOSFETの前記ドレインソース間破壊電圧特性は、前記MOSFETの前記ボディから前記蓄積電荷を除去あるいは削減することによって高められる、請求項2に記載のACC型MOSFET。

【請求項 19】

前記MOSFETはオフ状態で動作するときドレインソース間オフ状態キャパシタンスを有し、且つ該オフ状態キャパシタンスは、前記MOSFETの前記ボディから前記蓄積電荷を除去あるいは削減することによって、高められた線形性を示す、請求項2に記載のACC型MOSFET。

30

【請求項 20】

前記オフ状態キャパシタンスは固有の大きさを有し、前記オフ状態キャパシタンスの大きさは、前記MOSFETの前記ボディから前記蓄積電荷を除去あるいは削減することによって小さくされる、請求項19に記載のACC型MOSFET。

【請求項 21】

前記オフ状態キャパシタンスは、時間変化するドレインソース間バイアス電圧の存在下で時間をかけて変化し、この時間をかけたオフ状態キャパシタンス変化は、前記MOSFETの前記ボディから前記蓄積電荷を除去あるいは削減することによって抑制される、請求項19に記載のACC型MOSFET。

【請求項 22】

前記オフ状態キャパシタンスは、前記MOSFETの前記ボディ内に前記蓄積電荷が蓄積するにつれて、時間をかけて変化し、この時間をかけたオフ状態キャパシタンス変化は、前記MOSFETの前記ボディから前記蓄積電荷を除去あるいは削減することによって抑制される、請求項19に記載のACC型MOSFET。

40

【請求項 23】

前記蓄積電荷シンクは、およそ1MΩより高いインピーダンスを有する、請求項1に記載のACC型MOSFET。

【請求項 24】

前記蓄積電荷シンクは、およそ1MΩより低いインピーダンスを有する、請求項1に記載のACC型MOSFET。

50

【請求項 25】

当該ACC型MOSFETは固有の電力処理能力を有し、前記MOSFETの前記ボディから前記蓄積電荷を除去あるいは削減することによって、処理可能な入力信号の電力レベルが高められる、請求項1に記載のACC型MOSFET。

【請求項 26】

蓄積電荷制御型のフローティングボディ型MOSFET（ACC型MOSFET）という、当該MOSFETが蓄積電荷レジームで動作しているときに当該MOSFETのボディ内に蓄積される蓄積電荷を制御するように適応されたACC型MOSFETであって：

a) ゲート、ドレイン、ソース、フローティングボディ、及び前記ゲートと前記フローティングボディとの間に配置されたゲート酸化物層を有し、当該ACC型MOSFETは、オフ状態で動作させられ且つ前記ゲート酸化物層の近傍且つ下の領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作し、且つ

b) 前記フローティングボディの第1の末端部に近接して配置された第1の蓄積電荷シンク（ACS）であり、前記フローティングボディと電氣的に連通し、且つ当該ACC型MOSFETの前記ボディ内の前記蓄積電荷を除去あるいは制御する第1の蓄積電荷シンクを有する；

ACC型MOSFET。

【請求項 27】

前記第1の蓄積電荷シンクに近接して配置され且つそれと電氣的に連通した電気コンタクト領域であり、前記第1の蓄積電荷シンクへの電氣的な結合を容易にする電気コンタクト領域、を更に有する請求項26に記載のACC型MOSFET。

【請求項 28】

当該ACC型MOSFETはACC型NMOSFETから成り、前記ソース及び前記ドレインはN+型ドーフト領域から成り、前記フローティングボディ及び前記第1の蓄積電荷シンクはP-型ドーフト領域から成り、且つ前記電気コンタクト領域はP+型ドーフト領域から成る、請求項27に記載のACC型MOSFET。

【請求項 29】

当該ACC型MOSFETはACC型NMOSFETから成り、前記ソース及び前記ドレインはN+型ドーフト領域から成り、前記フローティングボディ及び前記第1の蓄積電荷シンクはP-型ドーフト領域から成り、前記電気コンタクト領域は、前記第1の蓄積電荷シンクへのダイオード接続として作用するN+型ドーフト領域から成り、それにより所定のバイアス電圧条件の下で前記第1の蓄積電荷シンク及び前記フローティングボディに正の電流が流入することを阻止する、請求項27に記載のACC型MOSFET。

【請求項 30】

当該ACC型MOSFETはACC型PMOSFETから成り、前記ソース及び前記ドレインはP+型ドーフト領域から成り、前記フローティングボディ及び前記第1の蓄積電荷シンクはN-型ドーフト領域から成り、且つ前記電気コンタクト領域はN+型ドーフト領域から成る、請求項27に記載のACC型MOSFET。

【請求項 31】

当該ACC型MOSFETはACC型PMOSFETから成り、前記ソース及び前記ドレインはP+型ドーフト領域から成り、前記フローティングボディ及び前記蓄積電荷シンクはN-型ドーフト領域から成り、前記電気コンタクト領域は、前記蓄積電荷シンクへのダイオード接続として作用するP+型ドーフト領域から成り、それにより所定のバイアス電圧条件の下で前記蓄積電荷シンク及び前記フローティングボディに正の電流が流入することを阻止する、請求項27に記載のACC型MOSFET。

【請求項 32】

前記電気コンタクト領域及び前記蓄積電荷シンクは同一の広がりを持つ、請求項27に記載のACC型MOSFET。

【請求項 33】

前記フローティングボディ及び前記蓄積電荷シンクは、単一のイオン注入製造工程で製

造された連結した P 型ドープト領域から成る、請求項 28 に記載の A C C 型 M O S F E T。

【請求項 34】

前記フローティングボディ及び前記蓄積電荷シンクは、共に結合された別個の P 型ドープト領域から成る、請求項 28 に記載の A C C 型 M O S F E T。

【請求項 35】

当該 A C C 型 M O S F E T の前記ボディは、前記ソースと前記ドレインとの間に、ゲート変調される導電性チャネルを含むチャネル領域を有し、前記のソース、ドレイン及びチャネルは、当該 A C C 型 M O S F E T がオン状態で動作するとき同一極性のキャリアを有し、且つ当該 A C C 型 M O S F E T は、当該 M O S F E T がオフ状態で動作するようにバイアスされ且つ前記蓄積電荷が前記のソース、ドレイン及びチャネルの前記キャリアの極性と反対の極性を有するとき、前記蓄積電荷レジームで動作する、請求項 27 に記載の A C C 型 M O S F E T。

10

【請求項 36】

当該 A C C 型 M O S F E T は N M O S F E T デバイスから成り、且つ前記蓄積電荷は、P 型極性を有する正孔を有する、請求項 35 に記載の A C C 型 M O S F E T。

【請求項 37】

当該 A C C 型 M O S F E T は P M O S F E T デバイスから成り、且つ前記蓄積電荷は、N 型極性を有する電子を有する、請求項 35 に記載の A C C 型 M O S F E T。

【請求項 38】

当該 A C C 型 M O S F E T は、空乏化される、あるいは部分的に空乏化されるチャネル領域を有する、請求項 35 に記載の A C C 型 M O S F E T。

20

【請求項 39】

前記蓄積電荷シンクは、およそ $1\text{ M}\Omega$ より高いインピーダンスを有する、請求項 26 に記載の A C C 型 M O S F E T。

【請求項 40】

前記蓄積電荷シンクは、およそ $1\text{ M}\Omega$ より低いインピーダンスを有する、請求項 26 に記載の A C C 型 M O S F E T。

【請求項 41】

前記蓄積電荷シンクは前記のソース及びドレインから所定の距離だけ離して配置されており、それにより、前記蓄積電荷シンクに付随する寄生キャパシタンス効果が抑制されている、請求項 26 に記載の A C C 型 M O S F E T。

30

【請求項 42】

前記蓄積電荷シンクは前記フローティングボディの前記第 1 の末端部で該ボディに結合されており、それにより、前記蓄積電荷シンクの前記フローティングボディへの結合に付随する寄生キャパシタンス効果が抑制されている、請求項 26 に記載の A C C 型 M O S F E T。

【請求項 43】

前記フローティングボディは、およそ $10\text{ }\mu\text{m}$ より広い幅を有する、請求項 26 に記載の A C C 型 M O S F E T。

40

【請求項 44】

前記ゲートに電氣的に結合されたゲート端子、前記ドレインに電氣的に結合されたドレイン端子、前記ソースに電氣的に結合されたソース端子、及び前記蓄積電荷シンクに電氣的に結合された A C S 端子を含む請求項 26 に記載の A C C 型 M O S F E T。

【請求項 45】

前記のゲート端子、ドレイン端子、ソース端子及び A C S 端子は、それらそれぞれの領域に、低抵抗コンタクト領域を介して結合されている、請求項 44 に記載の A C C 型 M O S F E T。

【請求項 46】

当該 A C C 型 M O S F E T は、前記のソース端子、ドレイン端子及びゲート端子に所定

50

のバイアス電圧を印加することによって、前記蓄積電荷レジームで動作するようにバイアスされ、且つ前記蓄積電荷は、蓄積電荷シンク機構に前記A C S端子を結合させることによって除去あるいは制御される、請求項44に記載のA C C型M O S F E T。

【請求項47】

前記蓄積電荷は、当該A C C型M O S F E Tが前記蓄積電荷レジームで動作しているとき、前記A C S端子に所定のA C Sバイアス電圧を印加することによって除去あるいは制御される、請求項46に記載のA C C型M O S F E T。

【請求項48】

当該A C C型M O S F E Tはディプレッションモード型のN M O S F E Tデバイスから成り、前記A C Sバイアス電圧は、ソースバイアス電圧及びドレインバイアス電圧の小さい方に等しく、あるいはそれより負側になるように選択される、請求項47に記載のA C C型M O S F E T。

10

【請求項49】

前記電気コンタクト領域は、前記のソース、ドレイン及びボディから所定の距離だけ離して配置されており、それにより、前記蓄積電荷シンクに付随する寄生キャパシタンス効果が抑制されている、請求項27に記載のA C C型M O S F E T。

【請求項50】

前記ボディの前記チャネル領域及び前記ゲート酸化物層の上の前記ゲートの末端部に近接して配置されたコンタクト領域重なり領域を更に含み、該重なり領域は、前記ゲート酸化物層の全てが、前記電気コンタクト領域を形成するために使用されるドーパント材料と同一のドーパント材料で完全に覆われることを確実にする、請求項35に記載のA C C型M O S F E T。

20

【請求項51】

前記電気コンタクト領域は、前記ゲートの前記末端部から所定の距離だけ離して配置されており、それにより、前記ゲートの前記末端部への前記重なり領域の近傍で、当該M O S F E Tの閾値電圧が増大した領域が削減あるいは排除されている、請求項50に記載のA C C型M O S F E T。

【請求項52】

当該A C C型M O S F E TはT型ゲート構成のA C C型M O S F E Tから成り、前記フローティングボディが、このT型ゲート構成M O S F E Tの支持部材を形成し、且つ前記第1の蓄積電荷シンクが、このT型ゲート構成M O S F E Tの被支持部材を形成しており、前記第1の蓄積電荷シンクは、前記フローティングボディの前記第1の末端部に沿って配置され、且つ前記フローティングボディの少なくとも一部に接触している、請求項26に記載のA C C型M O S F E T。

30

【請求項53】

前記蓄積電荷シンクに近接して配置され且つそれと電氣的に連通した電気コンタクト領域であり、前記蓄積電荷シンクへの電氣的な結合を容易にする電気コンタクト領域、を更に有する請求項52に記載のA C C型M O S F E T。

【請求項54】

前記蓄積電荷シンクは、およそ1 M Ω より高いインピーダンスを有する、請求項53に記載のA C C型M O S F E T。

40

【請求項55】

前記蓄積電荷シンクは、およそ1 M Ω より低いインピーダンスを有する、請求項53に記載のA C C型M O S F E T。

【請求項56】

当該A C C型M O S F E TはH型ゲート構成のA C C型M O S F E Tから成り、このH型ゲート構成M O S F E Tは、前記フローティングボディの前記第1の末端部に近接して配置された前記第1の蓄積電荷シンクと、前記フローティングボディの前記第1の末端部とは反対側の第2の末端部に近接して配置された第2の蓄積電荷シンクとを含み、前記第1の蓄積電荷シンクは、それに近接して配置され且つそれと電氣的に連通した第1の電気

50

コンタクト領域を有し、前記第 2 の蓄積電荷シンクは、それに近接して配置され且つそれと電氣的に連通した第 2 の電気コンタクト領域を有し、且つ前記第 1 及び第 2 の蓄積電荷シンクは前記フローティングボディと電氣的に連通している、請求項 26 に記載の A C C 型 M O S F E T。

【請求項 57】

当該 A C C 型 M O S F E T は幅を有し、前記第 1 及び第 2 の蓄積電荷シンクは、当該 A C C 型 M O S F E T の前記幅のほぼ全体に延在している、請求項 56 に記載の A C C 型 M O S F E T。

【請求項 58】

前記第 1 及び第 2 の蓄積電荷シンクは、当該 A C C 型 M O S F E T の前記幅を超えて延在している、請求項 57 に記載の A C C 型 M O S F E T。 10

【請求項 59】

前記第 1 及び第 2 の蓄積電荷シンクは、当該 A C C 型 M O S F E T の前記幅まで延在していない、請求項 57 に記載の A C C 型 M O S F E T。

【請求項 60】

前記第 1 及び第 2 の蓄積電荷シンクは、相等しいインピーダンスを有する、請求項 56 に記載の A C C 型 M O S F E T。

【請求項 61】

前記第 1 及び第 2 の蓄積電荷シンクは、相異なるインピーダンスを有する、請求項 56 に記載の A C C 型 M O S F E T。 20

【請求項 62】

前記第 1 の電気コンタクト領域は前記フローティングボディから第 1 の所定の距離だけ離して配置されており、前記第 2 の電気コンタクト領域は前記フローティングボディから第 2 の所定の距離だけ離して配置されている、請求項 56 に記載の A C C 型 M O S F E T。

【請求項 63】

前記の第 1 及び第 2 の所定の距離は相等しい、請求項 62 に記載の A C C 型 M O S F E T。

【請求項 64】

前記の第 1 及び第 2 の所定の距離は相異なる、請求項 62 に記載の A C C 型 M O S F E T。 30

【請求項 65】

前記第 1 及び第 2 の蓄積電荷シンクはほぼ長方形である、請求項 56 に記載の A C C 型 M O S F E T。

【請求項 66】

前記第 1 及び第 2 の蓄積電荷シンクはほぼ円形である、請求項 56 に記載の A C C 型 M O S F E T。

【請求項 67】

前記第 1 及び第 2 の蓄積電荷シンクはほぼ正方形である、請求項 56 に記載の A C C 型 M O S F E T。 40

【請求項 68】

四端子の蓄積電荷制御型のフローティングボディ型 M O S F E T（四端子 A C C 型 M O S F E T）という、当該 M O S F E T が蓄積電荷レジームで動作するときに当該 M O S F E T のボディ内に蓄積される蓄積電荷を制御するように適応された四端子 A C C 型 M O S F E T であって：

a) ゲート、ドレイン、ソース、フローティングボディ、及び前記ゲートと前記フローティングボディとの間に配置されたゲート酸化物層を有し、当該 A C C 型 M O S F E T は、オフ状態で動作させられ且つ前記ゲート酸化物層の近傍且つ下の領域で前記ボディ内に電荷が蓄積するとき、前記蓄積電荷レジームで動作し、且つ

b) 前記フローティングボディの末端部に近接して配置され、且つ前記フローティング 50

ボディと電氣的に連通した蓄積電荷シンク（ＡＣＳ）を有し；

ｃ）前記ゲートに電氣的に結合されたゲート端子、前記ドレインに電氣的に結合されたドレイン端子、前記ソースに電氣的に結合されたソース端子、及び前記蓄積電荷シンクに電氣的に結合されたＡＣＳ端子を有し；

前記ボディ内に蓄積される前記蓄積電荷は、当該ＭＯＳＦＥＴが前記蓄積電荷レジームで動作しているときに、前記ＡＣＳ端子によって制御、あるいは前記ボディから除去される；

四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項６９】

前記のゲート端子及びＡＣＳ端子は互いに電氣的に結合される、請求項６８に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７０】

前記蓄積電荷は、当該ＡＣＣ型ＭＯＳＦＥＴが前記蓄積電荷レジームで動作するようにバイアスされるときに、前記のＡＣＳ端子及びゲート端子によって前記ボディから除去される、請求項６９に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７１】

前記ゲート端子と前記ＡＣＳ端子との間にダイオードが結合され、該ダイオードは、当該ＡＣＣ型ＭＯＳＦＥＴがオン状態で動作し且つ該ダイオードが逆バイアスされるとき、正の電流が当該ＡＣＣ型ＭＯＳＦＥＴの前記ボディに流入するのを阻止する、請求項６９に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７２】

前記ダイオードはそれに付随する電圧降下を有し、該ダイオードでの該電圧降下は該ダイオードの幅を拡大することによって選択的に低減される、請求項７１に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７３】

前記ＡＣＳ端子は蓄積電荷シンク機構に結合される、請求項６８に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７４】

前記蓄積電荷シンク機構は、当該ＡＣＣ型ＭＯＳＦＥＴが蓄積電荷レジームで動作しているときに前記ボディ内の前記蓄積電荷を制御あるいは除去するように適応された制御回路を有する、請求項７３に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７５】

前記蓄積電荷シンク機構は、選択可能な蓄積電荷シンク（ＡＣＳ）バイアス電圧を生成し、該ＡＣＳバイアス電圧は、当該ＡＣＣ型ＭＯＳＦＥＴが蓄積電荷レジームで動作しているときに前記蓄積電荷が前記ボディから除去されるように選択される、請求項７３に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７６】

前記ＡＣＳバイアス電圧は、比較的高いインピーダンスを有するバイアス源によって供給される、請求項７５に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７７】

前記ＡＣＳバイアス電圧は、およそ１ＭΩより高いインピーダンスを有するバイアス源によって供給される、請求項７６に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７８】

前記のゲート、ドレイン及びソースはそれぞれゲートバイアス電圧、ドレインバイアス電圧及びソースバイアス電圧を有し、前記ＡＣＳバイアス電圧は、前記のソースバイアス電圧及びドレインバイアス電圧のうちの小さい方に等しく、あるいはそれより負側になるように選択され、それにより、当該ＭＯＳＦＥＴが蓄積電荷レジームで動作しているときに前記ボディから前記蓄積電荷が運び出される、請求項７５に記載の四端子ＡＣＣ型ＭＯＳＦＥＴ。

【請求項７９】

10

20

30

40

50

前記のゲート端子及びA C S端子は、該ゲート端子と該A C S端子との間に直列に配置されるクランプ回路を介して、互いに電氣的に結合される、請求項68に記載の四端子A C C型M O S F E T。

【請求項80】

前記クランプ回路は、前記蓄積電荷レジームにおける前記A C S端子からの電流を制限し、それにより、前記蓄積電荷レジームにおいて前記蓄積電荷が制御、あるいは前記ボディから除去されることを確実にする、請求項79に記載の四端子A C C型M O S F E T。

【請求項81】

前記クランプ回路は、前記A C S端子と前記ゲート端子との間に直列に配置されたディプレッションモード型のM O S F E Tを有する、請求項79に記載の四端子A C C型M O S F E T。

10

【請求項82】

前記ディプレッションモード型のM O S F E Tは所定の飽和電流を有し、該飽和電流は前記蓄積電荷レジームにおいて前記A C S端子からの電流を制限する、請求項81に記載の四端子A C C型M O S F E T。

【請求項83】

前記ディプレッションモード型のM O S F E Tは所定の閾値に到達すると飽和状態に入り、前記飽和電流は前記閾値を所望の値に設定することによって選択される、請求項82に記載の四端子A C C型M O S F E T。

【請求項84】

20

前記クランプ回路は更に、前記ディプレッションモード型のM O S F E Tに直列に配置されたダイオードを有する、請求項81に記載の四端子A C C型M O S F E T。

【請求項85】

前記ダイオードに並列接続された交流短絡用キャパシタを更に有し、該交流短絡用キャパシタは、前記ダイオードに交流信号が加えられるときに該ダイオードの非線形性が誘起されないことを確実にする、請求項71に記載の四端子A C C型M O S F E T。

【請求項86】

R F信号をスイッチングするR Fスイッチであって：

a) 第1のR F信号の出力又は受信が可能な第1のR Fポート；

b) 第2のR F信号の出力又は受信が可能な第2のR Fポート；

30

c) 前記第1のR Fポートに結合された第1のノードと前記第2のR Fポートに結合された第2のノードとを有し、且つ第1のスイッチ制御信号によって制御されるスイッチトランジスタ群；及び

d) 前記第1のR Fポートに結合された第1のノードと、グランドに結合された第2のノードとを有し、第2のスイッチ制御信号によって制御され、且つ1つ以上の請求項2記載のA C C型M O S F E Tを有するシャントトランジスタ群；

を有し、

前記第1のスイッチ制御信号が有効にされると、前記スイッチトランジスタ群が有効にされ且つ前記シャントトランジスタ群が無効にされ、それにより、前記第1のR Fポートが前記第2のR Fポートに電氣的に結合され、前記第2のスイッチ制御信号が有効にされると、前記シャントトランジスタ群が有効にされ且つ前記スイッチトランジスタ群が無効にされ、それにより、前記第1のR Fポートがグランドに短絡される、

40

R Fスイッチ。

【請求項87】

前記スイッチトランジスタ群は単一のM O S F E Tから成り、且つ前記シャントトランジスタ群は単一のA C C型M O S F E Tから成る、請求項86に記載のR Fスイッチ。

【請求項88】

前記スイッチトランジスタ群は積層化された構成に配置された複数のM O S F E Tから成り、且つ前記シャントトランジスタ群は積層化された構成に配置された複数のA C C型M O S F E Tから成る、請求項86に記載のR Fスイッチ。

50

【請求項 89】

前記スイッチトランジスタ群は積層化された構成に配置された第1の個数のMOSFETから成り、且つ前記シャントトランジスタ群は積層化された構成に配置された第2の個数のACC型MOSFETから成り、前記の第1及び第2の個数は相異なる、請求項88に記載のRFスイッチ。

【請求項 90】

前記ACC型MOSFETは、前記ゲートに電氣的に結合されたゲート端子、前記ドレインに電氣的に結合されたドレイン端子、前記ソースに電氣的に結合されたソース端子、及び前記蓄積電荷シンクに電氣的に結合されたACS端子を有し、前記のゲート端子及びACS端子は、互いに電氣的に結合されるとともに前記第2のスイッチ制御信号に結合され、前記蓄積電荷は前記のACS端子及びゲート端子によって前記ACC型MOSFETの前記ボディから除去される、請求項86に記載のRFスイッチ。

10

【請求項 91】

前記スイッチトランジスタ群は単一のMOSFETから成り、且つ前記シャントトランジスタ群は単一のACC型MOSFETから成る、請求項90に記載のRFスイッチ。

【請求項 92】

前記スイッチトランジスタ群は積層化された構成に配置された複数のMOSFETから成り、且つ前記シャントトランジスタ群は積層化された構成に配置された複数のACC型MOSFETから成る、請求項90に記載のRFスイッチ。

【請求項 93】

当該RFスイッチは動作時に高調波歪み、相互変調歪み及び線形性特性を示し、当該RFスイッチは所定の電力レベルのRF信号を処理することができ、当該RFスイッチの前記の高調波歪み、相互変調歪み、線形性特性及び電力レベルは、前記シャントトランジスタ群の前記ボディ内の前記蓄積電荷の除去又は制御によって改善される、請求項90に記載のRFスイッチ。

20

【請求項 94】

RF出力信号の高調波歪み及び相互変調歪みは、前記シャントトランジスタ群の前記ボディ内の前記蓄積電荷の除去又は制御によって、抑制あるいは排除される、請求項93に記載のRFスイッチ。

【請求項 95】

前記ゲート端子と前記ACS端子との間にダイオードが結合され、それにより、該ダイオードは、前記ACC型MOSFETが有効にされ且つ該ダイオードが逆バイアスされる時、正の電流が前記ACC型MOSFETの前記ボディに流入するのを阻止し、前記ACS端子は前記ダイオードを介して前記第2のスイッチ制御信号に結合され、前記蓄積電荷は前記ACS端子によって前記ACC型MOSFETの前記ボディから除去される、請求項90に記載のRFスイッチ。

30

【請求項 96】

前記スイッチトランジスタ群は単一のMOSFETから成り、且つ前記シャントトランジスタ群は単一のACC型MOSFETから成る、請求項95に記載のRFスイッチ。

【請求項 97】

前記スイッチトランジスタ群は積層化された構成に配置された複数のMOSFETから成り、且つ前記シャントトランジスタ群は積層化された構成に配置された複数のACC型MOSFETから成る、請求項95に記載のRFスイッチ。

40

【請求項 98】

前記ACC型MOSFETは、前記ゲートに電氣的に結合されたゲート端子、前記ドレインに電氣的に結合されたドレイン端子、前記ソースに電氣的に結合されたソース端子、及び前記蓄積電荷シンクに電氣的に結合されたACS端子を有し、前記ACS端子は蓄積電荷シンク機構に電氣的に結合され、該蓄積電荷シンク機構は、前記シャントトランジスタ群が前記蓄積電荷レジームで動作しているときに前記ボディ内の前記蓄積電荷を制御あるいは除去するように適応された制御回路を有する、請求項86に記載のRFスイッチ。

50

【請求項 99】

前記スイッチトランジスタ群は単一の MOSFET から成り、且つ前記シャントトランジスタ群は単一の ACC 型 MOSFET から成る、請求項 98 に記載の RF スイッチ。

【請求項 100】

前記スイッチトランジスタ群は積層化された構成に配置された複数の MOSFET から成り、且つ前記シャントトランジスタ群は積層化された構成に配置された複数の ACC 型 MOSFET から成る、請求項 98 に記載の RF スイッチ。

【請求項 101】

前記シャントトランジスタ群の前記 ACS 端子は第 3 のスイッチ制御信号に結合され、前記シャントトランジスタ群は前記第 2 のスイッチ制御信号によって有効にされる一方で前記スイッチトランジスタ群は無効にされ、それにより、前記第 1 の RF ポートがグランドに短絡され、前記蓄積電荷は、前記シャントトランジスタ群が無効にされているときに、前記 ACC 型 MOSFET の前記ボディから除去される、請求項 98 に記載の RF スイッチ。

10

【請求項 102】

当該 RF スイッチは動作時に高調波歪み、相互変調歪み及び線形性特性を示し、当該 RF スイッチは所定の電力レベルの RF 信号を処理することができ、当該 RF スイッチの前記の高調波歪み、相互変調歪み、線形性特性及び電力レベルは、前記シャントトランジスタ群の前記ボディ内の前記蓄積電荷の除去又は制御によって改善される、請求項 95 に記載の RF スイッチ。

20

【請求項 103】

当該 RF スイッチは動作時に高調波歪み、相互変調歪み及び線形性特性を示し、当該 RF スイッチは所定の電力レベルの RF 信号を処理することができ、当該 RF スイッチの前記の高調波歪み、相互変調歪み、線形性特性及び電力レベルは、前記シャントトランジスタ群の前記ボディ内の前記蓄積電荷の除去又は制御によって改善される、請求項 98 に記載の RF スイッチ。

【請求項 104】

前記スイッチトランジスタ群は 1 つ以上の請求項 2 に記載の ACC 型 MOSFET を有する、請求項 90 に記載の RF スイッチ。

【請求項 105】

30

前記スイッチトランジスタ群は 1 つ以上の請求項 2 に記載の ACC 型 MOSFET を有する、請求項 95 に記載の RF スイッチ。

【請求項 106】

前記スイッチトランジスタ群は 1 つ以上の請求項 2 に記載の ACC 型 MOSFET を有する、請求項 98 に記載の RF スイッチ。

【請求項 107】

単極多投スイッチである請求項 90 に記載の RF スイッチ。

【請求項 108】

単極多投スイッチである請求項 95 に記載の RF スイッチ。

【請求項 109】

40

単極多投スイッチである請求項 98 に記載の RF スイッチ。

【請求項 110】

多極単投スイッチである請求項 90 に記載の RF スイッチ。

【請求項 111】

多極単投スイッチである請求項 95 に記載の RF スイッチ。

【請求項 112】

多極単投スイッチである請求項 98 に記載の RF スイッチ。

【請求項 113】

多極多投スイッチである請求項 90 に記載の RF スイッチ。

【請求項 114】

50

多極多投スイッチである請求項 95 に記載の RF スイッチ。

【請求項 115】

多極多投スイッチである請求項 98 に記載の RF スイッチ。

【請求項 116】

フローティングボディ型 MOSFET の線形性を制御する方法であって、前記フローティングボディ型 MOSFET は、該 MOSFET のボディに動作可能に結合された蓄積電荷シンクであって該 MOSFET がオフ状態で動作しているときに該 MOSFET の前記ボディに蓄積する蓄積電荷を除去あるいは制御するように適応された蓄積電荷シンクを含み、当該方法は：

a) 所定の回路内で動作するように前記フローティングボディ型 MOSFET を構成する段階；

b) 蓄積電荷レジームで動作するように前記フローティングボディ型 MOSFET をバイアスする段階；及び

c) 前記蓄積電荷を除去あるいは制御する段階；

を有する、方法。

【請求項 117】

前記の b) 蓄積電荷レジームで動作するように前記 MOSFET をバイアスする段階は、前記 MOSFET をオフ状態にバイアスすることを有する、請求項 116 に記載の方法。

【請求項 118】

前記 ACC 型 MOSFET は更に、該 ACC 型 MOSFET の前記ドレインと前記ソースとの間に電氣的に結合されたドレインーソース間抵抗を含む、請求項 90 に記載の RF スイッチ。

【請求項 119】

前記ドレインーソース間抵抗は、前記 ACC 型 MOSFET がその他の高インピーダンス素子と直接に配置されるとき、前記 ACC 型 MOSFET の前記ドレインと前記ソースとの間に、前記蓄積電荷を制御することに伴う電流を前記のソース及びドレインから離して導くためのパスを提供する、請求項 118 に記載の RF スイッチ。

【請求項 120】

前記 ACC 型 MOSFET の前記ゲートにゲート抵抗が結合されており、前記ドレインーソース間抵抗は前記ゲート抵抗のインピーダンスにほぼ等しいインピーダンスを有する、請求項 119 に記載の RF スイッチ。

【請求項 121】

積層化された前記複数の ACC 型 MOSFET それぞれに一对一の関係で付随する複数のドレインーソース間抵抗を更に含み、各ドレインーソース間抵抗は、それが付随する ACC 型 MOSFET の前記ドレインと前記ソースとの間に電氣的に結合され、各 ACC 型 MOSFET の前記ゲートにそれぞれのゲート抵抗が結合され、各 ACC 型 MOSFET の前記ドレインーソース間抵抗は、該 ACC 型 MOSFET の前記ゲート抵抗のインピーダンスを、積層化された前記 ACC 型 MOSFET の数で割った値にほぼ等しいインピーダンスを有する、請求項 92 に記載の RF スイッチ。

【請求項 122】

RF 信号をスイッチングする RF スイッチであって：

a) 第 1 の RF 信号の受信又は出力が可能な第 1 の RF ポート；

b) 第 2 の RF 信号の受信又は出力が可能な第 2 の RF ポート；

c) RF 共通ポート；

d) 前記第 1 の RF ポートに結合された第 1 のノードと前記 RF 共通ポートに結合された第 2 のノードとを有し、且つ第 1 のスイッチ制御信号によって制御される第 1 のスイッチトランジスタ群；

e) 前記第 2 の RF ポートに結合された第 1 のノードと前記 RF 共通ポートに結合された第 2 のノードとを有し、且つ第 2 のスイッチ制御信号によって制御される第 2 のスイッ

10

20

30

40

50

チトランジスタ群；

f) 前記第2のRFポートに結合された第1のノードと、グラウンドに結合された第2のノードとを有し、前記第1のスイッチ制御信号によって制御される、第1のシャントトランジスタ群；及び

g) 前記第1のRFポートに結合された第1のノードと、グラウンドに結合された第2のノードとを有し、前記第2のスイッチ制御信号によって制御される、第2のシャントトランジスタ群；

を有し、

前記第1のスイッチ制御信号が有効にされると、前記第1のスイッチトランジスタ群及び前記第1のシャントトランジスタ群が有効にされ、且つ第2のスイッチトランジスタ群及び前記第2のシャントトランジスタ群が無効にされ、それにより、前記第1のRFポートが前記RF共通ポートに電氣的に結合され、且つ前記第2のRFポートがグラウンドに短絡され、また、前記第1のスイッチ制御信号が無効にされ且つ前記第2のスイッチ制御信号が有効にされると、前記第2のスイッチトランジスタ群及び前記第2のシャントトランジスタ群が有効にされ、且つ第1のスイッチトランジスタ群及び前記第1のシャントトランジスタ群が無効にされ、それにより、前記第2のRFポートが前記RF共通ポートに電氣的に結合され、且つ前記第1のRFポートがグラウンドに短絡され、且つ

前記スイッチトランジスタ群及び前記シャントトランジスタ群は、1つ以上の請求項1記載のACC型MOSFETを有する、

RFスイッチ。

【請求項123】

前記ACC型MOSFETの各々は、それぞれの蓄積電荷シンク(ACS)と電氣的に連通したACS端子を含み、各ACC型MOSFETの前記ACS端子は蓄積電荷シンク機構によって制御され、前記蓄積電荷シンク機構は前記ACC型MOSFETが蓄積電荷レジームで動作しているときに前記ACC型MOSFETのボディから蓄積電荷を除去する、請求項122に記載のRFスイッチ。

【請求項124】

当該RFスイッチは動作時に高調波歪み、相互変調歪み及び線形性特性を示し、当該RFスイッチは所定の電力レベルのRF信号を処理することができ、当該RFスイッチの前記の高調波歪み、相互変調歪み、線形性特性及び電力レベルは、前記ACC型MOSFETの前記ボディ内の前記蓄積電荷の除去又は制御によって改善される、請求項123に記載のRFスイッチ。

【請求項125】

前記ACC型MOSFETは固有のドレインソース間破壊電圧特性を有し、前記ACC型MOSFETの前記ドレインソース間破壊電圧特性は、前記ACC型MOSFETの前記ボディから前記蓄積電荷を除去あるいは削減することによって高められる、請求項123に記載のRFスイッチ。

【請求項126】

当該RFスイッチは、挿入損失、挿入位相及び分離性を含む小信号性能特性を示し、当該RFスイッチの前記小信号性能特性は、前記ACC型MOSFETの前記ボディ内の前記蓄積電荷の除去及び制御によって改善される、請求項123に記載のRFスイッチ。

【請求項127】

当該RFスイッチは温度性能特性を有し、当該RFスイッチの前記温度性能特性は、前記ACC型MOSFETの前記ボディ内の前記蓄積電荷の除去及び制御によって改善され、当該RFスイッチはまた、Vdd及び製造プロセスのバラつきに対する低下された感度を示す、請求項123に記載のRFスイッチ。

【請求項128】

単極多投スイッチである請求項122に記載のRFスイッチ。

【請求項129】

多極単投スイッチである請求項122に記載のRFスイッチ。

【請求項 130】

多極多投スイッチである請求項 122 に記載の RF スイッチ。

【請求項 131】

前記 MOSFET はシリコン・オン・インシュレータ技術で製造されている、請求項 1 に記載の ACC 型 MOSFET。

【請求項 132】

当該 RF スイッチは動作時に高調波歪み、相互変調歪み及び線形性特性を示し、当該 RF スイッチは所定の電力レベルの RF 信号を処理することができ、当該 RF スイッチの前記の高調波歪み、相互変調歪み、線形性特性及び電力レベルは、前記シャントトランジスタ群の前記ボディ内の前記蓄積電荷の除去又は制御によって改善される、請求項 86 に記載の RF スイッチ。

10

【請求項 133】

単極多投スイッチである請求項 86 に記載の RF スイッチ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、金属－酸化物－半導体（MOS）電界効果トランジスタ（FET）に関し、特に、半導体・オン・インシュレータ（“SOI”）及び半導体・オン・サファイア（“SOS”）基板上に製造される MOSFET に関する。一実施形態において、SOI（又は SOS）MOSFET は、蓄積電荷を制御し、それにより回路要素の線形性を改善するように適応される。

20

【背景技術】

【0002】

開示される MOSFET の線形性を改善するために使用される方法及び装置は、ここでは SOI 型 MOSFET に適用可能なものとして説明されるが、電子デバイス設計技術の当業者に認識されるように、この教示は SOS 型 MOSFET にも等しく適用可能である。一般的に、この教示は、シリコン・オン・インシュレータ技術を含む如何なる好適な半導体・オン・インシュレータ技術を用いる MOSFET の実現にも使用されることができ。例えば、ここで説明される本発明に係る MOSFET は、絶縁基板上的の化合物半導体を用いて実現されてもよい。このような化合物半導体には、これらに限られないが、シリコンゲルマニウム（SiGe）、ガリウム砒素（GaAs）、インジウム隣（InP）、窒化ガリウム（GaN）、炭化シリコン（SiC）、並びに、セレン化亜鉛（ZnSe）及び硫化亜鉛（ZnS）を含む III-V 族化合物半導体が含まれる。この教示はまた、薄膜ポリマーから製造される MOSFET を実現することに使用されてもよい。有機薄膜トランジスタ（OTFT）は絶縁性のゲート誘電体層を形成するために、ポリマー、共役ポリマー、オリゴマー又はその他の分子を利用している。本発明に係る方法及び装置は、このような OTFT を実現するために使用されてもよい。

30

【0003】

電子デバイス設計技術の当業者に認識されるように、ここで開示される方法及び装置は、実質的に如何なる絶縁ゲート技術、及び浮遊（フローティング）ボディを有する集積回路にも適用される。当業者に認識されるように、“フローティングボディ”を実現するための技術は絶えず進化している。例えば、デバイスのボディを“浮かす”ために使用される回路がバルクシリコン内に実装されたものが、本発明の発明者によって知られている。また、開示される方法及び装置は、シリコン・オン・接合ウェハを用いて実施されることもできる。1つのこのようなシリコン・オン・接合ウェハ技術は、“直接シリコン接合（DSB）”基板を用いるものである。DSB 基板は、ベース基板上に、異なる結晶方位を有する単結晶シリコン膜を接合し電氣的に貼り付けることによって製造される。この開示は、故に、開示される方法及び装置の実施形態が、開発途上のフローティングボディ実装の何れかにおいて実施されることを意図するものである。従って、ここでの SOI 型 MOSFET を参照しての例示的な説明は、この教示の適用性を SOI 型 MOSFET のみに

40

50

限定するものとして解されるべきではない。むしろ、より詳細に後述されるように、開示される方法及び装置は、S O S技術及びシリコン・オン・接合ウェハ技術を含む複数のデバイス技術で実現されるM O S F E Tに有益なものである。

【0004】

周知の通り、M O S F E Tはn型又はp型の導電型のゲート変調導電性チャネルを用いており、それに従ってそれぞれ、“N M O S F E T”又は“P M O S F E T”と呼ばれている。図1は、従来技術に係る典型的なS O I型N M O S F E T 100の断面図を示している。図1に示されるように、従来のS O I型N M O S F E T 100は、埋込酸化物層、サファイア又はその他の絶縁材料から成り得る絶縁基板118を含んでいる。N M O S F E T 100のソース112及びドレイン116は、絶縁基板118上に位置するシリコン層へのイオン注入によって形成されたN⁺領域（すなわち、“n型”ドーパントで高濃度にドーパされた領域）から成っている（P M O S F E Tのソース及びドレインは、P⁺領域（すなわち、“p型”ドーパントで高濃度にドーパされた領域）から成る）。ボディ114は、イオン注入によって形成された、あるいはシリコン層が絶縁基板118上に形成されたときに該シリコン層内に既に存在するドーパントによって形成された、P⁻領域（すなわち、“p型”ドーパントで低濃度にドーパされた領域）から成っている。図1に示されるように、N M O S F E T 100はまた、ボディ114上に位置するゲート酸化物110を含んでいる。ゲート酸化物110は、典型的に、例えばS i O₂等の絶縁性の誘電体の薄い層から成っている。ゲート酸化物110は、ゲート酸化物110上に位置するゲート108からボディ114を電氣的に絶縁している。ゲート108は金属又はより一般的にはポリシリコンの層から成っている。

【0005】

ソース端子102がソース112に動作可能に結合されており、ソースバイアス電圧“V_s”がソース112に印加され得る。ドレイン端子106がドレイン116に動作可能に結合されており、ドレインバイアス電圧“V_d”がドレイン116に印加され得る。ゲート端子104がゲート108に動作可能に結合されており、ゲートバイアス電圧“V_g”がゲート108に印加され得る。

【0006】

周知の通り、M O S F E Tのゲート端子とソース端子との間に電圧が印加されると、ゲート酸化物を貫いてトランジスタのボディまで達する電界が生成される。エンハンスメントモードのデバイスの場合、正のゲートバイアスによって、M O S F E Tボディのチャネル領域にチャネルが作り出され、それを介してソースとドレインとの間に電流が流れる。ディプレッションモードのデバイスの場合には、ゼロのゲートバイアスでもチャネルが存在する。ゲートに印加される電圧を変化させることにより、チャネルの導電率に変調され、それによりソースとドレインとの間の電流が制御される。

【0007】

例えば、エンハンスメントモードのM O S F E Tの場合、ゲートバイアスはゲート酸化物110の下ボディ114のチャネル領域に所謂“反転チャネル”を作り出す。反転チャネルはソース及びドレインのキャリアの極性と同一の極性を有するキャリア（例えば、“P”極性のキャリア（すなわち、正孔）、又は“N”極性のキャリア（すなわち、電子））を有しており、それにより、ソースとドレインとの間で電流が流れる導通路（すなわち、チャネル）がもたらされる。例えば、図1のS O I型N M O S F E T 100内に示されるように、十分な正電圧（すなわち、閾値電圧V_{th}を超える正ゲートバイアス）がゲート108とソース112との間に印加されると、ボディ114のチャネル領域に反転チャネルが形成される。上述のように、反転チャネル内のキャリアの極性は、ソース及びドレイン内のキャリアの極性と同一である。この例においては、ソース及びドレインは“n型”ドーパントを有し、それ故にN極性キャリアを有しているので、チャネル内のキャリアはN極性キャリアから成る。同様に、P M O S F E Tにおいてはソース及びドレインは“p型”ドーパントを有するので、ターンオンされた（すなわち、導通している）P M O S F E Tのチャネル内のキャリアはP極性キャリアから成る。

【0008】

ディプレッションモードのMOSFETはエンハンスメントモードのMOSFETと同様に動作するが、ディプレッションモードのMOSFETは、ゲートに電圧が印加されなくても導通チャネルが存在するようにドーピングされている。適切な極性の電圧がゲートに印加されると、チャネルは空乏化される。そして、これにより、ディプレッションモードのデバイスを通る電流は抑制される。本質的に、ディプレッションモードのデバイスは“通常閉じている”スイッチに似ている一方で、エンハンスメントモードのデバイスは“通常開いている”スイッチに似ている。エンハンスメントモード及びディプレッションモードの何れのMOSFETも、MOSFETがオフ状態（非導通）からオン状態（導通）に変化する値であるゲート電圧の閾値 V_{th} を有している。

【0009】

SOI型MOSFETが何れの動作モードを用いているかを問わず（すなわち、エンハンスメントモードであろうと、ディプレッションモードであろうと）、MOSFETがオフ状態にされており（すなわち、ゲート電圧が V_{th} を超えておらず）、且つソース及びドレインに対してゼロでない十分なゲートバイアス電圧が印加されているとき、ゲートの下に“蓄積電荷”が発生する。以下にてより詳細に定義されるように、また本出願全体を通して使用されるように、“蓄積電荷（accumulated charge）”は、MOSキャパシタに関する従来文献に記載されている“アキュムレーション電荷（accumulation charge）”に似たものである。しかしながら、従来文献はMOSキャパシタ酸化物の下に存在するバイアスにより誘起された電荷であって、該キャパシタ酸化物の下の半導体材料の多数キャリアと同一の極性を有する電荷のみを呼ぶものとして、“アキュムレーション電荷”と記載している。対照的に、より詳細に後述されるように、“蓄積電荷”はここでは、例えばボディ内の多数キャリアと同一の極性を有していなくても、ゲートバイアスにより誘起された電荷であってオフ状態のMOSFETのボディ内に蓄積し得る電荷を呼ぶものとして使用される。この状況は、例えば、ボディのドーピングはP-ではなくN-であるが蓄積電荷は正孔（すなわち、P極性）を有するオフ状態のディプレッションモードNMOSFETにおいて発生し得る。

【0010】

例えば、図1に示されるように、SOI型NMOSFET100がオフ状態にて動作するようにバイアスされ、且つゼロでない十分な電圧がゲート108に印加されると、ゲート酸化物110の下方且つ近傍のボディ114内に蓄積電荷120が蓄積し得る。図1に示されたSOI型NMOSFETの動作状態は、ここでは、MOSFETの“蓄積電荷レジーム”と呼ばれる。蓄積電荷レジームは以下にてより詳細に定義される。SOI型MOSFET内の蓄積電荷の原因及び影響については、より詳細に後述する。

【0011】

周知の通り、電子-正孔対キャリアは幾つかの機構（例えば、熱、光、及びバンド間トンネリングによる電子-正孔対生成プロセス）の結果としてMOSFETのボディ内に生成され得る。例えば、NMOSFETの内部に電子-正孔対キャリアが生成され、且つNMOSFETがオフ状態の条件にバイアスされると、電子は対を為す正孔から分離され、ソース及びドレインの双方に引き込まれ得る。一定期間にわたって、NMOSFETがオフ状態にバイアスされ続けると仮定すると、（分離された電子-正孔対に由来する）正孔がゲート酸化物の下方且つ近傍に蓄積する（すなわち、“蓄積電荷”を形成する）。同様にバイアスされたPMOSFETデバイスにおいても、（電子及び正孔の挙動を逆にして）同様のプロセスが起こる。次に、図1のSOI型NMOSFET100を参照しながら、この現象を説明する。

【0012】

SOI型NMOSFET100が、ボディ114内のチャネルキャリアを枯渇させるゲート、ソース及びドレインバイアスで動作させられるとき、正孔がゲート酸化物110の下方且つ近傍に蓄積し得る。例えば、ソースバイアス電圧 V_s 及びドレインバイアス電圧 V_d が共にゼロであり（例えば、図示されていないグランドコンタクトに接続されている）、且つゲートバイアス電圧 V_g がグランド及び V_{th} に対して十分な負電圧を有する場合、ボデ

ィ114内に存在する正孔はゲート酸化物110近傍のチャネル領域に引き付けられる。一定期間にわたって、除去されるかその他の方法で制御されるかしない限り、正孔がゲート酸化物110の下に蓄積し、図1に示されるような蓄積電荷120を生じさせる。故に図1においては、蓄積電荷120は正“+”の正孔キャリアとして示されている。この例において、 V_g は V_s 及び V_d に対して負であるので、電界領域122及び124も存在している。

【0013】

蓄積電荷レジームの定義

蓄積電荷はチャネル内のキャリアの極性に対して逆の極性である。上述のようにチャネル内のキャリアの極性はソース及びドレイン内のキャリアの極性と同一であるので、蓄積電荷120の極性はソース及びドレイン内のキャリアの極性とも逆である。例えば、上述の動作条件の下で、オフ状態のNMOSFETでは正孔（“P”極性を有する）が蓄積し、オフ状態のPMOSFETでは電子（“N”極性を有する）が蓄積する。故に、MOSFETデバイスは、ここでは、該MOSFETがオフ状態で動作するようにバイアスされ、且つチャネルキャリアとは逆の極性を有するキャリアがチャネル領域内に存在するとき、“蓄積電荷レジーム”内で動作しているとして定義される。言い換えると、MOSFETは、該MOSFETがオフ状態で動作するようにバイアスされ、且つソース及びドレインのキャリアの極性とは逆の極性を有するキャリアがチャネル領域内に存在するとき、蓄積電荷レジーム内で動作しているとして定義される。

【0014】

例えば、また再び図1を参照するに、蓄積電荷120はPすなわち“+”極性を有する正孔から成る。対照的に、ソース、ドレイン及びチャネル（すなわち、FETがオン状態にあるとき）内のキャリアはNすなわち“-”極性を有する電子から成る。SOI型NMOSFET100は、故に、蓄積電荷レジームで動作しているとして図1に示されている。SOI型NMOSFET100はオフ状態で動作するようにバイアスされており、チャネル領域に蓄積電荷120が存在している。蓄積電荷120は、チャネル、ソース及びドレインのキャリアの極性（N）とは逆の極性（P）である。

【0015】

SOI型NMOSFET100がディプレッションモードのデバイスから成る他の一例においては、 V_{th} は定義により負である。この例によれば、ボディ114は（図1に示されたP-領域とは対照的に）N-領域から成る。ソース及びドレインは、図1のエンハンスメントモードのMOSFET100に示されたソース及びドレインと同様にN+領域から成る。 V_s 及び V_d の双方が0V（ゼロボルト）である場合、 V_{th} に対して十分に負であるゲートバイアス V_g （例えば、 V_{th} に対して約-1Vより負側の V_g ）が印加されると、ディプレッションモードのNMOSFETはオフ状態にバイアスされることになる。十分に長い期間にわたってオフ状態にバイアスされる場合、正孔がゲート酸化物の下に蓄積し、このNMOSFETは図1に示されるような蓄積電荷120を有することになる。

【0016】

その他の例においては、 V_s 及び V_d はゼロでないバイアス電圧を有していてもよい。一部の実施形態においては、NMOSFETをオフ状態にバイアスするために、（例えば、 V_{th} に対して V_g が十分に負にされるように） V_g は V_s 及び V_d の双方に対して十分に負でなければならない。MOSFETデバイス設計技術の当業者に認識されるように、この教示を実施することには多様なバイアス電圧が使用され得る。より詳細に後述されるように、ここで開示される方法及び装置は、蓄積電荷レジームで動作するようにバイアスされる如何なるSOI型MOSFETにおいても使用され得るものである。

【0017】

SOI及びSOS型のMOSFETはしばしば、蓄積電荷レジーム内での動作がMOSFETの性能に悪影響を及ぼす用途で使用される。より詳細に後述されるように、蓄積電荷は、除去されるかその他の方法で制御されるかしない限り、或る一定の動作条件下でSOI型MOSFETの性能に悪影響を及ぼす。図2B及び5Aに示される回路を参照してより詳細に後述される1つの典型的な用途は、無線周波数（RF）スイッチング回路を実

10

20

30

40

50

現する上でSOI型MOSFETを使用するものである。図2B及び5Aに示される回路を参照してより詳細に後述されるように、蓄積電荷が除去されるかその他の方法で制御されるかしない限り、或る動作条件下で蓄積電荷がSOI型MOSFETの線形性に悪影響を及ぼし、それにより、或る一定の回路の実現において使用されるときにMOSFETによって引き起こされる高調波歪み及び相互変調歪み(intermodulation distortion; IMD)を増大させることが本発明の発明者によって見出された。さらに、より詳細に後述されるように、蓄積電荷の除去又は制御により、SOI型MOSFETのドレインソース間破壊電圧(すなわち、“BVDS”)特性が改善されることが本発明の発明者によって見出された。

【0018】

10

故に、蓄積電荷を除去あるいはその他の方法で制御し、それによりSOI型MOSFETの性能を有意に改善するために、SOI(及びSOS)型MOSFET、及びSOI型MOSFETを用いて実現される回路を適応させ且つ改善する技術を提供することが望まれる。そして、SOI型MOSFETにおける線形性の特性を改善することに使用される方法及び装置を提供することが望まれる。改善されたMOSFETは、従来のMOSFETと比較して改善された線形性、高調波歪み、相互変調歪み、及びBVDS特性を有し、それにより、MOSFETを用いて実現される回路の性能を改善する。この教示はこのような新規な方法及び装置を提供するものである。

【先行技術文献】

【特許文献】

20

【0019】

【特許文献1】米国特許第6,908,832号明細書

【特許文献2】米国特許第6,632,724号明細書

【特許文献3】米国特許第6,790,747号明細書

【特許文献4】米国特許第6,693,326号明細書

【特許文献5】米国特許第7,404,157号明細書

【特許文献6】米国特許第7,058,922号明細書

【特許文献7】米国特許第6,898,778号明細書

【特許文献8】米国特許第5,012,123号明細書

【特許文献9】米国特許第5,818,099号明細書

30

【特許文献10】米国特許第6,249,027号明細書

【特許文献11】米国特許第6,504,212号明細書

【特許文献12】米国特許出願公開第2001/0015461号明細書

【特許文献13】米国特許出願公開第2003/0205760号明細書

【特許文献14】欧州特許第1006584号明細書

【特許文献15】米国特許第4,053,916号明細書

【特許文献16】米国特許第5,416,043号明細書

【特許文献17】米国特許第5,492,857号明細書

【特許文献18】米国特許第5,572,040号明細書

【特許文献19】米国特許第5,596,205号明細書

40

【特許文献20】米国特許第5,600,169号明細書

【特許文献21】米国特許第5,663,570号明細書

【特許文献22】米国特許第5,861,336号明細書

【特許文献23】米国特許第5,863,823号明細書

【特許文献24】米国特許第5,883,396号明細書

【特許文献25】米国特許第5,895,957号明細書

【特許文献26】米国特許第5,920,233号明細書

【特許文献27】米国特許第5,930,638号明細書

【特許文献28】米国特許第5,973,363号明細書

【特許文献29】米国特許第5,973,382号明細書

50

【特許文献30】米国特許第6,057,555号明細書

【特許文献31】米国特許第6,804,502号明細書

【特許文献32】米国特許第7,056,808号明細書

【特許文献33】米国特許第6,969,668号明細書

【発明の概要】

【発明が解決しようとする課題】

【0020】

本発明は、SOI型MOSFET内の蓄積電荷を制御し、それによりSOI型MOSFETの動作における非線形応答、高調波歪み及び相互変調歪みの影響を改善する装置及び方法を提供することを目的とする。

10

【課題を解決するための手段】

【0021】

一実施形態において、少なくとも1つのSOI型MOSFETを有する回路は、蓄積電荷レジームで動作するように構成される。SOI型MOSFETのボディに動作可能に結合された蓄積電荷シンク(ACS)が、ボディ内で生成された蓄積電荷を受け入れ、それによりSOI型MOSFETの正味のソースドレイン間キャパシタンスの非線形性を低減させる。

【0022】

一実施形態において、ACSは、例えば1MΩより高いインピーダンスの、MOSFETボディへの高インピーダンス接続を有する。

20

【図面の簡単な説明】

【0023】

【図1】従来技術に係る典型的なSOI型NMOSFETを示す断面図である。

【図2A】図1の従来技術に係る典型的なSOI型NMOSFETのオフ状態でのインピーダンス特性を示す電気モデルを簡略化して示す図である。

【図2B】図1のSOI型NMOSFETのような従来技術に係るSOI型MOSFETを用いて実現された典型的なRFスイッチング回路を簡略化して示す回路図である。

【図3A】この開示に従って蓄積電荷を制御するように適応されたSOI型NMOSFETを簡略化して示す上面図である。

【図3B】この開示に従って蓄積電荷を制御するように適応されたSOI型NMOSFETを簡略化して示す上面図である。

30

【図3C】蓄積電荷を制御するように適応されたSOI型NMOSFETを示す斜視図であり、ゲート、ソース、ドレイン及び蓄積電荷シンク(ACS)の端子を示している。

【図3D】蓄積電荷を制御するように適応された、P+領域に電氣的に結合された蓄積電荷シンク(ACS)を有するSOI型NMOSFETを簡略化して示す上面図である。

【図3E】蓄積電荷を制御するように適応されたSOI型NMOSFETを簡略化して示す上面図であり、SOI型MOSFETのほぼ中心に沿って引かれた断面図用の直線A-A'を示している。

【図3F】図3Eの直線A-A'に沿って取られた図3EのSOI型NMOSFETの断面図である。

40

【図3G】図3A-3BのSOI型NMOSFETの断面図である。

【図3H】SOI型NMOSFETを簡略化して示す上面図であり、従来技術に係るMOSFET及び改善されたSOI型MOSFETの一部の実施形態における、製造プロセスに起因して閾値電圧が増大され得る領域を例示している。

【図3I】閾値電圧増大領域がSOI型MOSFET内に存在するときの反転チャネル電荷を、印加ゲート電圧の関数としてプロットしたグラフである。

【図3J】蓄積電荷を制御するように適応され、且つ“T型ゲート”構成に構成されたSOI型NMOSFETを簡略化して示す上面図である。

【図3K】蓄積電荷を制御するように適応され、且つ“H型ゲート”構成に構成されたSOI型NMOSFETを簡略化して示す上面図である。

50

【図 4 A】四端子デバイスとして具現化された、蓄積電荷を制御するように適応された S O I 型 N M O S F E T を簡略化して示す図である。

【図 4 B】蓄積電荷シンク (A C S) 端子がゲート端子に結合された四端子デバイスとして具現化された、蓄積電荷を制御するように適応された S O I 型 N M O S F E T を簡略化して示す図である。

【図 4 C】蓄積電荷シンク (A C S) 端子がダイオードを介してゲート端子に結合された四端子デバイスとして具現化された、蓄積電荷を制御するように適応された S O I 型 N M O S F E T を簡略化して示す図である。

【図 4 D】蓄積電荷シンク (A C S) 端子が制御回路に結合された四端子デバイスとして具現化された、蓄積電荷を制御するように適応された S O I 型 N M O S F E T を簡略化して示す図である。

10

【図 4 E】 A C S 端子が外部バイアス源によって駆動される図 4 D の四端子 A C C 型 N M O S F E T を用いて実現された、典型的な R F スイッチ回路を簡略化して示す回路図である。

【図 4 F】蓄積電荷シンク (A C S) 端子がクランプ回路に結合された四端子デバイスとして具現化された、蓄積電荷を制御するように適応された S O I 型 N M O S F E T を簡略化して示す図である。

【図 4 G】キャパシタと並列接続されたダイオードを介して蓄積電荷シンク (A C S) 端子がゲート端子に結合された四端子デバイスとして具現化された、蓄積電荷を制御するように適応された S O I 型 N M O S F E T を簡略化して示す図である。

20

【図 4 H】蓄積電荷レジームで動作する S O I 型 M O S F E T のドレインソース間印加電圧に対して、オフ状態キャパシタンス (C_{off}) をプロットしたグラフであり、第 1 のプロットは従来の S O I 型 M O S F E T のオフ状態キャパシタンス C_{off} を示しており、第 2 のプロットはこの教示に従って製造された A C C 型の S O I 型 M O S F E T のオフ状態キャパシタンス C_{off} を示している。

【図 5 A】従来技術に係る典型的な単極単投 (S P S T) 無線周波数 (R F) スイッチ回路を示す回路図である。

【図 5 B】分流 S O I 型 N M O S F E T のゲートが蓄積電荷シンク (A C S) 端子に結合された、蓄積電荷制御を用いて改善された性能に適応された R F スイッチ回路を示す回路図である。

30

【図 5 C】分流 S O I 型 N M O S F E T のゲートがダイオードを介して蓄積電荷シンク (A C S) 端子に結合された、蓄積電荷制御を用いて改善された性能に適応された R F スイッチ回路を示す回路図である。

【図 5 D】蓄積電荷シンク (A C S) 端子が制御回路に結合された、蓄積電荷制御を用いて改善された性能に適応された R F スイッチ回路を示す回路図である。

【図 6】分流の積層 M O S F E T の蓄積電荷シンク (A C S) 端子が制御信号に結合された、蓄積電荷制御を用いて改善された性能に適応された積層化された M O S F E T を含む R F スイッチ回路を示す回路図である。

【図 7】この開示に従って蓄積電荷シンクを用いて S O I 型 M O S F E T デバイスの線形性を向上させる典型的な一方法を示すフローチャートである。

40

【図 8】この開示に従って製造される、 A C C 型の S O I 型 M O S F E T のドレインとソースとの間にドレインソース間抵抗を含んだ R F スイッチ回路の典型的な一実施形態を簡略化して示す回路図である。

【図 9】この開示に従って製造される典型的な単極双投 (S P D T) R F スイッチ回路を簡略化して示す回路図であり、スイッチング用の A C C 型の S O I 型 M O S F E T をまたぐドレインソース間抵抗が示されている。

【図 10】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

【図 11】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

50

【図 1 2】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

【図 1 3】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

【図 1 4】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

【図 1 5】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

【図 1 6】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

10

【図 1 7】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

【図 1 8】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

【図 1 9】ここで開示された方法及び装置を典型的な単極六投 (S P 6 T) R F スイッチに用いることにより得られる典型的な性能結果を示す図である。

【発明を実施するための形態】

【0024】

相異なる図における似通った参照符号及び記号表示は、似通った要素を指し示している。

20

【0025】

上述のように、この教示が N M O S F E T 及び P M O S F E T に等しく適用されることは、電子デバイス設計技術の当業者に認識されるところである。単純化のため、例示目的でここに提示される実施形態及び実施例は、特に断らない限り、N M O S F E T のみを含んでいる。ドーパント、電荷キャリア、バイアス電圧の極性などを周知のように変更することにより、電子デバイス技術の当業者は、これらの実施形態及び実施例が如何にして P M O S F E T とともに用いられるように適用されるかを容易に理解できるであろう。

【0026】

S O I 型 N M O S F E T 内の蓄積電荷の非線形性及び高調波歪みへの影響

背景技術にて説明されたように、M O S F E T が何れの動作モード（すなわち、エンハンスメントモード、又はディプレッションモード）を用いていようとも、或る状況下で、ソース及びドレインに対してゼロでないゲートバイアス電圧が印加されて M O S F E T がオフ状態にされると、ゲートの下に蓄積電荷が発生する。この教示によれば、上述のように M O S F E T がオフ状態にあり、且つソース及びドレインのキャリアの極性とは逆の極性を有するキャリアがチャネル領域に存在するとき、M O S F E T は蓄積電荷レジームで動作しているとして定義される。

30

【0027】

この教示に従って、蓄積電荷レジームで動作する M O S F E T は、或る一定の回路で使用されるとき、回路性能に悪影響を及ぼす不所望の非線形特性を見せることが本発明の発明者によって観測されている。例えば、図 2 A を参照して一層詳細に後述されるように、蓄積電荷 120 (図 1) は、オフ状態にある S O I 型 M O S F E T の線形性に悪影響を及ぼす。より具体的には、蓄積電荷はドレインーソース間キャパシタンス (C d s) に対する寄与 (contributing) キャパシタンスの線形性に悪影響を及ぼす。オフ状態にある S O I 型 M O S F E T では、C d s は C_{off} と呼ばれる。C_{off} に対する寄与キャパシタンスについては、寄与キャパシタンスのインピーダンスと比較して大きいインピーダンスを有する回路によってゲートバイアス V_g が供給されるバイアス条件に関して、図 2 A を参照して後述される。図 2 B 及び 5 A を参照して後述されるように、これは、S O I 型 M O S F E T を用いて実現される回路の高調波歪み、相互変調歪み、及びその他の性能に悪影響を及ぼす。これら新規な観測結果は、従来技術によっては教示あるいは示唆されておらず、図 2 A に示される電気モデルを参照することにより理解される。

40

50

【0028】

図2Aは、図1の従来技術に係る典型的なSOI型NMOSFET100のオフ状態でのインピーダンス（又は、逆に言えば導電率）特性を示す電気モデル200を簡略化して示している。より具体的には、モデル200は、NMOSFET100がオフ状態にあるときのソース112からドレイン116までのインピーダンス特性を示している。NMOSFET100のオフ状態でのドレイン－ソース間インピーダンス特性は、事実上、主として容量性であるので、ここでは、このインピーダンスをドレイン－ソース間オフ状態キャパシタンス（ C_{off} ）と呼ぶ。ここでの例示的な説明では、ゲート108は、図2Aを参照して説明される寄与キャパシタンスのインピーダンスと比較して大きいインピーダンスを有する回路（図示せず）によって電圧 V_g にバイアスされていると理解される。 V_g バイアスを供給する回路のインピーダンスが寄与キャパシタンスのインピーダンスと比較して大きくない場合に、この例示的な説明がどのように修正され得るかは、電子技術の当業者によって理解されるところである。

10

【0029】

図2Aに示されるように、オフ状態のNMOSFET100のソース112とボディ114との間の接合（すなわち、ソース－ボディ接合218）は、図示のように構成された接合ダイオード208及び接合キャパシタ214によって表され得る。同様に、オフ状態のNMOSFET100のドレイン116とボディ114との間の接合（すなわち、ドレイン－ボディ接合220）は、図示のように構成された接合ダイオード210及び接合キャパシタ216によって表され得る。ボディ114は単に、ソース－ボディ接合218とドレイン－ボディ接合220との間に存在するインピーダンス212として表される。

20

【0030】

キャパシタ206は、ゲート108とボディ114との間のキャパシタンスを表している。キャパシタ202はソース112とゲート108との間のキャパシタンスを表しており、キャパシタ204はドレイン116とゲート108との間のキャパシタンスを表している。ソース112とドレイン116との間の（図1に示された絶縁基板118を介しての）電氣的結合に起因する基板キャパシタンスは、以下で説明される典型的な説明においては無視できるほど小さいと考えられるので、図2Aの電気モデル200には示されていない。

【0031】

上述のように、NMOSFET100がオフ状態にあり、且つ蓄積電荷120（図1）がボディ114内に存在しないとき（すなわち、NMOSFET100が蓄積電荷レジームで動作していないとき）、ボディ114の電荷キャリアは枯渇している。この場合、ボディのインピーダンス212は絶縁体のインピーダンスに似通っており、ボディ114内の導電率は非常に小さい（すなわち、NMOSFET100はオフ状態にある）。その結果、ドレイン－ソース間オフ状態キャパシタンス C_{off} への主な寄与は、キャパシタ202及び204によってもたらされる。キャパシタ202及び204は電圧に僅かしか依存しないので、高調波発生及び相互変調歪み特性に悪影響を及ぼす非線形応答に有意に寄与することはない。

30

【0032】

しかしながら、NMOSFET100が蓄積電荷レジーム内で動作し、故にボディ114に蓄積電荷120が存在するとき、蓄積電荷を含む移動可能な正孔は、ソース－ボディ接合218とドレイン－ボディ接合220との間にp型の導電性を作り出す。実際、蓄積電荷120はソース－ボディ接合218とドレイン－ボディ接合220との間に、蓄積電荷が存在しない場合のこれら接合間のインピーダンスより有意に小さいインピーダンスを生成する。ドレイン116とソース112との間に V_{ds} 電圧が印加される場合、移動可能な正孔はボディ114内に生じる電位に従って再分布する。SOI型NMOSFET100を流れるDC及び低周波数の電流は、それぞれ接合ダイオード208及び210によって表されたソース－ボディ接合218及びドレイン－ボディ接合220のダイオード特性によって妨げられる。すなわち、この場合には接合ダイオード208及び210は逆直列（すなわち、“背中合わせ”）であるので、DC又は低周波数の電流はSOI型NMOSFET100を貫いて流れない。しかしながら、高周波数の電流は、それぞれ接合キャパシタ214及び216によって表されたソース－ボディ接合21

40

50

8及びドレインーボディ接合220のキャパシタンスを介して、SOI型NMOSFET100を貫いて流れることができる。

【0033】

接合キャパシタ214及び216は、n型領域とp型領域との間の接合に付随するものである。この電圧依存性は、n型領域とp型領域との間の接合の空乏領域の幅が電圧依存性を有することに由来するものである。バイアス電圧がNMOSFETに印加されるとき、n型領域とp型領域との間の接合の空乏領域の幅は変化する。接合のキャパシタンスは接合の空乏領域の幅に依存するので、このキャパシタンスも接合間に印加されるバイアスの関数として変化する（すなわち、このキャパシタンスも電圧依存性を有する）。

10

【0034】

さらに、キャパシタ202及び204はまた、蓄積電荷120の存在に起因する電圧依存性をも有する。この電圧依存性に関する複雑な原因はここでは詳細に説明されないが、電子デバイス技術の当業者に理解されるように、蓄積電荷の応答、及びその印加 V_{ds} への応答によって電界領域（例えば、図1に関連して上述された電界領域122及び124）が影響を受け、それによりキャパシタ202及び204の電圧依存性が発生される。更なる非線形効果が、ソース112とドレイン116との間の直接的なキャパシタンス（図示せず）によって発生し得る。通常、この直接的なキャパシタンスは大抵のSOI型MOSFETでは無視できると期待されるが、ソースとドレインとの間の間隔が非常に小さいSOI型MOSFETでは寄与することがある。この直接的キャパシタンスの C_{off} への寄与も、上述のキャパシタ202及び204の電圧依存性と同様の理由により、蓄積電荷の存在下で電圧依存性を有する。

20

【0035】

接合キャパシタ214及び216、ゲートーソース間キャパシタ202、ゲートードレイン間キャパシタ204、及び直接的キャパシタンス（図示せず）の電圧依存性は、NMOSFET100にAC電圧が印加されるときにMOSFETのオフ状態キャパシタンス C_{off} に非線形な挙動を生じさせ、それにより、不所望な高調波歪み及び相互変調歪み（IMD）が生成される。これらの影響の相対的な寄与は複雑であり、製造プロセス、バイアス、信号振幅及びその他の変数に依存する。しかしながら、この教示から電子デバイス設計技術の当業者に理解されるように、蓄積電荷を削減、除去、あるいはその他の方法で制御することは、 C_{off} の非線形な挙動の全体的な改善をもたらす。また、ボディのインピーダンス212は蓄積電荷120の存在下で有意に低減されるので、 C_{off} の大きさはFETが蓄積電荷レジームで動作するときに増大され得る。蓄積電荷を削減、除去、あるいはその他の方法で制御することはこの影響をも抑制する。

30

【0036】

また、蓄積電荷は、FETがオン状態（導通状態）からオフ状態（非導通状態）に移行してすぐの瞬間にはボディ内に蓄積しない。むしろ、FETがオン状態からオフ状態に移行すると、FETはそのボディ内に電荷を蓄積し始め、蓄積電荷量は時間をかけて増大する。蓄積電荷の蓄積は、故に、それに関する時定数を有する（すなわち、蓄積電荷は瞬時にはその定常状態のレベルに到達しない）。蓄積電荷はFETボディ内に徐々に蓄積する。空乏化されたFETに付随する C_{off} は蓄積電荷量の増加とともに増大する。FETの性能に関し、 C_{off} はFETボディ内の蓄積電荷量の増加とともに増大するので、FETの挿入損失、分離性（アイソレーション）及び挿入位相にドリフトが発生する（すなわち、FETはより“損失が多く”なり、FETの分離性が低下し、FETにおける遅延が増大する）。蓄積電荷を削減、除去、あるいはその他の方法で制御することは、これら不所望のドリフト効果をも抑制する。

40

【0037】

MOSFETのオフ状態キャパシタンス C_{off} の非線形な挙動は、従来のSOI型MOSFETを用いて実現された或る一定の回路の性能に悪影響を及ぼすことが、本発明の発明者によって観測された。例えば、RFスイッチが例えば図1のSOI型NMOSFET100のような従来のSOI型MOSFETを用いて実現されるとき、従来のMOSFE

50

Tの上述の非線形なオフ状態特性は、スイッチの線形性に悪影響を及ぼす。より詳細に後述されるように、RFスイッチの線形性は多くの用途において重要な設計パラメータである。スイッチの線形性が改善されることにより、該スイッチによって処理される信号の高調波歪み及び相互変調歪み（IMD）の抑制が高められる。これら改善されたスイッチ特性は、携帯通信機器での使用などの一部の用途において極めて重要をなす得る。

【0038】

例えば、周知のGSM携帯電話通信システム規格は、GSM携帯電話の実装に使用されるフロントエンド部品に、線形性、高調波抑制、相互変調抑制、及び消費電力についての厳しい要求を課している。1つの典型的なGSM規格は、基本信号の全ての高調波が12.75GHzまでの周波数で-30dBm未満に抑制されることを要求している。高調波がこのレベル未満に抑制されない場合、携帯電話動作の信頼性は有意な悪影響を及ぼされ得る（例えば、送信信号及び受信信号の高調波歪み及び相互変調歪みに起因して、通話の切断が増加したり、その他の通信問題が発生したりする）。RFスイッチング機能は一般的に携帯電話のフロントエンド部品に実装されるので、RFスイッチの線形性、高調波及び相互変調の抑制、並びに電力消費性能の改善はとても望ましいものである。次に図2Bを参照して、従来のMOSFETのオフ状態キャパシタンス C_{off} の非線形な挙動が、これらRFスイッチの特性にどのようにして悪影響を及ぼすかを説明する。

【0039】

従来のSOI型MOSFETを用いて実現されたRFスイッチ回路への高調波歪みの影響

図2Bは、図1を参照して説明されたSOI型NMOSFET100のような従来のMOSFETを用いて実現された典型的なRFスイッチ回路250を簡略化して示している。RFスイッチ回路の動作及び実装の詳細な説明は米国特許第6804502に記載されている。なお、RFスイッチ回路の教示に関してその全体が参照することによりここに組み込まれる。図2Bに示されるように、従来のRFスイッチ回路250は、5つの分流（シャント）MOSFET260a-260eに動作可能に結合された単一の“パス”すなわち“スイッチング”MOSFET254を含んでいる。

【0040】

MOSFET254はパストランジスタすなわちスイッチングトランジスタとして機能し、作動させられたとき、伝送路256を介してRF入力信号（例えば、ドレインに与えられる）をRFアンテナ258に選択的に結合させるように構成されている。分流MOSFET260a-260eは、作動させられたとき、RF入力信号をグランドに選択的に短絡させるように機能する。周知の通り、スイッチングMOSFET254はそのゲートに結合される第1のスイッチ制御信号（図示せず）によって選択的に制御され、分流MOSFET260a-260eはそれらのゲートに結合される第2のスイッチ制御信号（図示せず）によって同様に制御される。それにより、スイッチングMOSFET254は分流MOSFET260a-260eが作動されないときに作動され、この逆もまた然りである。図2BのRFスイッチ250の典型的な一実施形態に示されるように、スイッチングMOSFET254は、（第1のスイッチ制御信号により）+2.5Vのゲートバイアス電圧を印加することによって作動させられている。分流MOSFET260a-260eは、（第2のスイッチ制御信号により）-2.5Vのゲートバイアス電圧を印加することによって作動させられていない。

【0041】

スイッチ250がこの状態に設定されているとき、RF信号252はスイッチングMOSFET254及び伝送路256を介してアンテナ258まで伝播される。図2Aを参照して説明されたように、分流MOSFET260a-260eが例えばSOI型NMOSFET100（図1）等の従来のSOI（又はSOS）型MOSFETから成るとき、SOI型MOSFETのボディに蓄積電荷が発生する（すなわち、SOI型MOSFETが上述の蓄積電荷レジームで動作しているとき）。蓄積電荷は、AC電圧がこれらMOSFETに印加されるとき、SOI型MOSFETのオフ状態キャパシタンス C_{off} に非線形な挙動を生じさせる。

【0042】

10

20

30

40

50

より具体的には、オフ状態のSOI型MOSFET 260a-260eのチャネル領域に蓄積電荷が存在するとき、それぞれのドレインに印加されるRF信号の変化に蓄積電荷が応答する。時間とともに変化する時変RF信号が伝送路256に沿って伝播されるとき、このRF信号はSOI型MOSFET 260a-260eに時間とともに変化する時変ソースドレイン間バイアス電圧を印加することになる。時変ソースドレイン間バイアス電圧はSOI型MOSFET 260a-260eのチャネル領域内の蓄積電荷に運動を生じさせる。SOI型MOSFETのチャネル領域内の蓄積電荷の運動は、SOI型MOSFET 260a-260eのドレイン-ソース間オフ状態キャパシタンスを変化させる。より具体的には、チャネル領域内の蓄積電荷の運動は、図2Aを参照して説明されたドレイン-ソース間オフ状態キャパシタンスの電圧依存性を生じさせる。電圧に依存したSOI型MOSFET 260a-260eのオフ状態キャパシタンスの変化は、RF信号がRFスイッチ250中を伝播されるときに、RF信号の高調波歪み及びIMDの支配的原因となる。

10

【0043】

上述のように、RF信号の高調波歪み及びIMDは、従来のSOI型MOSFETデバイスを用いて実現された従来のRFスイッチ回路の主要な欠点である。数多くの用途で、RF信号の高調波歪み及びIMDは、従来のSOI型MOSFETデバイスを用いては達成されることが困難あるいは不可能であったレベルまで抑制されなければならない。例えば、最大動作パワーが+35dBmであるGSM機器においては、従来のスイッチは典型的に、-30dBm未満というGSMの第三高調波の抑制に対して6dBのマージンしか有していない。GSMシステムにおいては、GSM送信帯域の第二高調波がDCSの受信帯域内にあるので、偶数次の高調波歪みが非常に低いことも望まれる。しかしながら、RF信号の奇数次（例えば、三次）の高調波の抑制は望ましく、この点での改善は必要である。

20

【0044】

また、周知の通り、フローティングボディ（例えば、SOI）型MOSFETのボディ内の蓄積電荷の存在は、フローティングボディ型MOSFETのドレイン-ソース間破壊電圧（BVDS）性能に悪影響を及ぼし得る。周知の通り、フローティングボディ型MOSFETは、ドレイン-ソース間の“パンチスルー”電圧が寄生バイポーラ動作によって低下するという、BVDSとしても知られるドレイン-ソース間破壊電圧の問題を示す。寄生バイポーラ動作は、チャネル内で正孔が生成され、この正孔が消散する場所がない（すなわち、ボディがフローティングであるため、正孔はボディから抜け出る手段を有さない）ときに発生する。結果として、MOSFETボディの電位が上昇し、それにより閾値電圧が事実上低下される。そして、この条件により、MOSFETデバイスはリークの増大を被り、ボディ内に一層多くの正孔を生成し、それにより（この正帰還条件の結果として）BVDS問題を悪化させる。

30

【0045】

ここで開示されるSOI型MOSFETデバイスの線形性を改善する方法及び装置は、上述の従来技術の欠点を解決する。蓄積電荷がオフ状態のMOSFETデバイス、及びこれらデバイスを用いて実現された回路における高調波歪み、IMD及び圧縮（compression）／飽和の主原因としてひとたび認識されれば、蓄積電荷の削減、除去及び／又は制御がこれらデバイスの高調波抑制特性を改善することは明らかである。さらに、蓄積電荷の削減、除去及び／又は制御は、寄生バイポーラ動作が発生することを防止することによってBVDS性能をも改善する。BVDSの改善はデバイスの線形性の改善をもたらす。次に、SOI型MOSFET内の蓄積電荷を制御するための幾つかの典型的な構造及び技術について詳細に説明する。

40

【0046】

蓄積電荷シンク（ACS）を用いてMOSFETの線形性を改善する方法及び装置の概説

より詳細に後述されるように、この開示はSOI型MOSFETにおける半導体デバイスの線形性を改善する（例えば、高調波歪み及びIMDの悪影響を抑制する）方法及び装

50

置を説明するものである。典型的な一実施形態において、この方法及び装置は、MOSFETデバイスのボディ内の蓄積電荷を削減することによって、MOSFETデバイスの線形性を改善し、高調波歪み及びIMDの影響を制御する。一実施形態において、この方法及び装置は、MOSFETボディに動作可能に結合された蓄積電荷シンク (accumulated charge sink; ACS) を用いて、MOSFETボディ内の蓄積電荷を削減、あるいはその他の方法で制御する。一実施形態において、この方法及び装置はMOSFETデバイスのボディから全ての蓄積電荷を完全に除去する。上述の1つの実施形態において、MOSFETは蓄積電荷レジームで動作するようにバイアスされ、蓄積電荷を完全に除去、削減、あるいはその他の方法で制御し、それにより、さもなければ発生することになる高調波歪み及びIMDを抑制するために、ACSが用いられる。一部の実施形態においては、蓄積電荷を除去あるいはその他の方法で制御することによって線形性も改善され、それによりフローティングボディ型MOSFETのBVDS特性が改善される。

10

【0047】

背景技術にて上述されたように、電子デバイス設計及び製造技術の当業者に認識されるように、この教示は半導体・オン・インシュレータ (“SOI”) 基板及び半導体・オン・サファイア (“SOS”) 基板上に製造されたMOSFETに等しく適用されるものである。この教示は如何なる都合の良い半導体・オン・インシュレータ技術を用いたMOSFETの実現にも用いられることができる。例えば、ここで説明される本発明に係る方法は、例えばGaAsのMOSFET等、絶縁基板上に製造された化合物半導体を用いて実施されることが可能である。上述のように、本発明に係る方法及び装置はまた、シリコンゲルマニウム (SiGe) のSOI型MOSFETにも適用され得る。単純化のため、例示目的でここに提示される実施形態及び実施例は、特に断らない限り、NMOSFETのみを含んでいる。ドーパント、電荷キャリア、バイアス電圧の極性などを周知のように変更することにより、電子デバイス設計技術の当業者は、これらの実施形態及び実施例が如何にしてPMOSFETとともに用いられるように適用されるかを容易に理解できるであろう。

20

【0048】

上述のように、この開示は、特に、蓄積電荷が発生し得るオフ状態でFETが動作するときに完全に空乏化するチャネルによって恩恵を受けるFET及びその関連用途に適用可能である。MOSFETの線形性を改善することに使用される開示方法及び装置はまた、部分的に空乏化するチャネルを用いての使用にも適用され得る。当業者に知られているように、ボディのドーピング及び寸法は様々である。典型的な一実施形態において、ボディは約100 Åから約2000 Åの厚さを有するシリコンから成る。更なる典型的な一実施形態において、FETボディ内のドーパント濃度は、活性ドーパントで、真性シリコンに関する濃度に過ぎない値から約 $1 \times 10^{18} \text{ cm}^{-3}$ の範囲であり、完全空乏化トランジスタ動作をもたらす。更なる典型的な一実施形態においては、FETボディ内のドーパント濃度は、活性ドーパントで、 $1 \times 10^{18} \text{ cm}^{-3}$ から約 $1 \times 10^{19} \text{ cm}^{-3}$ の範囲であり、且つ/或いは、シリコンは2000 Åから何 μm の範囲の厚さのボディを有し、部分空乏化トランジスタ動作をもたらす。電子デバイス設計及び製造技術の当業者に認識されるように、ここで開示されるMOSFETの線形性を改善することに使用される方法及び装置は、多様なドーパント濃度及びボディ寸法で実現されるMOSFETに使用され得るものである。ここで開示される方法及び装置は、故に、上述の例示的なドーパント濃度及びボディ寸法を用いて実現されるMOSFETでの使用に限定されるものではない。

30

40

【0049】

この開示の一態様に従って、FETボディ内の蓄積電荷は制御手順及びそれに関連する回路を用いて削減される。一実施形態において、蓄積電荷の全てがFETボディから除去される。他の実施形態においては、蓄積電荷が削減、あるいはその他の方法で制御される。より詳細に後述されるように、一実施形態においては正孔がFETボディから除去され、他の一実施形態においては電子がFETボディから除去される。ここで開示される新規且つ自明でない教示を用いてFETボディから正孔 (又は電子) を除去することにより、

50

オフ状態のFETの寄生キャパシタンスの電圧誘起変動が抑制あるいは排除され、それによりオフ状態のFETの非線形挙動が抑制あるいは排除される。また、図2Aを参照して説明されたように、ボディのインピーダンスは蓄積電荷が削減あるいは制御されると大きく増大するので、FETのオフ状態キャパシタンスの大きさが有利に全体的に減少する。また、上述のように、フローティングボディ型MOSFET内の蓄積電荷を除去、あるいはその他の方法で制御することは、FETのBVDS特性を改善し、それによりフローティングボディ型MOSFETの線形性を改善する。

【0050】

蓄積電荷制御は、(図2Aを参照して説明され、また図4Hを参照して後述されるように) 有利なFETのオフ状態キャパシタンス C_{off} の全体的な低減の助けとなるだけでなく、時間とともに変化する V_{ds} バイアス電圧の存在下で時間をかけて発生し得る C_{off} 変化の抑制の助けともなる。故に、RFスイッチ回路における不所望の高調波発生及び相互変調歪みの抑制が、この開示に従って製造されるSOI型MOSFETを用いて達成される。改善されたSOI型MOSFETの電力処理、線形性及び性能は、この教示に従って製造されたデバイスによって達成される。ここで開示される方法及び装置は蓄積電荷をFETボディから完全に除去することが可能であるが、電子デバイス設計技術の当業者に認識されるように、蓄積電荷の如何なる削減も有利である。

【0051】

高調波歪み及び相互変調歪みの抑制は、一般的に、バルク半導体システムであろうと半導体・オン・インシュレータ(SOI)システムであろうと、如何なる半導体システムにおいて有利である。SOIシステムは、下地の絶縁基板上に位置する半導体含有領域を用いる如何なる半導体アーキテクチャをも含む。如何なる好適な絶縁基板もSOIシステムにて使用され得るが、典型的な絶縁基板は、二酸化シリコン(例えば、酸素打ち込みによる分離(SIMOX))として知られるもの等の、シリコン基板によって指示された埋込酸化物層)、接合ウェハ(厚い酸化物)、ガラス及びサファイアを含む。上述のように、広く用いられているシリコンベースのシステムに加え、この開示の一部の実施形態はシリコンゲルマニウム(SiGe)を用いて実施され、SiGeがSiの代わりに同等に用いられてもよい。

【0052】

ここで開示される方法及び装置を実施することには、多様なACSの実現法及び構造が用いられ得る。この方法及び装置の一実施形態によれば、ACSは、MOSFETが蓄積電荷レジームで動作するように構成されたときに、MOSFETから蓄積電荷(図1の120を参照)を除去、あるいはその他の方法で制御するために使用される。SOI(又はSOS)型MOSFETをこの教示に従って適応させることにより、改善された蓄積電荷制御(ACC)型MOSFETが実現される。ACC型MOSFETは、RFスイッチング回路を含む数多くの回路の性能を改善することに有用である。ACC型MOSFETの様々な特性及び取り得る構成が図3A-3Kを参照して詳細に後述される。また、この開示に係る典型的なACSが、従来技術に係るボディコンタクトとは異なることも説明される。

【0053】

四端子デバイスとして具現化されたACC型MOSFETが、図4Aに概略的に示される。ACC型MOSFETが電荷蓄積レジームで動作するときに該MOSFETから蓄積電荷を除去することに使用され得る、種々の典型的且つ単純な回路構成が、図4B-4Gに示される。簡略化された回路構成の動作が、図4A-4Gを参照して一層詳細に説明される。従来のSOI型MOSFETのオフ状態キャパシタンスと比較したときの、ACC型MOSFETのオフ状態キャパシタンス C_{off} の改善が、図4Hを参照して説明される。

【0054】

この開示に係るACC型MOSFETを用いて実現された種々のRFスイッチ回路の動作が、図5B-5Dの回路図を参照して説明される。さらに、(電力処理の増大のために

）積層されたA C C型M O S F E Tを用いたこの開示に係る典型的なR Fスイッチ回路が、図6を参照して説明される。蓄積電荷シンク（A C S）を用いてS O I型M O S F E Tの線形性を改善する典型的な方法が、図7を参照して説明される。最後に、A C C型M O S F E Tの製造に使用され得る典型的な製造方法が説明される。先ず、開示される方法及び装置を実施するために使用され得る種々の典型的なA C Sの実現法及び構造が、図3 A－3 Kを参照して説明される。

【0055】

蓄積電荷シンク（A C S）による蓄積電荷の制御

図3 A及び3 Bは、この開示に従って蓄積電荷120（図1）を制御するように適応された蓄積電荷制御（A C C）型のS O I型N M O S F E T 300を簡略化して示す上面図である。典型的な実施形態において、ゲートコンタクト301はゲート302の第1の端部に結合されている。ゲート酸化物（図3 Aには示されていないが、図1に示されている）及びボディ312（図3 Bに示されている）がゲート302の下に位置している。図示された典型的なN M O S F E T 300において、ソース304及びドレイン306はN＋領域から成っている。この典型的な実施形態において、A C C型N M O S F E T 300は、P－領域から成る蓄積電荷シンク（A C S）308を含んでいる。A C S 308は、やはりP－領域から成るボディ312に結合されており、それと電氣的に連通している。電気コンタクト領域310はA C S 308への電気接続を提供している。一部の実施形態において、電気コンタクト領域310はP＋領域から成っている。図3 Aに示されるように、電気コンタクト領域310はA C S 308に結合されており、それと電氣的に連通している。

【0056】

電子デバイス技術の当業者に理解されるように、電気コンタクト領域310はA C S 308への電氣的な結合を容易にするために用いられ得る。何故なら、一部の実施形態において、低濃度にドーパされた領域に直接的なコンタクトを形成することは困難であり得るからである。また、一部の実施形態において、A C S 308及び電気コンタクト領域310は同一の広がりを持つ。他の一実施形態においては、電気コンタクト領域310はN＋領域から成る。この実施形態においては、電気コンタクト領域310はA C S 308へのダイオード接続として機能し、より詳細に後述されるように、特定のバイアス条件の下でA C S 308への正の電流を妨げる（また、ボディ312への正の電流を妨げる）。

【0057】

図3 Bは、図3 AのA C C型のS O I型N M O S F E T 300の別の上面図であり、ゲートコンタクト301、ゲート302及びゲート酸化物を見えなくしたときのA C C型N M O S F E T 300を示している。この図は、ボディ312を視認できるようにしたものである。図3 Bはボディ312の一端へのA C S 308の結合を示している。一実施形態において、ボディ312及びA C S 308は、単一のイオン注入工程によって形成され得る結合されたP－領域から成っている。他の一実施形態においては、ボディ312及びA C S 308は、ともに結合された別個のP－領域から成る。

【0058】

電子デバイス設計技術の当業者に周知の通り、他の実施形態においては、図3 A及び3 BのA C C型N M O S F E T 300は、単に種々のF E T要素領域を実現するために使用されるドーパントを逆にする（すなわち、p型ドーパント及びn型ドーパントを相互に置き換える）ことによって、A C C型P M O S F E Tとして実現されることができる。より具体的には、A C C型P M O S F E Tにおいては、ソース及びドレインはP＋領域から成り、ボディはN－領域から成る。この実施形態においては、A C S 308もまたN－領域から成る。A C C型P M O S F E Tの一部の実施形態において、電気コンタクト領域310はN＋領域から成っていてもよい。A C C型P M O S F E Tの他の実施形態においては、領域310はP＋領域から成り、A C S 308へのダイオード接続として機能し、それにより特定のバイアス条件の下でA C S 308への電流を妨げてよい。

【0059】

従来技術に係るボディコンタクトと開示されるA C Sとの区別

この開示に従って、A C C型のS O I型M O S F E Tを実現するために使用されるA C S 308は、構造、機能、動作及び設計において、それを従来技術において周知である所謂“ボディコンタクト”(通常、“ボディコンタクト”がソースに直接接続されるときには、“ボディタイ”と呼ばれるときもある)から区別する新規な特徴を含んでいる。

【0060】

従来のS O I型M O S F E Tに使用されるボディコンタクトに関する参考文献の例には、

(1) F.Hameau、O.Rozeau、「Radio-Frequency Circuits Integration Using CMOS SOI 0.25 μ m Technology」、2002 RF IC Design Workshop Europe、2002年3月19-22日、仏国；

10

(2) J.R.Cricci等、「Silicon on Sapphire MOS Transistor」、米国特許第4053916号明細書、1977年10月11日；

(3) O.Rozeau等、「SOI Technologies Overview for Low-Power Low-Voltage Radio-Frequency Applications」、Analog Integrated Circuits and Signal Processing、第25巻、pp.93-114、米国、Kluwer Academic出版、2000年11月；

(4) C.Tinella等、「A High-Performance CMOS-SOI Antenna Switch for the 2.5-5-GHz Band」IEEE Journal of Solid-State Circuits、第38巻、第7号、2003年7月；

(5) H.Lee等、「Analysis of body bias effect with PD-SOI for analog and RF applications」Solid State Electron.、第46巻、pp.169-1176、2002年；

20

(6) J.H.Lee等、「Effect of Body Structure on Analog Performance of SOI NMOSFETs」、Proceedings 1998 IEEE International SOI Conference、1998年10月5-8日、pp.61-62；

(7) C.F.Edwards等、「The Effect of Body Contact Series Resistance on SOI CMOS Amplifier Stages」、IEEE Transactions on Electron Devices、第44巻、第12号、1997年12月、pp.2290-2294；

(8) S.Maeda等、「Substrate-bias Effect and Source-drain Breakdown Characteristics in Body-tied Short-channel SOI MOSFET's」、IEEE Transactions on Electron Devices、第46巻、第1号、1999年1月、pp.151-158；

(9) F.Assaderaghi等、「Dynamic Threshold-voltage MOSFET (DTMOS) for Ultra-low Voltage VLSI」、IEEE Transactions on Electron Devices、第44巻、第3号、1997年3月、pp.414-422；

30

(10) G.O.Workman、J.G.Fossum、「A Comparative Analysis of the Dynamic Behavior of BTG/SOI MOSFETs and Circuits with Distributed Body Resistance」、IEEE Transactions on Electron Devices、第45巻、第10号、1998年10月、pp.2138-2145；及び

(11) T.-S.Chao等、「High-voltage and High-temperature Applications of DTMOS with Reverse Schottky Barrier on Substrate Contacts」、IEEE Electron Device Letters、第25巻、第2号、2004年2月、pp.86-88；

がある。

40

【0061】

ここで説明されるように、例えばRFスイッチ回路等の用途は、蓄積電荷が発生するオフ状態のバイアス電圧で動作するS O I型M O S F E Tを使用し得る。S O I型M O S F E Tは、ここでは、M O S F E Tがバイアスされ、且つM O S F E Tのチャネル領域内にチャネルのキャリアとは逆の極性を有するキャリアが存在するときに、蓄積電荷レジーム内で動作するものとして定められる。一部の実施形態において、S O I型M O S F E Tは、該M O S F E Tがオフ状態で動作するようにバイアスされながら部分的に空乏化するときに、蓄積電荷レジーム内で動作し得る。ソースドレイン間キャパシタンスの非線形効果を改善することの有意な利益は、この教示に従って蓄積電荷を除去、あるいはその他の方法で制御することによって実現されることができる。開示される技術とは対照的に、引

50

用された従来技術は何れも、蓄積電荷を除去あるいは制御することに他に類を見ないほど有用な A C S 方法及び装置について教示も示唆もしていない。また、それらは、例えばオフ状態でのソースドレイン間キャパシタンス C_{off} の非線形効果などの、蓄積電荷により引き起こされる問題に関して情報を提供していない。従って、上記の引用参考文献に記載された従来のボディコンタクトは、図 3 A - 4 D を参照して説明される A C S とは（構造、機能、動作及び設計において）大きく異なるものである。

【0062】

一実施例において、A C S 308 は、ボディ 312 への、またそれ全体での高インピーダンス接続を用いて S O I 型 N M O S F E T 300 から蓄積電荷を除去、あるいはその他の方法で制御するように効果的に動作する。蓄積電荷 120 は主として、有意な蓄積電荷を生成するの比較的長い期間を要する現象（例えば、熱的な生成）によって生成されるので、高インピーダンスの A C S が用いられ得る。例えば、N M O S F E T が蓄積電荷レジームで動作しているときに、無視できない蓄積電荷を生成するための典型的な時間は、およそ数 m s 以上である。このような比較的ゆっくりした蓄積電荷の生成は、トランジスタの幅 1 m m 当たり典型的に 1 0 0 n A 未満である非常に低い電流に相当する。この低電流は、ボディへの非常に高インピーダンスの接続を用いたとしても効率的に伝達されることができる。一実施例によれば、A C S 308 は 1 M Ω より高い抵抗を有する接続を用いて実現される。その結果、A C S 308 は、低インピーダンスの従来のボディコンタクトに対して比較的高いインピーダンスの接続を用いて実現されたときであっても、蓄積電荷 120 を効率的に除去、あるいはその他の方法で制御することが可能である。

【0063】

著しく対照的に、上記の引用参考文献に記載されたボディコンタクトによる従来の教示は、適正動作のために S O I 型 M O S F E T のボディ領域への低インピーダンス（高効率）アクセスを必要とする（例えば、上記の参考文献（3）、（6）及び（7）を参照）。この要求の主な理由は、従来のボディコンタクトは主に S O I 型 M O S F E T 機能への、F E T が蓄積電荷レジームで動作するときのものより遙かに高速で一層効率的な電子-正孔対生成プロセスによる悪影響を抑制するようにされていることである。例えば、蓄積電荷レジームで動作しない従来 M O S F E T の一部においては、電子-正孔対キャリアはインパクトイオン化の結果として生成される。インパクトイオン化は、F E T が蓄積電荷レジームで動作しているときよりも遙かに高速に電子-正孔対を生成する。

【0064】

蓄積電荷を生じさせる生成プロセスに対するインパクトイオン化による電子-正孔対生成の相対比率は、これら 2 つの現象に関するロールオフ（roll-off）周波数から推定されることができる。例えば、上記の参考文献（3）は 1 0 0 k H z 程度であるインパクトイオン化効果のロールオフ周波数を指し示している。対照的に、蓄積電荷効果のロールオフ周波数は、奇数高調波の回復時間によって指し示されるように、1 k H z 程度又はそれ未満であると観測されている。これらの観測結果は、A C S 308 は、例えばインパクトイオン化による電荷を制御することに用いられる従来のボディコンタクトに必要なインピーダンスより 1 0 0 倍以上大きいインピーダンスを用いても、蓄積電荷を効率的に制御できることを指し示している。さらに、インパクトイオン化は主として、S O I 型 M O S F E T がオン状態で動作するときが発生するので、インパクトイオン化の影響はオン状態のトランジスタ動作によって増幅され得る。このような環境ではオン状態の条件下でインパクトイオン化の影響を制御するために、ボディ領域への、またそれ全体での低インピーダンスのボディコンタクトがより一層重要である。

【0065】

著しく対照的に、この教示による A C S 308 は、A C C 型の S O I 型 M O S F E T が蓄積電荷レジームで動作するときのみ蓄積電荷を除去、あるいはその他の方法で制御する。定義により、F E T はこのレジームではオフ状態にあり、オン状態の F E T によって増幅されるインパクトイオン化を排除する必要はない。故に、高インピーダンスの A C S 308 は好ましいことに、このような条件下で蓄積電荷を除去することに十分である。従来技

術における低インピーダンスのボディ接続の要求は、実施の上で数多くの問題をもたらすが、より詳細に後述されるように、これらはこの教示によって解決される。

【0066】

また、AC S 308は、従来技術に係るボディコンタクトと比較して遙かに低いソースードレイン間寄生キャパシタンスを有するように実現され得る。従来のボディコンタクトに要求される上述のSOI型MOSFETへの低インピーダンス接続は、コンタクトがボディ全体に近接していることを必要とする。このことは、ボディに沿って相異なる位置でボディに接触する複数のボディコンタクト“フィンガー”を必要とさせることがある。ボディへの低インピーダンス接続はまた、従来のボディコンタクトがソース及びドレインに近接していることを必要とさせる。このようなボディコンタクトにより生成される寄生キャパシタンスのため、引用された参考文献は、このような構造を例えばRF等の多くの高周波数用途に使用することを教示していない。著しく対照的に、この開示に係るAC S 308は、ソース304及びドレイン306から選択された間隔を置いて配置されることができ、また、ボディ312の第1の末端部でボディ312に結合されることもできる（図3A及び3Bに示されている）。このように配置されることにより、AC S 308はボディ312と（ボディに沿って多数の位置でボディに接触する従来のボディコンタクトと比較して）極めて小さいコンタクトを形成する。MOSFETでのこのAC S 308の構成は、ソース、ドレイン及びボディに対してAC S 308が一層近接して配置されることにより生じる寄生キャパシタンスを排除、あるいは大幅に低減する。さらに、AC S 308は、チャンネルを空乏化させて動作するSOI型MOSFETにて実現されてもよい。一般に、引用参考文献はこの環境でのボディコンタクトの使用を教示していない（例えば上記の参考文献（3）を参照）。

【0067】

また、インパクトイオン化による正孔電流（ボディ幅1mm当たり5000nA程度）は蓄積電荷生成の場合（ボディ幅1mm当たり約100nA未満）より遙かに大きいので、従来技術は、非常に大きいボディ幅（すなわち、約10μmより遙かに大きい）を効果的に実現する手法を教示していない。対照的に、ここで開示されるデバイスのAC S 308は、比較的大きいボディ幅を有するSOI型MOSFETに実装されてもよい。これにより、とりわけRFスイッチデバイスにおいて、オン状態での導電率及び相互コンダクタンス、挿入損失、並びに製造コストが改善される。引用された従来の教示によれば、ボディ幅が大きいほど、インピーダンスが必然的に増大されるので、ボディコンタクトの動作効率が悪影響を受ける。引用された従来技術は、相異なる位置でボディに接触するように複数のフィンガーを使用することを示唆しているが、複数のフィンガーは上述のように寄生ソースードレイン間キャパシタンスに悪影響を及ぼす。

【0068】

これらの理由により、また一層詳細に後述される理由により、この開示は、上述の従来技術による教示に従ったときの限界を打ち破る新規なデバイス、回路及び方法を提供する。

【0069】

図3Cは、この開示の方法及び装置に従った、蓄積電荷を制御するように適応されたACC型のSOI型NMOSFET300'を示す斜視図である、図3Cに示された例において、ACC型のSOI型NMOSFET300'は、FETを構成する様々な要素領域への電気接続を提供する4つの端子を含んでいる。一実施形態において、これらの端子は、外部の集積回路（IC）素子を様々なFET要素領域に接続する手段を提供している（例えば、図示されていない金属リード）。図3Cに示された端子のうちの3つは、一般的に、従来のFETデバイスに適用可能なものである。例えば、図3Cに示されるように、ACC型NMOSFET300'は、ゲート302への電気接続を提供するゲート端子302'を含んでいる。同様に、ACC型NMOSFET300'は、それぞれソース304及びドレイン306への電気接続を提供するソース端子304'及びドレイン端子306'を含んでいる。電子デバイス設計技術において周知の通り、これらの端子はそれらそれぞれのFET要素領域（すなわち、ゲート、ドレイン及びソース）に所謂“オーミック”（すなわち、低抵抗）コン

タクト領域を介して結合されている。様々なFET端子のFET要素領域への結合に関する製造及び構造上の詳細事項は技術的に周知であり、ここでは詳細には説明しないこととする。

【0070】

図3A及び3Bを参照して説明されたように、ACC型NMOSFET300'は、該NMOSFETが蓄積電荷レジームで動作するときに蓄積電荷を制御するように適応されている。この目的のため、図3Cに示された典型的な実施形態においては、ACC型NMOSFET300'は、ボディ312への電気接続を提供する第4の端子を含んでおり、それにより、FET300'が蓄積電荷レジームで動作しているときの蓄積電荷の削減（又は、その他の制御）を容易にしている。より具体的には、図3Cを再び参照するに、このACC型NMOSFETは“ボディ”端子、すなわち、蓄積電荷シンク（ACS）端子308'を含んでいる。ACS端子308'はACS308（図3Cには示されていないが、図3A及び3Bに示されている）及びボディ312への電気接続を提供している。ACS端子308'は、図3Cにおいてはボディ312に物理的に結合されているように示されているが、電子デバイス設計技術の当業者に理解されるように、この描写は単に説明のためのものである。図3Cに示されたボディ312へのACS端子308'の直接的な結合は、端子308'のボディ312との電気的な接続性（すなわち、物理的な結合ではない）を説明するものである。同様に、図3Cにおいては、その他の端子（すなわち、端子302'、304'及び306'）も、それらそれぞれのFET要素領域に物理的に結合しているように示されている。これらの描写も単に説明のためのものである。

【0071】

殆どの実施形態においては、図3A及び3Bを参照して説明されたように、また図3D-3Kを参照して更に後述されるように、ACS端子308'は、電気コンタクト領域310を介してのACS308への結合によってボディ312への電気接続を提供する。しかしながら、この開示はまた、ACS端子308'の結合がボディ312に直接的に為される（すなわち、ACS端子308'とボディ312との間に介在領域が存在しない）実施形態をも意図している。

【0072】

開示される方法及び装置に従って、ACC型NMOSFET300'が蓄積電荷レジームで動作するようにバイアスされているとき（すなわち、ACC型NMOSFET300'がオフ状態にあり、且つP極性の蓄積電荷（すなわち、正孔）120がボディ312のチャンネル領域内に存在しているとき）、蓄積電荷はACS端子308'を介して除去、あるいはその他の方法で制御される。蓄積電荷120がボディ312内に存在するとき、ACS端子308'にバイアス電圧（（“ボディ”の） V_b 又は V_{ACS} （ACSバイアス電圧））を印加することによって、電荷120は除去、あるいはその他の方法で制御されることができる。一般に、ACS端子308'に印加されるACSバイアス電圧 V_{ACS} は、ソースバイアス電圧 V_s 及びドレインバイアス電圧 V_d のうちの小さい方と等しく選択されるか、それより負側に選択される。より具体的には、一部の実施形態において、ACS端子308'は、FETが蓄積電荷レジームで動作しているときに蓄積電荷を除去（あるいは“シンク”）する様々な蓄積電荷シンク機構に結合されることができる。幾つかの典型的な蓄積電荷シンク機構及び回路構成が、図4A-5Dを参照して後述される。

【0073】

図1を参照して説明された従来のNMOSFET100と同様に、図3CのACC型のSOI型NMOSFET300'は、特定のバイアス電圧を様々な端子302'、304'及び306'に印加することによって、蓄積電荷レジームで動作するようにバイアスされ得る。典型的な一実施形態において、ソース及びドレインのバイアス電圧（それぞれ、 V_s 及び V_d ）はゼロである（すなわち、端子304'及び306'はグラウンドに接続される）。この例において、ゲート端子302'に印加されるゲートバイアス電圧（ V_g ）がソース及びドレインのバイアス電圧に対して且つ V_{th} に対して十分に負である場合（例えば、 V_{th} がほぼゼロであり且つ V_g が約-1Vより負側である場合）、ACC型NMOSFET300'はオフ状態で動作することになる。そして、ACC型NMOSFET300'がオフ状態にバイ

アスされ続ける場合、蓄積電荷（正孔）がボディ312内に蓄積することになる。有利なことに、蓄積電荷はA C S端子308'を介してボディ312から除去されることができる。一部の実施形態においては、図4Bを参照して一層詳細に後述されるように、A C S端子308'はゲート端子302'に結合され、それにより、ゲート（ V_g ）とボディ（図3に“ V_b ”又は“ $V_{A C S}$ ”として示されている）との双方に同一のバイアス電圧が印加されることが保証される。

【0074】

しかしながら、電子デバイス設計技術の当業者に認識されるように、ここで開示される方法及び装置の技術を用いながらにして、第4の端子に印加され得るバイアス電圧は無数にある。A C C型のS O I型N M O S F E T 300'が蓄積電荷レジームで動作するようにバイアスされる限り、バイアス電圧 $V_{A C S}$ をA C S端子308'に印加し、それによりボディ312から蓄積電荷を除去することによって、蓄積電荷は除去、あるいはその他の方法で制御されることができる。

【0075】

例えば、A C C型N M O S F E T 300'がディプレッションモードのデバイスから成る一実施形態においては、 V_{t_h} は定義により負である。この実施形態においては、バイアス電圧 V_s 及び V_d の双方が0Vであり（すなわち、双方の端子が回路のグランドノードに結合されており）、且つゲート端子302'に印加されるゲートバイアス V_g が V_{t_h} に対して十分に負である（例えば、 V_g は V_{t_h} に対して約-1Vより負側である）場合、正孔はゲート酸化物110の下に蓄積することができ、それにより蓄積電荷120になり得る。この例においては、蓄積された正孔（すなわち、蓄積電荷120）をF E Tボディ312から除去するために、A C S 308に印加される電圧 $V_{A C S}$ は、 V_s 及び V_d のうちの小さい方と等しく選択されてもよいし、それより負側に選択されてもよい。

【0076】

他の例においては、ソースバイアス電圧 V_s 及びドレインバイアス電圧 V_d は0V以外の電圧であってもよい。このような実施形態によれば、N M O S F E Tをオフ状態にバイアスするために、ゲートバイアス電圧 V_g は（例えば、 V_g が V_{t_h} に対して十分に負になるように） V_s 及び V_d の双方に対して十分に負でなければならない。上述のように、N M O S F E Tが十分に長い時間（例えば、約1-2ms）にわたってオフ状態にバイアスされる場合、蓄積電荷がゲート酸化物の下に蓄積する。これらの実施形態においては、上述のように、蓄積電荷120をボディ312から除去するため、A C S端子308'に印加されるA C Sバイアス電圧 $V_{A C S}$ は、 V_s 及び V_d のうちの小さい方に等しく、あるいはそれより負側に選択され得る。

【0077】

なお、上述の例とは対照的に、従来のボディコンタクトはインパクトイオン化による悪影響を軽減する目的で大きく形成される。その結果、従来のボディコンタクトは典型的にM O S F E Tのソースに結合される。N M O S F E T内の蓄積電荷を効率的に制御、削減あるいは完全に除去するため、典型的な実施形態において、 $V_{A C S}$ は V_s 及び V_d のうちの小さい方に等しく、あるいはそれより負側にされるべきである。電子デバイス設計技術の当業者に認識されるように、A C C型M O S F E TがP M O S F E Tデバイスから成るときには、異なる V_s 、 V_d 、 V_g 及び $V_{A C S}$ バイアス電圧が用いられ得る。従来のボディコンタクトは典型的にソースに結合されるため、この実現法は従来技術に係るボディコンタクトによる手法を用いては実現され得ないものである。

【0078】

図3Dは、この開示に従って蓄積電荷120（図1）を制御するように適応されたA C C型のS O I型N M O S F E T 300'を簡略化して示す上面図である。図3Dは、ゲートコンタクト301、ゲート302及びゲート酸化物を見せないようにして、A C C型N M O S F E T 300'を示している。図3DのA C C型N M O S F E T 300'は設計的に、図3A及び3Bを参照して説明されたA C C型N M O S F E T 300と非常に似通っている。例えば、A C C型N M O S F E T 300と同様に、A C C型N M O S F E T 300'は、N+領域

から成るソース304及びドレイン306を含んでいる。ACC型NMOSFET300'はまた、P-領域から成る蓄積電荷シンク(ACS)308を含んでいる。図3Dに示されるように、ACS308を有するP-領域は、やはりP-領域から成るボディ312に隣接している(すなわち、直接的に隣り合っている)。ACC型NMOSFET300と同様に、ACC型NMOSFET300'は、ACS308への電気接続を提供する電気コンタクト領域310を含んでいる。上述のように、一部の実施形態において、電気コンタクト領域310はP+領域から成っている。他の一実施形態においては、電気コンタクト領域310は(上述のように、ボディ312への正の電流を妨げる)N+領域から成る。図3Dに示されるように、電気コンタクト領域310は、ACS308に直接隣り合うようにACC型NMOSFET300'内に形成される。ACC型のSOI型NMOSFET300'は、図3A-3Cを参照して説明されたACC型NMOSFETの動作と同様に、蓄積電荷を制御するように機能する。

【0079】

図3Eは、この開示に従って蓄積電荷を制御するように適応されたACC型のSOI型NMOSFET300'を簡略化して示す上面図である。ACC型NMOSFET300'は設計及び機能的に、図3A-3Dを参照して説明されたACC型NMOSFETに非常に似通っている。図3Eは、NMOSFET300'のほぼ中心に沿って引かれた断面図用の鎖線A-A'を示している。ここでは、断面図を使用して、製造プロセスの結果として得られる典型的な従来のMOSFET及びACC型NMOSFETの一部の実施形態の構造及び性能特性を説明する。このA-A'断面の詳細は図3Fを参照しながら説明される。

【0080】

スライス線A-A'はACC型NMOSFET300'の以下の要素領域を通っている: P+電気コンタクト領域310、ACS308(図3Eには示されているが、図3Fには図示せず)、P+重なり領域310'、ゲート酸化物110、及びポリシリコンゲート302。一部の実施形態において、製造プロセス中に領域310がp型ドーパントでドーピングされるとき、P-ボディ領域に近接して、ポリシリコンゲート302のP+重なり領域310'に更なるP+ドーピングが行われてもよい(すなわち、p型ドーパントが重なり合う)。一部の実施形態において、この重ね合わせは、確実にゲート酸化物110の全てをP+領域によって完全に覆う(すなわち、ゲート302とP+領域310との間の酸化物110の端部に隙間がないことを確保する)ために意図的に行われる。これは、P+領域310とボディ312との間に最小のインピーダンスの接続をもたらす助けとなる。

【0081】

この教示は上述のような実施形態を包含するものであるが、電子デバイス設計及び製造技術の当業者に認識されるように、このような低抵抗接続は必要とされない。故に、図3Hに示される実施形態に付随する欠点は、より詳細に後述されるように、ここで説明されるP+領域310とボディ312との間に意図的に隙間が形成されるその他の実施形態(例えば、それぞれ図3G及び3Jを参照して後述される実施形態300及び300'')を用いることによって解決されることができる。典型的な一実施形態において、P+重なり領域310'は約0.2-0.7 μm だけ酸化物110と重なりを有する。MOSFET設計及び製造技術の当業者によって認識されるように、ここで開示される方法及び装置を実施するに当たって、その他の寸法の重なり領域も使用され得る。一部の実施形態においては、図3Fに示されるように、例えば、ゲート酸化物110及びP-ボディの上の残りの部分はn型ドーパントでドーピングされる(すなわち、その部分はN+領域から成る)。

【0082】

再び図3Fを参照するに、ゲート酸化物110上の、ボディ312上の、そしてポリシリコンゲート302の近傍のP+重なり領域310'の存在により、NMOSFET300'内に閾値電圧増大領域が作り出される。より具体的には、ボディ312のチャネル領域上のゲート302の端部に近接してのP+ドーピング(P+重なり領域310'内)により、MOSFET300'のこの領域内に、増大された閾値電圧を有する領域が形成される。続いて、増大

された閾値電圧を有する領域の影響について、図 3 H－3 I を参照して説明する。

【0083】

図 3 I は、印加ゲート電圧に対する A C C 型 N M O S F E T の反転チャネル電荷のプロット 380 を示している。図 3 I に示されたプロット 380 は、特定の製造プロセスに起因して従来の M O S F E T 及び A C C 型 N M O S F E T の一部の実施形態で発生し得る上述の閾値電圧増大の影響の 1 つを例示している。より詳細に後述されるように、図 3 H に示され一層詳細に後述される閾値電圧増大領域は、ボディ結合の F E T ボディへの近接性に起因して従来の M O S F E T 設計においても発生する。図 3 J を参照して一層詳細に後述されるように、例えば、ここで開示される方法及び装置は、一部の従来の S O I 型 M O S F E T 設計において見出される閾値電圧増大領域を削減あるいは除去するために使用され得る。

10

【0084】

図 3 H は、ゲートコンタクト、ゲート及びゲート酸化物を見せないようにして、A C C 型 N M O S F E T の一実施形態を示している。図 3 E 及び 3 F を参照して説明された M O S F E T の閾値電圧増大領域は、図 3 H においては、楕円 307 によって囲まれた領域内に発生すると示されている。電子デバイス設計及び製造技術の当業者に十分に理解されるように、図 3 E 及び 3 F を参照して説明された理由から、増大された閾値電圧に起因して、図 3 H に示された A C C 型 M O S F E T の領域 307 は、事実上、該 A C C 型 M O S F E T のチャネル領域の残りの部分の後に“ターンオン”する。

【0085】

20

閾値電圧の増大は、領域 307 の大きさを縮小することによって抑制されることができ。領域 307 を完全に排除することにより、閾値電圧の増大は排除される。閾値電圧の増大は“オン”状態の M O S F E T の高調波歪み及び相互変調歪みを増大させ得るので、この影響を排除することは M O S F E T の性能を向上させる。増大された閾値電圧はまた、M O S F E T のオン抵抗（すなわち、オン状態（導通状態）にある M O S F E T の抵抗）を増大させるという不利な影響を有し、M O S F E T の挿入損失に悪影響を及ぼす。

【0086】

典型的な一実施形態においては、例えば図 3 A 及び 3 B を参照して説明された A C C 型 N M O S F E T 300 の実施形態にて図示されるように、また図 3 G の A C C 型 M O S F E T 300 の断面図を参照して一層詳細に後述されるように、閾値電圧の増大に伴うこの悪影響は、選択された距離だけポリシリコンゲート 302 の端部から離して P + 領域 310 を配置することによって抑制あるいは解消される。この手法は、図 3 A の A C C 型 M O S F E T 300 の上面図と、図 3 G の A C C 型 M O S F E T 300 の断面図とに示されている。図 3 G の A C C 型 M O S F E T 300 の断面図に示されているように、P + 領域 310 はポリシリコンゲート 302 の端部 340 に達するように延在してはいない。これは、P + 領域 310 ' がゲート端 340 まで達するように延在している図 3 F に示された実施形態 300 ' ' ' とは著しく対照的である。図 3 G の実施形態 300 に示されるように P + 領域 310 をゲート端 340 から距離を置いて配置することにより、如何なる P + 領域もポリシリコンゲート 302 に近接しなくなる（すなわち、ポリシリコンゲート 302 内には P + 領域は存在しなくなる）。

30

【0087】

40

この P + 領域 310 の構成により、上述のような閾値電圧の増大に伴う問題は排除あるいは大幅に抑制される。図 3 A 及び 3 B を参照して説明され、また従来のボディコンタクトとの比較を参照して説明されたように、P + 領域 310 とゲート 302 との間の A C S 308 P - 領域（図 3 A に図示）の比較的高いインピーダンスは、A C C 型 N M O S F E T 300 の性能に悪影響を及ぼさない。上述のように、比較的高いインピーダンスの A C S 接続を用いたとしても蓄積電荷は効果的に除去されることができ。

【0088】

典型的な他の一実施形態においては、図 3 J を参照して後述されるように、閾値電圧の増大は、P + 領域 310（及び A C S 308）をボディ 312 から距離を置いて配置することによって解消される。A C S 308 とボディ 312 との間の電気接続は、小さい領域の P + 領域 310

50

がボディ312から離して配置されるときに比較的高いインピーダンスを有するので、この手法は、（上述のように低インピーダンスのコンタクトを必要とする）従来のボディコンタクトに係る文献によっては教示も示唆もされていないものである。次に、図3Jを参照してこの改善された実施形態を説明する。

【0089】

図3Jは、蓄積電荷を制御するように適応され且つ“T型ゲート”構成に構成された、ACC型のSOI型NMOSFETの他の一実施形態300' ' ' 'を簡略化して示す上面図である。図3Jは、ゲートコンタクト301、ゲート302及びゲート酸化物を見せないようにして、ACC型NMOSFET300' ' ' 'を示している。ゲート（図3Jには図示せず）及びボディ312は“T型ゲート”構成のACC型MOSFET300' ' ' 'の“支持”部材として構成されている（すなわち、それらは“T字型”FETの“底”部を有している）。これら“支持”部材は、図3Jに示されるようにACS308を有するT型ゲート構成のMOSFET300' ' ' 'の“被支持”部材を“支持”するものである（すなわち、ACS308は“T字型”FETの“頂”部を有している）。図3Jに示されるように、ACC型NMOSFET300' ' ' 'は、ACS308に結合された小さいP+領域310を含んでいる。図3Jに示されるように、P+領域310（ひいてはACS外部電気接続）は選択された距離だけボディ312から離して配置されている。ボディ312からACS308を介してP+領域310までの電気接続の全インピーダンスは、P+領域310を選択された距離だけボディ312から離して配置することによって増大される。しかしながら、上述のように、このACC型NMOSFET300' ' ' 'は、比較的高いインピーダンスのACS接続を用いたとしても、蓄積電荷を除去するように変わりなく動作する。図3A及び3Bを参照して説明された理由から、NMOSFET300' ' ' 'が蓄積電荷レジームで動作するときの蓄積電荷の性質に起因して、ACC型NMOSFET300' ' ' 'は、ボディ312から蓄積電荷を除去することに低インピーダンスのACS電気接続を必要としない。上述のような対応するNMOSFET性能の改善（例えば、従来の低インピーダンスのボディコンタクトと比較したときの、寄生キャパシタンスの低減）を有するように本教示を実施することには、むしろ、比較的高いインピーダンスを有するACS接続が使用され得る。しかしながら、他の実施形態においては、望まれるのであれば、SOI型MOSFETの線形性を改善するために使用される開示された方法及び装置を実施するために、低インピーダンスのACS接続が用いられてもよい。

【0090】

また、図3Hを参照して説明されたように、図3Jの実施形態は、小さいP+領域310がボディ312から距離を置いて配置されることによってデバイス性能を改善する。小さいP+領域310はボディ312から距離を置いて配置されているので、閾値電圧の増大は、その結果としての上述の性能への悪影響とともに、抑制あるいは完全に排除される。

【0091】

図3Kは、蓄積電荷を制御するように適応され且つ“H型ゲート”構成に構成された、ACC型のSOI型NMOSFETの他の一実施形態300' ' ' ' 'を簡略化して示す上面図である。図3Kは、ゲートコンタクト301、ゲート302及びゲート酸化物を見せないようにして、ACC型NMOSFET300' ' ' ' 'を示している。ここで説明される幾つかの構造上の相違を除いて、ACC型NMOSFET300' ' ' ' 'は設計及び機能的に、図3A-3D及び3Jを参照して説明されたACC型NMOSFETに非常に似通っている。図3Kに示されているように、ACC型NMOSFET300' ' ' ' 'はH型ゲートのACC型NMOSFET300' ' ' ' 'の両端部に配置された2つのACS308及び308"を含んでいる。P+領域310及び310"はそれらそれぞれのACS308及び308"に隣接するように形成されており、それらへの電気接続を提供する。開示された方法及び装置に従って、上述のように、ACC型NMOSFET300' ' ' ' 'が蓄積電荷レジームで動作するようにバイアスされるとき、蓄積電荷は2つのACS308及び308"によって除去、あるいはその他の方法で制御される。

【0092】

電子デバイス設計技術の当業者に理解されるように、例示された実施形態はA C C型N M O S F E T 300' ' ' ' 'の幅のほぼ全体にわたって延在するA C S 308及び308"を示しているが、A C S 308及び308"はまた、遙かに狭い（あるいは広い）領域を有していても、蓄積電荷を除去、あるいはその他の方法で制御するように変わりなく機能し得る。また、一部の実施形態においては、A C S 308のインピーダンスがA C S 308"のインピーダンスに整合していることは必要とされない。当業者に更に理解されるように、A C S 308及び308"は相異なる大きさ及び構成（すなわち、長方形、正方形、又は何らかのその他の好適形状）を有していてもよく、また、ボディ312から様々な距離だけ離して配置され得る（すなわち、ボディ312から同一の距離である必要はない）。図3 Jを参照して説明されたように、A C S 308が選択された距離だけボディ312から離して配置されるとき、閾値電圧の増大に関する問題は抑制あるいは排除される。

10

【0093】

四端子A C C型M O S F E Tデバイス — 単純な回路構成

図3 A及び3 BのS O I型N M O S F E T 300は、図4 Aに概略的に示されるように、四端子デバイスとして実現され得る。図4 Aの改善されたA C C型のS O I型N M O S F E T 300に示されるように、ゲート端子402は、図3 Cに示されたゲート端子302'と同様のものであり、ゲートコンタクト301（例えば、図3 A）に電氣的に結合されている。ゲートコンタクト301はゲート302（例えば、図3 A及び3 C）に電氣的に結合されている。同様に、ソース端子404は、図3 Cのソース端子304'と同様のものであり、ソース304（例えば、図3 A－3 C）に電氣的に結合されている。同様に、ドレイン端子406は、図3 Cのソース端子306'と同様のものであり、ドレイン306（例えば、図3 A－3 C）に電氣的に結合されている。最後に、A C C型N M O S F E T 300は、領域310を介してA C S 308（例えば、図3 A－3 B、3 D及び3 J－3 Kを参照）に電氣的に結合されたA C S 端子408を含んでいる。電子デバイス設計及び製造技術の当業者に理解されるように、領域310は一部の実施形態においてA C S 308への電氣的な結合を容易にするために使用され得るものである。何故なら、一部の実施形態において、低濃度にドーピングされた領域（すなわち、A C S 308）に直接的なコンタクトを形成することは困難だからである。A C S 端子408は、図3 Cに示されたA C S 端子308'と同様のものである。

20

【0094】

図4 AのA C C型のS O I型N M O S F E T 300は、該F E Tが蓄積電荷レジームで動作するときに該F E T内に存在する蓄積電荷を制御するために、様々な技術を用いて動作することができ、また様々な回路に実装されることができる。例えば、図4 Bに示されるような典型的な一実施形態において、ゲート端子402及びA C S 端子408は互いに電氣的に結合される。図4 Bに示された簡略化された回路の一実施形態においては、端子404及び406それぞれに印加されるソース及びドレインのバイアス電圧はゼロであってもよい。ゲート端子402に印加されるゲートバイアス電圧（ V_g ）が、端子404及び406に印加されるソース及びドレインのバイアス電圧に対して、且つ閾値電圧 V_{th} に対して十分に負である場合（例えば、 V_{th} がほぼゼロであり且つ V_g が $-1V$ より負側である場合）、A C C型N M O S F E T 300は蓄積電荷レジームで動作する。図3 Cを参照して説明されたように、例えば、M O S F E Tがこのレジームで動作するとき、N M O S F E T 300のボディ内に蓄積電荷（正孔）が蓄積し得る。

30

【0095】

有利なことに、図示のようにA C S 端子408をゲート端子402に接続することにより、蓄積電荷はA C S 端子408によって除去されることができる。この構成により、F E T 300がオフ状態にあるときに、蓄積電荷を効率的に除去、あるいはその他の方法で制御するようにF E T 300が適正なバイアス領域に保持されることが確実になる。図4 Bに示されているように、A C S 端子408をゲートに接続することは、ゲート（ V_g ）及びボディ（図3 Cに“ V_b ”又は“ V_{ACs} ”として示されている）の双方に同一のバイアス電圧が印加されることを保証する。バイアス電圧 V_{ACs} はこの実施形態においてはゲート電圧 V_g と同一であるので、蓄積電荷はもはや（ゲートバイアス V_g への引き付けによって）ゲー

40

50

ト酸化物の下にトラップされず、A C S 端子408によってゲート端子402に伝達される。従って、蓄積電荷はA C S 端子408によってボディから除去される。

【0096】

他の典型的な実施形態においては、図3Cを参照して説明されたように、例えば、 V_s 及び V_d はゼロでないバイアス電圧を有していてもよい。これらの例によれば、 V_g が N M O S F E T 300 をターンオフさせる（すなわち、N M O S F E T 300 をオフ状態で動作させる）ために V_{th} に対して十分に負となるように、 V_g は V_s 及び V_d の双方に対して十分に負でなければならない。そのようにバイアスされると、上述のように、N M O S F E T 300 は蓄積電荷レジームに入り、それによりボディ内に存在する蓄積電荷を有し得る。この例では、電圧 $V_{A C S}$ は A C S 端子408をゲート端子402に接続することによって V_g に等しくなるように選択されてもよく、それにより、蓄積電荷は上述のように A C C 型 N M O S F E T のボディから運び出される。

10

【0097】

他の典型的な一実施形態においては、上述のように、A C C 型 N M O S F E T 300 はディプレッションモードのデバイスから成る。この実施形態においては、閾値電圧 V_{th} は定義によりゼロ未満である。 V_s 及び V_d の双方が 0 V である場合、 V_{th} に対して十分に負であるゲートバイアス V_g （例えば、 V_{th} に対して約 -1 V より負側である V_g ）がゲート端子402に印加されると、正孔はゲート酸化物の下に蓄積することによって蓄積電荷となり得る。この例では、電圧 $V_{A C S}$ は、A C S 端子408をゲート端子402に接続することによって V_g に等しくなるように選択されてもよく、それにより、蓄積電荷は上述のように A C C 型 N M O S F E T のボディから運び出される。

20

【0098】

例えば図4Bを参照して説明されたものなどの、改善された A C C 型の S O I 型 N M O S F E T 300 の一部の実施形態において、該 F E T がオンにバイアスされると、（例えば、図3Dに示された A C S 308 とドレイン304（及びソース306）との間の界面を参照して説明されたような）該デバイスの端部に形成されるダイオードが順方向にバイアスされることになり、それにより電流がソース及びドレインの領域に流れ込むことが可能になる。これは、電力を浪費するだけでなく、M O S F E T に非線形性をもたらし得る。この非線形性は、この界面ダイオードが順バイアスされることの結果として流れる電流が非線形な電流を有することにより発生する。 V_{gs} 及び V_{gd} はデバイスのこの領域では低減されるので、デバイス端部でのオン抵抗 R_{on} が増大される。周知の通り、また上述された理由から、デバイスの端部に形成される界面ダイオードが順バイアスされることになる場合、デバイスのオン状態での特性は結果的に著しい悪影響を受ける。電子デバイス設計技術の当業者に理解されるように、図4Bに示された構成はゲートバイアス電圧 V_{gs} の印加をおよそ 0.7 V に制限してしまう。これらの問題を解決するために、図4Cに示される簡略化された回路が使用され得る。

30

【0099】

改善された A C C 型の S O I 型 N M O S F E T 300 を使用する他の典型的な回路が図4Cに示されている。図4Cに示されているように、この実施形態においては、A C S 端子408はダイオード410に電氣的に結合されており、代わってダイオード410がゲート端子402に結合されている。この実施形態は、例えば S O I 型 N M O S F E T 300 がオン状態の条件にバイアスされるときに発生するような、正の $V_g - V_s$ 間バイアス電圧（すなわち、 $V_{gs} = V_g - V_s$ として、等価的に V_{gs} ）によって引き起こされる M O S F E T ボディ312に正の電流が流れ込むことを防止するために使用され得る。

40

【0100】

図4Bに示されたデバイスと同様に、オフにバイアスされると、A C S 端子電圧 $V_{A C S}$ はゲート電圧にダイオード410での電圧降下を足し合わせた電圧を有する。非常に低い A C S 端子電流レベルにおいて、ダイオード410での電圧降下も一般的に非常に低い（例えば、典型的な閾値のダイオードでは、 $\ll 500 \text{ mV}$ ）。ダイオード410での電圧降下は、例えば 0 V f ダイオード等のその他のダイオードを用いることによってほぼゼロまで低

50

減されることができる。一実施形態において、ダイオードでの電圧降下を低減することはダイオード410の幅を増大させることによって達成される。また、A C S—ソース間又はA C S—ドレイン間電圧をますます負側に維持することも（これら2つのバイアス電圧の何れのバイアス電圧が低かろうと）、A C C型M O S F E Tデバイス300の線形性を改善する。

【0101】

S O I型N M O S F E T 300がオン条件にバイアスされるとき、ダイオード410は逆バイアスされ、それにより、ソース及びドレインの領域に流れ込む正の電流が防止される。この逆バイアスされる構成は消費電力を削減し且つデバイスの線形性を改善する。図4 Cに示された回路は、故に、F E Tがオフ状態にあり且つ蓄積電荷レジームで動作させられるとき、M O S F E Tボディから蓄積電荷を除去するように良好に動作する。これはまた、ゲート電圧 V_g にほぼ如何なる正電圧もが印加されることを可能にする。そして、これは、A C C型M O S F E Tがオフ状態で動作しているときに蓄積電荷を効率的に除去するようにしながら、該デバイスがオン状態で動作しているときにフローティングボディ型デバイスの特性を有することを可能にする。

10

【0102】

A C S端子408への正の電流を防止するために使用されるダイオード410を除いて、図4 Cに示された簡略化された回路の典型的動作は、図4 Bを参照して説明された回路の動作と同一である。

【0103】

更に他の一実施形態においては、図4 Dの簡略化された回路に例示されるように、A C S端子408は制御回路412に結合されてもよい。制御回路412は、蓄積電荷（すなわち、図1を参照して説明された蓄積電荷120）を選択的に制御する選択可能なA C Sバイアス電圧 $V_{A C S}$ を供給し得る。図4 Dに示されているように、（例えば、ゲート電圧 V_g から得られるような）A C Sバイアス電圧 $V_{A C S}$ を供給する局所的な回路を有するのではなく、一部の実施形態において、A C Sバイアス電圧 $V_{A C S}$ はA C C型M O S F E Tデバイス300から独立した別個の電源によって生成される。スイッチ（図4 Eを参照して一層詳細に後述する）の場合、A C Sバイアス電圧 $V_{A C S}$ は高い出力インピーダンスを有する電源から供給されるべきである。例えば、このような高出力インピーダンス電源は、R F電圧がM O S F E Tにわたって分圧され、ゲート電圧と同様にA C Sバイアス電圧 $V_{A C S}$ がそれに“乗った” $V_{ds}/2$ を有することを確保するための大きい直列抵抗を用いて得ることができる。この手法については、図4 Eを参照して一層詳細に後述する。

20

30

【0104】

S O I型N M O S F E T 300が蓄積電荷レジームにバイアスされるとき、A C S端子408には負のA C Sバイアス電圧 $V_{A C S}$ を供給することが望ましくなり得る。この典型的な実施形態においては、制御回路412は、ソース及びドレイン双方のバイアス電圧に対して一貫して負となるA C Sバイアス電圧 $V_{A C S}$ を選択的に維持することによって、A C S端子408に正の電流が流れ込むことを防止し得る。具体的には、制御回路412は、 V_s 及び V_d のうちの小さい方に等しい、あるいはそれより負側のA C Sバイアス電圧を印加するために使用され得る。このようなバイアス電圧の印加により、蓄積電荷は除去、あるいはその他の方法で制御される。

40

【0105】

図4 Dに示された簡略化された回路の典型的な実施形態において、端子404及び406それぞれに印加されるソース及びドレインのバイアス電圧はゼロであってもよい。ゲート端子402に印加されるゲートバイアス電圧（ V_g ）が、端子404及び406に印加されるソース及びドレインのバイアス電圧に対して、且つ閾値電圧 V_{th} に対して十分に負である場合（例えば、 V_{th} がほぼゼロであり且つ V_g が約 -1 V より負側である場合）、A C C型N M O S F E T 300は蓄積電荷レジームで動作し、N M O S F E T 300のボディ内に蓄積電荷（正孔）が蓄積し得る。有利なことに、図示のようにA C S端子408を制御回路412に接続することにより、蓄積電荷はA C S端子408によって除去されることができる。蓄積電荷

50

が A C C 型 N M O S F E T 300 のボディから確実に運び出されるようにするため、A C S 端子 408 に印加される A C S バイアス電圧 $V_{A C S}$ は、ゲート電圧に対して等しい、あるいはそれより負側であり、且つ V_s 及び V_d のうちの小さい方より負側であるべきである。蓄積電荷 120 は制御回路 412 によって A C S 端子 408 に印加されるバイアス電圧 $V_{A C S}$ へと輸送されるので、蓄積電荷はゲートバイアス電圧 V_g への引き付けによってゲート酸化物の下にトラップされたままではなくなる。

【0106】

他の実施形態においては、 V_s 及び V_d はゼロでないバイアス電圧を有していてもよい。これらの例によれば、 V_g が N M O S F E T 300 をオフ状態にバイアスするために V_{t_h} に対して十分に負となるように、 V_g は V_s 及び V_d の双方に対して十分に負でなければならない。これにより、ゲート酸化物の下への蓄積電荷の蓄積が可能になる。この例では、A C S バイアス電圧 $V_{A C S}$ は、選択された A C S バイアス電圧を供給する制御回路 412 に A C S 端子 408 を接続することによって、 V_s 及び V_d のうちの小さい方に等しく、あるいはそれより負側になるように選択されることができ、それにより、蓄積電荷は A C C 型 N M O S F E T 300 から運び出される。

【0107】

他の実施形態において、図 4 D の A C C 型 N M O S F E T 300 がディプレッションモードのデバイスから成る場合、 V_{t_h} は定義によりゼロ未満である。 V_s 及び V_d の双方が 0 V である場合、 V_{t_h} に対して十分に負であるゲートバイアス V_g （例えば、 V_{t_h} に対して約 -1 V より負側である V_g ）が印加されると、正孔はゲート酸化物の下に蓄積し得る。この例では、A C S 端子 408 に印加される A C S バイアス電圧 $V_{A C S}$ は、A C S 端子 408 を制御回路 412 に接続し、それにより蓄積電荷を A C C 型 N M O S F E T 300 から除去するのに必要な所望の A C S バイアス電圧 $V_{A C S}$ を供給することによって、 V_s 及び V_d のうちの小さい方に等しく、あるいはそれより負側になるように選択され得る。

【0108】

上述のように、一実施形態において、図 4 D に示されたように A C S 端子 408 に対して制御回路 412 にバイアスを供給させる代わりに、A C S 端子 408 は、例えば図 4 E の実施形態に示されるように、別個のバイアス源回路によって駆動されることも可能である。

【0109】

図 4 E の回路に例示されるような R F スイッチ回路における典型的な回路実装において、別個の $V_{A C S}$ 源は、R F 電圧が A C C 型 N M O S F E T 300 にわたって分圧されることを確保し、且つゲート端子 402 に印加される電圧 V_{gs} と同様に A C S 端子 408 に印加される電圧が $V_{ds}/2$ を有することを更に確保する高出力インピーダンス素子 403 を有している。典型的な一実施形態において、インバータ 405 が高出力インピーダンス素子 403 と直列に構成され、G N D 及び $-V_{DD}$ を供給される。典型的な一実施形態において、 $-V_{DD}$ は好適な正電圧源から容易に得られる。しかしながら、これは線形性の改善のために更に負側の電圧であってもよい（すなわち、ゲート電圧とは独立とし得る）。

【0110】

他の一実施形態においては、図 4 C に示された回路が、A C S 端子 408 に直列に構成されたクランプ回路を含むように変更されてもよい。このような典型的な実施形態は図 4 F に示されている。或る一定の動作条件下では、A C C 型 N M O S F E T 300 のボディから A C S 端子 408 を介して蓄積電荷を運び出す電流である A C C 型 N M O S F E T 300 から流出する電流は、バイアス回路に問題を生じさせるのに十分な大きさとなる（すなわち、一部の条件下では、A C S 電流が大きくてバイアス回路は A C C 型 N M O S F E T 300 のボディから流出する電流を適切に流すことができない）。図 4 F の回路に示されているように、典型的な一実施形態は、A C C 型 N M O S F E T 300 のボディからの A C S 電流の流れを遮断し、それにより A C C 型 N M O S F E T 300 をフローティングボディ状態に戻すことによってこの問題を解決する。

【0111】

図 4 F に示された典型的な 1 つの回路においては、A C S 端子 408 とダイオード 410 との

間にディプレッションモードのFET421が直列接続されている。この典型的な回路において、ディプレッションモードFET421は、該FETのソース端子に電氣的に接続されたゲート端子を含んでいる。この構成では、ディプレッションモードFET421は、ACC型MOSFETが蓄積電荷レジームで動作しているときにACS端子408から流れ出る電流を切除あるいは制限するように機能する。より具体的には、ディプレッションモードFET421は所定の閾値に到達すると飽和状態に入る。ACC型MOSFETのボディを流れ去る電流は、故に、FET421の飽和電流によって制限される。一部の実施形態において、所定の飽和閾値は必要に応じて、例えば低い最大電流と早いクランプ動作とをもたらす高い閾値電圧を選択するなどにより、このクランプ動作が起こる点を変化させるように調整されてもよい。

10

【0112】

例えばRFスイッチ回路などの一部の実施形態において、ゲート端子402及びACS端子408は、 V_{ds} の半分($V_{ds}/2$)の値で V_{ds} を追従する。大きい V_{ds} 偏位で、 V_{gs} は閾値電圧 V_{th} に接近し、 I_{ds} リーク電流を増大させる。場合により、このリーク電流はACS端子408を退出し、付随する回路(例えば、負電圧発生器)に問題を生じさせ得る。故に、図4Fに示された回路はこれらの問題を解決、あるいはその他の方法で軽減する。より具体的には、ACS端子408とダイオード410との間に直列にFET421を結合させることによって、ACS端子408を退出する電流はFET421の飽和電流に制限される。

【0113】

20

更に他の典型的な一実施形態において、図4Cに示された簡略化された回路は、ダイオード410に並列に配置されたAC短絡用キャパシタを含むように変更され得る。図4Gの簡略化された回路は、完全な回路用途において存在する或る一定の不所望の非線形性を補償するために使用され得るものである。一部の実施形態において、MOSFETのレイアウト内に存在する寄生成分により、図4Cのダイオード410に存在する非線形な特性は完全な回路実装において不所望の非線形性をもたらし得る。このダイオードがDCバイアス条件を提供するように配置され、且つそれを横切るAC信号を有するように意図されないとき、一部の実施形態において、ダイオード410を横切るように存在する如何なるAC信号の影響をも軽減するようにすることが望ましくなり得る。

【0114】

30

図4Gの簡略化された回路に示されているように、図4Cの回路は、ダイオード410と並列に構成されたAC短絡用キャパシタ423を含むように変更されている。AC短絡用キャパシタ423は、ダイオード410の非線形性がAC信号によって誘起されないことを確保するようにダイオード410に並列に配置されている。例えばRFスイッチ等の一部の典型的な回路において、ゲート端子402及びACS端子408は一般的に同一のAC信号を印加される(すなわち、交流的に等電位である)ので、AC短絡用キャパシタ423は一層高レベルな完全な回路に影響を及ぼさない。

【0115】

一部の回路の実施形態において、マルチフィンガー型FETのボディノード群は、ソースフィンガー群に重なるように(例えば、金属又はシリコンを用いて)互いに接続され得る。FETの別の側では、ゲートノード群がドレインフィンガー群に重なるように(例えば、金属又はシリコンを用いて)互いに接続され得る。このFET実装の結果として、ソースとボディとの間(S-B間)に更なるキャパシタンスが発生し、ドレインとゲートとの間(D-G間)に更なるキャパシタンスが発生する。これらの更なるキャパシタンスは本来のデバイスの対称性を低下させる。AC励起の下で、これはゲート端子が一層密接にドレイン端子に追従し、且つボディ端子が一層密接にソース端子に追従することを引き起こし、それにより事実上、上述のようにダイオード410の非線形性を誘起し得るダイオード410を横切るAC信号が作り出される。図4Gに示された典型的な実施形態を用いると、重なり合うフィンガー群に起因する寄生の非線形性誘起が軽減される。

40

【0116】

50

ここで開示された方法及び装置に従って製造されたACC型MOSFETの改善された C_{off} 性能

図4Hは、AC信号がMOSFETに印加されたときの、SOI型MOSFETのドレインソース間印加電圧に対するオフ状態キャパシタンス(C_{off})を示すグラフ460である(プロット460は典型的な1mm幅のMOSFETに関するものであるが、より広いデバイスやより狭いデバイスを用いても同様のプロットが得られる)。一実施形態において、ゲート電圧は $-2.5V + V_d/2$ であり、 $V_s = 0$ である。第1のプロット462は、蓄積電荷レジーム内で動作し、図1を参照して説明されたように蓄積電荷を有する典型的な従来のNMOSFETのオフ状態キャパシタンス C_{off} を示している。図4Hに示されているように、従来FETのプロット462に示されたオフ状態キャパシタンス C_{off} は電圧に依存しており(すなわち、非線形であり)、 $V_d = 0V$ でピークを有している。第2のプロット464は、この教示に従って製造され、蓄積電荷がACC型MOSFETから運び出され、それによりACC型MOSFETボディから蓄積電荷が削減、制御且つ/或いは除去される改善されたACC型のSOI型MOSFETのオフ状態キャパシタンス C_{off} を例示している。図4Hに示されているように、ACC型のSOI型MOSFETのプロット464に示されたオフ状態キャパシタンス C_{off} は電圧に依存していない(すなわち、非線形である)。

10

【0117】

図2Aを参照して説明されたように、蓄積電荷を制御、削減あるいは除去することにより、NMOSFETボディ312(図3C、また図2Aの電気モデル内のMOSFETボディ114として示されている)のインピーダンス212は非常に大きい値まで増大される。このMOSFETボディのインピーダンス212の増大は、接合218及び220(図2A)のインピーダンスにより生じる C_{off} への寄与を低減させ、それにより C_{off} の全体的な大きさ、及び接合218及び220のインピーダンスに付随する非線形効果を低減させる。プロット464は、この教示がどれだけ効果的にMOSFETのオフ状態キャパシタンス C_{off} の非線形性及び全体的な大きさの双方を低減させるかを例示している。オフ状態キャパシタンス C_{off} の低減された非線形性及び大きさは、例えばRFスイッチング回路などの、蓄積電荷レジームで動作するMOSFETを用いる回路の性能を改善する。次に、図4A-4Gを参照して説明されたACC型MOSFETを用いて実現される典型的なRFスイッチング回路を、図5A-5Dを参照して説明する。

20

30

【0118】

この教示に従ったACC型のSOI型MOSFETを用いる典型的な性能向上されたRFスイッチ

図5Aは、従来技術に従った単極単投(SPST)RFスイッチ回路500の回路図を示している。RFスイッチ回路500は一般的なクラスの周知のRFスイッチ回路の一例である。同様のRFスイッチ回路が以下の同時継続中の米国特許出願及び特許の明細書に記載されている：仮出願番号60/651,736、出願日2005年2月9日、発明名称「UNPOWERED SWITCH AND BLEEDER CIRCUIT」；米国特許第6,804,502号として2004年10月12日に発行され、また仮出願番号60/328,35、出願日2001年10月10日に基づく出願番号10/267,531、出願日2002年10月8日、発明名称「SWITCH CIRCUIT AND METHOD OF SWITCHING RADIO FREQUENCY SIGNALS」の継続出願である出願番号10/922,135、出願日2004年8月18日。なお、これらの特許出願及び特許は参照することによりここに組み込まれる。

40

【0119】

再び図5Aを参照するに、スイッチング用のSOI型NMOSFET506は、入力端子502にてRF入力信号“RF_{in}”を受信するように適応されている。スイッチングSOI型MOSFET506は、RF_{in}入力信号を出力端子504に選択的に結合させる(それにより、RF出力信号RF_{out}を出力端子504に伝達する)ように電氣的に結合されている。典型的な実施形態において、スイッチングSOI型NMOSFET506は、ゲート抵抗510(必要に応じて、寄生RF結合の抑圧のために含められる)を介して制御配線512によって伝達される第1の制御信号C1によって制御される。制御配線512は、第1の制御信

50

号 C 1 を生成する制御回路520に電氣的に結合されている。

【0120】

再び図5Aを参照するに、分流用のSOI型NMOSFET508は、そのドレイン端子にてRF入力信号RF_{in}を受信し、選択的に、必要に応じての負荷抵抗518を介してグラウンドにRF入力信号RF_{in}を分流するように適応されている。分流SOI型MOSFET508は、ゲート抵抗514（必要に応じて、寄生RF結合の抑圧のために、また、分圧の目的で含められる）を介して制御配線516によって伝達される第2の制御信号C1_xによって制御される。制御配線516は、第2の制御信号C1_xを生成する制御回路520に電氣的に結合されている。

【0121】

用語“スイッチング（switching）”及び“分流（shunting）”は、図5Aに示され、また図5B-5D、6、8及び9のRFスイッチ回路を参照して後述されるトランジスタに関して、ここでは、用語“スイッチ（switch）”及び“シャント（shunt）”にそれぞれ交換可能に使用される。例えば、スイッチングトランジスタ506（及び、図5B-5D、6、8及び9にて説明される類似のスイッチングトランジスタの全て）は、ここでは、“スイッチ”トランジスタとしても参照される。同様に、分流トランジスタ508（及び、図5B-5D、6、8及び9にて説明される類似の分流トランジスタの全て）は、ここでは、“シャント”トランジスタとしても参照される。用語“スイッチ”及び“スイッチング”（並びに、同様に用語“シャント”及び“分流”）は、RFスイッチ回路のトランジスタを記述するために使用されるとき、ここでは交換可能に使用される。さらに、図6を参照して一層詳細に後述されるように、RFスイッチ設計及び製造技術の当業者に認識されるように、図5A-5D及び図9においてはスイッチトランジスタ及びシャントトランジスタは単一のMOSFETを有するものとして示されているが、1つ以上のトランジスタから成るトランジスタ群を有していてもよい。

【0122】

RFスイッチ回路の当業者に認識されるように、典型的なスイッチ回路の全ては、先述の入力ポート及び出力ポートが逆のポートとして機能するように、“双方向”に使用されてもよい。すなわち、典型的なRFスイッチはここでは1つ以上の入力ポート（又はノード）と1つ以上の出力ポート（又はノード）とを有するものとして説明されるが、この説明は単に利便性のためであり、理解されるように、出力ポートは一部の用途においては信号を入力するために使用されてもよく、また入力ポートは一部の用途においては信号を出力するために使用されてもよい。図2B、4E、5A-5D、6、8及び9を参照して説明されるRFスイッチ回路は、ここでは、それぞれRF信号の入力及び出力を行う“入力”及び“出力”ポート（又は“ノード”）を有するものとして説明される。例えば、図9を参照して一層詳細に後述されるように、RF入力ノード905及びRF入力ノード907はそれぞれRF信号RF1及びRF2を入力するものとして説明される。RFC共通ポート903はRF共通出力信号を提供するものとして説明される。RFスイッチ回路設計技術の当業者に認識されるように、RFスイッチは双方向であり、先述の入力ポートは出力ポート及びその逆として変わりなく機能する。図9のRFスイッチの例において、RFC共通ポートは、RFノード905及び907により選択的に出力されるRF信号を入力するように使用され得る。

【0123】

再び図5Aを参照するに、第1の制御信号C1及び第2の制御信号C1_xは、分流SOI型NMOSFET508がオフ状態で動作するときにスイッチングSOI型NMOSFET506がオン状態で動作し、その逆のときには逆の状態で作動作するように生成される。これらの制御信号はNMOSFET506及び508のゲート端子にゲートバイアス電圧V_gを供給する。NMOSFET506及び508の何れかがトランジスタのオフ状態を選択するようにバイアスされるとき、それぞれのV_gは、それぞれのNMOSFETがRF入力信号RF_{in}の時変的な印加電圧によってオン状態に入ったり近付いたりしないように、十分に大きい負電圧を有しなければならない。RF入力信号RF_{in}の最大電力は、それにより、SO

10

20

30

40

50

I型NMOSFET506及び508が確実に維持可能なゲートバイアス V_g （又は、より一般的には、ゲートソース間動作電圧 V_{gs} ）の最大値によって制限される。ここで例示されるようなRFスイッチング回路では、 $V_{gs}(\max)$ の大きさは、 $V_{ds} = V_d - V_s$ として、 $|V_g| + |V_{ds}(\max)| / 2$ であり、 $V_{ds}(\max)$ はRF入力信号 RF_{in} に関する大電力入力信号の電圧レベルによる最大の V_{ds} を有する。

【0124】

スイッチングSOI型NMOSFET506及び分流SOI型NMOSFET508の典型的なバイアス電圧は以下を含み得る：ほぼ0Vの V_{th} を用いるとき、オン状態の V_g は+2.5V、オフ状態の V_g は-2.5V。これらのバイアス電圧では、SOI型NMOSFETはオフ状態に置かれるとき最終的に蓄積電荷レジームで動作し得る。特に、図2Bを参照して説明されたように、スイッチングNMOSFET506がオン状態にあり且つ分流NMOSFET508がオフ状態にバイアスされるとき、出力信号 RF_{out} は、蓄積電荷により引き起こされる分流NMOSFET508のオフ状態キャパシタンス C_{off} の非線形な挙動によって歪まされ得る。有利なことに、この教示に従って製造された改善されたACC型MOSFETは、特に、回路性能が蓄積電荷によって悪影響を受けるような場合に、回路性能を改善するために使用されることができる。

【0125】

図5Bは、この蓄積電荷の削減・制御技術を用いて一層高い性能のために適応された、改善されたRF回路501を概略的に示している。スイッチ回路501は、分流NMOSFET508がこの教示に従って製造された分流ACC型NMOSFET528に置き換えられている点で、従来の回路500（図5A）とは異なっている。分流ACC型NMOSFET528は、図4A及び4Bを参照して説明されたACC型NMOSFETと同様のものである。同様に、分流ACC型NMOSFET528のゲート、ソース、ドレイン及びACCの端子は、ACC型NMOSFET300のそれぞれの端子と同様のものである。改善されたACC型NMOSFET528により提供される改善されたスイッチ性能を除いて、RFスイッチ回路501の動作は、図5Aを参照して説明されたRFスイッチ回路500の動作と非常に似通っている。

【0126】

スイッチングNMOSFET526及び分流ACC型NMOSFET528の典型的なバイアス電圧は以下を含み得る：ほぼ0Vの V_{th} を用いるとき、オン状態の V_g は+2.5V、オフ状態の V_g は-2.5V。これらのバイアス電圧では、SOI型NMOSFETはオフ状態に置かれるとき蓄積電荷レジームで動作し得る。しかしながら、スイッチングNMOSFET526がオン状態にあり且つ分流ACC型NMOSFET528がオフ状態にあるとき、出力信号 RF_{out} は、蓄積電荷により引き起こされる改善された分流ACC型NMOSFET528のオフ状態キャパシタンス C_{off} の非線形な挙動によって歪まされることはない。分流ACC型NMOSFET528が蓄積電荷レジームで動作するとき、蓄積電荷はACS端子508'によって除去される。より具体的には、分流ACC型NMOSFET528のゲート端子502'がACS端子508'に接続されているので、蓄積電荷は、図4Bの回路を参照して説明されたようにして除去、あるいはその他の方法で制御される。蓄積電荷の制御は、オフ状態のトランジスタである分流ACC型NMOSFET528の線形性を改善し、それにより出力端子505に生成されるRF出力信号 RF_{out} の高調波歪み及び相互変調歪みを抑制することによって、スイッチ501の性能を改善する。

【0127】

図5Cは、この開示による蓄積電荷制御技術を用いて一層高い性能のために適応された、改善されたRF回路の他の一実施形態502を概略的に示している。スイッチ回路502は、分流NMOSFET508がこの教示に従って製造された分流ACC型NMOSFET528に置き換えられている点で、従来の回路500（図5A）とは異なっている。分流ACC型NMOSFET528は、図4A及び4Cを参照して説明されたACC型NMOSFETと同様のものである。同様に、分流ACC型NMOSFET528のゲート、ソース、ドレイン及びACCの端子は、図4A及び4Cを参照して説明されたACC型NMOSFET300

のそれぞれの端子と同様のものである。改善されたA C C型N M O S F E T 528により提供される改善されたスイッチ性能を除いて、スイッチ回路502の動作は、それぞれ図5 A及び5 Bを参照して説明されたスイッチ回路500及び501の動作と非常に似通っている。

【0128】

N M O S F E T 526及びA C C型N M O S F E T 528の典型的なバイアス電圧は以下を含み得る：ほぼ0 Vの V_{th} を用いるとき、オン状態の V_g は+2.5 V、オフ状態の V_g は-2.5 V。これらのバイアス電圧では、S O I型N M O S F E T 526、528はオフ状態に置かれるとき蓄積電荷レジームで動作し得る。しかしながら、N M O S F E T 526がオン状態にあり且つA C C型N M O S F E T 528がオフ状態にあるとき、出力信号R F o u tは、蓄積電荷によるA C C型N M O S F E T 528のオフ状態キャパシタンス C_{off} の非線形な挙動によって歪まされることはない。A C C型N M O S F E T 528のゲート端子502'がダイオード509を介してA C S端子508'に接続されているので、蓄積電荷は、図4 Cを参照して説明されたようにして完全に除去、削減、あるいはその他の方法で制御される。図5 Bを参照して説明された改善されたスイッチ501と同様に、蓄積電荷の制御は、オフ状態のトランジスタ528の線形性を改善し、それによりR F出力端子505のR F出力信号R F o u tの高調波歪み及び相互変調歪みを抑制することによって、スイッチ502の性能を改善する。図示されているようなダイオード509の接続は、一部の実施形態において、図4 Cを参照して説明されたように、A C C型N M O S F E T 528がオン状態にバイアスされるときにN M O S F E T 528に流れ込む正の電流を抑制することに関して、望ましいものとなり得る。

【0129】

図5 Dは、この蓄積電荷制御技術を用いて一層高い性能のために適応された、改善されたR Fスイッチ回路の他の一実施形態503を概略的に示している。スイッチ回路503は、図5 AのN M O S F E T 508がこの教示に従って製造されたA C C型N M O S F E T 528に置き換えられている点で、従来の回路500（図5 A）とは異なっている。A C C型N M O S F E T 528は、図4 A及び4 Dを参照して説明されたA C C型N M O S F E Tと同様のものである。改善されたA C C型N M O S F E T 528により提供される改善されたスイッチ性能を除いて、スイッチ回路503の動作は、それぞれ図5 A－5 Cを参照して説明されたスイッチ回路500、501及び502の動作と非常に似通っている。

【0130】

N M O S F E T 526及びA C C型N M O S F E T 528の典型的なバイアス電圧は以下を含み得る：ほぼ0 Vの V_{th} を用いるとき、オン状態の V_g は+2.5 V、オフ状態の V_g は-2.5 V。これらのバイアス電圧では、S O I型N M O S F E T 526、528はオフ状態に置かれるとき蓄積電荷レジームで動作し得る。しかしながら、N M O S F E T 526がオン状態にあり且つA C C型N M O S F E T 528がオフ状態にあるとき、出力端子505の出力信号R F o u tは、蓄積電荷によるA C C型N M O S F E T 528のオフ状態キャパシタンス C_{off} の非線形な挙動によって歪まされることはない。N M O S F E T 528が蓄積電荷レジームで動作するとき、蓄積電荷はA C S端子508'によって除去される。より具体的には、A C C型N M O S F E T 528のA C C端子508'は制御配線517を介して制御回路520に電氣的に結合されている（すなわち、図示されている制御信号“C2”によって制御される）ので、蓄積電荷は、図4 Dを参照して説明されたようにA C S端子508'に選択されたバイアス電圧を印加することによって除去、削減、あるいはその他の方法で制御されることができる。電子回路設計技術の当業者に理解されるように、蓄積電荷を削減、あるいはその他の方法で制御する目的のため、A C S端子には多様なバイアス電圧信号が印加され得る。特有のバイアス電圧が特定の用途に適応されてもよい。蓄積電荷の制御は、オフ状態のトランジスタ528の線形性を改善し、それによりR F出力端子505で生成されるR F出力信号R F o u tの高調波歪み及び相互変調歪みを抑制することによって、スイッチ503の性能を改善する。

【0131】

図5 B－5 Dを参照して説明された回路において、スイッチングS O I型M O S F E T

526は従来技術に係るSOI型MOSFETを用いて実現される（すなわち、それらはACC型MOSFETから成っておらず、故にACS端子を有していない）ように図示・説明されている。電子デバイス設計技術の当業者に理解・認識されるように、開示された方法及び装置の他の実施形態においては、従来のスイッチングSOI型MOSFET 526は、要望又は要求に応じて、この開示に従って製造されたACC型のSOI型MOSFETに置き換えられてもよい。例えば、この教示によるACC型MOSFETを用いて実現されるRFスイッチの一部の実施形態において、RFスイッチは単極双投RFスイッチから成る。この実施形態においては、スイッチングSOI型MOSFET（例えば、図5B-5Dを参照して説明されたスイッチングSOI型MOSFET 526と同様のもの）は、ACC型のSOI型MOSFETから成っていてもよい。このようにして実現されたものは、選択された“極（pole）”を介してスイッチされるRF信号の出力に、（入力“極”として選択されないときにターンオフされて）オフ状態にあるスイッチングSOI型MOSFETの非線形な挙動が悪影響を及ぼすことを防止する。スイッチングACC型MOSFETを用いてのRFスイッチの実現は、スイッチングトランジスタのオフ状態キャパシタンス C_{off} の大きさ、変動（ドリフト）及び電圧依存性を低減させる。その結果、詳細に上述されたように、例えば分離性、挿入損失及びドリフト特性などのスイッチ性能特性も改善される。この実現法は、図9に示されるRFスイッチ回路を参照して一層詳細に後述される。電子回路技術の当業者には数多くのその他の例が明らかとなろう。

10

【0132】

例えば、上述のように、典型的なRFスイッチはACC型のSOI型NMOSFETデバイスを用いて実現されるものとして説明されてきたが、それらはまた、ACC型のSOI型PMOSFETデバイスを用いて実現されることもできる。また、この教示に従って実現されるRFスイッチの例として単極単投型及び単極双投型のRFスイッチが説明されたが、本出願は単極多投型、多極単投型及び多極多投型を含む如何なるバリエーションのRFスイッチ構成をも包含するものである。RFスイッチ設計及び製造技術の当業者に認識されるように、この教示は如何なる好適なRFスイッチ構成設計の実現にも使用され得るものである。

20

【0133】

積層化されたトランジスタを用いた典型的なRFスイッチ

上述の典型的なRFスイッチ回路の実施形態においては、スイッチ回路は、RF出力へのRF入力信号の選択的な結合又は遮断（すなわち、回路接続を電氣的に開くこと）を行う単一のSOI型NMOSFET（例えば、図5Aの単一のSOI型NMOSFET 506、及び図5B-5Dの単一のSOI型NMOSFET 526）を用いて実現されている。同様に、図5A-5Dを参照して説明された典型的な実施形態においては、単一のSOI型NMOSFET（例えば、図5Aの単一のSOI型NMOSFET 508、及び図5B-5Dの単一のACC型のSOI型NMOSFET 528）が使用されて、グランドへのRF入力信号のシャント（FETがオン状態）又は遮断（FETがオフ状態）が行われている。米国特許第6804502号（発行日：2004年8月12日、発明名称「SWITCH CIRCUIT AND METHOD OF SWITCHING RADIO FREQUENCY SIGNALS」）には、RF信号の選択的な結合及び遮断を行う積層化されたトランジスタ群を用いて実現された、SOI型NMOSFETを用いたRFスイッチ回路が記載されている。

30

40

【0134】

この開示による教示に従って積層化されたNMOSFETがどのようにして実現されるかの一例が図6に示されている。RFスイッチ回路600は、図5DのRFスイッチ回路503に似通ったものであるが、単一のSOI型NMOSFET 526がSOI型NMOSFET 602、604及び606のスタックに置き換えられている。同様に、単一のACC型のSOI型NMOSFET 528がACC型のSOI型NMOSFET 620、622及び624のスタックに置き換えられている。ACC型のSOI型NMOSFET 620、622及び624のACS端子には、それぞれ必要に応じての抵抗626、628及び630を介して、制御信号C2が供給される。抵抗626、628及び630は必要に応じて、積層化されたACC型のSOI型NMOSFET 6

50

20、622及び624間の寄生RF信号を抑圧するために含まれる。RFスイッチ回路600は、図5Dを参照して説明されたRFスイッチ回路503の動作と同様な動作を行う。

【0135】

積層化された3つのACC型のSOI型NMOSFETは、図6の典型的な積層化RFスイッチ回路600においては、各ACC型NMOSFETスタック内に示されている。3つから成る複数のACC型NMOSFETは単に例示目的で示されており、集積回路設計技術の当業者に理解されるように、例えば電力処理性能やスイッチング速度などのこの回路要求に従って任意の数から成る複数の用いられ得る。所望の動作性能を達成するため、より少ない、あるいはより多くの積層化ACC型NMOSFETが含まれてもよい。

【0136】

蓄積電荷制御に適応された、図5B-5Dを参照して説明された回路と同様の、その他の積層化RFスイッチ回路も用いられ得る。このような回路の実現法は、上述の教示から電子デバイス設計技術の当業者に明らかであり、故に、ここでは更には説明しないこととする。また、電子デバイス設計技術の当業者に明らかであるように、図6の積層化RFスイッチには対称的に積層化された（すなわち、等数の分流トランジスタ及びスイッチングトランジスタを有する）RFスイッチが示されているが、本発明に係るACC方法及び装置はそれに限定されるものではない。この教示は対称的に積層化されたものだけでなく非対称に積層化された（等数でない分流トランジスタ及びスイッチングトランジスタを有する）RFスイッチにも適用され得るものである。対称的なRFスイッチ回路及び非対称なRFスイッチ回路を実現する際に、この開示に係るACC型MOSFETをどのように使用するかは、設計者に容易に理解されるところである。

【0137】

典型的な動作方法

図7は、この開示に従って蓄積電荷シンク（ACS）を用いてSOI型MOSFETの線形性を向上させる典型的な一方法700を例示している。方法700は段階702で開始し、ACS端子を有するACC型のSOI型MOSFETが、回路内で動作するように構成される。ACS端子は、（図4B、4C、5B及び5Cを参照して説明されたように）SOI型MOSFETのゲート、又は（図4D及び5Dを参照して説明されたように）制御回路に動作可能に結合され得る。他の実施形態においては、ACS端子は、回路又はシステムの設計者に都合の良い如何なる好適な蓄積電荷シンク機構、回路、又はデバイスに動作可能に結合されてもよい。そして、この方法は段階704へと進む。

【0138】

段階704にて、ACC型のSOI型MOSFETは、少なくとも一部の時間において、蓄積電荷レジームで動作するように制御される。大抵の実施形態においては、上述のように、ACC型MOSFETは、該FETをオフ状態に置くバイアス電圧を印加することによって蓄積電荷レジームで動作させられる。典型的な一実施形態において、ACC型のSOI型MOSFETは、RFスイッチの分流回路の一部として構成されたACC型のSOI型NMOSFETから成る。この典型的な実施形態によれば、このSOI型NMOSFETは、該ACC型NMOSFETのゲート端子に負のバイアス電圧を印加することによって分流回路がオフ状態に置かれた後に、蓄積電荷レジームで動作し得る。

【0139】

そして、この方法は段階706へと進み、ACC型MOSFETのチャネル領域内に蓄積した蓄積電荷がACS端子によって除去、あるいはその他の方法で制御される。この実施形態において、蓄積電荷は別の回路端子に伝達され、それにより削減、あるいはその他の方法で制御される。MOSFETボディから蓄積電荷を運び出すために使用され得る1つの典型的な回路端子は、ACC型MOSFETのゲート端子である（例えば、図4B、4C、5B及び5Cに関する説明を参照）。蓄積電荷を除去、あるいはその他の方法で制御するために使用され得る別の1つの典型的な回路端子は、制御回路の端子である（例えば、図4D及び5Dを参照）。詳細に上述されたように、ACC型MOSFETボディ内の蓄積電荷を除去、あるいはその他の方法で制御することは、オフ状態のACC型MOSF

ETの線形性を改善し、それによりACC型MOSFETによって影響を受ける高調波歪み及びIMDを抑制し、さらにそれにより回路及びシステムの性能を改善する。RFスイッチ回路においては、分流ACC型MOSFETデバイスのオフ状態キャパシタンスが（線形性及び大きさの双方において）改善され、それにより、RFスイッチ回路の性能が改善される。その他の回路性能特性に加え、RFスイッチの高調波歪み及び相互変調歪みが、この教示によるACC方法及び装置を用いて抑制される。

【0140】

図8及び9は、ACSを有するMOSFETの線形性を改善することに使用される開示方法及び装置に従って製造されたRFスイッチング回路の、典型的な更なる実施形態を概略的に示している。図8及び9を参照して一層詳細に後述されるように、この開示に従って製造されたRFスイッチ回路の一部の典型的な実施形態においては、ドレインソース間抵抗 R_{ds} を含み、それにより、スイッチが特定の用途で使用されるときに一部のスイッチ性能を改善することが望ましくなり得る。次に、これらの典型的なRFスイッチ回路を詳細に説明する。

【0141】

ソースドレイン間抵抗を有する積層化トランジスタを用いた典型的なRFスイッチ

図8は、この開示に従って製造されるRFスイッチ回路の典型的な一実施形態800を示している。図8に示されているように、この開示に従って製造されるRFスイッチの一部の実施形態は、ACC型MOSFET群それぞれのソースとドレインとに電気的に接続されたドレインソース間抵抗（ R_{ds} ）を含んでいてもよい。例えば、図8の典型的なスイッチ800は、分流用のACC型のSOI型NMOSFET620、622及び624それぞれのソースとドレインとに電気的に接続されたドレインソース間抵抗（ R_{ds} ）802、804及び806を含んでいる。続いて、ドレインソース間抵抗 R_{ds} を使用する動機を説明する。

【0142】

ここでの教示により当業者に認識されるように、ACS端子を介しての蓄積電荷の除去は、ACC型のSOI型MOSFETのボディから電流を流出させる。例えば、正孔電流がACC型のSOI型MOSFETのボディからACSを介して流れるとき、等しい電子電流が該FETのソース及び／又はドレインへと流れる。一部の回路（例えば、図8のRFスイッチ回路）では、ACC型のSOI型NMOSFETのソース及び／又はドレインはその他のSOI型NMOSFETに接続されている。オフ状態のSOI型NMOSFETは非常に高いインピーダンス（例えば、1mm幅のSOI型NMOSFETでは1G Ω 程度）を有するので、非常に小さいドレインソース電流（例えば、1nA程度）であっても、周知のキルヒホッフの電流・電圧法則を満たすように、ACC型のSOI型NMOSFETに許容できない大きさのドレインソース間電圧 V_{ds} を生じさせ得る。例えば図8及び9のRFスイッチ回路に示されているような一部の実施形態において、結果としての非常に大きいドレインソース間電圧 V_{ds} は、ACC型のSOI型NMOSFETの信頼性及び線形性に望ましくない影響を及ぼす。ドレインソース間抵抗 R_{ds} はACC型FETのドレインとソースとの間にパスを提供する。それにより、ACC型のSOI型NMOSFETが例えばその他のACC型のSOI型NMOSFET等の高インピーダンス素子と直列にされるとき、蓄積電荷を制御することに伴う電流はACC型のSOI型NMOSFETのソース及びドレインから離れて導かれる。

【0143】

図8のNMOSFET602-606及びACC型NMOSFET620-624の典型的なバイアス電圧は以下を含み得る：ほぼ0Vの V_{th} のとき、オン状態の V_g は+2.5V、オフ状態の V_g は-2.5V。典型的な一実施形態において、図8のACC型のSOI型NMOSFET622は1mmの幅と、蓄積電荷レジームでの動作で10pA/ μ mの電流を発生させる蓄積電荷の電子-正孔対生成率とを有し得る。電子電流がソース及びドレインによって等しく供給され、且つACC型のSOI型NMOSFET620及び622のインピーダンスが1G Ω 程度である場合、 R_{ds} 抵抗802及び806が存在しないと、-5Vという許容できないバイアスがACC型のSOI型NMOSFET622のソース及びドレインにもた

らされることになる。このバイアス電圧はまた、ACC型のSOI型NMOSFET620及び624の内部ノードにも印加されることになる。

【0144】

この典型的な電流よりも小さい電流であっても、ACC型のSOI型NMOSFET620-624のVgs及び／又はVgdを低下させることによって、RFスイッチング回路800の動作に悪影響をもたらし得る。そして、それはリークの増大（例えば、Vgs又はVgdの何れかがVthに近付くとき）や、過大リークによるホットキャリア損傷の増大などにより、回路の電力処理能力及び信頼性を低下させてしまう。

【0145】

Rds抵抗802-806の典型値は、一部の実施形態において、ゲート抵抗632-636の抵抗値をスタック内のACC型のSOI型NMOSFETの数（この典型的な実施形態においては、スタック内に3つのACC型FETが存在する）で割った値にほぼ等しい値を選択することによって選択されてもよい。より一般的には、Rdsの抵抗値は、ゲート抵抗値をスタック内のACC型のSOI型NMOSFET数で割った値に等しくされてもよい。一例として、8個のACC型のSOI型MOSFETから成るスタックは、80kΩのゲート抵抗と10kΩのRds抵抗を有していてもよい。

【0146】

一部の実施形態において、Rds抵抗は、例えばACC型のSOI型NMOSFETに起因するスイッチ800の挿入損失などのスイッチ性能特性に悪影響を及ぼさないように選択され得る。例えば、10kΩより大きい正味のシャント抵抗では、挿入損失の増加は0.02dB未満である。

【0147】

他の実施形態において、Rds抵抗は、（図8に例示された、分流ACC型FET620、622及び624による積層化された分流構成とは対照的に）単一のACC型のSOI型MOSFETを有する回路に設けられてもよい。例えば、このような回路は、蓄積電荷を除去あるいはその他の方法で制御するときに作り出される電流の結果としてソース又はドレインに有意なバイアス電圧を印加させ得るその他の高インピーダンス素子が、ACC型のSOI型MOSFETと直列に存在する場合に、望ましいものとなり得る。このような回路の典型的な一実施形態が図9に示されている。

【0148】

図9は、この教示に従って製造される典型的な単極双投（SPDT）RFスイッチ回路を示している。図9に示されているように、第1のRF入力信号RF1を受信する第1のRF入力ノード905に、DC阻止キャパシタ904が接続されている。同様に、第2のRF入力信号RF2を受信する第2のRF入力ノード907に、DC阻止キャパシタ906が接続されている。さらに、スイッチ回路900によって第1のRF入力ノード905又は第2のRF入力ノード907の何れかから選択的にノードRFC903に伝達されるRF共通出力信号（RFC）を提供するRF共通出力ノード903（すなわち、RFCは、より詳細に後述される制御信号C1及びC1xによって制御されるスイッチ動作に応じて、RF1又はRF2の何れかを出力する）に、DC阻止キャパシタ902が電氣的に接続されている。

【0149】

第1の制御信号C1は、ACC型のSOI型NMOSFET526及び528'の動作状態を制御するために供給される（すなわち、C1は選択的にこれらFETをオン状態又はオフ状態で動作させる）。同様に、第2の制御信号C1xは、ACC型のSOI型NMOSFET528及び526'の動作状態を制御するために供給される。周知の通り、また例えば組み込まれた上記米国特許第6804502に記載されているように、制御信号C1及びC1xは、ACC型のSOI型NMOSFET528及び526'がオフ状態にあるときに、ACC型のSOI型NMOSFET526及び528'がオン状態となり、逆のときには逆の状態となるように生成される。この構成により、RFスイッチ回路900は信号RF1又はRF2の何れかをRF共通出力ノード903に伝達することができる。

【0150】

第1のACCS制御信号C2は、SOI型NMOSFET526及び528'のACCS端子の動作を制御するように設定される。第2のACCS制御信号C2xは、SOI型NMOSFET528及び526'のACCS端子の動作を制御するように設定される。第1のACCS制御信号C2及び第2のACCS制御信号C2xは、ACC型のSOI型NMOSFETが蓄積電荷レジームで動作するときに蓄積電荷を除去、削減、あるいはその他の方法で制御するために、それが結合されるそれぞれのNMOSFETのACCSが適切にバイアスされるように選択される。

【0151】

図9のRFスイッチ回路900に示されているように、一部の実施形態においては、ACC型NMOSFET526のソースとドレインとの間に、Rds抵抗908が電氣的に接続される。同様に、一部の実施形態においては、ACC型NMOSFET526'のソースとドレインとの間に、Rds抵抗910が電氣的に接続される。この実施例によれば、回路900は、如何なるときも分流ACC型NMOSFET528又は分流ACC型NMOSFET528'の何れかがオン状態で動作し、それにより、それぞれノード905又は907にグラウンドへの低インピーダンスパスを提供する（すなわち、常にノード905の入力信号RF1又はノード907の入力信号RF2の少なくとも一方がRFCノード903に伝達される）ように動作する。従って、Rds抵抗908又はRds抵抗910の何れかが、RF共通ノード903からグラウンドへの低インピーダンスパスを提供することにより、さもなければDC阻止キャパシタ902、904及び906を用いるときに発生しうる問題である、ノード903、905及び907に流入するACC電流の結果として引き起こされる電圧バイアス問題が回避される。

【0152】

この開示に係るACC型MOSFETにより提供される更なる典型的な効果

上述のように、SOI型MOSFETのボディ内の蓄積電荷の存在は、フローティングボディ型MOSFETのドレイン-ソース間破壊電圧(BVDS)特性に悪影響を及ぼし得る。これはまた、例えばRFスイッチング回路などの或る一定の回路で使用されるときにオフ状態のMOSFETの線形性を悪化させるという望ましくない影響を有する。例えば、図9に示された分流SOI型NMOSFET528を考察する。さらに、分流NMOSFET528は、この教示に従って製造されたACC型NMOSFETではなく従来のSOI型NMOSFETで実現されている場合を考える。また、RF伝送配線は50Ω系を使用していると仮定する。信号入力小さく、且つNMOSFET528がオフ状態で動作しているとき、従来のオフ状態の分流NMOSFET528は、複数のRF信号の存在下で高調波歪み及び／又は相互変調歪みをもたらし得る。これはまた、目に付くほどの信号電力の損失をもたらす。

【0153】

NMOSFET528をBVDSレジームに入らせるのに十分な大きさの信号が入力されたとき、RF電流の一部は切除、あるいはNMOSFET528を通してグラウンドへと向け直され、信号電力損失を発生させる。この電流“切除(clipping)”は、例えばRFスイッチの“出力電力-入力電力”プロットにて表され得る圧縮挙動を引き起こす。これはしばしば、挿入損失が小信号挿入損失で1.0dBだけ増加するP1dBによって特徴付けられる。これはスイッチの非線形性の明白な指標である。ここで開示された方法及び装置によれば、蓄積電荷を除去、削減、あるいはその他の方法で制御することによりBVDSの発生点が増大される。そして、NMOSFET528のBVDS発生点の増大は、それに相応してスイッチの大信号電力処理能力を増大させる。一例として、スイッチの場合、ACC型NMOSFETのBVDS電圧を倍増させることは、P1dB点を6dBだけ上昇させる。これは従来のRFスイッチ設計と比較して有意な成果である。

【0154】

また、詳細に上述されたように、SOI型MOSFETのボディ内の蓄積電荷の存在は、Coffの大きさに悪影響を及ぼし、FETがオン状態からオフ状態に切り替えられるのに時間を要する。スイッチ性能に関し、Coffの非線形性は（上述のように）スイッチ全体の線形性に悪影響を及ぼし、Coffの大きさは、例えば挿入損失、挿入位相（又

は遅延)及び分離性などの小信号性能パラメータに悪影響を及ぼす。ここで開示された方法及び装置を用いて C_{off} を小さくすることによって、(ACC型MOSFETを用いて実現された)スイッチは、寄生キャパシタンスの低減により低減された挿入損失、やはり寄生キャパシタンスの低減により低減された挿入位相(又は遅延)、及び一層小さい容量性フィードスルーにより高められた分離性を有することになる。

【0155】

ACC型MOSFETはまた、経時的な小信号パラメータのドリフトに関係するSOI型MOSFETのドリフト特性を改善する。SOI型MOSFETはスイッチがオフにされたときに蓄積電荷を蓄積するのに幾らかの時間を要するので、当初、 C_{off} キャパシタンスはかなり小さいものである。しかしながら、蓄積電荷レジームで動作させられて時間が経過すると、オフ状態キャパシタンス C_{off} は最終的な値に向かって増大する。NMOSFETが完全な蓄積電荷状態に到達するのに要する時間は、電子-正孔対(EHP)生成機構に依存する。典型的に、この時間は例えば室温での熱的EHP生成の場合でおよそ何百ms程度である。この充電時間の間に挿入損失及び挿入位相が増大する。また、この時間中に分離性が低下する。周知の通り、これらは標準的なSOI型MOSFETデバイスにおいて望ましくない現象である。これらの問題は、上述のACC型NMOSFET及びその関連回路を用いて軽減、あるいはその他の方法で緩和される。

【0156】

開示されたACC型MOSFETの方法及び装置により提供される上述の効果に加えて、開示された技術は、温度性能、 V_{dd} バラつきに対する感度、及びプロセスバラつきに対する感度が改善されたSOI型MOSFETの実現を可能にする。ここで開示された方法及び装置に提供される、従来のSOI型MOSFETに対するその他の改善は、電子デバイス設計及び製造技術の当業者に理解・認識されるところである。

【0157】

典型的な製造方法

この開示に係る一実施形態において、上述の典型的なRFスイッチは、完全に絶縁性の基板の半導体・オン・インシュレータ(SOI)技術を用いて実現されてもよい。また、上述のように、広く使用されているシリコン系に加え、この教示に係る一部の実施形態は、シリコンに代えてシリコンゲルマニウム(SiGe)を同等に用いて実現されてもよい。

【0158】

一部の典型的な実施形態において、この教示に係るMOSFETトランジスタは“極薄シリコン(Ultra-Thin-Silicon; UTSi)”(ここでは、“極薄シリコン・オン・サファイア”とも呼ぶ)技術を用いて実現されてもよい。UTSi製造法に従って、ここで開示された方法を行うために使用されるデバイスは、絶縁性のサファイアウェハ内の極めて薄いシリコン層内に形成される。完全に絶縁性のサファイア基板は、非絶縁性及び部分的に絶縁性の基板に伴う有害な基板結合効果を抑制することによって、本発明に係るRF回路の性能を向上させる。例えば、挿入損失の改善は、トランジスタのオン状態での抵抗を低下させること、及び基板の寄生コンダクタンス及びキャパシタンスを低減することによって実現され得る。また、スイッチの分離性は、UTSi技術によって提供される完全に絶縁性の基板を用いて改善される。シリコン・オン・サファイア技術の完全なる絶縁性により、RFスイッチのノード間の寄生キャパシタンスは、バルクCMOS及びその他の伝統的な集積回路製造技術と比較して大幅に低減される。

【0159】

ここで説明されたMOSFET及び回路にて実現され得るシリコン・オン・サファイア(SOS)デバイスを製造する方法の例は、米国特許第5,416,043号(「Minimum charge FET fabricated on an ultrathin silicon on sapphire wafer」);米国特許第5,492,857号(「High-frequency wireless communication system on a single ultrathin silicon on sapphire chip」);米国特許第5,572,040号(「High-frequency wireless communication system on a single ultrathin silicon on s

apphire chip」) ; 米国特許第5,596,205号 (「High-frequency wireless communication system on a single ultrathin silicon on sapphire chip」) ; 米国特許第5,600,169号 (「Minimum charge FET fabricated on an ultrathin silicon on sapphire wafer」) ; 米国特許第5,663,570号 (「High-frequency wireless communication system on a single ultrathin silicon on sapphire chip」) ; 米国特許第5,861,336号 (「High-frequency wireless communication system on a single ultrathin silicon on sapphire chip」) ; 米国特許第5,863,823号 (「Self-aligned edge control in silicon on insulator」) ; 米国特許第5,883,396 (「High-frequency wireless communication system on a single ultrathin silicon on sapphire chip」) ; 米国特許第5,895,957号 (「Minimum charge FET fabricated on an ultrathin silicon on sapphire wafer」) ; 米国特許第5,920,233号 (「Phase locked loop including a sampling circuit for reducing spurious side bands」) ; 米国特許第5,930,638号 (「Method of making a low parasitic resistor on ultrathin silicon on insulator」) ; 米国特許第5,973,363号 (「CMOS circuitry with shortened P-channel length on ultrathin silicon on insulator」) ; 米国特許第5,973,382号 (「Capacitor on ultrathin semiconductor on insulator」) ; 及び米国特許第6,057,555号 (「High-frequency wireless communication system on a single ultrathin silicon on sapphire chip」) に記載されている。なお、これらの全ては、極薄シリコン・オン・サファイア集積回路設計及び製造の教示に関する全体がここに組み込まれる。

【0160】

その他のバルク及びSOIのCMOSプロセスと同様に、この開示に係る一部の実施形態に好適なSOS促進モードNMOSFETは、一部の実施形態において、n型のソース及びドレイン領域を用いてチャネル領域へのp型イオン注入によって製造されてもよく、およそ+500mVの閾値電圧を有していてもよい。閾値電圧はp型ドーピングレベルに直接的に関係しており、ドーピングレベルが高いほど高い閾値がもたらされる。同様に、SOS促進モードPMOSFETは、一部の典型的な実施形態において、n型チャネル領域とp型ソース及びドレイン領域を用いて実現されてもよい。この場合も、ドーピングレベルが閾値電圧を定め、ドーピングレベルが高いほど閾値は一層と負側になる。

【0161】

一部の典型的な実施形態において、この開示に係る一部の実施形態に好適なSOS型ディプレッションモードNMOSFETは、n型トランジスタにp型チャネル注入マスクを設け、n型チャネル、ソース及びドレイン領域を有する構造と、およそ-500mVの負の閾値電圧をもたらしことによって製造されてもよい。同様に、一部の典型的な実施形態において、好適なディプレッションモードPMOSFETは、p型トランジスタにn型チャネル注入マスクを設け、p型チャネル、ソース及びドレイン領域を有する構造と、およそ+500mVの正の閾値電圧をもたらしことによって実現されてもよい。

【0162】

背景技術にて説明されたように、本発明に係るACC型MOSFET装置は、以下に限られないが、シリコン・オン・インシュレータ、シリコン・オン・サファイア、及びシリコン・オン・接合ウェハ技術を含む如何なる好適な半導体・オン・インシュレータ技術を用いても実現され得る。このようなシリコン・オン・接合ウェハ技術の1つは“直接シリコン接合(DSB)”基板を用いるものである。直接シリコン接合(DSB)基板は、異なる結晶方位を有する単結晶シリコン膜をベース基板に接合させ、電気的に貼り付けることによって製造される。これを実現したものは、カリフォルニア州サンノゼに本社を置くシリコン・ジェネシス社から入手可能である。シリコン・ジェネシス社のウェブサイト(www.siggen.comにて一般公開されている)に記載されているように、シリコン・オン・接合ウェハ技術は、室温で実行可能な所謂“ナノクリーブ(NanoCleave(登録商標))”接合プロセスを含む。このプロセスを用いると、SOIウェハは、例えばゲルマニウム・オン・インシュレータ(GeOI)ウェハの製造においてなど、実質的に相異なる熱膨張係

数を有する材料群を用いて形成されることができる。シリコン・オン・接合ウェハについて記載している特許の例は以下である：2006年6月6日に発行された米国特許第7,056,808号；2005年11月29日に発行された米国特許第6,969,668号；2005年6月21日に発行された米国特許第6,908,832号；2003年10月14日に発行された米国特許第6,632,724号；及び2004年9月14日に発行された米国特許第6,790,747号。なお、これらの全ては、接合ウェハ上にシリコンデバイスを製造する技術及び方法の教示に関して、参照することによりここに組み込まれる。

【0163】

SOS内のエンハンスメントモード及びディプレッションモードのトランジスタの製造に関する参考文献は、R.Orndorff、D.Butcher、「CMOS/SOS/LSI Switching Regulator Control Device」、Solid-State Circuits Conference Digest of Technical Papers、1978年2月、第21巻、pp.234-235である。なお、この文献は、エンハンスメントモード及びディプレッションモードのSOSTランジスタの製造技術に関して、その全体がここに組み込まれる。

【0164】

典型的な結果

MOSFETの線形性を改善することに使用される開示された方法及び装置を用いて得られ得る典型的な結果が図10-19に示されている。測定結果は単極六投（SP6T）RFスイッチに関して提示される。RFスイッチ回路設計の当業者に理解されるように、これらの結果は如何なる実用的なRFスイッチ構成にも拡張され得るものであり、故に、結果を示される例示的なSP6Tスイッチに限定されるものではない。

【0165】

図10-15は、従来技術に係るデバイスとここで開示された方法及び装置に従って製造されたACC型MOSFETデバイスとに関して、入力電力に対する高調波特性を示している。開示された方法及び装置に係るACC型MOSFETを用いて実現された回路は、対数目盛上で入力電力に対して3：1の傾斜で上昇する第三高調波（3fo）応答を有している。電子デバイス設計技術の当業者に認識されるように、この開示に従って製造された改善されたRFスイッチ設計では、入力電力に依存する動的なバイアス印加が発生していない。対照的に、従来のフローティングボディ型FETの高調波は、不都合なことに、3：1の傾斜に従っていない。このことは例えばIM3等の小信号三次歪みに不利なことである。

【0166】

図10-19に示されるように、+35dBmというGSMの最大入力電力において、3foは14dBだけ改善されている。これは図11に詳細に示されている。第三高調波歪みの改善はまた、例えば五次応答、七次応答などの全ての奇数次応答に適用され得る。

【0167】

3foと同様に、改善されたACC型MOSFETで実現されたRFスイッチの二次応答は2：1の傾斜（入力の2乗）に従っているが、従来技術に係るRFスイッチはそれに従っていない。このことは、低入力電力での改善された2fo及びIM2性能と、+35dBmでのほぼ同一の性能とをもたらしている。

【0168】

図14及び15は、50Ω負荷でない条件での性能を示している。この場合、負荷は5：1の不整合を表しており、負荷インピーダンスは大きさに2/3の反射係数をもたらす如何なる好適な値をも有し得る。SOI型MOSFETの場合、より高い電圧をもたらす反射係数が最も深刻な問題を生じさせる。5：1のVSWRにて、電圧は1.667倍に高くなり得る。当業者は、この不整合条件と同一となる一層高い電圧まで入力電力をスウィープさせることによって同様にこれを観測し得る。

【0169】

図10-19は、ここで開示された方法及び装置に従って製造されたACC型MOSFETを用いて実現された改善型のRFスイッチは、従来のRFスイッチと比較して改善さ

れた大電力処理能力を有することを示している。図10-19に示されるように、高調波は最も不整合な位相角で約20 dBである。過渡的な高調波も示されている。当業者に観測されるように、標準的なSP6Tスイッチの3foは最終値に到達する前に数dBだけオーバーシュートしている。ここで開示された方法及び装置に従って製造された改善型のSP6Tスイッチは、そのような時間依存性を見せていない。

【0170】

図16は、この教示に係る改善型のSP6T-RFスイッチを用いて達成される挿入損失性能を示している。観測されるように、改善型のSP6Tスイッチは、僅かに改善された挿入損失(IL)性能を有している。図17は、この改善型のSP6T-RFスイッチを用いると分離性(アイソレーション)も僅かに改善されることを示している。

10

【0171】

図18は、RFスイッチが有する僅かに非線形な挙動の指標であるIM3性能を示している。この場合も試験対象のシステムの負荷不整合による位相に対して、IM3性能が示されている。図18を再考察することにより観測され得るように、改善型のSP6T-RFスイッチは約27 dBだけ改善されている。

【0172】

最後に、図19はIM2のデータも含めたまとめの表である。図19は、低周波数遮断器(blocker)の場合のほぼ20 dBの改善、及び高周波数遮断器の場合のほぼ11 dBの改善を示している。SP6Tが使用され得る典型的な一用途において、全てのIM生成物は-105 dBmを下回らなければならない。この改善型SP6Tスイッチは、本出願の出願時において製造されていた、この要求を満たす唯一のRFスイッチである。

20

【0173】

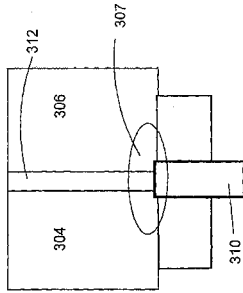
本発明概念に係る数多くの実施形態を説明してきた。そうは言うものの、理解されるように、本発明に係る教示の範囲を逸脱することなく様々な変更が為され得る。例えば、一般的に、1つのモジュールの一部として説明された機能が別のモジュールにおいて等しく果たされてもよいことは理解されるべきである。また、上述のように、全てのRFスイッチ回路は、出力ポートを信号を入力するために用い、入力ポートを信号を出力するために用いて、双方向に用いられることが可能である。さらに、本発明に係る教示は、MOSFETボディから蓄積電荷を除去することによる恩恵を受ける如何なる回路の実現にも使用され得るものである。ここでの教示はまた、オフ状態のトランジスタが比較的高い電圧に対して耐性を有しなければならない回路にも用途を見出し得るものである。その他の典型的な回路には、DC-DCコンバータ回路、電力増幅器、及び同様に電子回路が含まれる。

30

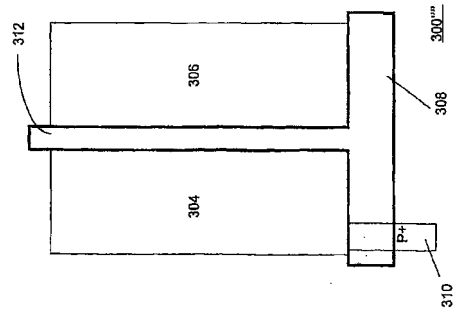
【0174】

従って、理解されるべきことには、ここで説明された概念は、具体的に例示された実施形態によって限定されるものではなく、添付の特許請求の範囲によってのみ限定されるものである。

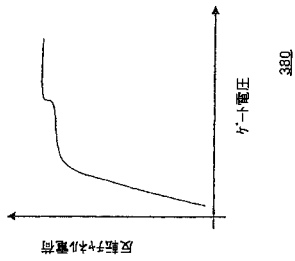
【図 3 H】



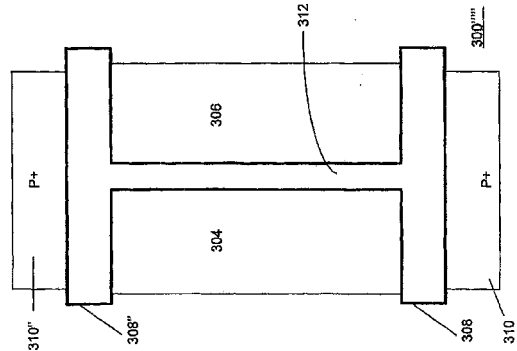
【図 3 J】



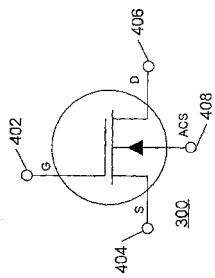
【図 3 I】



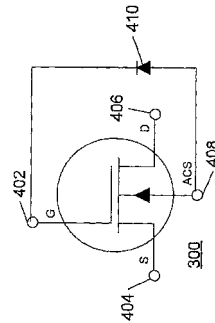
【図 3 K】



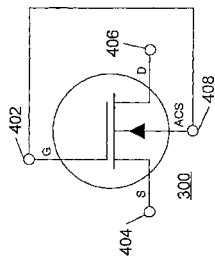
【図 4 A】



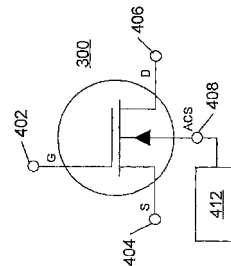
【図 4 C】



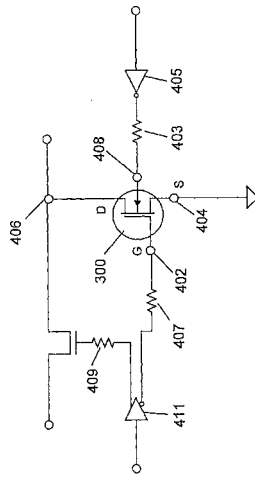
【図 4 B】



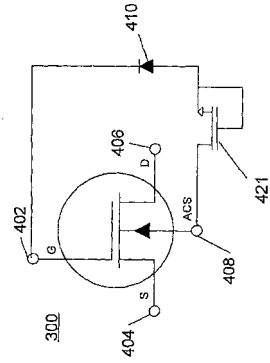
【図 4 D】



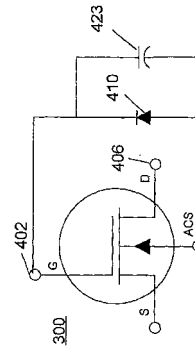
【図 4 E】



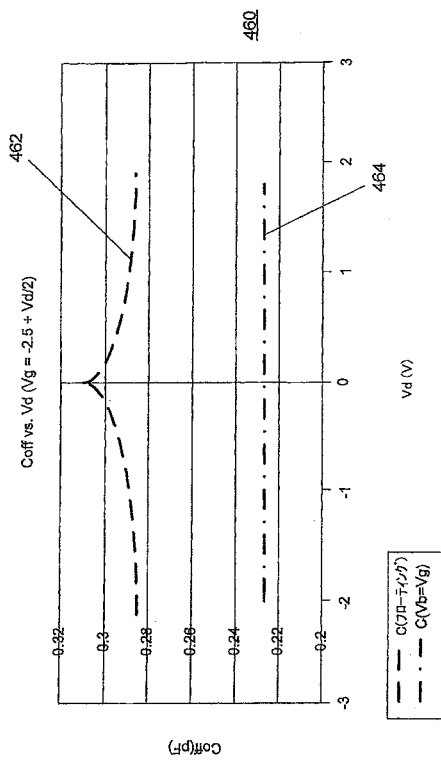
【図 4 F】



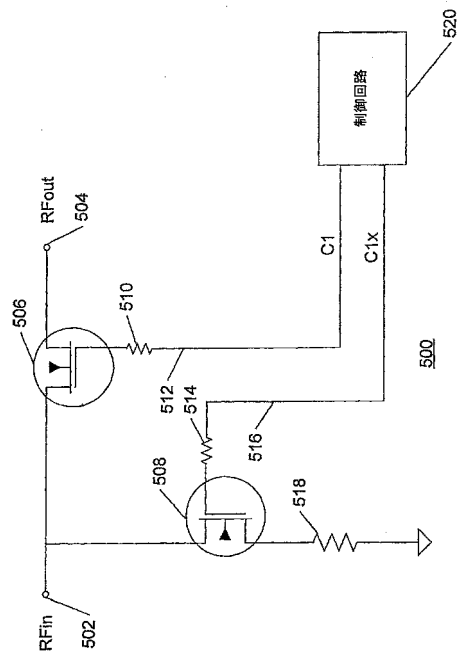
【図 4 G】



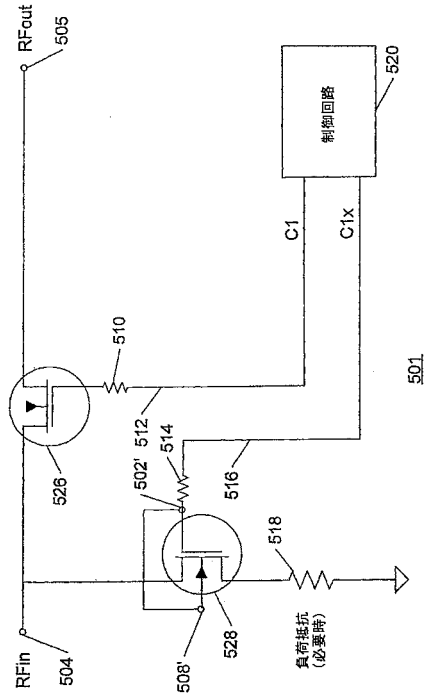
【図 4 H】



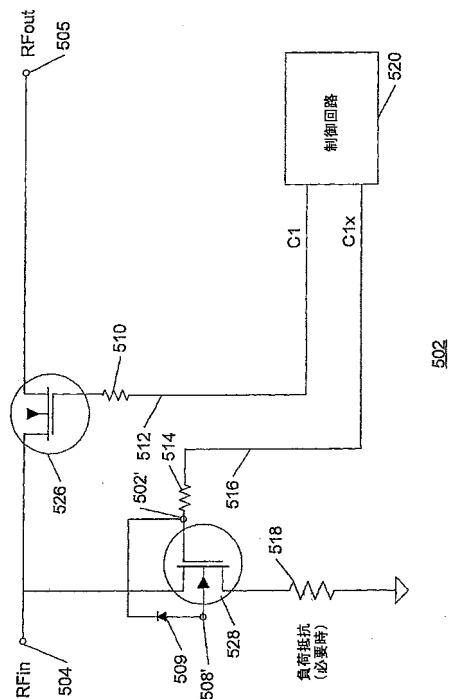
【図 5 A】



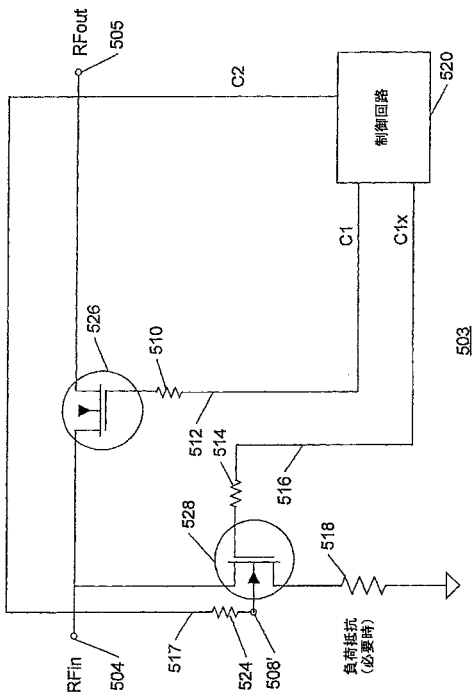
【図 5 B】



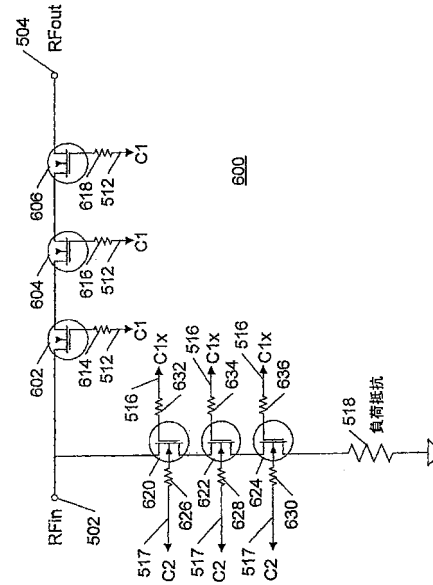
【図 5 C】



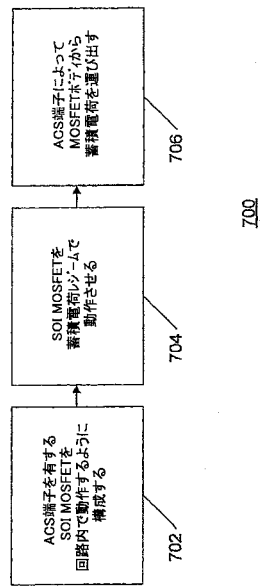
【図 5 D】



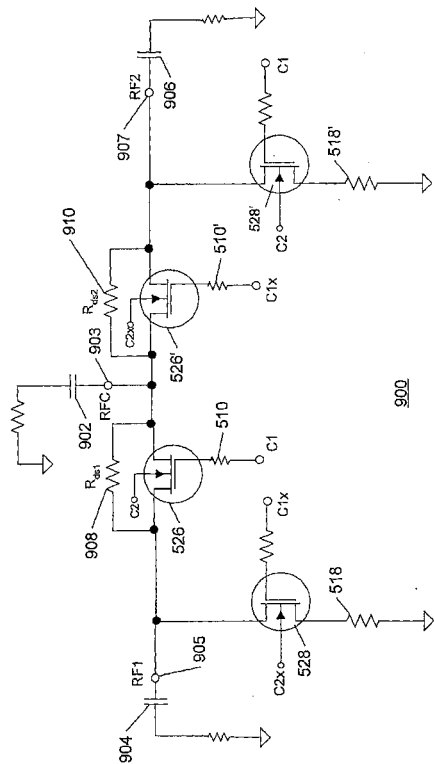
【図 6】



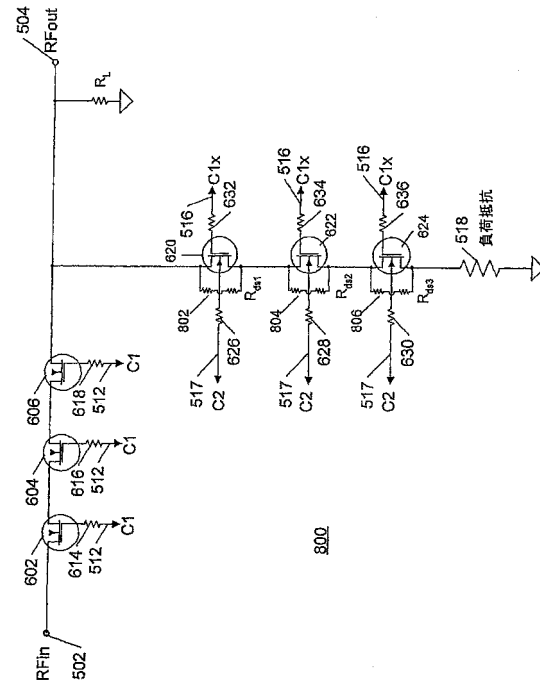
【 図 7 】



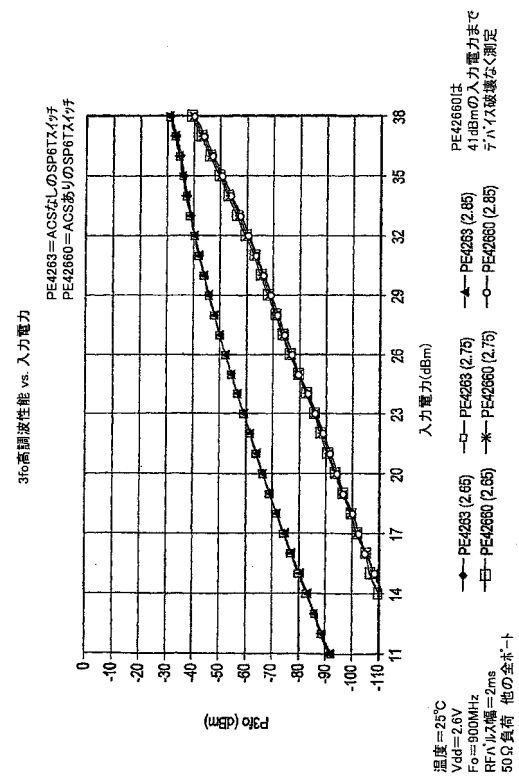
【图 9】



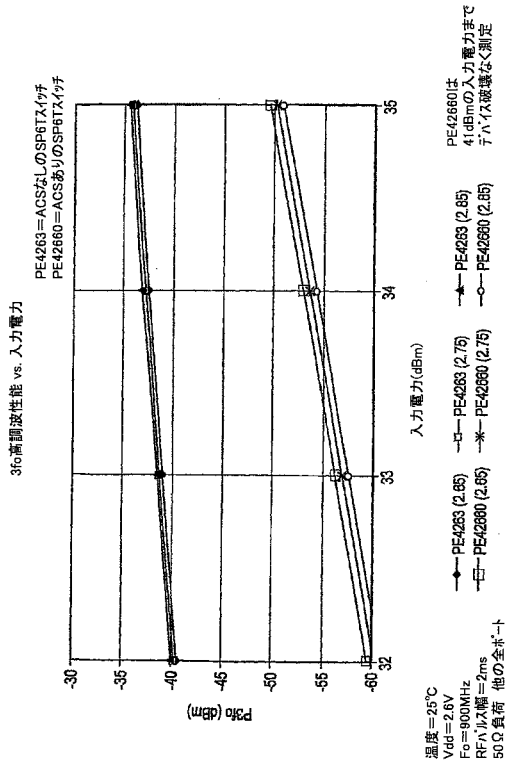
【图 8】



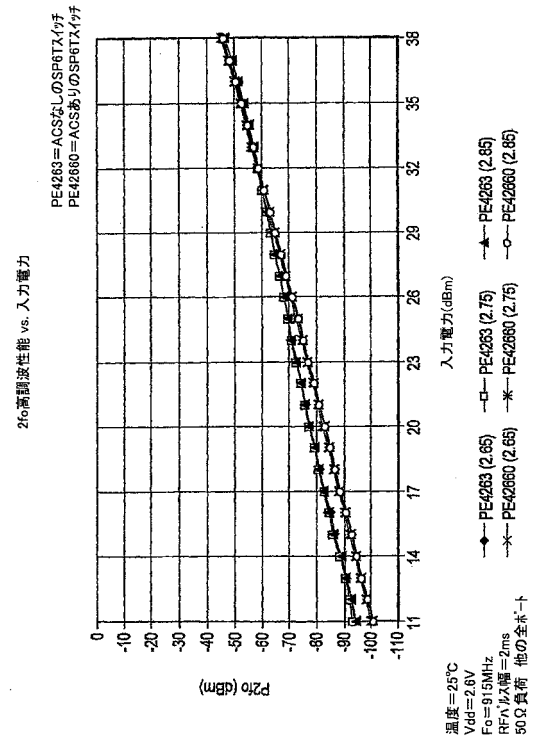
【 図 1 0 】



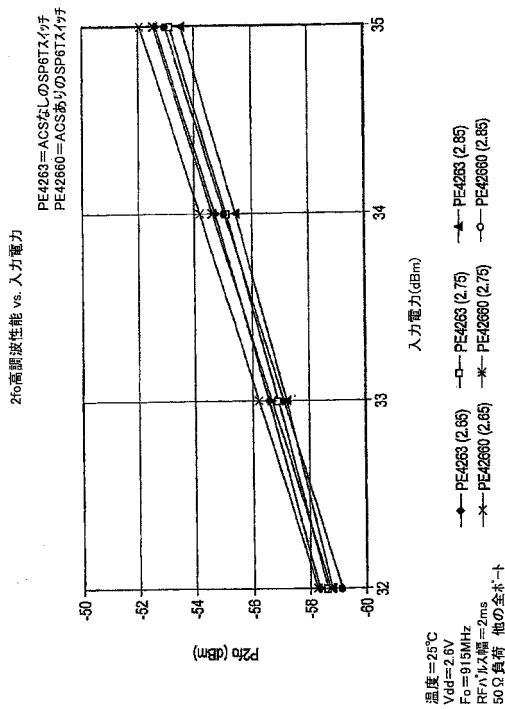
【図 1 1】



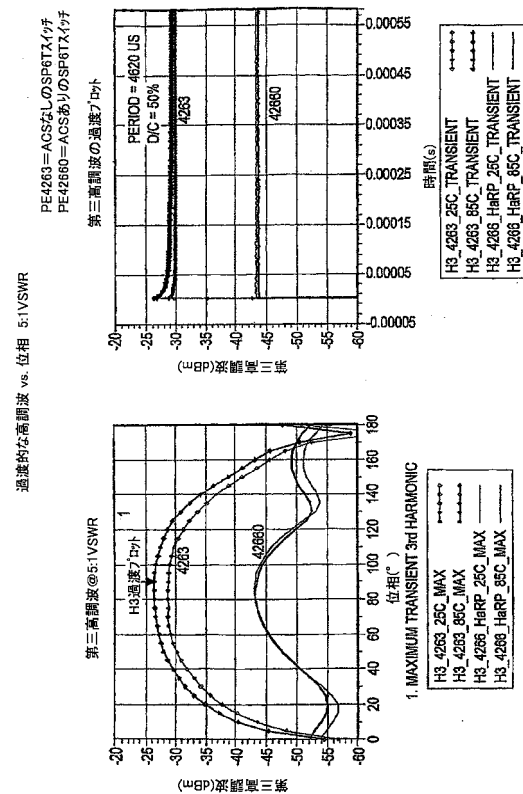
【図 1 2】



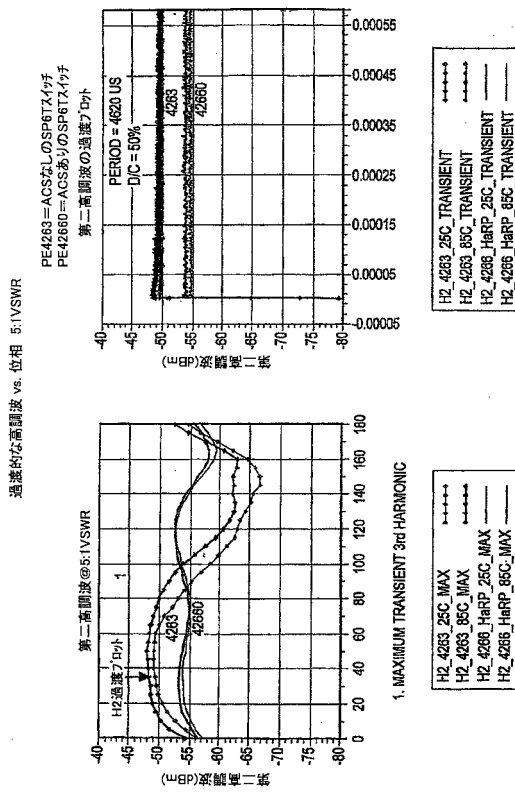
【図 1 3】



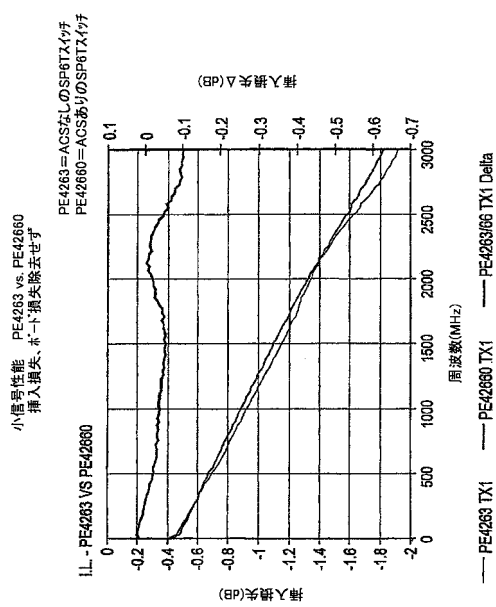
【図 1 4】



【図 15】



【図 16】



【図 17】

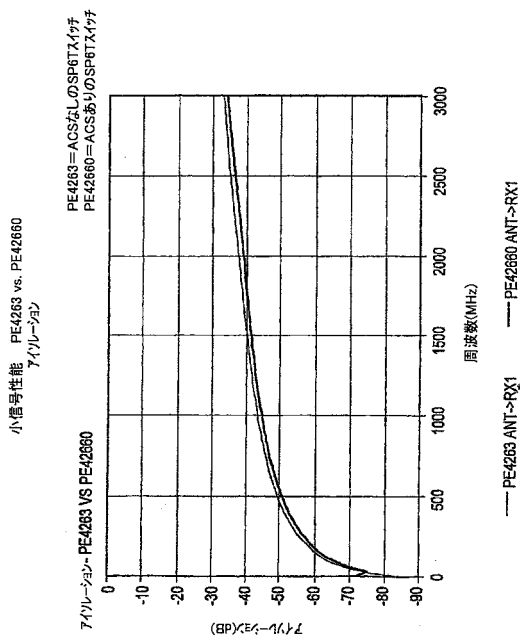
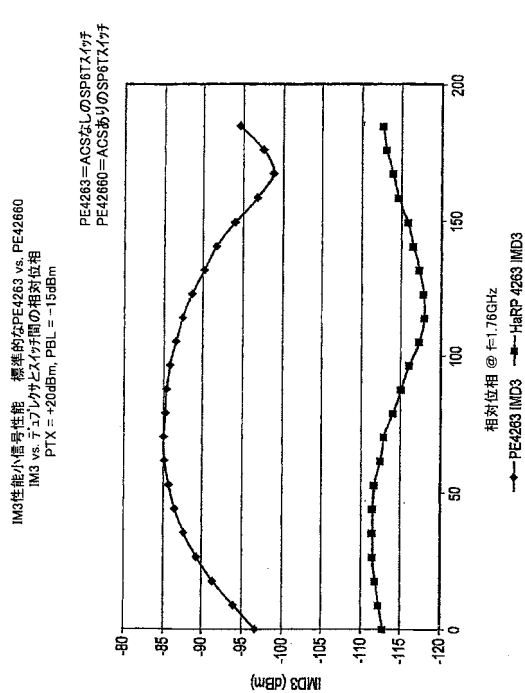


FIG. 17

【図 18】



フロントページの続き

- (72)発明者 ブリンドル, クリストファー, エヌ
アメリカ合衆国, カリフォルニア州 9 2 0 6 4, ポーウェイ, シルヴァー・レイク・ドライヴ
1 3 3 5 1
- (72)発明者 スチューバー, マイケル, エイ
アメリカ合衆国, カリフォルニア州 9 2 0 0 9, カールズバッド, ヴィスタ・カネラ 7 9 0 5
- (72)発明者 ケリー, ディラン, ジェイ
アメリカ合衆国, カリフォルニア州 9 2 1 0 8, サン・ディエゴ, ピアンティノ・サークル 2
6 7 7
- (72)発明者 ケマーリング, クリント, エル
アメリカ合衆国, カリフォルニア州 9 2 0 2 5, エスコンディード, カミノ・マーグレス 3 6
5 8
- (72)発明者 イムサーン, ジョージ, ピー
アメリカ合衆国, カリフォルニア州 9 2 1 2 2, サン・ディエゴ, ハギンズ・ストリート 4 6
5 0
- (72)発明者 ウェルスタン, ロバート, ビー
アメリカ合衆国, カリフォルニア州 9 2 1 2 6, サン・ディエゴ, ダンシー・ロード 7 3 6 5
- (72)発明者 バーゲナー, マーク, エル
アメリカ合衆国, カリフォルニア州 9 2 1 0 7, サン・ディエゴ, ブライトン・アヴェニュー
4 6 0 4

Fターム(参考) 4M104 AA01 AA03 AA09 BB01 CC05 EE03 EE15 FF11 GG09
5F110 AA13 AA15 AA30 BB03 CC02 DD02 DD04 DD05 DD13 EE09
EE10 EE24 EE37 FF02 FF23 GG01 GG02 GG04 GG05 GG12
GG23 GG24 GG34 GG60 NN62 QQ16
5J055 BX05 CX01 DX22 EY21 GX01 GX06 GX07 GX08