

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5295507号
(P5295507)

(45) 発行日 平成25年9月18日 (2013. 9. 18)

(24) 登録日 平成25年6月21日 (2013. 6. 21)

(51) Int. Cl.

F I

H O 1 L 31/10 (2006.01)

H O 1 L 31/10 A

G O 2 F 1/1335 (2006.01)

G O 2 F 1/1335

請求項の数 6 (全 24 頁)

(21) 出願番号 特願2007-45052 (P2007-45052)
 (22) 出願日 平成19年2月26日 (2007. 2. 26)
 (65) 公開番号 特開2008-209559 (P2008-209559A)
 (43) 公開日 平成20年9月11日 (2008. 9. 11)
 審査請求日 平成22年1月26日 (2010. 1. 26)

(73) 特許権者 598172398
 株式会社ジャパンディスプレイウエスト
 愛知県知多郡東浦町大字緒川字上舟木50
 番地
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 小橋 裕
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内

審査官 濱田 聖司

最終頁に続く

(54) 【発明の名称】 半導体装置、表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

第1の基板上に形成され、複数の受光部と複数のアノード領域と複数のカソード領域を含む光センサーと、前記光センサーに外光を取り入れるために前記第1の基板に対向配置される第2の基板上に設けられた遮光層の一部を除去する形で前記光センサーと重なる位置に形成された長方形の受光開口部と、前記複数のアノード領域に共通して接続されるアノード配線と、前記複数のカソード領域に共通して接続されるカソード配線と、を備えた半導体装置であって、

前記光センサーは、前記受光部が前記アノード領域と前記カソード領域に平面的に挟まれて構成され、前記受光部と前記アノード領域との接合面および前記受光部と前記カソード領域との接合面を有した複数のフォトダイオードからなり、

前記受光部と前記アノード領域との接合面および前記受光部と前記カソード領域との接合面は、平面的に前記受光開口部の短手方向に対して平行になるように形成され、

前記アノード配線および前記カソード配線は、前記受光開口部とは平面視で重ならないように配置され、前記複数の受光部、前記複数のアノード領域、および前記複数のカソード領域の周囲に形成される

ことを特徴とする半導体装置。

【請求項 2】

前記受光部、前記アノード領域および前記カソード領域は、同一のポリシリコン薄膜か

ら構成され、

前記アノード領域は、高濃度のボロニオンをドーピングして形成され、

前記カソード領域は、高濃度のリンイオンをドーピングして形成される

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記アノード配線および前記カソード配線は遮光性の金属を含む

ことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記光センサーは、前記複数のフォトダイオードが並列に接続されてなる

ことを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 5】

請求項 1 ～ 4 のいずれか一項に記載の半導体装置を用いた表示装置。

【請求項 6】

請求項 5 に記載の表示装置を用いた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、光センサーを備えた半導体装置、この半導体装置を用いた表示装置およびこの表示装置を備える電子機器に関する。

【背景技術】

20

【0002】

近年、表示装置上、特に薄膜トランジスターを用いた液晶表示装置において光センサー機能を搭載する技術の開発が進んでいる（例えば特許文献 1）。光センサーを搭載する目的は（1）外光を測定して輝度等を調整することで消費電力低減・画質向上を図る、（2）バックライトを測定し輝度あるいは色度を調整する、（3）指やライトペンの位置を認識しタッチキーとして使用する、の 3 つがあげられる。光センサーとしては PIN ダイオード、PN ダイオードなどがあげられる。いずれの場合も受光部はシリコン薄膜であって、製造上のコストを増大させないため、表示のスイッチング素子を構成するシリコン薄膜と同一製造工程で製造されることが望ましい。このように製造されたフォトセンサーは感度が低いため、面積あたりの素子サイズをなるべく大きくする必要がある。

30

【0003】

また、光センサーの角度依存性は重要な性能要素である。理想的な状態では平面的な構造をもつこれらの光センサーの角度依存性は \cos で表される。ここで は表示装置を構成する基板の法線方向を 0 度とした角度である。この角度依存性が理想状態より狭いと、拡散光条件下では光センサーの感度が低下する。また平行光線下で（1）の目的で使用する場合、特に斜め方向から光が当たる時に本来ある状態より周囲が暗いと判定され、輝度を本来の最適値より暗く設定してしまうのである。

【0004】

【特許文献 1】米国特許第 5 8 3 1 6 9 3 号明細書

【発明の開示】

40

【発明が解決しようとする課題】

【0005】

本発明は面積あたりの素子サイズを向上させて光電流の S / N 比を向上させるとともに、光センサーの角度依存性を向上させる構成を提案するものである。

【課題を解決するための手段】

【0006】

本発明の半導体装置は、基板上に形成され、複数の受光部と複数のアノード領域と複数のカソード領域を含む光センサーと、前記光センサーに前記基板周辺の外光を取り入れるための受光開口部を備えた半導体装置であって、前記光センサーは、前記受光部が前記アノード領域と前記カソード領域に平面的に挟まれて構成され、前記受光部と前記アノード

50

領域との接合面および前記受光部と前記カソード領域との接合面を有したフォトダイオードからなることを特徴とする。このように構成すると、フォトダイオードを櫛歯状に形成して面積あたりの接合面面積を増やすことが出来るので光電流量を増大させることができ、受光部に挟まれたアノード領域・カソード領域に金属配線がないために角度依存性がないフォトダイオードを備えた光センサーを実現できる。また、上記の半導体装置は、前記複数のアノード領域に共通して接続されるアノード配線と、前記複数のカソード領域に共通して接続されるカソード配線と、をさらに備えていてもよい。さらに、前記アノード配線および前記カソード配線は、前記光センサーの受光面に対向配置された前記受光開口部とは平面視で対向せず、前記複数の受光部、前記複数のアノード領域、および前記複数のカソード領域の周囲に形成されていてもよい。

10

【0007】

また、前記受光部、前記アノード領域および前記カソード領域は、同一のポリシリコン薄膜から構成され、それぞれ、ドーパ濃度の違いにより分離されることを特徴とする。なお、前記アノード領域は、高濃度のボロンイオンをドーピングして形成されてもよいし、前記カソード領域は、高濃度のリンイオンをドーピングして形成されてもよい。この構成により、容易に、フォトダイオードを櫛歯状に形成して面積あたりの接合面面積を増やすことができ、光電流量を増大させることができ、角度依存性がないフォトダイオードを備えた光センサーを実現できる。また、本発明の半導体装置は、前記受光部と前記アノード領域との接合面および前記受光部と前記カソード領域との接合面は、平面的に前記受光開口部の短軸方向に対して平行になるように形成されることを特徴とする。このように構成すると、金属を使わないことでアノード領域・カソード領域の比抵抗が上がっても、抵抗による電位変化が無視できる程度に影響を抑えることができる。また、前記アノード配線および前記カソード配線は遮光性の金属を含んでいてもよい。

20

【0008】

また、前記光センサーは、前記複数のフォトダイオードが並列に接続されてなることを特徴とする。この構成により、光センサーの光電流量を増大させることができ、さらに角度依存性に優れる。

【0009】

また、本発明はこれらの半導体装置を用いた表示装置を提案する。これにより、製造コストの上昇無く、表示装置上に設けられたフォトセンサーの角度依存性を向上させ、十分な光電流量を低照度で得ることが可能となるため、消費電力を抑えつつ画質を外光にあわせて最適化できる。

30

【0010】

また、本発明ではこれらの表示装置を用いた電子機器を提案する。低消費電力で高品位な表示装置をコスト上昇無しに備えることができる。

【発明を実施するための最良の形態】

【0011】

以下、本発明に係る光センサー、半導体装置、表示装置およびこれを備える電子機器の実施の形態について、図面に基づいて説明する。

【0012】

40

[第1の実施の形態]

以下、本発明に係る光センサー、半導体装置、表示装置およびこれを備える電子機器の実施の形態について、図面に基づいて説明する。

【0013】

[第1の実施の形態]

図1は本実施例に係る液晶表示装置910の斜視構成図(一部断面図)である。液晶表示装置910は、アクティブマトリクス基板101(半導体装置)と対向基板912とをシール材923により一定の間隔で貼り合わせ、ネマティック相液晶材料922を挟持した液晶パネル911を備える。アクティブマトリクス基板101上には図示しないがポリイミドなどからなる配向材料が塗布されラビング処理されて配向膜が形成されている。ま

50

た、対向基板 912 は、図示しないが画素に対応したカラーフィルタと、光抜けを防止し、コントラストを向上させるための低反射・低透過率樹脂よりなるブラックマトリクス 940 と、アクティブマトリクス基板 101 上の対向導通部 330 - 1 ~ 330 - 2 と短絡される共通電位が供給される ITO 膜でなる対向電極 930 が形成される。ネマティック相液晶材料 922 と接触する面にはポリイミドなどからなる配向材料が塗布され、アクティブマトリクス基板 101 の配向膜のラビング処理の方向とは直交する方向にラビング処理されている。

【0014】

さらに対向基板 912 の外側には、上偏光板 924 を、アクティブマトリクス基板 101 の外側には、下偏光板 925 を各々配置し、互いの偏光方向が直交するよう（クロスニコル状）に配置する。さらに下偏光板 925 下には、バックライトユニット 926 と導光板 927 が配置され、バックライトユニット 926 から導光板 927 に向かって光が照射され、導光板 927 はバックライトユニット 926 からの光をアクティブマトリクス基板 101 に向かって垂直かつ均一な面光源となるように光を反射屈折させることで液晶表示装置 910 の光源として機能する。バックライトユニット 926 は、本実施例では LED ユニットであるが、冷陰極間（CCFL）であってもよい。バックライトユニット 926 はコネクタ 929 を通じて電子機器本体に接続され、電源を供給されるが、本実施例では電源が適宜適切な電流・電圧に調整されることでバックライトユニット 926 からの光量が調整される機能を有する。

【0015】

図示しないが、さらに必要に応じて、周囲を外殻で覆っても良いし、あるいは上偏光板 924 のさらに上に保護用のガラスやアクリル板を取り付けても良いし、視野角改善のため光学補償フィルムを貼っても良い。

【0016】

また、液晶表示装置 910 の外周部には光センサー受光開口部 990 が設けられる。また、アクティブマトリクス基板 101 は、対向基板 912 から張り出す張り出し部 102 が設けられ、その張り出し部 102 にある信号入力端子 320 には、FPC（可撓性基板）928 が実装され電氣的に接続されている。FPC（可撓性基板）928 は電子機器本体に接続され、必要な電源、制御信号等を供給される。

【0017】

さらに液晶表示装置 910 上には 6 個の光センサーの受光開口部 990 - 1 ~ 990 - 6 が設けられる。この受光開口部 990 - 1 ~ 990 - 6 は対向電極 930 上のブラックマトリクス 940 を部分的に除去することで形成されており、外部の光がアクティブマトリクス基板 101 上に到達するようになっている。各受光開口部 990 - 1 ~ 990 - 6 の周囲は対向電極 930 上のブラックマトリクス 940 は除去されておらず、外光はアクティブマトリクス基板 101 上に到達しないようになっている。

【0018】

図 2 はアクティブマトリクス基板 101 のブロック図である。アクティブマトリクス基板 101 上には、480 本の走査線 201 - 1 ~ 201 - 480 と 1920 本のデータ線 202 - 1 ~ 202 - 1920 が直交して形成されており、480 本の容量線 203 - 1 ~ 203 - 480 は走査線 201 - 1 ~ 201 - 480 と並行に配置されている。容量線 203 - 1 ~ 203 - 480 は相互に短絡され、共通電位配線 335 と接続され、さらに 2 個の対向導通部 330 - 1 ~ 330 - 2 と接続されて信号入力端子 320 より 0V - 5V の反転信号、反転時間は 35 μ 秒である共通電位を与えられる。走査線 201 - 1 ~ 201 - 480 は走査線駆動回路 301 に接続され、またデータ線 202 - 1 ~ 202 - 1920 はデータ線駆動回路 302 に接続され、それぞれ適切に駆動される。また走査線駆動回路 301、データ線駆動回路 302 は信号入力端子 320 から駆動に必要な信号を供給される。信号入力端子 320 は張り出し部 102 上に配置される。一方、走査線駆動回路 301、データ線駆動回路 302 は対向基板 912 と重なる領域、すなわち張り出し部 102 外に配置される。走査線駆動回路 301、データ線駆動回路 302 は、低温ポリシ

リコンＴＦＴプロセスによりアクティブマトリクス基板上に駆動に必要な回路機能をに集積するシステム・オン・グラス（ＳＯＧ）技術により、アクティブマトリクス基板上にポリシリコン薄膜トランジスタを集積することで形成されており、後述する画素スイッチング素子４０１－ｎ－ｍと同一工程で製造される、いわゆる駆動回路内蔵型の液晶表示装置となっている。

【００１９】

また６個の受光開口部９９０－１～９９０－６と平面的に重なる領域にそれぞれ６個の受光センサー３５０Ｐ－１～３５０Ｐ－６が形成され、それと交互になるように６個の遮光センサー３５０Ｄ－１～３５０Ｄ－６が形成される。この受光センサー３５０Ｐ－１～３５０Ｐ－６と遮光センサー３５０Ｄ－１～３５０Ｄ－６もシステム・オン・グラス（Ｓ

10

【００２０】

受光センサー３５０Ｐ－１～３５０Ｐ－６は受光開口部９９０－１～９９０－６と平面的に重なっており外光がセンサーに到達するが、遮光センサー３５０Ｄ－１～３５０Ｄ－６は受光開口部９９０－１～９９０－６と平面的に重なっておらず、外光は対向電極９３０上のブラックマトリクス９４０で吸収されほとんど到達しない。受光センサー３５０Ｐ－１～３５０Ｐ－６は配線ＰＢＴ、配線ＶＳＨ、配線ＳＥＮＳＥと、遮光センサー３５０Ｄ－１～３５０Ｄ－６は配線ＤＢＴ、配線ＶＳＬ、配線ＳＥＮＳＥと接続される。これらの配線ＰＢＴ、配線ＶＳＨ、配線ＳＥＮＳＥ、配線ＤＢＴ、配線ＶＳＬは検出回路３６０に接続される。検出回路３６０は受光センサー３５０Ｐ－１～３５０Ｐ－６と遮光センサー３５０Ｄ－１～３５０Ｄ－６からの外光照度と相関を持つ出力アナログ電流に対応したパルス長の二値出力信号ＯＵＴに変換し、信号入力端子３２０へ出力する。また、配線ＶＣＨＧ、配線ＲＳＴ、配線ＶＳＬ、配線ＶＳＨも信号入力端子３２０を介して検出回路３６０に供給される。

20

【００２１】

詳細は後述するが、受光センサー３５０Ｐ－１～３５０Ｐ－６はバックライト遮光電極６１１Ｐ－１～６１１Ｐ－６、遮光センサー３５０Ｄ－１～３５０Ｄ－６はバックライト遮光電極６１１Ｄ－１～６１１Ｄ－６とそれぞれ平面的に重なり、それぞれバックライトからの光は遮蔽されているので、バックライトからの光によって外光の検出精度が低下することがないように構成されている。また、受光センサー３５０Ｐ－１～３５０Ｐ－６は透明電極６１２Ｐ－１～６１２Ｐ－６、遮光センサー３５０Ｄ－１～３５０Ｄ－６は透明電極６１２Ｄ－１～６１２Ｄ－６とも重なっており、表示領域３１０を駆動する際に発生した電磁ノイズによって検出精度が低下することもない。これらの構成によって、受光センサー３５０Ｐ－１～３５０Ｐ－６および遮光センサー３５０Ｄ－１～３５０Ｄ－６は表示領域３１０近くに配置しても検出精度が低下しないので、従来の製品よりデザイン的な自由度が向上している。本実施例では受光開口部９９０－１～９９０－６のサイズ、すなわち各受光センサー３５０Ｐ－１～３５０Ｐ－６上のブラックマトリクス９４０の開口サイズは１０ｍｍ×０．３ｍｍに設定し、受光開口部９９０－１～９９０－６の端部から表示領域３１０までの距離は０．５ｍｍとした。

30

40

【００２２】

図３は図２の点線３１０部で示す表示領域のｍ番目のデータ線２０２－ｍとｎ番目の走査線２０１－ｎの交差部付近の回路図である。走査線２０１－ｎとデータ線２０２－ｍの各交点にはＮチャネル型電界効果ポリシリコン薄膜トランジスタよりなる画素スイッチング素子４０１－ｎ－ｍが形成されており、そのゲート電極は走査線２０１－ｎに、ソース・ドレイン電極はそれぞれデータ線２０２－ｍと画素電極４０２－ｎ－ｍに接続されている。画素電極４０２－ｎ－ｍ及び同一電位に短絡される電極は容量線２０３－ｎと補助容量コンデンサ４０３－ｎ－ｍを形成し、また液晶表示装置として組み立てられた際には液晶材料をはさんで対向電極９３０（コモン電極）とやはりコンデンサを形成する。

50

【 0 0 2 3 】

図 4 は本実施例での電子機器の具体的な構成を示すブロック図である。液晶表示装置 910 は図 1 で説明した液晶表示装置であって、外部電源回路 784、映像処理回路 780 が F P C (可撓性基板) 928 およびコネクタ 929 を通じて必要な信号と電源を液晶表示装置 910 に供給する。中央演算回路 781 は外部 I / F 回路 782 を介して入出力機器 783 からの入力データを取得する。ここで入出力機器 783 とは例えばキーボード、マウス、トラックボール、L E D、スピーカー、アンテナなどである。中央演算回路 781 は外部からのデータをもとに各種演算処理を行い、結果をコマンドとして映像処理回路 780 あるいは外部 I / F 回路 782 へ転送する。映像処理回路 780 は中央演算回路 781 からのコマンドに基づき映像情報を更新し、液晶表示装置 910 への信号を変更することで、液晶表示装置 910 の表示映像が変化する。また、液晶表示装置 910 上の検出回路 360 からの二値出力信号 O U T が F P C (可撓性基板) 928 を通じて中央演算回路 781 に入力され、中央演算回路 781 は二値出力信号 O U T のパルス長を対応する離散値に変換する。次に中央演算回路 781 は E E P R O M (Electronically Erasable and Programmable Read Only Memory) よりなる参照テーブル 785 にアクセスし、変換した離散値を適切なバックライトユニット 926 の電圧に対応する値に再変換し、外部電源回路 784 に送信する。外部電源回路 784 はこの送信された値に対応した電圧の電位電源を液晶表示装置 910 内のバックライトユニット 926 にコネクタ 929 を通じて供給する。バックライトユニット 926 の輝度は外部電源回路 784 より供給される電圧によって変化する。液晶表示装置 910 の全白表示時輝度も変化する。ここで電子機器とは具体的にはモニター、T V、ノートパソコン、P D A、デジタルカメラ、ビデオカメラ、携帯電話、携帯フォトビューワー、携帯ビデオプレイヤー、携帯 D V D プレイヤー、携帯オーディオプレイヤーなどである。

【 0 0 2 4 】

なお、本実施例では電子機器上の中央演算回路 781 によってバックライトユニット 926 の輝度を制御したが、例えば液晶表示装置 910 内にドライバー I C 及び E E P R O M を備えた構成とし、このドライバー I C に二値出力信号 O U T から離散値への変換機能、E E P R O M を参照しての再変換機能、バックライトユニット 926 への出力電圧の調整機能を持たせても良い。また、参照テーブルを用いず、数値計算によって離散値からバックライトユニット 926 の電圧に対応する値に再変換するように構成しても良い。

【 0 0 2 5 】

図 5 は図 3 で示した画素表示領域の回路図の実際の構成を示す平面図である。図 5 の凡例に示す通り、各網掛けの異なる部位はそれぞれ異なる材料配線であることを示し、同じ網掛けで示した部位は同じ材料配線であることを示す。クロム薄膜 (C r)、ポリシリコン薄膜 (P o l y - S i)、モリブデン薄膜 (M o)、アルミ・ネオジウム合金薄膜 (A l N d)、酸化インディウム・錫薄膜 (I n d i u m T i n O x i c e d = I T O) の 5 層薄膜より構成されてなり、それぞれの層間には酸化シリコン、窒化シリコン、有機絶縁膜のいずれかあるいはそれらを積層した絶縁膜が形成される。具体的にはクロム薄膜 (C r) は膜厚 100 nm、ポリシリコン薄膜 (P o l y - S i) は膜厚 50 nm、モリブデン薄膜 (M o) は膜厚 200 nm、アルミ・ネオジウム合金薄膜 (A l N d) は膜厚 500 nm、酸化インディウム・錫薄膜 (I T O) は膜厚 100 nm とする。また、クロム薄膜 (C r) とポリシリコン薄膜 (P o l y - S i) の間には 100 nm の窒化シリコン膜と 100 nm の酸化シリコン膜を積層した下地絶縁膜が形成され、ポリシリコン薄膜 (P o l y - S i) とモリブデン薄膜 (M o) の間には 100 nm の酸化シリコン膜からなるゲート絶縁膜が形成され、モリブデン薄膜 (M o) とアルミ・ネオジウム合金薄膜 (A l N d) の間には 200 nm の窒化シリコン膜と 500 nm の酸化シリコン膜を積層した層間絶縁膜が形成され、アルミ・ネオジウム合金薄膜 (A l N d) と酸化インディウム・錫薄膜 (I T O) の間には 200 nm の窒化シリコン膜と平均 1 μ m の有機平坦化膜を積層した保護絶縁膜が形成され、互いの配線間を絶縁しており、適切な位置にコンタクトホールを開口して互いに接続される。。なお、図 5 中にはクロム薄膜 (C r) パターンは

存在しない。

【 0 0 2 6 】

図 5 で示すように、データ線 2 0 2 - m はアルミ・ネオジウム合金薄膜 (A l N d) に
より形成され、コンタクトホールを介して画素スイッチング素子 4 0 1 - n - m のソース
電極に接続される。走査線 2 0 1 - n はモリブデン薄膜 (M o) で構成され、画素スイッ
チング素子 4 0 1 - n - m のゲート電極を兼用する。容量線 2 0 3 - n は走査線 2 0 1 -
n と同じ配線材料から構成され、画素電極 4 0 2 - n - m は酸化インディウム・錫薄膜よ
りなり、画素スイッチング素子 4 0 1 - n - m のドレイン電極にコンタクトホールを通じ
て接続される。また、画素スイッチング素子 4 0 1 - n - m のドレイン電極はリンを高濃
度ドーピングされた n + 型ポリシリコン薄膜よりなる容量部電極 6 0 5 にも接続され、容量線
2 0 3 - n と平面的に重なって補助容量コンデンサー 4 0 3 - n - m を構成する。

10

【 0 0 2 7 】

図 6 は画素スイッチング素子 4 0 1 - n - m の構造を説明するための図 5 の A - A ' 線
部に対応する液晶表示装置 9 1 0 の一部の断面構造を示す図である。なお、図を見やすく
するために縮尺は一定でない。アクティブマトリクス基板 1 0 1 は無アルカリガラスより
なる厚さ 0 . 6 m m の絶縁基板であって、その上に 2 0 0 n m の窒化シリコン膜と 3 0 0
n m の酸化シリコン膜を積層した下地絶縁膜を介してポリシリコン薄膜よりなるシリコン
アイランド 6 0 2 が配置され、走査線 2 0 1 - n はシリコンアイランド 6 0 2 と前述のゲ
ート絶縁膜を挟んで上方に配置される。走査線 2 0 1 - n とオーバーラップする領域では
シリコンアイランド 6 0 2 はリンイオンが全く、あるいはごく低濃度しかドーピングされてい
ない真性半導体領域 6 0 2 I であり、その左右にリンイオンが低濃度にドーピングされたシ
ート抵抗 2 0 k 程度の n - 領域 6 0 2 L が存在し、さらにその左右にリンイオンが高濃度
にドーピングされたシート抵抗 1 k 程度の n + 領域 6 0 2 N が存在する、L D D (Lightly
Doped Drain) 構造である。左右の n + 領域 6 0 2 N は層間絶縁膜にそれぞれ形成したコ
ンタクトホールを介してソース電極 6 0 3、ドレイン電極 6 0 4 と接続しており、ソース
電極 6 0 3 はデータ線 2 0 2 - m と、ドレイン電極 6 0 4 は平坦化絶縁膜上に形成された
画素電極 4 0 2 - n - m とそれぞれ接続している。画素電極 4 0 2 - n - m と対向基板 9
1 2 上の対向電極 9 3 0 との間にはネマティック相液晶材料 9 2 2 が存在する。また、画
素電極 4 0 2 - n - m と一部重なるようにしてブラックマトリクス 9 4 0 が対向基板 9 1
2 上に形成されている。なお、画素スイッチング素子 4 0 1 - n - m の光リーク電流が問
題になる場合はシリコンアイランド 6 0 2 下に C r 膜よりなる遮光層を形成しても良い。
本実施例では光リーク電流はほとんど問題ではなく、かつこのような構造をとると、画素
スイッチング素子 4 0 1 - n - m の移動度が下がるため、シリコンアイランド 6 0 2 下の
C r 膜は除去する構成を選択した。

20

30

【 0 0 2 8 】

図 7 は補助容量コンデンサー 4 0 3 - n - m の構造を説明するための図 5 の B - B ' 線
部に対応する液晶表示装置 9 1 0 の一部の断面構造を示す図であり、ドレイン電極 6 0 4
と繋がる容量部電極 6 0 5 と容量線 2 0 3 - n がゲート絶縁膜をはさんで重なることで蓄
積容量を形成している。

【 0 0 2 9 】

図 8 は受光センサー 3 5 0 P - 1 (第 1 の光センサー) と遮光センサー 3 5 0 D - 1 (第 2 の光センサー) 付近の拡大平面図である。なお、図を見やすくするために縦と横の縮
尺は一定でない。また、凡例は図 5 と同様である。受光センサー 3 5 0 P - 1 は太点線で
示す受光開口部 9 9 0 - 1 と平面的に重なっており、外光が照射されるようになっている。
受光センサー 3 5 0 P - 1 は 4 箇所の孤立した受光部 3 5 0 P - 1 I とそれに隣り合う
配線 S E N S E に接続されるアノード領域 3 5 0 P - 1 P と、配線 V S H に接続されるカ
ソード領域 3 5 0 P - 1 N とによって構成される。受光部 3 5 0 P - 1 I、アノード領域
3 5 0 P - 1 P、カソード領域 3 5 0 P - 1 N はいずれも同一のポリシリコン薄膜アイラ
ンドがドーピング濃度の違いによって分離されることで構成され、アノード領域 3 5 0 P - 1
P は比較的高濃度のボロンイオンがドーピングされ、カソード領域 3 5 0 P - 1 N は比較的高

40

50

濃度のリンイオンがドーブされ、受光部 350P-1I はごく低濃度でしかボロンイオン・リンイオンを含まない。また、アノード領域 350P-1P、カソード領域 350P-1N、受光部 350P-1I はそれぞれ幅 10 μ m であって、受光部 350P-1I の長さはそれぞれ 1000 μ m である。このように受光センサー 350P-1 は複数の並列接続された PIN 接合ダイオードからなるフォトダイオードを構成している。受光センサー 350P-1 及び遮光センサー 350D-1 の表示領域 310 に近い側には共通電位配線 335 が配置されるが、本実施例では受光センサー 350P-1 及び遮光センサー 350D-1 には接続されず、電磁ノイズの影響を避けるため 100 μ m 離して配置している。

【0030】

遮光センサー 350D-1 は 4 箇所の孤立した受光部 350D-1I とそれに隣り合う配線 VSL に接続されるアノード領域 350D-1P と、配線 SENSE に接続されるカソード領域 350D-1N とによって構成される。カソードとアノードが接続される配線が異なることと、受光開口部 990-1 と平面的に重なっていないこと以外は受光センサー 350P-1 と遮光センサー 350D-1 は同一の構成であるので、これ以上の説明は省略する。また、受光センサー 350P-2 ~ 350P-5 は受光センサー 350P-1 と、遮光センサー 350D-2 ~ 350D-5 は遮光センサー 350D-1 と、それぞれ配置位置を除いて同様の構成であるので説明は省略する。

【0031】

図 9 は受光センサー 350P-1 の構造を説明するための図 8 の線 C-C' 線部に対応する液晶表示装置 910 の一部の断面構造を示す図である。アクティブマトリクス基板 101 上には下地絶縁膜を介してバックライト遮光電極 611P-1 (第 1 の遮光電極) が配置され、その上に薄膜ポリシリコンよりなる受光センサー 350P-1 がゲート絶縁膜を挟んで形成される。受光センサー 350P-1 が 4 箇所の受光部 350P-1I とそれに隣り合う配線 VSL に接続されるアノード領域 350P-1P と、配線 SENSE に接続されるカソード領域 350P-1N とによって構成されるのは前述の通りである。受光センサー 350P-1 の上方には層間絶縁膜、平坦化絶縁膜を介して酸化インディウム・錫薄膜 (ITO) よりなる透明電極 612P-1 (第 1 の透明電極) が配置され、受光部 350P-1I に対する電界シールドとして機能する。透明電極 612P-1 の上方はネマティック相液晶材料 922 が封入され、対向基板 912 上の対向電極 930 が配置される。なお、受光センサー 350P-1 配置位置によってはネマティック相液晶材料 922 のかわりにシール材 923 が配置されることもある。受光開口部 990-1 は対向基板 912 上のブラックマトリクス 940 を部分的に除去することで形成されてなる。図示しないが、遮光センサー 350D-1 上には受光開口部は存在しないので、ブラックマトリクス 940 は除去されない。

【0032】

対向基板 912 の上方からは外光 LA が照射され、他方、アクティブマトリクス基板 101 の下方からはバックライトユニット 926 からの光 (バックライト光 LB) が照射される構成となっている。

【0033】

なお、本実施例では実施していないが、受光開口部 990-1 部に光学的な補正層を入れてもよい。例えば対向基板 912 に形成される画素に対応したカラーフィルタを構成する色材のうちの一つあるいは複数を受光開口部 990-1 と重ねて形成して、視感度分光特性と受光センサー 350P-1 をより一致させるようにしてもよい。例えばグリーンの画素に対応する色材を受光開口部 990-1 上に重ねて形成すれば、短波長と長波長側をカットするため、受光センサー 350P-1 の分光特性が視感度分光特性より短波長あるいは長波長にずれていても補正できる。その他、反射防止膜や干渉層、偏光層等と目的に応じて受光開口部 990-1 部を重ねればよい。また、本図では図示していないが、上偏光板 924 は受光開口部 990-1 と重ねてもよいし、除去しても良い。重ねた方が受光開口部 990-1 は目立たなくなるが、除去すると光感度が向上する。

【0034】

本実施例では液晶表示装置 9 1 0 は低消費電力化のため、共通電位配線 3 3 5 に反転信号を印加する共通電極反転駆動（コモン A C 駆動）を行っているので、対向電極 9 3 0 には振幅 0 V ~ 5 V、周波数 1 4 K H z の A C 信号が印加される。しかしながら対向電極 9 3 0 より生じる電磁波は透明電極 6 1 2 P - 1 によってシールドされるため、対向電極 9 3 0 反転時に受光センサー 3 5 0 P - 1 にノイズがほとんどのることがない。同様に下方からの電磁ノイズに対してはバックライト遮光電極 6 1 1 P - 1 がシールドとして機能する。

【 0 0 3 5 】

図 1 0 は図 8 の線 D - D ' 線部に対応する液晶表示装置 9 1 0 の一部の断面構造を示す図である。下地絶縁膜上に形成されるバックライト遮光電極 6 1 1 P - 1（第 1 の遮光電極）とバックライト遮光電極 6 1 1 D - 1（第 2 の遮光電極）は遮光電極間隙 6 1 1 G によって互いに離間しており、別々の電位を与えられる。また平坦化絶縁膜上に形成される透明電極 6 1 2 P - 1（第 1 の透明電極）と透明電極 6 1 2 D - 1（第 2 の透明電極）も透明電極間隙 6 1 2 G によって互いに離間しており、別々の電位を与えられる。バックライト遮光電極 6 1 1 P - 1 と透明電極 6 1 2 P - 1 は互いに中間電極 6 1 3 P - 1 とゲート絶縁膜、層間絶縁膜および平坦化絶縁膜に形成されたコンタクトホールを介して接続されており、最終的に配線 P B T に接続される。バックライト遮光電極 6 1 1 D - 1 と透明電極 6 1 2 D - 1 は互いに中間電極 6 1 3 D - 1 とコンタクトホールを介して接続されており、最終的に配線 D B T に接続される。

【 0 0 3 6 】

ここで遮光電極間隙 6 1 1 G と透明電極間隙 6 1 2 G はアクティブマトリクス基板 1 0 1 および対向基板 9 1 2 の鉛直方向において互いに重ならない。このように構成すると、平面的に上下ともにシールドされていない領域がなくなるので、間隙から進入する電磁ノイズが左右に広がりにくくなり、間隙によるシールド性能の低下を軽減できる。

【 0 0 3 7 】

また、遮光電極間隙 6 1 1 G と重なるようにモリブデン薄膜（M o）よりなる間隙遮光体 6 1 0 が形成される。これにより、遮光電極間隙 6 1 1 G より進入するバックライト光が各種絶縁膜やガラスの界面等で多重反射され、迷光となって受光センサー 3 5 0 P - 1 や遮光センサー 3 5 0 D - 1 に到達する割合を飛躍的に軽減できる。

【 0 0 3 8 】

本実施例では受光部 3 5 0 P - 1 I に隣接したアノード領域 3 5 0 P - 1 P、カソード領域 3 5 0 P - 1 N はドーブされたポリシリコン薄膜のみで構成し、金属配線を引き回さない。このように構成すると、受光開口部 9 9 0 - 1 と平面的に重なる領域にほとんど（あるいは全く）金属配線が受光部 3 5 0 P - 1 I より上層には存在しない。このため、より光の利用効率が良くなり、また広角度の光が入射するため、角度依存性が少なくなるのである。これについてアノード領域 3 5 0 P - 1 P、カソード領域 3 5 0 P - 1 N に金属配線を用いる従来の事例と比較しながら説明する。

【 0 0 3 9 】

図 1 9 は第 1 の実施例の受光センサー 3 5 0 P - 1 と遮光センサー 3 5 0 D - 1 にかわり、従来の構成である受光センサー 3 5 9 P - 1 と遮光センサー 3 5 9 D - 1 を適用した場合の拡大平面図であって、図 2 0 はその E - E ' 断面の図である。図 1 9 は本実施例の図 8 に対応し、図 2 0 は図 9 に対応する。受光センサー 3 5 9 P - 1 はアノード領域 3 5 9 P - 1 P と、カソード領域 3 5 9 P - 1 N と、これらに挟まれた受光部 3 5 9 P - 1 I とによって構成される。以下、受光センサー 3 5 0 P - 1 との違いを説明する。本従来例ではアノード領域 3 5 9 P - 1 P と、カソード領域 3 5 9 P - 1 N はデータ線 2 0 2 - m を構成するアルミ・ネオジウム合金薄膜（A l N d）と同一の膜で形成される金属配線と、ポリシリコン薄膜を積層してコンタクトホールで接続することによって形成している。コンタクトホールのサイズと合わせブレマージンの問題から、アノード領域 3 5 9 P - 1 P とカソード領域 3 5 9 P - 1 N の幅は第 1 の実施例のアノード領域 3 5 0 P - 1 P とカソード領域 3 5 0 P - 1 N の幅よりも大きく、1 5 μ m となっている。受光部 3 5 9 P -

1 I の各領域の幅は受光部 3 5 0 P - 1 I と同じ 1 0 μm であり、長さも受光部 3 5 0 P - 1 I と同じ 1 0 0 0 μm である。受光開口部 9 9 0 - 1 のサイズは本実施例と同じであり、この中に入るように受光センサー 3 5 9 P - 1 のサイズを調整した結果、受光部 3 5 9 P - 1 I は 3 つの領域からなっており、第 1 の実施例の受光部 3 5 0 P - 1 I より領域の数が少なくなっている。

【 0 0 4 0 】

遮光センサー 3 5 9 D - 1 の構成は受光センサー 3 5 9 P - 1 と基本的に同一であるので説明を省略する。また、受光センサー 3 5 0 P - 1 と遮光センサー 3 5 0 D - 1 にかわって受光センサー 3 5 9 P - 1 と遮光センサー 3 5 9 D - 1 を用いている以外は図 1 9 は図 8 と、図 2 0 は図 9 と全く同一の構成であるので、これらの詳細な説明は同じ記号を付与することで省略する。

【 0 0 4 1 】

図 2 0 によると、受光部 3 5 9 P - 1 I の外光入射方向側にアノード領域 3 5 9 P - 1 P と、カソード領域 3 5 9 P - 1 N を構成するアルミ・ネオジウム合金薄膜 (A l N d) の配線が存在する。このようなパターンが存在すると、斜め方向から光が入射した際に光の効率が低下するため、受光センサー 3 5 9 P - 1 の光感度依存性は狭くなる。また、受光開口部 9 9 0 - 1 の中に金属配線があるため、液晶表示装置 9 1 0 上で受光開口部 9 9 0 - 1 がより目立ち、デザイン性が良くない。これを避けるためにはアノード領域 3 5 9 P - 1 P とカソード領域 3 5 9 P - 1 N を構成するアルミ・ネオジウム合金薄膜 (A l N d) の配線と受光部 3 5 9 P - 1 I の距離を長くすればよいが、そうするとますます受光開口部 9 9 0 - 1 の面積あたりの受光部 3 5 9 P - 1 I の割合が低下し、光利用効率が低下してしまう。

【 0 0 4 2 】

本実施例の図 8、図 9 のような構成の受光センサー 3 5 0 P - 1 であれば、受光開口部 9 9 0 - 1 内にバックライト遮光電極 6 1 1 P - 1 以外の金属が存在せず、角度依存性が低下することがない。しかも、従来例に比べ、受光開口部 9 9 0 - 1 における受光部 3 5 0 P - 1 I の面積の占める密度が高く、より大きな光電流を得ることができる。

【 0 0 4 3 】

一方で従来例のアノード領域 3 5 9 P - 1 P、カソード領域 3 5 9 P - 1 N に比べ、本実施例のアノード領域 3 5 0 P - 1 P、カソード領域 3 5 0 P - 1 N の抵抗値は数 1 0 0 ~ 数 1 0 0 0 倍上昇してしまうが、本実施例では受光部 3 5 0 P - 1 I に流れる電流は幅 1 μm あたり上限は使用温度範囲・保証光照度領域内では 1 ナノアンペア以下であるので、これによるアノード・カソード電極電位の変動は 1 mV を超えることはなく、精度上問題にはならない。

【 0 0 4 4 】

なお、光感度の良いセンサー素子を用いる場合は光電流が増大し、高い照度領域でアノード領域・カソード領域の抵抗による電位変動が問題となる場合がある。このような場合は、受光開口部 9 9 0 - 1 及び光センサーのサイズを縮めるか、アノード領域・カソード領域の幅を広げるなどしてもよい。また、受光部からはなれた箇所のアノード領域・カソード領域でのみ、金属配線を併用するなどしてもよい。

【 0 0 4 5 】

受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6、遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 の等価回路が図 1 1 である。各受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6、遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 はそれぞれ、4 つの P I N ダイオードが並列に接続されている。また、各受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 も互いに並列に接続されており、遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 も互いに並列に接続されている。ゆえに最終的に図 1 1 は図 1 2 の回路図と等価である。すなわち、遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 はチャネル幅 2 4 0 0 0 μm 、チャネル長 1 0 μm の P I N ダイオードであり、そのアノードは配線 V S L に接続され、そのカソードは配線 S E N S E に接続される。また、遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 と平面的に重なるバックライト遮光電極 6 1

10

20

30

40

50

1 D - 1 ~ 6 1 1 D - 6 及び透明電極 6 1 2 D - 1 ~ 6 1 2 D - 6 は配線 D B T に接続される。受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 はチャネル幅 2 4 0 0 0 μm 、チャネル長 1 0 μm の P I N ダイオードであり、そのアノードは配線 S E N S E に接続され、そのカソードは配線 V S H に接続される。また、受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 と平面的に重なるバックライト遮光電極 6 1 1 P - 1 ~ 6 1 1 P - 6 及び透明電極 6 1 2 P - 1 ~ 6 1 2 P - 6 は配線 P B T に接続される。

【 0 0 4 6 】

ここで受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6、遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 を図 1 5 及び図 1 6 で説明したような従来構成の受光センサー 3 5 9 P - 1、遮光センサー 3 5 9 D - 1 のような構成にそれぞれ置き換えると、受光センサー・遮光センサーのチャネル幅は 1 8 0 0 0 μm になる。すなわち、本実施例の構成では従来構成と比べて 4 / 3 倍の素子サイズが設定可能であって、光電流も 4 / 3 倍得ることができるので、より低照度での照度検出が可能になっているのである。

【 0 0 4 7 】

図 1 3 は一定の外光照度 L X が液晶表示装置 9 1 0 に照射された時の受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 と遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 を構成する P I N ダイオードの特性を示したグラフである。横軸はバイアス電位 V_d (= アノード電位 - カソード電位) であり、縦軸はアノード - カソード間に流れる電流量 I_d である。実線で示したグラフ (A) は受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 の特性であり、破線で示したグラフ (B) は遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 の特性である。このように順バイアス領域 ($I_d > 0$) ではほぼ両者は一致するが、逆バイアス領域 ($I_d < 0$) では受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 のグラフ (B) 方が電流の絶対値が大きくなる。これは遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 には外光が照射されないため、温度に起因する熱電流量 I_{leak} のみが流れるが、受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 を構成する P I N ダイオードの受光部 3 5 0 P - 1 I ~ 3 5 0 P - 6 I に光が照射されるとキャリア対が生成され、光電流量 I_{photo} が流れるため、受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 では光電流量と熱電流量の和、 $I_{\text{photo}} + I_{\text{leak}}$ が流れるためである。熱電流量 I_{leak} は V_d (= アノード電位 - カソード電位) 依存性を示し、 $-5.0 \leq V_d \leq -1.5$ の領域では傾き K_A ($K_A > 0$) の直線として近似できる。ここで K_A は温度に対する関数であって、温度が上昇すると指数関数的に上昇する。この V_d 領域 ($V_d = -5.0 \leq V_d \leq -1.5$) では受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 に流れる光電流量 I_{photo} はほぼ一定の値を有し、外光照度 L X に比例する (以下、 $I_{\text{photo}} = L X \times k$ とする)。ゆえに、受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 に流れる電流 (グラフ (A))、遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 に流れる電流 (グラフ (B)) とともに $-5.0 \leq V_d \leq -1.5$ の領域では傾き K_A ($K_A > 0$) の直線である。

【 0 0 4 8 】

ここで遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 と受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 の V_d を同じになるようにバイアスを設定する、すなわち配線 S E N S E の電位 V S E N S E を配線 V S H の電位 V V S H と配線 V S L の電位 V V S L のちょうど中間である ($(V V S H + V V S L) \div 2$) に設定すると、受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 と遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 に流れる熱電流量 (I_{leak}) は全く一致する。このとき、配線 V S H に流れる電流量 (= 受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 に流れる電流量) は $I_{\text{photo}} + I_{\text{leak}}$ であり、配線 V S L にながれる電流量 (= 遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 に流れる電流量) は I_{leak} であるので、キルヒホッフ第 1 法則から配線 S E N S E に流れる電流量は $I_{\text{photo}} = L X \times k$ となつて、外光照度 L X に比例する。なお実施例では受光センサーを高電位側に、遮光センサーを低電位側に接続したが、もちろん別でも差し支えないし、結論は同じである。

【 0 0 4 9 】

図 1 4 は検出回路 3 6 0 の回路図である。配線 V C H G、配線 R S T、配線 V S L、配

10

20

30

40

50

線 V S H、配線 O U T は信号入力端子 3 2 0 と接続され、また配線 V S L、配線 V S H、配線 S E N S E、配線 P B T、配線 D B T 配線は受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 及び遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 に接続される。ここで配線 V C H G、配線 V S L、配線 V S H は外部電源回路 7 8 4 より供給される D C 電源に接続され、V C H G 配線は電位 V V C H G (= 2 . 0 V)、V S L 配線は電位 V V S L (= 0 . 0 V)、V S H 配線は電位 V V S H (= 5 . 0 V) を供給される。なお、ここで V S L 配線の電位 V V S L は液晶表示装置 9 1 0 の G N D である。

【 0 0 5 0 】

配線 S E N S E は第 1 のコンデンサー C 1 と、第 3 のコンデンサー C 3 の各一端に接続される。また、初期充電トランジスタ N C のドレイン電極に接続される。第 3 のコンデンサー C 3 の他端は配線 V S L に接続される。第 1 のコンデンサー C 1 の他端はノード A に接続される。初期充電トランジスタ N C のソース電極は配線 V C H G に接続され、電位 V V C H G (= 2 . 0 V) 電源を供給される。初期充電トランジスタ N C のゲート電極は配線 R S T に接続される。ノード A はさらに第 1 の N 型トランジスタ N 1 のゲート電極と第 1 の P 型トランジスタ P 1 のゲート電極とリセットトランジスタ N R のドレイン電極に接続され、さらに第 2 のコンデンサー C 2 の一端に接続される。第 2 のコンデンサー C 2 の他端は配線 R S T に接続される。第 1 の N 型トランジスタ N 1 のドレイン電極と第 1 の P 型トランジスタ P 1 のドレイン電極とリセットトランジスタ N R のソース電極はノード B に接続され、ノード B はさらに第 2 の N 型トランジスタ N 2 のゲート電極と第 2 の P 型トランジスタ P 2 のゲート電極に接続される。第 2 の N 型トランジスタ N 2 のドレイン電極と第 2 の P 型トランジスタ P 2 のドレイン電極はノード C に接続され、ノード C はさらに第 3 の N 型トランジスタ N 3 のゲート電極と第 3 の P 型トランジスタ P 3 のゲート電極に接続される。第 3 の N 型トランジスタ N 3 のドレイン電極と第 3 の P 型トランジスタ P 3 のドレイン電極はノード D に接続され、ノード D はさらに第 4 の N 型トランジスタ N 4 のゲート電極と第 4 の P 型トランジスタ P 4 のゲート電極に接続される。第 4 の N 型トランジスタ N 4 のドレイン電極と第 4 の P 型トランジスタ P 4 のドレイン電極は配線 O U T に接続され、配線 O U T はさらに第 5 の N 型トランジスタ N 5 のドレイン電極にも接続される。第 5 の N 型トランジスタ N 5 のゲート電極と第 5 の P 型トランジスタ P 5 のゲート電極は配線 R S T に接続され、第 5 の P 型トランジスタ P 5 のドレイン電極は第 4 の P 型トランジスタ P 4 のソース電極に接続される。第 1 ~ 第 5 の N 型トランジスタ N 1 ~ N 5 のソース電極は配線 V S L に接続され、電位 V V S L (= 0 V) を供給されてなる。また第 1 ~ 第 3 の P 型トランジスタ P 1 ~ P 3 及び第 5 の P 型トランジスタ P 5 のソース電極は配線 V S H に接続され、電位 V V S H (= + 5 V) を供給されてなる。

【 0 0 5 1 】

また、検出回路 3 6 0 には配線 P B T と配線 D B T に印加する電位をトランジスタの閾値電圧 (V t h) から自動的に補正する自己補正電圧回路 3 6 1 も備えてなる。自己補正電圧回路 3 6 1 は第 6 の N 型トランジスタ N 1 1 と、第 6 の P 型トランジスタ P 1 1 のドレイン電極及びゲート電極がそれぞれ配線 P B T に接続され、第 7 の N 型トランジスタ N 2 1 と、第 7 の P 型トランジスタ P 2 1 のドレイン電極及びゲート電極がそれぞれ配線 D B T に接続され、第 6 の N 型トランジスタ N 1 1 と、第 7 の N 型トランジスタ N 2 1 のソース電極は配線 V S L に接続されて電位 V V S L (= 0 V) を供給され、第 6 の P 型トランジスタ P 1 1 と、第 7 の P 型トランジスタ P 2 1 のソース電極は配線 V S H に接続され、電位 V V S H (= + 5 V) を供給されて構成される。

【 0 0 5 2 】

また、検出回路 3 6 0 は画素電極 4 0 2 - n - m を構成する酸化インディウム・錫薄膜 (I T O) と同一の膜で形成されたシールド電極 3 6 9 によって全面を覆われる。シールド電極 3 6 9 は配線 V S L を通じて液晶表示装置 9 1 0 の G N D 電位に接続され、電磁ノイズに対するシールドとして機能する。

【 0 0 5 3 】

10

20

30

40

50

ここで本実施例では第1のN型トランジスタ-N1のチャネル幅は10 μmであり、第2のN型トランジスタ-N2のチャネル幅は35 μmであり、第3のN型トランジスタ-N3のチャネル幅は100 μmであり、第4のN型トランジスタ-N4のチャネル幅は150 μmであり、第5のN型トランジスタ-N5のチャネル幅は150 μmであり、第6のN型トランジスタ-N11のチャネル幅は4 μmであり、第7のN型トランジスタ-N21のチャネル幅は200 μmであり、第1のP型トランジスタ-P1のチャネル幅は10 μmであり、第2のP型トランジスタ-P2のチャネル幅は35 μmであり、第3のP型トランジスタ-P3のチャネル幅は100 μmであり、第4のP型トランジスタ-P4のチャネル幅は300 μmであり、第5のP型トランジスタ-P5のチャネル幅は300 μmであり、第6のP型トランジスタ-P11のチャネル幅は200 μmであり、第7のP型トランジスタ-P21のチャネル幅は4 μmであり、リセットトランジスタ-NRのチャネル幅は2 μmであり、初期充電トランジスタ-NCのチャネル幅は50 μmであり、全てのN型トランジスタのチャネル長は8 μmであり、全てのP型トランジスタのチャネル長は6 μmであり、全てのN型トランジスタの移動度は80 cm²/Vsecであり、全てのP型トランジスタの移動度は60 cm²/Vsecであり、全てのN型トランジスタの閾値電圧(V_{th})は+1.0 Vであり、全てのP型トランジスタの閾値電圧(V_{th})は-1.0 Vであり、第1のコンデンサ-C1の容量は1 pFであり、第2のコンデンサ-C2の容量は100 fFであり、第3のコンデンサ-C3の容量は100 pFである。

【0054】

配線RSTは電位振幅0 - 5 Vのパルス波であって、周期510 m秒毎にパルス長100 μ秒の間High電位(5 V)に保持され、残りの509.9 m秒間はLow電位(0 V)に保持される。RST配線が510 m秒毎にHigh(5 V)になると、初期充電トランジスタ-NCとリセットトランジスタ-NRがONし、配線SENSEにはVCHG配線の電位(2.0 V)がチャージされ、ノードAとノードBは短絡する。第1のN型トランジスタ-N1と第1のP型トランジスタ-P1はインバータ回路を構成するから、インバータ回路のIN/OUTが短絡される。このとき、ノードAとノードBの電位は最終的に以下の数式で表される電位VSに到達する(詳細なる計算は例えばKang Leblebici著"CMOS Digital Integrated Circuits" Third Edition P206などを参照)。

【0055】

【数1】

$$VS = \frac{V_{thn} + \sqrt{\frac{W_p L_n \mu_p}{W_n L_p \mu_n}} \times (V_{VSH} - V_{VSL} + V_{thp})}{\left(1 + \sqrt{\frac{W_p L_n \mu_p}{W_n L_p \mu_n}}\right)}$$

【0056】

ここで、W_n：第1のN型トランジスタ-N1のチャネル幅、L_n：第1のN型トランジスタ-N1のチャネル長、μ_n：第1のN型トランジスタ-N1の移動度、V_{thn}：第1のN型トランジスタ-N1の閾値電圧、W_p：第1のP型トランジスタ-P1のチャネル幅、L_p：第1のP型トランジスタ-P1のチャネル長、μ_p：第1のP型トランジスタ-P1の移動度、V_{thp}：第1のP型トランジスタ-P1の閾値電圧であるので、本実施例においてはVS = 2.5 (V)と計算される。なお、配線RSTがHigh(5 V)である間は第5のN型トランジスタ-N5がONし、第5のP型トランジスタ-P5がOFFしているのでOUT配線は0 Vである。

【 0 0 5 7 】

R S T 配線が 1 0 0 μ 秒後に L o w (0 V) になると、リセットトランジスタ N R が O F F し、ノード A とノード B は電氣的に切り離される。この時、第 1 の N 型トランジスタ N 1 と第 1 の P 型トランジスタ P 1 で構成されるインバータ回路はノード A の電位が V S より低ければノード B に V S より高い電位を出力し、ノード A の電位が V S より高ければノード B に V S より低い電位を出力する。第 2 の N 型トランジスタ N 2 と第 2 の P 型トランジスタ P 2 および第 3 の N 型トランジスタ N 3 と第 3 の P 型トランジスタ P 3 もそれぞれインバータ回路を構成するが、同様に入力段の電位が V S より低ければ V S より高い電位を、入力段の電位が V S より高ければ V S より低い電位を、それぞれ出力する。この時、入力段の電位の V S との差より出力段の電位の V S との差はより大きくなり、配線 V S H の電位 V V S H (= + 5 V) もしくは配線 V S L の電位 V V S L (= 0 V) へと近づく。結果、ノード A の電位が V S より低ければノード D はほぼ V S H 配線の電位 V V S H (= + 5 V) となり、ノード A の電位が V S より高ければノード D はほぼ V S L 配線の電位 V V S L (= 0 V) となる。第 4 の N 型トランジスタ N 4 及び第 5 の N 型トランジスタ N 5、第 4 の P 型トランジスタ P 4 及び第 5 の P 型トランジスタ P 5 は N O R 回路を構成してなるので、R S T 配線の電位が L o w (0 V) である期間ではノード D が H i g h (+ 5 V) であれば L o w (0 V) を、ノード D が L o w (0 V) であれば H i g h (+ 5 V) を、それぞれ O U T 配線へ出力する。すなわち、R S T 配線の電位が L o w (0 V) である期間ではノード A の電位が V S より低ければ O U T 配線への出力は L o w (0 V) であり、ノード A の電位が V S より高ければ O U T 配線への出力は H i g h (+ 5 V) となる。

10

20

【 0 0 5 8 】

ノード A は前述の通り、配線 R S T が L o w (0 V) になってリセットトランジスタ N R が O F F し、ノード A とノード B は電氣的に切り離されるが、これと同時に第 2 のコンデンサ C 2 の結合によって配線 R S T と同時に電位が下がる。ここで第 1 のコンデンサ C 1 の容量 C C 1 (= 1 p F) が第 2 のコンデンサ C 2 の容量 C C 2 (= 1 0 0 f F) 及び第 1 の N 型トランジスタ N 1、第 1 の P 型トランジスタ P 1、リセットトランジスタ N R のゲート、ドレイン間容量 (本実施例ではいずれも 1 0 f F 以下) より十分大きければ、またリセットトランジスタ N R の書き込みインピーダンスと第 1 のコンデンサ C 1 の容量の積 (本実施例では約 1 μ 秒) が配線 R S T の電位の立ち下げ期間 (本実施例では 1 0 0 n 秒) より十分大きければ配線 R S T が L o w (0 V) になったとき (以下、これを時間 t = 0) とするのノード A の電位 (以下、V A (t) とする) は以下の式で表される。

30

【 0 0 5 9 】

【 数 2 】

$$V_A(t=0) = V_S - \frac{CC2}{CC1} \times (V_{VSH} - V_{VSL})$$

【 0 0 6 0 】

本実施例では V A (t = 0) = 2 . 0 V となる。このとき、受光センサー 3 5 0 P - 1 にかかるバイアスは V d = - 3 . 0 V であり、遮光センサー 3 5 0 D - 1 にかかるバイアスは V d = - 2 . 0 V である。図 1 3 の説明から明らかなように、このとき、受光センサー 3 5 0 P - 1 と遮光センサー 3 5 0 D - 1 を構成する P I N ダイオードの熱電流量 I l e a k の差は K A × 1 . 0 で表される。従って、配線 S E N S E には受光センサー 3 5 0 P - 1 に照射される外光に応じた光電流量 I p h o t o に電流量 K A × 1 . 0 を加えた電流が流れる。ここで、K A < < I p h o t o であれば配線 S E N S E に流れる電流量は I p h o t o のみと近似でき、熱電流の寄与を除去できることになる。本実施例では動作保証温度上限の 7 0 ° C における K A と照度 1 0 ルクスにおける I p h o t o が等しくなった。このことから、外光照度 1 0 0 ルクス以上であれば動作保証温度範囲内において効果的

40

50

に熱リークを除去できる。

【 0 0 6 1 】

ここで外光と I_{photo} の関係は前述の通り、このバイアス条件では外光が受光センサー 350P - 1 を照らす外光照度 LX に比例して V_d には依存せず $I_{photo} = LX \cdot k$ となる (k は一定の係数)。RST 配線が Low (0V) になると、ノード A はフローティング状態であるので、第 2 のコンデンサー C2 の容量 $CC2$ 及び第 1 の N 型トランジスタ N1、第 1 の P 型トランジスタ P1 のゲート・ソース間容量を無視すればほぼ実効的な容量は第 3 のコンデンサー C3 の容量 $CC3$ のみとなっており、配線 SENSE の電位 V_{SENSE} は以下の式で示すように変化する。

【 0 0 6 2 】

【数 3】

$$V_{SENSE}(t) = V_{VCHG} + \frac{LX \times k}{CC3} \times t$$

【 0 0 6 3 】

なお、ここでは説明のために受光センサー 350P - 1 及び遮光センサー 350D - 1、及び引き回し配線での付加容量を無視して説明をしている。これらの付加容量分は上記の $CC3$ に加算すればよい。また、受光センサー 350P - 1 及び遮光センサー 350D - 1、及び引き回し配線での付加容量が十分大きい場合は第 3 のコンデンサー C3 は無くても良い。従って、 $CC3$ の値は受光センサー 350P - 1 及び遮光センサー 350D - 1、及び引き回し配線の付加容量から下限が決定される。

【 0 0 6 4 】

$V_A(t)$ は $V_{SENSE}(t)$ が変化すると容量結合で同じ電位分変化する。従って、ノード A の電位 V_A は以下のような式で表される。

【 0 0 6 5 】

【数 4】

$$V_A(t) = V_S - \frac{CC2}{CC1} \times (V_{VSH} - V_{VSL}) + \frac{LX \times k}{CC3} \times t$$

【 0 0 6 6 】

ここで $V_A(t) = V_S$ となる時間 t_0 は、以下のような式で表される。

【 0 0 6 7 】

【数 5】

$$t_0 = \frac{CC2 \times CC3}{CC1 \times LX \times k} \times (V_{VSH} - V_{VSL})$$

【 0 0 6 8 】

すなわち、時間 t_0 で OUT 出力は Low (0V) High (5V) へと反転することになり、この時間 t_0 から外光照度 LX は容易にもとまる。

【 0 0 6 9 】

検出回路 360 は RST 配線が Low (0V) である間、ノード A がフローティング状態となり、ここに電磁ノイズが進入してノード A の電位が変化すると誤動作する。従って、電磁ノイズの防止が極めて重要であり、このためにシールド電極 369 を配置している。

【 0 0 7 0 】

さて本構成のようなラテラル構造の PIN 型ダイオードや PN 型ダイオードは垂直方向の電界に対して光電流量 I_{photo} が変化するという問題がある。本実施例にあわせて

10

20

30

40

50

具体的に言うと、配線 P B T に接続される透明電極 6 1 2 P - 1 ~ 6 1 2 P - 6 とバックライト遮光電極 6 1 1 P - 1 ~ 6 1 1 P - 6 の電位 (以下、V P B T) が受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 の特性に、配線 D B T に接続される透明電極 6 1 2 D - 1 ~ 6 1 2 D - 6 とバックライト遮光電極 6 1 1 P - 1 ~ 6 1 1 P - 6 の電位 (以下、V D B T) が遮光センサー 3 5 0 D - 1 ~ 3 5 0 D - 6 の特性に、それぞれ影響する。V P B T 及び V D B T の最適電位は製造ばらつきによって製品毎に異なるが、これらは薄膜トランジスタの閾値 (V_{th}) と強い相関を持つ。本実施例では薄膜トランジスタの閾値 (V_{th}) をもとに電圧を自己補正した電位 V P B T と電位 V D B T をそれぞれ配線 P B T と配線 D B T に印加する自己補正電圧回路 3 6 1 を用いている。本実施例での製造ばらつき中の平均的な値では、 $V_{thN} = +1.0$ 、 $V_{thP} = -1.0$ であって、このとき自己補正電圧回路 3 6 1 は配線 P B T には 3.6 V が、配線 D B T には 1.4 V を印加する。受光センサー 3 5 0 P - 1 ~ 3 5 0 P - 6 ではカソードは配線 V S H と接続され 5.0 V であるから、バックライト遮光電極 6 1 1 P - 1 ~ 6 1 1 P - 6 及び透明電極 6 1 2 P - 1 とカソードの電位差は -1.4 V となり、これが光電流を得られる最適電位となる。製造ばらつきでトランジスタの特性が変動し、例えば $V_{thN} = +1.5$ 、 $V_{thP} = -0.5$ であれば配線 P B T には 4.1 V が、配線 D B T には 1.9 V が印加される。同様に例えば $V_{thN} = +0.5$ 、 $V_{thP} = -1.5$ であれば配線 P B T には 3.1 V が、配線 D B T には 0.9 V がそれぞれ印加される。いずれの場合もトランジスタのしきい値が変動するとそれに合わせて配線 P B T と配線 D B T に印加される電位 V P B T、V D B T も変動するので、常に光電流がほぼ最大に得られるのである。

【0071】

本実施例では、中央演算回路 7 8 1 が端子 O U T の信号を監視し、反転した時間 t_0 から離散値 V_{10} をまず得る。離散値 V_{10} は任意の回数サンプリングされ、この平均値 V_{10} を得る。この V_{10} から参照テーブル 7 8 5 を参照し、 V_{10} に対応する適切なバックライトユニット 9 2 6 の電圧設定値 V_{20} を得る。中央演算回路 7 8 1 はこの V_{20} 値を外部電源回路 7 8 4 に送ることによってバックライトユニット 9 2 6 の輝度を変更される。これにより液晶表示装置 9 1 0 の全白表示時輝度が変化し、ユーザーにとって過剰な輝度を抑えることで視認性を向上させるとともに消費電力の増大を抑えることができるのである。

【0072】

本実施例では外部光の検出照度とバックライト輝度の関係は図 1 5 のように設定した。検出照度 3 0 0 (ルクス) まではバックライトの照度を緩やかに上げ、3 0 0 ルクス以上では比較的傾きを大きくして照度を上げる。検出照度 2 0 0 0 ルクスで輝度は MAX となって以降は同じ状態となる。このように設定すると、外光が 3 0 0 ルクス以下で周囲がごく暗く、ユーザーの瞳孔が開いている時にはまぶしくない程度にバックライトを抑え、3 0 0 ルクス ~ 2 0 0 0 ルクスまでの外光が液晶パネルに映り込む領域では周囲の明るさに合わせて輝度を急速に上げて視認性を低下させないことが出来る。

【0073】

一方、本実施例のように透過型ではなく、半透過型液晶を使う場合は図 1 6 のようにすればよい。外光照度 5 0 0 0 ルクスまでは同様であるが、それ以上では反射部分だけで十分な視認性になるため、バックライトを完全に OFF し、消費電力を節約できるようになっているため、特に屋外で使用すると搭載する電子機器のバッテリー駆動時間が飛躍的に延びる。

【0074】

もちろん、この制御カーブは一例であって、用途に応じ、どのようなカーブの設定にしてもよいし、ちらつきを抑えるためにカーブにヒステリシスを持たせるなどしてもよい。また、測定毎に輝度調整するのではなく、複数回数を測定し、平均や中央値をとって輝度を調整するなどしてもよい。

【0075】

[第 2 の実施の形態]

10

20

30

40

50

図17は第2の実施例に係る受光センサー351P-1(第1の光センサー)と遮光センサー351D-1(第2の光センサー)付近の拡大平面図であって、第1の実施例の図8にかわる図面である。図18は図17のF-F'に沿った断面図であり、第1の実施例の図9にかわる図面である。以下、第1の実施例での受光センサー350P-1と遮光センサー350D-1との差異について説明する。

【0076】

受光センサー351P-1は70個のアノード領域351P-1Pと、70個のカソード領域351P-1Nと、これらに挟まれた70個の受光部351P-1Iとによって構成される。なお、図17、図18においては図面の見易さを優先し、70個全てを図示していない。アノード領域351P-1Pを構成する各領域は幅4 μ m・長さ70 μ mであり、カソード領域351P-1Nを構成する各領域は幅4 μ m・長さ70 μ mであり、受光部351P-1Iを構成する各領域は幅10 μ m・長さ70 μ mである。これらの各領域が形成するPIN接合面は第1の実施例とは90度異なり、受光開口部991-1の短手方向に配置されている。アノード領域351P-1Pの各領域はアノード主配線351P-1PAに接続され、カソード領域351P-1Nの各領域はカソード主配線351P-1NAに接続され、アノード主配線351P-1PA及びカソード主配線351P-1NAはデータ線202-mを構成するアルミ・ネオジウム合金薄膜(AlNd)と同一の膜で形成される金属配線と、ポリシリコン薄膜を積層してコンタクトホールで接続することによって形成することで比抵抗を下げている。一方、アノード領域351P-1Pとカソード領域351P-1Nはポリシリコン薄膜によってのみ形成され、アノード領域351P-1Pは高濃度のボロニオン、カソード領域351P-1Nは高濃度のリンイオンをそれぞれドーピングされて形成されている。受光部351P-1Iもポリシリコン薄膜で形成されるが、ボロニオン及びリンイオンは殆ど含まれていない。アノード主配線351P-1PAは配線SENSEに、カソード主配線351P-1NAは配線VSHにそれぞれ接続され、適切な電位を印加される。受光センサー351P-1は受光開口部991-1と重なってなり、受光開口部991-1の開口サイズは10mm×0.1mmとなっている。遮光センサー351D-1は受光開口部991-1と重ならない点を除いて受光センサー351P-1と同様の構成であるので説明を省略する。

【0077】

この他の点については第1の実施例の図8、図9と何らかわりはないので、同じ記号を付与することで説明は省略する。また受光センサー351P-2~351P-6は受光センサー351P-1に、遮光センサー351D-2~351D-6は遮光センサー351D-1に、受光開口部991-2~991-6は受光開口部991-1に配置場所を除いて同一であるので説明は省略する。

【0078】

また、本実施例のフォトセンサーを搭載したアクティブマトリクス基板の例は第1の実施例でのアクティブマトリクス基板101において、受光開口部990-1~990-6を受光開口部991-1~991-6に、受光センサー350P-1~350P-6を受光センサー351P-1~351P-6に、遮光センサー350D-1~350D-6を遮光センサー351D-1~351D-6に、それぞれ置き換えるだけであり、液晶表示装置910及び電子機器の構成も第1の実施例と同様であるのでそれぞれの説明は省略する。

【0079】

このように構成すると、受光センサー351P-1~351P-6、遮光センサー351D-1~351D-6のチャネル幅はそれぞれ総計29400 μ mであって、開口部の面積が小さいにも係らず、第1の実施例のさらに1.4倍の光電流が得られる。これは各アノード領域351P-1P、カソード領域351P-1Nを金属配線と重ねないためにコンタクトホールが不要であり、幅を4ミクロンと狭く設定しているためである。各アノード領域351P-1P、カソード領域351P-1Nは開口部の短軸方向に配置されてごく短いため、幅が狭いにも係らず抵抗は第1の実施例の1/5以下と低いので光センサーの

能力が高く、電流が大きく流れても抵抗によるの電位変動は第1の実施例以上に問題にならない。一方、長軸方向に引き回すアノード主配線351P-1PAおよびカソード領域351P-1Nは金属配線と重なっているため、これも抵抗は問題ない。また、受光開口部991-1の短軸方向の幅は狭くすることでアノード主配線351P-1PAおよびカソード領域351P-1Nの金属は受光開口部991-1にかからず、従って受光開口部991-1が目立つことが無く、デザイン性を損なわない。なお、受光効率や角度依存性を優先する場合は受光開口部991-1の幅をより広くとり、アノード主配線351P-1PAおよびカソード主配線351P-1NAを受光開口部991-1と重なっても構わない。

【0080】

10

このように構成することで、本実施例では角度依存性に優れ、かつ配線の抵抗による電位変動が無く、光電流が十分確保できるフォトダイオードを提供できるものである。

【0081】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0082】

[産業上の利用可能性]

本発明は実施例の形態に限定されるものではなく、TNモードではなく垂直配向モード(VAモード)、横電界を利用したIPSモード、フリンジ電界を利用したFFSモードなどの液晶表示装置に利用しても構わない。また、全透過型のみならず全反射型、反射透過兼用型であっても構わない。また、液晶表示装置ではなく、有機ELディスプレイ、フィールドエミッション型ディスプレイに用いても良いし、液晶表示装置以外の半導体装置に用いても良い。

20

【0083】

また、本実施例で示したような外光にあわせた表示輝度の制御だけでなく、表示装置の輝度や色度を測定してこれをフィードバックし、ムラや経年変化のない表示装置に用いても構わない。

【図面の簡単な説明】

30

【0084】

【図1】本発明の実施例に係る液晶表示装置910の斜視図。

【図2】本発明の第1の実施例に係るアクティブマトリクス基板101の構成図。

【図3】本発明の実施例に係るアクティブマトリクス基板101の画素回路図。

【図4】本発明の電子機器の実施例を示すブロック図。

【図5】本発明の実施例に係るアクティブマトリクス基板101の画素部の平面図。

【図6】図5A-A'に沿った断面図。

【図7】図5B-B'に沿った断面図。

【図8】本発明の第1の実施例に係る受光センサー350P-1、遮光センサー350D-1の平面図。

40

【図9】図8C-C'に沿った断面図。

【図10】図8D-D'に沿った断面図。

【図11】本発明の第1の実施例に係る受光センサー350P-1～350P-6、遮光センサー350D-1～350D-6の等価回路図。

【図12】本発明の第1の実施例に係る受光センサー350P-1～350P-6、遮光センサー350D-1～350D-6の簡略化した等価回路図。

【図13】本発明の第1の実施例に係る受光センサー350P-1～350P-6、遮光センサー350D-1～350D-6を構成するPINダイオードの特性を示したグラフ。

【図14】本発明の第1の実施例に係る検出回路360の回路図。

50

【図 15】本発明の実施例に係る外部光の検出照度とバックライト輝度の設定図。

【図 16】半透過液晶表示装置のための外部光の検出照度とバックライト輝度の設定図。

【図 17】本発明の第 2 の実施例に係る受光センサー 351P-1、遮光センサー 351D-1 の平面図。

【図 18】図 17 F-F' に沿った断面図。

【図 19】従来例の説明に係る受光センサー 359P-1、遮光センサー 359D-1 の平面図。

【図 20】図 19 E-E' に沿った断面図。

【符号の説明】

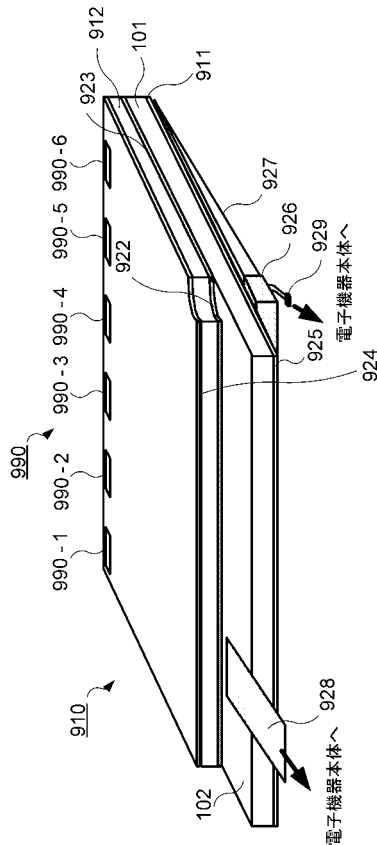
【0085】

101...アクティブマトリクス基板、102...張り出し部、201-1~201-480...走査線、202-1~202-1920...データ線、301...走査線駆動回路、302...データ線駆動回路、320...信号入力端子、330-1~330-2...対向導通部、335...共通電位配線、350P-1~350P-6, 351P-1~351P-6...受光センサー、350D-1~350D-6, 351D-1~351D-6...遮光センサー、360...検出回路、361...自己補正電圧回路、611P-1~611P-6, 611D-1~611D-6...バックライト遮光電極、612P-1~612P-6, 612D-1~612D-6...透明電極、781...中央演算回路、784...外部電源回路、910...液晶表示装置、911...液晶パネル(本発明の「パネル」の一例)、912...対向基板、922...ネマティック相液晶材料、923...シール材、926...バックライトユニット、927...導光板、940...ブラックマトリクス、990-1~990-6, 991-1~991-6...受光開口部、LA...外光、LB...バックライト光。

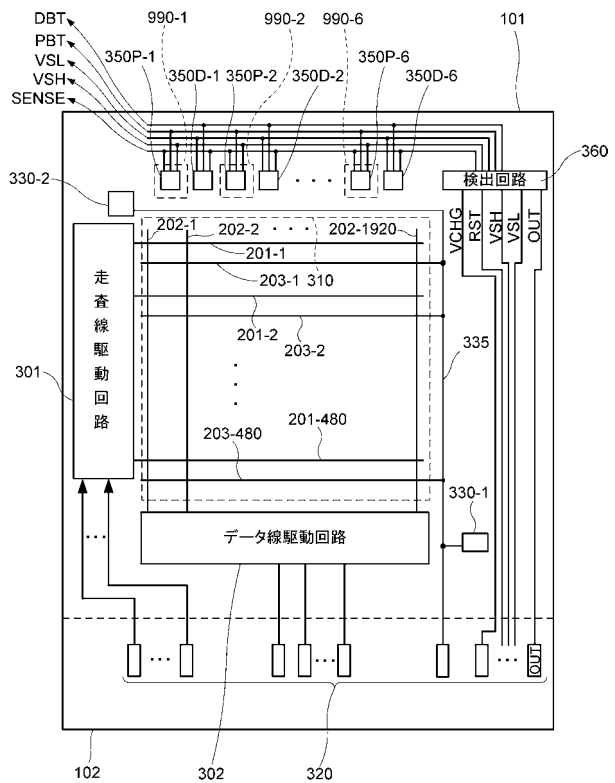
10

20

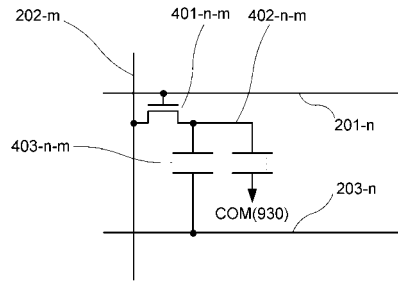
【図 1】



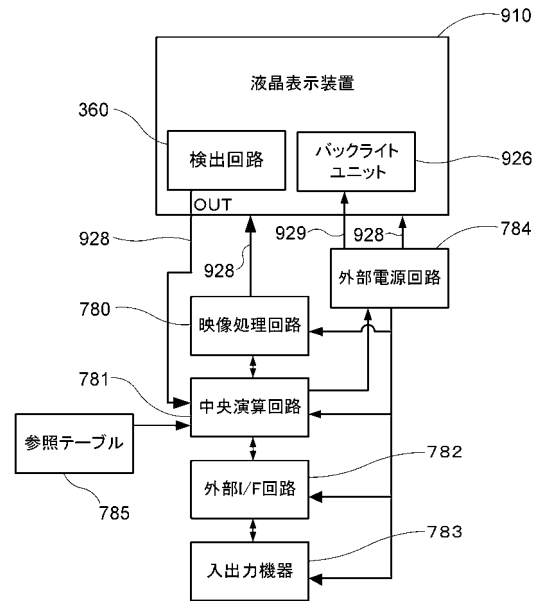
【図 2】



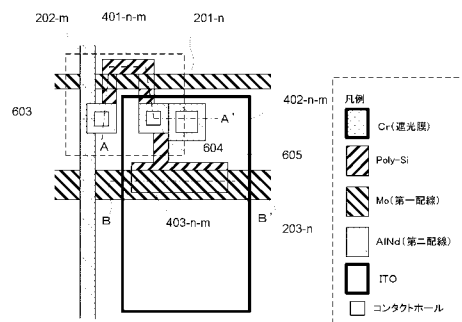
【図 3】



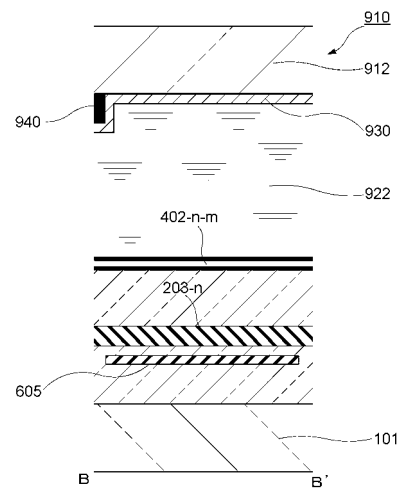
【図 4】



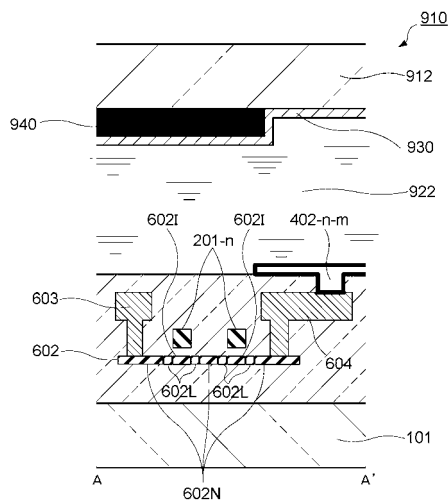
【図 5】



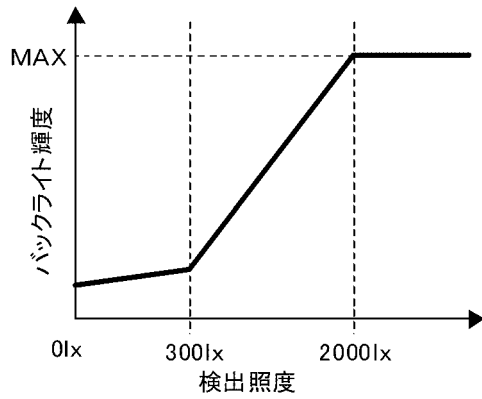
【図 7】



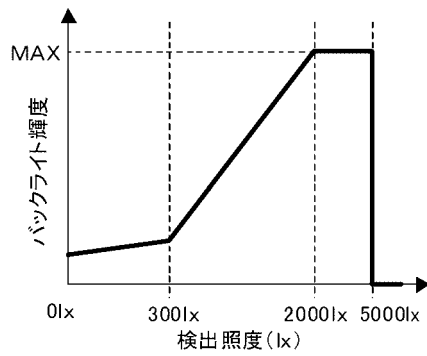
【図 6】



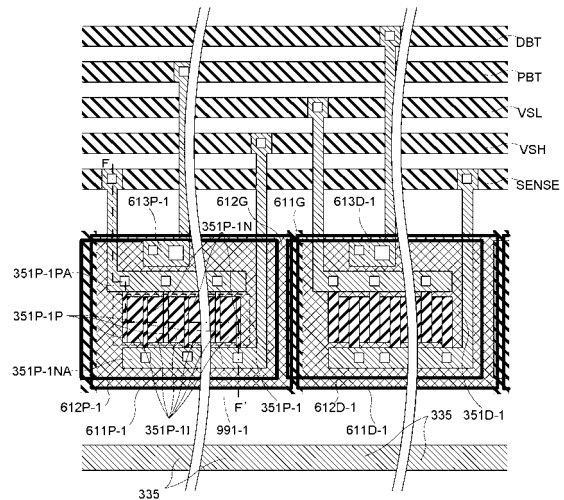
【図 15】



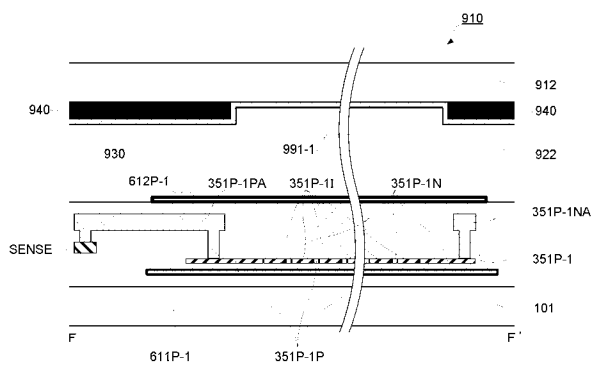
【図 16】



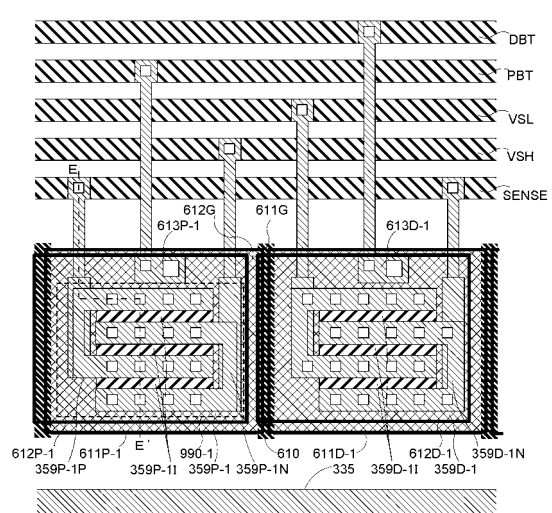
【図 17】



【図 18】



【図 19】



[illegible]

フロントページの続き

(56)参考文献 特開 2 0 0 2 - 3 1 4 1 1 7 (J P , A)
特開 2 0 0 6 - 1 1 8 9 6 5 (J P , A)
特開 2 0 0 5 - 7 2 3 8 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 3 1 / 1 0 - 3 1 / 1 1 9