(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 10 月 20 日 (20.10.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/165326 A1

(51) 国际专利分类号:
H02M 3/155 (2006.01) *H02M 1/22* (2006.01)

(21) 国际申请号: PCT/CN2015/095064

(22) 国际申请日: 2015 年 11 月 19 日 (19.11.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510187425.2 2015 年 4 月 17 日 (17.04.2015) CN

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 汪家轲 (WANG, Jiake); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 陈亮 (CHEN, Liang); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:
— 关于申请人有权申请并被授予专利(细则 4.17(ii))

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: VOLTAGE CONVERSION CIRCUIT

(54) **发明名称** : 一种电压转换电路

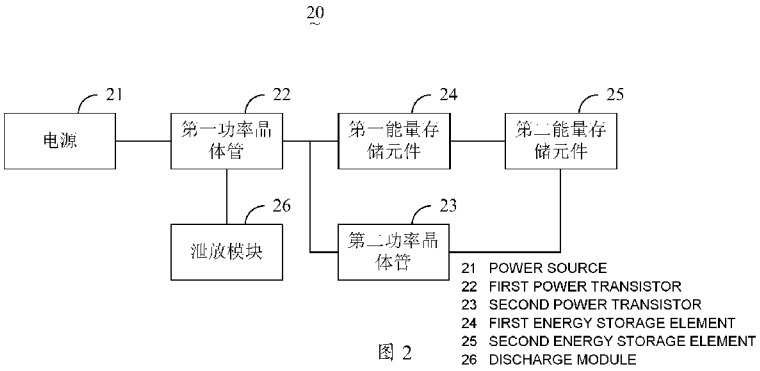


图 2

(57) **Abstract**: A voltage conversion circuit (20), comprising: a first power transistor (22); a second power transistor (23), wherein the second power transistor is turned off when the first power transistor is turned on, and is turned on when the first power transistor is turned off; a first energy storage element (24); a second energy storage element (25), which is used to couple with the first power transistor and the second power transistor; and a discharge module (26), which is used to couple with the first power transistor, and provide a current path for a current which flows from a source electrode of the first power transistor to the ground when the first power transistor is turned off and the voltage of the source electrode of the first power transistor reaches a threshold value of the source electrode. The voltage conversion circuit can reduce a voltage difference between a drain electrode and the source electrode of the first power transistor, lower the risk of burnout of the first power transistor, and avoid increasing manufacturing costs.

(57) **摘要**: 一种电压转换电路（20），包括：第一功率晶体管（22）；第二功率晶体管（23），第二功率晶体管在第一功率晶体管导通时截止，在第一功率晶体管截止时导通；第一能量存储元件（24）；第二能量存储元件（25），用于与第一功率晶体管及第二功率晶体管耦合；泄放模块（26），用于与第一功率晶体管耦合，并在第一功率晶体管截止且第一功率晶体管的源极的电压达到源极阈值时为自第一功率晶体管的源极流向地的电流提供电流通路。该电压转换电路能够减小第一功率晶体管的漏极与源极之间的压差，降低第一功率晶体管烧坏的风险，并且避免增加制造成本。

WO 2016/165326 A1

一种电压转换电路

本申请要求于 2015 年 04 月 17 日提交中国专利局、申请号为 201510187425.2、发明名称为“一种电压转换电路”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及电源管理技术领域，特别是涉及一种电压转换电路。

背景技术

随着消费类的电子产品的快速发展，电源管理集成电路（Power Management Intergraded Circuit，PMIC）作为电子产品的重要部分，其具有集成度高、转换效率高、成本低等优点。近几年来，只能手机、平板电脑等电子产品快速更新换代，对电源管理集成电路的要求也越来越高。

如图 1 所示，现有的电源管理集成电路包括栅极控制器 11、PMOS 功率管 12 以及 NMOS 功率管 13，PMOS 功率管 12 的栅极和 NMOS 功率管 13 的栅极均与栅极控制器 11 连接，PMOS 功率管 12 的源极与第一参考电压 V1 连接，PMOS 功率管 12 的漏极与 NMOS 功率管 13 的漏极连接，NMOS 功率管 13 的源极接地，PMOS 功率管 12 的源极与第一参考电压之间形成寄生电感 L1，NMOS 功率管 13 的源极与接地之间形成寄生电感 L2。

当 PMOS 功率管 12 关闭时，流过 PMOS 功率管 12 的电流突变为 0，而寄生电感 L1 的电流无法突变，继续流过 PMOS 功率管 12 的漏源电容，在 PMOS 功率管 12 的源极产生高压，PMOS 功率管 12 的漏极承受高压，直接烧毁电源管理集成电路的内部器件。

为了避免上述情况，现有技术通过在芯片制造的过程中增加一些特殊的 MASK（掺杂物），以提高 PMOS 功率管 12 和 NMOS 功率管 13 的耐压。由于需要增加掺杂物，因此增加制造成本。

发明内容

本发明实施例提供了一种电压转换电路，能够避免增加制造成本。

第一方面提供一种电压转换电路，用于将第一电压转换为第二电压，其

包括：第一功率晶体管；

第二功率晶体管，第二功率晶体管在第一功率晶体管导通时截止，在第一功率晶体管截止时导通；

第一能量存储元件；

第二能量存储元件，用于与第一功率晶体管及第二功率晶体管耦合，并在第一功率晶体管导通、第二功率晶体管截止时，由提供第一电压的电源经第一能量存储元件对第二能量存储元件充电，在第一功率晶体管截止、第二功率晶体管导通时，第二能量存储元件经第一能量存储元件通过第二功率晶体管放电，第一能量存储元件与第二能量存储元件的连接端输出第二电压，第二电压取决于第一电压、第一功率晶体管导通的时间及第二功率晶体管导通的时间；及

泄放模块，用于与第一功率晶体管耦合，并在第一功率晶体管截止且第一功率晶体管的源极的电压达到源极阈值时为自第一功率晶体管的源极流向地的电流提供电流通路。

结合第一方面的实现方式，在第一种实现方式中，泄放模块包括泄放晶体管，用于与第一功率晶体管耦合，并在第一功率晶体管截止且第一功率晶体管的源极的电压达到源极阈值时导通。

结合第一方面的第一种实现方式，在第二种实现方式中，源极阈值的值为第一电压与泄放晶体管的导通阈值的和。

结合第一方面的实现方式至第三种实现方式中的任意一种，在第三种实现方式中，电路还包括栅极控制器和电阻，第一功率晶体管的源极与电源连接，第一功率晶体管的栅极和第二功率晶体管的栅极与栅极控制器连接，第一功率晶体管的漏极与第二功率晶体管的漏极连接，第二功率晶体管的源极与地连接，第一能量存储元件的一端与第一功率晶体管的漏极连接，第一能量存储元件的另一端与第二能量存储元件的一端连接，第二能量存储元件的另一端与地连接，电阻与第二能量存储元件并联连接。

结合第一方面的第一种实现方式至第三种实现方式中的任意一种，在第四种实现方式中，泄放晶体管的栅极与电源连接，泄放晶体管的源极与第一功率晶体管的源极连接，泄放晶体管的漏极与第一功率晶体管的漏极连接，在泄放晶体管导通时，自第一功率晶体管的源极流向地的电流流经泄放晶体

管和第二功率晶体管。

结合第一方面的第一种实现方式至第三种实现方式中的任意一种，在第五种实现方式中，泄放晶体管的栅极与电源连接，泄放晶体管的源极与第一功率晶体管的源极连接，泄放晶体管的漏极与第二功率晶体管的漏极连接，在泄放晶体管导通时，自第一功率晶体管的源极流向地的电流流经泄放晶体管。

第二方面提供一种电压转换电路，用于将第一电压转换为第二电压，其包括:

第一功率晶体管;

第二功率晶体管，第二功率晶体管在第一功率晶体管导通时截止，在第一功率晶体管截止时导通;

第一能量存储元件;

第二能量存储元件，用于与第一功率晶体管及第二功率晶体管耦合，并在第一功率晶体管导通、第二功率晶体管截止时，由第一电压对第一能量存储元件充电，在第一功率晶体管截止、第二功率晶体管导通时，由提供第一电压的电源与第一能量存储元件对第二能量存储元件充电，第二功率晶体管与第二能量存储元件的连接端输出第二电压，第二电压取决于第一电压、第一功率晶体管导通的时间及第二功率晶体管导通的时间；及

泄放晶体管，用于与第一功率晶体管耦合，并在第一功率晶体管截止且第一功率晶体管的漏极的电压达到源极阈值时为自第一功率晶体管的漏极流向地的电流提供电流通路。

结合第二方面的实现方式，在第一种实现方式中，泄放模块包括泄放晶体管，用于与第一功率晶体管耦合，并在第一功率晶体管截止且第一功率晶体管的漏极的电压达到源极阈值时导通。

结合第二方面的第一种实现方式，在第二种实现方式中，源极阈值的值为第一电压与泄放晶体管的导通阈值的和。

结合第二方面的实现方式至第二种实现方式中的任意一种，在第三种实现方式中，电路还包括栅极控制器和电阻，第一功率晶体管的漏极通过第一能量存储元件与电源连接，第一功率晶体管的栅极和第二功率晶体管的栅极与栅极控制器连接，第一功率晶体管的源极接地，第二功率晶体管的漏极与

第一功率晶体管的漏极连接，第二功率晶体管的源极与第二能量存储元件的一端连接，第二能量存储元件的另一端接地，电阻与第二能量存储元件并联连接。

结合第二方面的第一种实现方式至第三种实现方式中的任意一种，在第四种实现方式中，泄放晶体管的栅极连接至电阻与第二功率晶体管之间，泄放晶体管的源极与第一功率晶体管的漏极连接，泄放晶体管的漏极与第一功率晶体管的源极连接，自第一功率晶体管的漏极流向地的电流流经泄放晶体管。

第三方面提供一种电压转换电路，用于将第一电压转换为第二电压，其包括:

第一功率晶体管;

第二功率晶体管，第二功率晶体管在第一功率晶体管导通时截止，在第一功率晶体管截止时导通;

第三功率晶体管;

第四功率晶体管，第四功率晶体管在第三功率晶体管导通时截止，在第三功率晶体管截止时导通;

第一能量存储元件，用于与第一功率晶体管以及第二功率晶体管耦合;

第二能量存储元件，用于与第三功率晶体管及第四功率晶体管耦合;

其中，在第四功率晶体管导通、第三功率晶体管截止时，并在第一功率晶体管、第二功率晶体管截止时，由提供第一电压的电源经第一能量存储元件对第二能量存储元件充电，在第一功率晶体管截止、第二功率晶体管导通时，第二能量存储元件经第一能量存储元件通过第二功率晶体管放电，第四功率晶体管与第二能量存储元件的连接端输出第二电压，第二电压取决于第一电压、第一功率晶体管导通的时间以及第二功率晶体管导通的时间;

在第一功率晶体管导通、第二功率晶体管截止时，并在第三功率晶体管导通、第四功率晶体管截止时，由第一电压对第一能量存储元件充电，在第四功率晶体管导通、第三功率晶体管截止时，由提供第一电压的电源与第一能量存储元件对第二能量存储元件充电，第四功率晶体管与第二能量存储元件的连接端输出第二电压，第二电压取决于第一电压、第三功率晶体管导通的时间以及第四功率晶体管导通的时间;

第一泄放模块，用于与第一功率晶体管耦合，并在第一功率晶体管截止且第一功率晶体管的源极的电压达到第一源极阈值时为自第一功率晶体管的源极流向地的电流提供电流通路；及

第二泄放模块，用于与第三功率晶体管耦合，并在第三功率晶体管截止且第三功率晶体管的漏极的电压达到第二源极阈值时为自第三功率晶体管的漏极流向地的电流提供电流通路。

结合第三方面的实现方式，在第一种实现方式中，电路还包括栅极控制器和电阻，第一功率晶体管的源极与电源连接，第一功率晶体管的栅极、第二功率晶体管的栅极、第三功率晶体管的栅极以及第四功率晶体管的栅极均与栅极控制器连接，第一功率晶体管的漏极与第二功率晶体管的漏极连接，第二功率晶体管的源极接地，第一能量存储元件的一端与第一功率晶体管的漏极连接，第一能量存储元件的另一端与第三功率晶体管的漏极连接，第三功率管的源极接地，第四功率晶体管的漏极与第三功率晶体管的漏极连接，第四功率晶体管的源极与第二能量存储元件的一端连接，第二能量存储元件的另一端接地，电阻与第二能量存储元件并联连接。

结合第三方面的第一种实现方式，在第二种实现方式中，第一泄放模块包括第一泄放晶体管，用于与第一功率晶体管耦合，并在第一功率晶体管截止且第一功率晶体管的源极的电压达到第一源极阈值时导通。

结合第三方面的第二种实现方式，在第三种实现方式中，第一源极阈值的值为第一电压与第一泄放晶体管的导通阈值的和。

结合第三方面的第二种实现方式或第三种实现方式，在第四种实现方式中，第一泄放晶体管的源极与第一功率晶体管的源极连接，第一泄放晶体管的栅极与电源连接，第一泄放晶体管的漏极与第一功率晶体管的漏极连接，在第一泄放晶体管导通时，自第一功率晶体管的源极流向地的电流流经第一泄放晶体管和第二功率晶体管。

结合第三方面的第二种实现方式或第三种实现方式，在第五种实现方式中，第一泄放晶体管的源极与第一功率晶体管的源极连接，第一泄放晶体管的栅极与电源连接，第一泄放晶体管的漏极与第二功率晶体管的漏极连接，在第一泄放晶体管导通时，自第一功率晶体管的源极流向地的电流流经第一泄放晶体管。

结合第三方面的第一种实现方式，在第六种实现方式中，第二泄放模块包括第二泄放晶体管，用于与第三功率晶体管耦合，并在第三功率晶体管截止且第三功率晶体管的漏极的电压达到第二源极阈值时导通。

结合第三方面的第六种实现方式，在第七种实现方式中，第二源极阈值的值为第一电压与第二泄放晶体管的导通阈值的和。

结合第三方面的第六种实现方式或第七种实现方式，在第八种实现方式中，第二泄放晶体管的栅极连接至电阻与第四功率晶体管之间，第二泄放晶体管的源极与第三功率晶体管的漏极连接，第二泄放晶体管的漏极与第三功率晶体管的源极连接，自第三功率晶体管的漏极流向地的电流流经第二泄放晶体管。

通过上述方案，本发明的有益效果是：本发明通过泄放模块与第一功率晶体管耦合，并在第一功率晶体管截止且第一功率晶体管的源极的电压达到源极阈值时为自第一功率晶体管的源极流向地的电流提供电流通路，能够减小第一功率晶体管的漏极与源极之间的压差，降低第一功率晶体管烧坏的风险，并且避免增加制造成本。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。其中：

图 1 是现有的电源管理集成电路的电路图；

图 2 是本发明第一实施例的电压转换电路的结构图；

图 3 是本发明第二实施例的电压转换电路的电路图；

图 4 是本发明第三实施例的电压转换电路的电路图；

图 5 是本发明第四实施例的电压转换电路的结构图；

图 6 是本发明第五实施例的电压转换电路的电路图；

图 7 是本发明第六实施例的电压转换电路的结构图；

图 8 是本发明第七实施例的电压转换电路的电路图；

图 9 是本发明第八实施例的电压转换电路的电路图；

图 10 是本发明第九实施例的电压转换电路的电路图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性的劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参见图 2，图 2 是本发明第一实施例的电压转换电路的电路图。如图 2 所示，本实施例所揭示的电压转换电路 20 包括：电源 21、第一功率晶体管 22、第二功率晶体管 23、第一能量存储元件 24、第二能量存储元件 25 以及泄放模块 26，其中电压转换电路 20 用于将第一电压 V1 转换为第二电压 V2。

其中，电源 21 与第一功率晶体管 22 耦合，第二功率晶体管 23 和第一能量存储元件 24 均与第一功率晶体管 22 耦合，第二能量存储元件 25 与第一能量存储元件 24 耦合，泄放模块 26 与第一功率晶体管 22 耦合。第二功率晶体管 23 在第一功率晶体管 22 导通时截止，在第一功率晶体管 22 截止时导通。

第二能量存储元件 25 用于与第一功率晶体管 22 及第二功率晶体管 23 耦合，并在第一功率晶体管 22 导通、第二功率晶体管 23 截止时，由提供第一电压 V1 的电源 21 经第一能量存储元件 24 对第二能量存储元件 25 充电，电源 21 对第二能量存储元件 25 充电的电流流经第一功率晶体管 22 和第一能量存储元件 24，以使第二能量存储元件 25 的电压能够升到 V1。在第一功率晶体管 22 截止、第二功率晶体管 23 导通时，第二能量存储元件 25 经第一能量存储元件 24 通过第二功率晶体管 23 放电，第二能量存储元件 25 放电电流流经第一能量存储元件 24 和第二功率晶体管 23，以使第二能量存储元件 25 的电压值变小。第一能量存储元件 24 与第二能量存储元件 25 的连接端输出第二电压 V2，第二电压 V2 取决于第一电压 V1、第一功率晶体管 22 导通的时间及第二功率晶体管 23 导通的时间，其中第二电压 V2 小于第一电压 V1。

在第一功率晶体管 22 截止且第一功率晶体管 22 的源极电压达到源极阈

值时，泄放模块 26 为自第一功率晶体管 22 的源极流向地的电流提供电流通路，以减小第一功率晶体管 22 的源极和漏极之间的电压差，降低第一功率晶体管 22 烧坏的风险。

优选地，第一功率晶体管 22 为 P 型 MOS 管，第二功率晶体管 23 为 N 型 MOS 管，第一能量存储元件 24 为电感，第二能量存储元件 25 为电容。

本实施例所揭示的泄放模块 26 与第一功率晶体管 22 耦合，在第一功率晶体管 22 截止且第一功率晶体管 22 的源极电压达到源极阈值时，泄放模块 26 为自第一功率晶体管 22 的源极流向地的电流提供电流通路，以减小第一功率晶体管 22 的源极和漏极之间的电压差，降低第一功率晶体管 22 烧坏的风险。

本发明还提供第二实施例的电压转换电路，其在第一实施例所揭示的电压转换电路 20 的基础上进行描述。如图 3 所示，本实施例所揭示的电路还包括：第一电容 C1、电阻 R 以及栅极控制器 27。其中，第一电容 C1 与电源 21 并联连接，第一功率晶体管 22 的源极与电源 21 连接，第一功率晶体管 22 的栅极和第二功率晶体管 23 的栅极与栅极控制器 27 连接，栅极控制器 27 用于控制第一功率晶体管 22 和第二功率晶体管 23 的导通或截止，第一功率晶体管 22 的漏极与第二功率晶体管 23 的漏极连接，第二功率晶体管 23 的源极接地，第一能量存储元件 24 的一端与第一功率晶体管 22 的漏极连接，第一能量存储元件 24 的另一端与第二能量存储元件 25 的一端连接，第二能量存储元件 25 的另一端与地连接，电阻 R 与第二能量存储元件 25 并联连接。泄放模块 26 包括泄放晶体管，泄放晶体管的栅极与电源 21 连接，泄放晶体管的源极与第一功率晶体管 22 的源极连接，泄放晶体管的漏极与第一功率晶体管 22 的漏极连接，在泄放晶体管导通时，自第一功率晶体管 22 的源极流向地的电流流经泄放晶体管和第二功率晶体管 23。

其中，当栅极控制器 27 控制第一功率晶体管 22 导通、第二功率晶体管 23 截止时，电源 21 向第一能量存储元件 24 和第二能量存储元件 25 提供第一电压 V1，即电源 21 经第一能量存储元件 24 向第二能量存储元件 25 充电，电源 21 对第二能量存储元件 25 充电的电流流经第一功率晶体管 22 和第一能量存储元件 24。当栅极控制器 27 控制第一功率晶体管 22 截止，第二功率晶体管 23 导通时，第二能量存储元件 25、第一能量存储元件 24、第二功率

晶体管 23 形成回路，第二能量存储元件 25 经第一能量存储元件 24 通过第二功率晶体管 23 放电，第二能量存储元件 25 放电电流流经第一能量存储元件 24 和第二功率晶体管 23。第一能量存储元件 24 和第二能量存储元件 25 的连接端输出第二电压 V2，第二电压 V2 取决于第一电压 V1、第一功率晶体管 22 导通的时间及第二功率晶体管 23 导通的时间。

其中，在第一功率晶体管 22 的源极与电源 21 之间形成第一寄生电感 Lbp，第一功率晶体管 22 的源极相对于地形成一寄生电容 C2，第二功率晶体管 23 的源极与地之间形成第二寄生电感 Lbn。在第一功率晶体管 22 截止时，由于流过第一寄生电感 Lbp 的电流不能突变，则流过第一寄生电感 Lbp 的电流继续给寄生电容 C2 充电，导致第一功率晶体管 22 的源极电压充高，在第一功率晶体管 22 的源极的电压达到源极阈值时，泄放晶体管导通，为自第一功率晶体管 22 的源极流向地的电流提供电流通路，即第一功率晶体管 22 的源极流向地的电流流经泄放晶体管和第二功率晶体管 23，以降低第一功率晶体管 22 的源极的电压。在第一功率晶体管 22 的源极的电压小于源极阈值时，泄放晶体管截止。源极阈值的值优选为第一电压 V1 与泄放晶体管的导通阈值的和，泄放晶体管优选为 P 型 MOS 管。

其中第一功率晶体管 22 的源极 S 和漏极 D 之间的压差 Vdspmos 为：

$$Vdspmos=V1+Vth+Vd \quad (1)$$

根据公式（1）可知，第一功率晶体管 22 的源极和漏极之间的压差 Vdspmos 被嵌位住，即使第一功率晶体管 22 快速关闭，也可以保证第一功率晶体管 22 的可靠性。

本发明还提供第三实施例的电压转换电路，其与第二实施例所揭示的电压转换电路的不同之处在于：如图 4 所示，本实施例所揭示的泄放晶体管的栅极与电源 21 连接，泄放晶体管的源极与第一功率晶体管 22 的源极连接，泄放晶体管的漏极与第二功率晶体管 23 的漏极连接，在泄放晶体管导通时，自第一功率晶体管 22 的源极流向地的电流流经泄放晶体管。

本发明还提供第四实施例的电压转换电路，如图 5 所示，本实施例所揭示的电压转换电路 50 包括：电源 51、第一功率晶体管 52、第二功率晶体管 53、第一能量存储元件 54、第二能量存储元件 55 以及泄放模块 56，其中电压转换电路 50 用于将第一电压 V1 转换为第二电压 V2。

其中，电源 51 与第一能量存储元件 54 耦合，第二功率晶体管 53 和第一能量存储元件 54 均与第一功率晶体管 52 耦合，第二能量存储元件 25 与第一功率晶体管 52 以及第二功率晶体管 53 耦合，泄放模块 56 与第一功率晶体管 52 耦合。第二功率晶体管 53 在第一功率晶体管 52 导通时截止，在第一功率晶体管 52 截止时导通。

在第一功率晶体管 52 导通、第二功率晶体管 53 截止时，由第一电压 V1 对第一能量存储元件 54 充电，电源 51 对第一能量存储元件 54 充电的电流流经第一能量存储元件 54 和第一功率晶体管 52，以使第一能量存储元件 54 的电压能够升到 V1。在第一功率晶体管 52 截止、第二功率晶体管 53 导通时，由提供第一电压 V1 的电源 51 与第一能量存储元件 54 对第二能量存储元件 55 充电，第二能量存储元件 55 充电电流流经第一能量存储元件 54 和第二功率晶体管 53。第二功率晶体管 53 与第二能量存储元件 55 的连接端输出第二电压 V2，第二电压 V2 取决于第一电压 V1、第一功率晶体管 52 导通的时间及第二功率晶体管 53 导通的时间，其中第二电压 V2 大于第一电压 V1。

在第一功率晶体管 52 截止且第一功率晶体管 52 的漏极电压达到源极阈值时，泄放模块 56 为自第一功率晶体管 52 的漏极流向地的电流提供电流通路，以减小第一功率晶体管 52 的源极和漏极之间的电压差，降低第一功率晶体管 52 烧坏的风险。

优选地，第一功率晶体管 52 为 N 型 MOS 管，第二功率晶体管 53 为 P 型 MOS 管，第一能量存储元件 54 为电感，第二能量存储元件 55 为电容。

本实施例所揭示的泄放模块 56 与第一功率晶体管 52 耦合，在第一功率晶体管 52 截止且第一功率晶体管 52 的漏极电压达到源极阈值时，泄放模块 56 为自第一功率晶体管 52 的源极流向地的电流提供电流通路，以减小第一功率晶体管 52 的源极和漏极之间的电压差，降低第一功率晶体管 52 烧坏的风险。

本发明还提供第五实施例的电压转换电路，其在第四实施例所揭示的电压转换电路 50 的基础上进行描述。如图 6 所示，本实施例所揭示的电路还包括：第一电容 C1、电阻 R 以及栅极控制器 57。其中，第一电容 C1 与电源 51 并联连接，第一功率晶体管 52 的漏极通过第一能量存储元件 54 与电

源 51 连接，第一功率晶体管 52 的栅极和第二功率晶体管 53 的栅极与栅极控制器 57 连接，栅极控制器 57 用于控制第一功率晶体管 52 和第二功率晶体管 53 的导通或截止，第一功率晶体管 52 的源极接地，第二功率晶体管 53 的漏极与第一功率晶体管 52 的漏极连接，第二能量存储元件 55 的一端与第二功率晶体管 22 的源极连接，第二能量存储元件 55 的另一端接地，电阻 R 与第二能量存储元件 55 并联连接。泄放模块 56 包括泄放晶体管，泄放晶体管的栅极连接至电阻 R 与第二功率晶体管 53 之间，泄放晶体管的源极与第一功率晶体管 52 的漏极连接，泄放晶体管的漏极与第一功率晶体管 52 的源极连接，在泄放晶体管导通时，自第一功率晶体管 52 的漏极流向地的电流流经第二功率晶体管 53。

其中，当栅极控制器 57 控制第一功率晶体管 52 导通、第二功率晶体管 53 截止时，电源 51 向第一能量存储元件 54 提供第一电压 V1，即电源 51 向第一能量存储元件 54 充电，电源 51 对第一能量存储元件 54 充电的电流流经第一能量存储元件 54 和第一功率晶体管 52。当栅极控制器 57 控制第一功率晶体管 52 截止，第二功率晶体管 53 导通时，由提供第一电压 V1 的电源 51 与第一能量存储元件 54 对第二能量存储元件 55 充电，充电电流流经第一能量存储元件 54、第二功率晶体管 23 和第二能量存储元件 55。第二功率晶体管 53 与第二能量存储元件 55 的连接端输出第二电压 V2，第二电压 V2 取决于第一电压 V1、第一功率晶体管 52 导通的时间及第二功率晶体管 53 导通的时间。

其中，在第一功率晶体管 52 的源极与地之间形成第一寄生电感 Lbn，第一功率晶体管 52 的漏极相对于地形成一寄生电容 C2，第二功率晶体管 53 的源极与第二能量存储元件 55 之间形成第二寄生电感 Lbp。在第一功率晶体管 52 截止时，由于流过第一寄生电感 Lbn 的电流不能突变，则流过第一寄生电感 Lbn 的电流继续给寄生电容 C2 充电，导致第一功率晶体管 52 的漏极电压充高，在第一功率晶体管 52 的漏极的电压达到源极阈值时，泄放晶体管导通，为自第一功率晶体管 52 的漏极流向地的电流提供电流通路，即第一功率晶体管 52 的漏极流向地的电流流经泄放晶体管，以降低第一功率晶体管 52 的漏极的电压。在第一功率晶体管 52 的漏极的电压小于源极阈值时，泄放晶体管截止。源极阈值的值优选为第一电压 V1 与泄放晶体管的导

通阈值的和，泄放晶体管优选为 P 型 MOS 管。

本发明还提供第六实施例的电压转换电路，如图 7 所示，本实施例所揭示的电压转换电路包括：第一功率晶体管 71、第二功率晶体管 72、第三功率晶体管 73、第四功率晶体管 74、第一能量存储元件 75、第二能量存储元件 76、第一泄放模块 77、第二泄放模块 78 以及电源 79。其中电压转换电路用于将第一电压 V1 转换为第二电压 V2。

其中，第一功率晶体管 71 与电源 79 耦合，第二功率晶体管 72 和第一能量存储元件 75 均与第一功率晶体管 71 耦合，第三功率晶体管 73 和第四功率晶体管 74 均与第一能量存储元件 75 耦合，第二能量存储元件 76 与第三功率晶体管 73 和第四功率晶体管 74 耦合，第一泄放模块 77 与第一功率晶体管 71 耦合，第二泄放模块 78 与第三功率晶体管 73 耦合。第二功率晶体管 72 在第一功率晶体管 71 导通时截止，在第一功率晶体管 71 截止时导通；第四功率晶体管 74 在第三功率晶体管 73 导通时截止，在第三功率晶体管 73 截止时导通。

当第三功率晶体管 73 截止，第四功率晶体管 74 导通时，电压转换电路与第一实施例所揭示的电压转换电路 20 工作原理相同。在第一功率晶体管 71 导通、第二功率晶体管 72 截止时，由提供第一电压 V1 的电源 79 经第一能量存储元件 75 对所述第二能量存储元件 76 充电，电源 79 对第二能量存储元件 76 充电的电流流经第一功率晶体管 71、第一能量存储元件 75 以及第四功率晶体管 74，以使第二能量存储元件 76 的电压能够升到 V1；在第一功率晶体管 71 截止、第二功率晶体管 72 导通时，第二能量存储元件 76 经第四功率晶体管 74 和第一能量存储元件 75 通过第二功率晶体管 72 放电，第二能量存储元件 76 放电电流流经第四功率晶体管 74、第一能量存储元件 71 和第二功率晶体管 72，以使第二能量存储元件 76 的电压值变小。第四功率晶体管 74 与第二能量存储元件 76 的连接端输出第二电压 V2，第二电压 V2 取决于第一电压 V1、第一功率晶体管 71 导通的时间及第二功率晶体管 72 导通的时间，其中第二电压 V2 小于第一电压 V1。

在第一功率晶体管 71 截止且第一功率晶体管 71 的源极电压达到源极阈值时，第一泄放模块 77 为自第一功率晶体管 71 的源极流向地的电流提供电流通路，以减小第一功率晶体管 71 的源极和漏极之间的电压差，降低第一

功率晶体管 71 烧坏的风险。

当第二功率晶体管 72 截止，第一功率晶体管 71 导通时，电压转换电路与第四实施例所揭示的电压转换电路 50 工作原理相同。在第三功率晶体管 73 导通、第四功率晶体管 74 截止时，由第一电压 V1 对第一能量存储元件 75 充电，电源 79 对第一能量存储元件 75 充电的电流流经第一功率晶体管 71、第一能量存储元件 75 和第三功率晶体管 73，以使第一能量存储元件 75 的电压能够升到 V1。在第三功率晶体管 73 截止、第四功率晶体管 74 导通时，由提供第一电压 V1 的电源 79 与第一能量存储元件 75 对第二能量存储元件 76 充电，第二能量存储元件 76 充电电流流经第一功率晶体管 71、第一能量存储元件 75 和第四功率晶体管 74。第四功率晶体管 74 与第二能量存储元件 76 的连接端输出第二电压 V2，第二电压 V2 取决于第一电压 V1、第三功率晶体管 73 导通的时间及第四功率晶体管 74 导通的时间，其中第二电压 V2 大于第一电压 V1。

在第三功率晶体管 73 截止且第三功率晶体管 73 的漏极电压达到源极阈值时，第二泄放模块 78 为自第三功率晶体管 73 的漏极流向地的电流提供电流通路，以减小第三功率晶体管 73 的源极和漏极之间的电压差，降低第三功率晶体管 73 烧坏的风险。

优选地，第一功率晶体管 71 为 P 型 MOS 管，第二功率晶体管 72 为 N 型 MOS 管，第三功率晶体管 73 为 N 型 MOS 管，第四功率晶体管 74 为 P 型 MOS 管，第一能量存储元件 75 为电感，第二能量存储元件 76 为电容。

本发明还提供第八实施例的电压转换电路，其在第七实施例所揭示的电压转换电路的基础上进行描述。如图 8 所示，本实施例所揭示的电路还包括第一电容 C1、电阻 R 以及栅极控制器 80。其中，第一电容 C1 与电源 79 并联连接，第一功率晶体管 71 的源极与电源 79 连接，第一功率晶体管 71 的栅极、第二功率晶体管 72 的栅极、第三功率晶体管 73 的栅极以及第四功率晶体管 74 的栅极均与栅极控制器 80 连接，第一功率晶体管 71 的漏极与第二功率晶体管 72 的漏极连接，第二功率晶体管 72 的源极接地，第一能量存储元件 75 的一端与第一功率晶体管 71 的漏极连接，第一能量存储元件 75 的另一端与第三功率晶体管 73 的漏极连接，第三功率晶体管 73 的源极接地，第四功率晶体管 74 的漏极与第三功率晶体管 73 的漏极连接，第四功率晶体

管 74 的源极与第二能量存储元件 76 的一端连接，第二能量存储元件 76 的另一端接地，电阻 R 与第二能量存储元件 76 并联连接。

当栅极控制器 80 控制第三功率晶体管 73 截止，第四功率晶体管导通 74 时，栅极控制器 80 还控制第一功率晶体管 71 导通、第二功率晶体管 72 截止，电源 79 向第一能量存储元件 75 和第二能量存储元件 76 提供第一电压 V1，即电源 79 经第一能量存储元件 75 向第二能量存储元件 76 充电，电源 79 对第二能量存储元件 76 充电的电流流经第一功率晶体管 71、第一能量存储元件 75 以及第四功率晶体管 74。当栅极控制器 80 控制第一功率晶体管 71 截止，第二功率晶体管 72 导通时，第二能量存储元件 76、第四功率晶体管 74、第一能量存储元件 75、第二功率晶体管 72 形成回路，第二能量存储元件 76 经第一能量存储元件 75 通过第二功率晶体管 72 放电，第二能量存储元件 76 放电电流流经第四功率晶体管 74、第一能量存储元件 75 和第二功率晶体管 72。第一泄放模块 77 包括第一泄放晶体管，第一泄放晶体管的栅极与电源 79 连接，第一泄放晶体管的源极与第一功率晶体管 71 的源极连接，第一泄放晶体管的漏极与第一功率晶体管 71 的漏极连接。第二电压 V2 取决于第一电压 V1、第一功率晶体管 71 导通的时间及第二功率晶体管 72 导通的时间。

其中，在第一功率晶体管 71 的源极与电源 79 之间形成第一寄生电感 Lbp1，第一功率晶体管 71 的源极相对于地形成一寄生电容 C2，第二功率晶体管 72 的源极与地之间形成第二寄生电感 Lbn1，第三功率晶体管 73 的源极与地之间形成第三寄生电感 Lbn2，第三功率晶体管 73 的漏极相对于地形成寄生电容 C3，第四功率晶体管 74 与第二能量存储元件 76 之间形成第四寄生电感 Lbp2。在第一功率晶体管 71 截止时，由于流过第一寄生电感 Lbp1 的电流不能突变，则流过第一寄生电感 Lbp1 的电流继续给寄生电容 C2 充电，导致第一功率晶体管 71 的源极电压充高，在第一功率晶体管 71 的源极的电压达到源极阈值时，第一泄放晶体管导通，为自第一功率晶体管 71 的源极流向地的电流提供电流通路，即第一功率晶体管 71 的源极流向地的电流流经第一泄放晶体管和第二功率晶体管 72，以降低第一功率晶体管 71 的源极的电压。在第一功率晶体管 71 的源极的电压小于源极阈值时，第一泄放晶体管截止。源极阈值的值优选为第一电压 V1 与第一泄放晶体管的导通阈值

的和，第一泄放晶体管优选为 P 型 MOS 管。

本发明还提供第九实施例的电压转换电路，其与第八实施例所揭示的电压转换电路的不同之处在于：如图 9 所示，本实施例所揭示的第一泄放晶体管的栅极与电源 79 连接，第一泄放晶体管的源极与第一功率晶体管 71 的源极连接，第一泄放晶体管的漏极与第二功率晶体管 72 的漏极连接，在第一泄放晶体管导通时，自第一功率晶体管 71 的源极流向地的电流流经第一泄放晶体管。

本发明还提供第十实施例的电压转换电路，其与第八实施例所揭示的电压转换电路的不同之处在于：如图 10 所示，当栅极控制器 80 控制第二功率晶体管 72 截止，第一功率晶体管导通 71 时，栅极控制器 80 还控制第三功率晶体管 73 导通、第四功率晶体管 74 截止，电源 79 向第一能量存储元件 75 提供第一电压 V1，即电源 79 向第一能量存储元件 75 充电，电源 79 对第一能量存储元件 75 充电的电流流经第一功率晶体管 71、第一能量存储元件 75 以及第三功率晶体管 73。当栅极控制器 80 控制第三功率晶体管 73 截止，第四功率晶体管 74 导通时，由提供第一电压 V1 的电源 79 与第一能量存储元件 75 对第二能量存储元件 76 充电，充电电流流经第一功率晶体管 71、第一能量存储元件 75、第四功率晶体管 74 和第二能量存储元件 76。第二泄放模块 78 包括第二泄放晶体管，第二泄放晶体管的栅极连接至第四功率晶体管 74 和第二能量存储元件 76 之间，第二泄放晶体管的源极与第三功率晶体管 73 的漏极连接，第二泄放晶体管的漏极与第三功率晶体管 73 的源极连接。第二电压 V2 取决于第一电压 V1、第三功率晶体管 73 导通的时间及第四功率晶体管 74 导通的时间。

其中，在第三功率晶体管 73 截止时，由于流过第三寄生电感 Lbn2 的电流不能突变，则流过第三寄生电感 Lbn2 的电流继续给寄生电容 C3 充电，导致第三功率晶体管 73 的漏极电压充高，在第三功率晶体管 73 的漏极的电压达到源极阈值时，第二泄放晶体管导通，为自第三功率晶体管 73 的漏极流向地的电流提供电流通路，即第三功率晶体管 73 的漏极流向地的电流流经第二泄放晶体管，以降低第三功率晶体管 73 的漏极的电压。在第三功率晶体管 73 的漏极的电压小于源极阈值时，第二泄放晶体管截止。源极阈值的值优选为第一电压 V1 与第二泄放晶体管的导通阈值的和，第二泄放晶体管

优选为 P 型 MOS 管。

综上所述，本发明通过泄放模块与第一功率晶体管或者第三功率晶体管并联连接，能够减少第一功率晶体管或第三功率晶体管的漏极与源极的压差，降低第一功率晶体管或第三功率晶体管烧坏的风险，并且避免增加制造成本。

以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求

1、一种电压转换电路，用于将第一电压转换为第二电压，其特征在于，包括:

第一功率晶体管;

第二功率晶体管，所述第二功率晶体管在所述第一功率晶体管导通时截止，在所述第一功率晶体管截止时导通;

第一能量存储元件;

第二能量存储元件，用于与所述第一功率晶体管及第二功率晶体管耦合，并在所述第一功率晶体管导通、所述第二功率晶体管截止时，由提供所述第一电压的电源经第一能量存储元件对所述第二能量存储元件充电，在所述第一功率晶体管截止、所述第二功率晶体管导通时，所述第二能量存储元件经所述第一能量存储元件通过所述第二功率晶体管放电，所述第一能量存储元件与所述第二能量存储元件的连接端输出所述第二电压，所述第二电压取决于所述第一电压、所述第一功率晶体管导通的时间及所述第二功率晶体管导通的时间；及

泄放模块，用于与所述第一功率晶体管耦合，并在所述第一功率晶体管截止且所述第一功率晶体管的源极的电压达到源极阈值时为自所述第一功率晶体管的源极流向地的电流提供电流通路。

2、根据权利要求 1 所述的电路，其特征在于，所述泄放模块包括泄放晶体管，用于与所述第一功率晶体管耦合，并在所述第一功率晶体管截止且所述第一功率晶体管的源极的电压达到源极阈值时导通。

3、根据权利要求 2 所述的电路，其特征在于，所述源极阈值的值为所述第一电压与所述泄放晶体管的导通阈值的和。

4、根据权利要求 1-3 任意一项所述的电路，其特征在于，所述电路还包括栅极控制器和电阻，所述第一功率晶体管的源极与所述电源连接，所述第一功率晶体管的栅极和所述第二功率晶体管的栅极与所述栅极控制器连接，所述第一功率晶体管的漏极与所述第二功率晶体管的漏极连接，所述第二功率晶体管的源极与地连接，所述第一能量存储元件的一端与所述第一功率晶体管的漏极连接，所述第一能量存储元件的另一端与所述第二能量存储元件的一端连接，所述第二能量存储元件的另一端与地连接，所述电阻与所

述第二能量存储元件并联连接。

5、根据权利要求 2-4 任意一项所述的电路，其特征在于，所述泄放晶体管的栅极与所述电源连接，所述泄放晶体管的源极与所述第一功率晶体管的源极连接，所述泄放晶体管的漏极与所述第一功率晶体管的漏极连接，在所述泄放晶体管导通时，自所述第一功率晶体管的源极流向地的电流流经所述泄放晶体管和所述第二功率晶体管。

6、根据权利要求 2-4 任意一项所述的电路，其特征在于，所述泄放晶体管的栅极与所述电源连接，所述泄放晶体管的源极与所述第一功率晶体管的源极连接，所述泄放晶体管的漏极与所述第二功率晶体管的漏极连接，在所述泄放晶体管导通时，自所述第一功率晶体管的源极流向地的电流流经所述泄放晶体管。

7、一种电压转换电路，用于将第一电压转换为第二电压，其特征在于，包括:

第一功率晶体管;

第二功率晶体管，所述第二功率晶体管在所述第一功率晶体管导通时截止，在所述第一功率晶体管截止时导通;

第一能量存储元件;

第二能量存储元件，用于与所述第一功率晶体管及第二功率晶体管耦合，并在所述第一功率晶体管导通、所述第二功率晶体管截止时，由所述第一电压对所述第一能量存储元件充电，在所述第一功率晶体管截止、所述第二功率晶体管导通时，由提供所述第一电压的电源与所述第一能量存储元件对所述第二能量存储元件充电，所述第二功率晶体管与所述第二能量存储元件的连接端输出所述第二电压，所述第二电压取决于所述第一电压、所述第一功率晶体管导通的时间及所述第二功率晶体管导通的时间；及

泄放晶体管，用于与所述第一功率晶体管耦合，并在所述第一功率晶体管截止且所述第一功率晶体管的漏极的电压达到源极阈值时为自所述第一功率晶体管的漏极流向地的电流提供电流通路。

8、根据权利要求 7 所述的电路，其特征在于，所述泄放模块包括泄放晶体管，用于与所述第一功率晶体管耦合，并在所述第一功率晶体管截止且所述第一功率晶体管的漏极的电压达到源极阈值时导通。

9、根据权利要求 8 所述的电路，其特征在于，所述源极阈值的值为所述第一电压与所述泄放晶体管的导通阈值的和。

10、根据权利要求 7-9 任意一项所述的电路，其特征在于，所述电路还包括栅极控制器和电阻，所述第一功率晶体管的漏极通过所述第一能量存储元件与所述电源连接，所述第一功率晶体管的栅极和所述第二功率晶体管的栅极与所述栅极控制器连接，所述第一功率晶体管的源极接地，所述第二功率晶体管的漏极与所述第一功率晶体管的漏极连接，所述第二功率晶体管的源极与所述第二能量存储元件的一端连接，所述第二能量存储元件的另一端接地，所述电阻与所述第二能量存储元件并联连接。

11、 根据权利要求 8-10 任意一项所述的电路，其特征在于，所述泄放晶体管的栅极连接至所述电阻与所述第二功率晶体管之间，所述泄放晶体管的源极与所述第一功率晶体管的漏极连接，所述泄放晶体管的漏极与所述第一功率晶体管的源极连接，自所述第一功率晶体管的漏极流向地的电流流经所述泄放晶体管。

12、一种电压转换电路，用于将第一电压转换为第二电压，其特征在于，包括:

第一功率晶体管;

第二功率晶体管，所述第二功率晶体管在所述第一功率晶体管导通时截止，在所述第一功率晶体管截止时导通;

第三功率晶体管;

第四功率晶体管，所述第四功率晶体管在所述第三功率晶体管导通时截止，在所述第三功率晶体管截止时导通;

第一能量存储元件，用于与所述第一功率晶体管和第二功率晶体管耦合;

第二能量存储元件，用于与所述第三功率晶体管及第四功率晶体管耦合;

其中，在所述第四功率晶体管导通、所述第三功率晶体管截至时，并在所述第一功率晶体管导通、所述第二功率晶体管截止时，由提供所述第一电压的电源经第一能量存储元件对所述第二能量存储元件充电，在所述第一功率晶体管截止、所述第二功率晶体管导通时，所述第二能量存储元件经所述

第一能量存储元件通过所述第二功率晶体管放电，所述第四功率晶体管与所述第二能量存储元件的连接端输出所述第二电压，所述第二电压取决于所述第一电压、所述第一功率晶体管导通的时间以及所述第二功率晶体管导通的时间；

在所述第一功率晶体管导通、所述第二功率晶体管截至时，并在所述第三功率晶体管导通、所述第四功率晶体管截止时，由所述第一电压对所述第一能量存储元件充电，在所述第四功率晶体管导通、所述第三功率晶体管截止时，由提供所述第一电压的电源与所述第一能量存储元件对所述第二能量存储元件充电；所述第四功率晶体管与所述第二能量存储元件的连接端输出所述第二电压，所述第二电压取决于所述第一电压、所述第三功率晶体管导通的时间以及所述第四功率晶体管导通的时间；

第一泄放模块，用于与所述第一功率晶体管耦合，并在所述第一功率晶体管截止且所述第一功率晶体管的源极的电压达到第一源极阈值时为自所述第一功率晶体管的源极流向地的电流提供电流通路；及

第二泄放模块，用于与所述第三功率晶体管耦合，并在所述第三功率晶体管截止且所述第三功率晶体管的漏极的电压达到第二源极阈值时为自所述第三功率晶体管的漏极流向地的电流提供电流通路。

13、根据权利要求 12 所述的电路，其特征在于，所述电路还包括栅极控制器和电阻，所述第一功率晶体管的源极与所述电源连接，所述第一功率晶体管的栅极、所述第二功率晶体管的栅极、所述第三功率晶体管的栅极以及所述第四功率晶体管的栅极均与所述栅极控制器连接，所述第一功率晶体管的漏极与所述第二功率晶体管的漏极连接，所述第二功率晶体管的源极接地，所述第一能量存储元件的一端与所述第一功率晶体管的漏极连接，所述第一能量存储元件的另一端与所述第三功率晶体管的漏极连接，所述第三功率管的源极接地，所述第四功率晶体管的漏极与所述第三功率晶体管的漏极连接，所述第四功率晶体管的源极与所述第二能量存储元件的一端连接，所述第二能量存储元件的另一端接地，所述电阻与所述第二能量存储元件并联连接。

14、根据权利要求 13 所述的电路，其特征在于，所述第一泄放模块包括第一泄放晶体管，用于与所述第一功率晶体管耦合，并在所述第一功率晶

体管截止且所述第一功率晶体管的源极的电压达到第一源极阈值时导通。

15、根据权利要求 14 所述的电路，其特征在于，所述第一源极阈值的值为所述第一电压与所述第一泄放晶体管的导通阈值的和。

16、根据权利要求 14 或 15 所述的电路，其特征在于，所述第一泄放晶体管的源极与所述第一功率晶体管的源极连接，所述第一泄放晶体管的栅极与所述电源连接，所述第一泄放晶体管的漏极与所述第一功率晶体管的漏极连接，在所述第一泄放晶体管导通时，自所述第一功率晶体管的源极流向地的电流流经所述第一泄放晶体管和所述第二功率晶体管。

17、根据权利要求 14 或 15 所述的电路，其特征在于，所述第一泄放晶体管的源极与所述第一功率晶体管的源极连接，所述第一泄放晶体管的栅极与所述电源连接，所述第一泄放晶体管的漏极与所述第二功率晶体管的漏极连接，在所述第一泄放晶体管导通时，自所述第一功率晶体管的源极流向地的电流流经所述第一泄放晶体管。

18、根据权利要求 13 所述的电路，其特征在于，所述第二泄放模块包括第二泄放晶体管，用于与所述第三功率晶体管耦合，并在所述第三功率晶体管截止且所述第三功率晶体管的漏极的电压达到第二源极阈值时导通。

19、根据权利要求 18 所述的电路，其特征在于，所述第二源极阈值的值为所述第一电压与所述第二泄放晶体管的导通阈值的和。

20、根据权利要求 18 或 19 所述的电路，其特征在于，所述第二泄放晶体管的栅极连接至所述电阻与所述第四功率晶体管之间，所述第二泄放晶体管的源极与所述第三功率晶体管的漏极连接，所述第二泄放晶体管的漏极与所述第三功率晶体管的源极连接，自所述第三功率晶体管的漏极流向地的电流流经所述第二泄放晶体管。

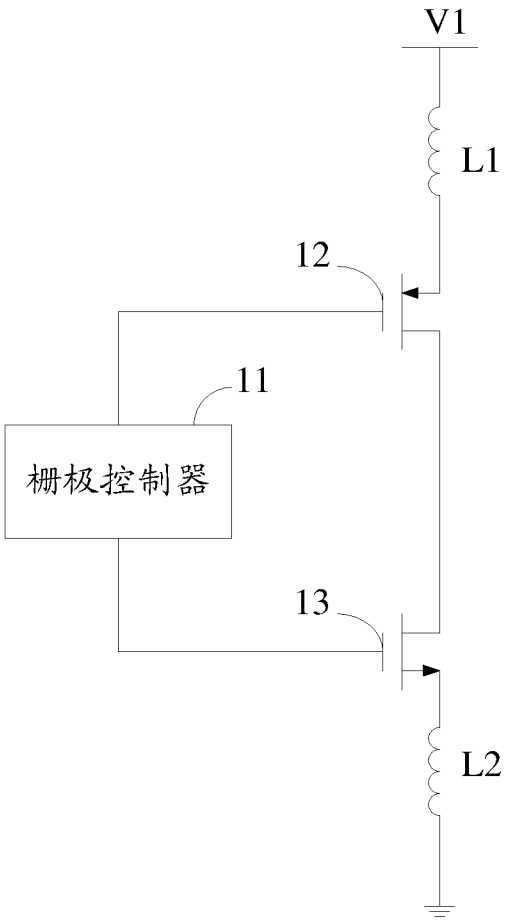


图 1

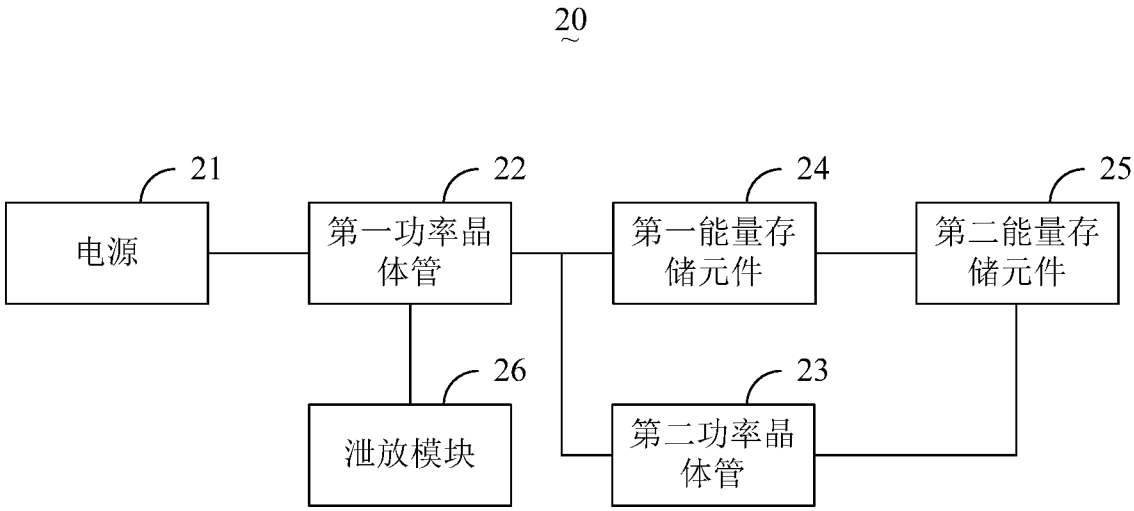

20
21
电源
22
第一功率晶体管
24
第一能量存储元件
25
第二能量存储元件
26
泄放模块
23
第二功率晶体管

图 2

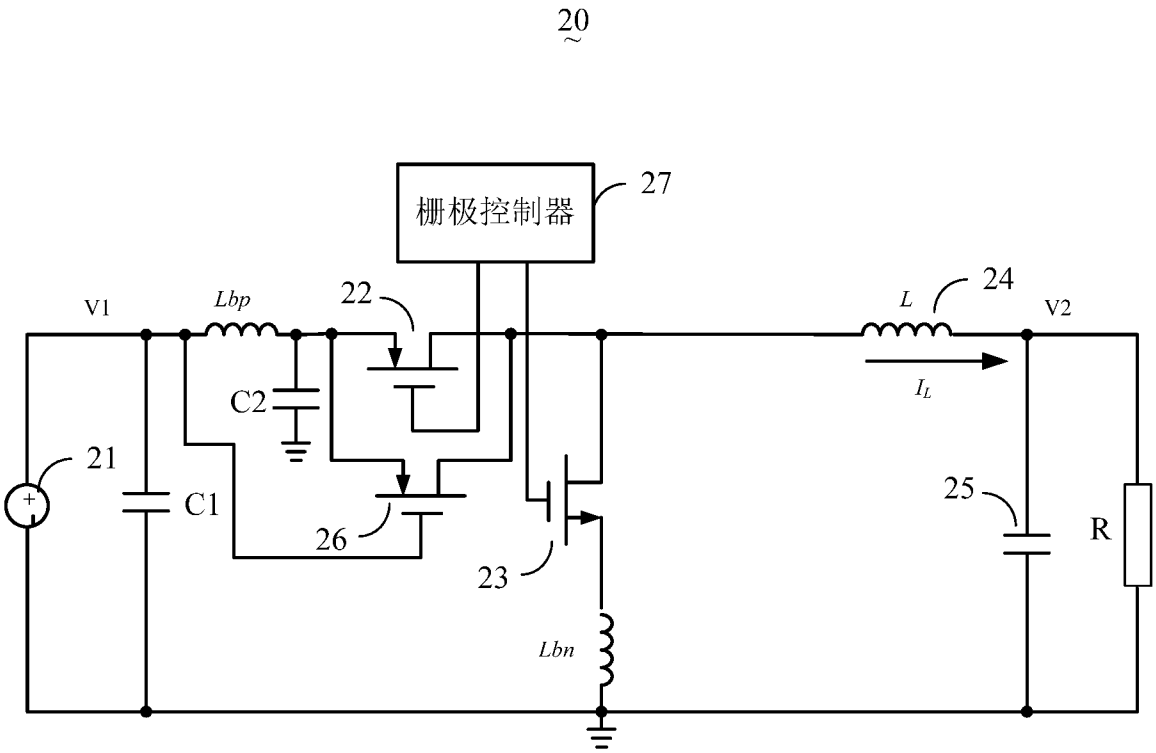

20
27
栅极控制器
V1
Lbp
22
L
24
V2
C2
I_L
21
C1
25
R
26
23
Lbn

图 3

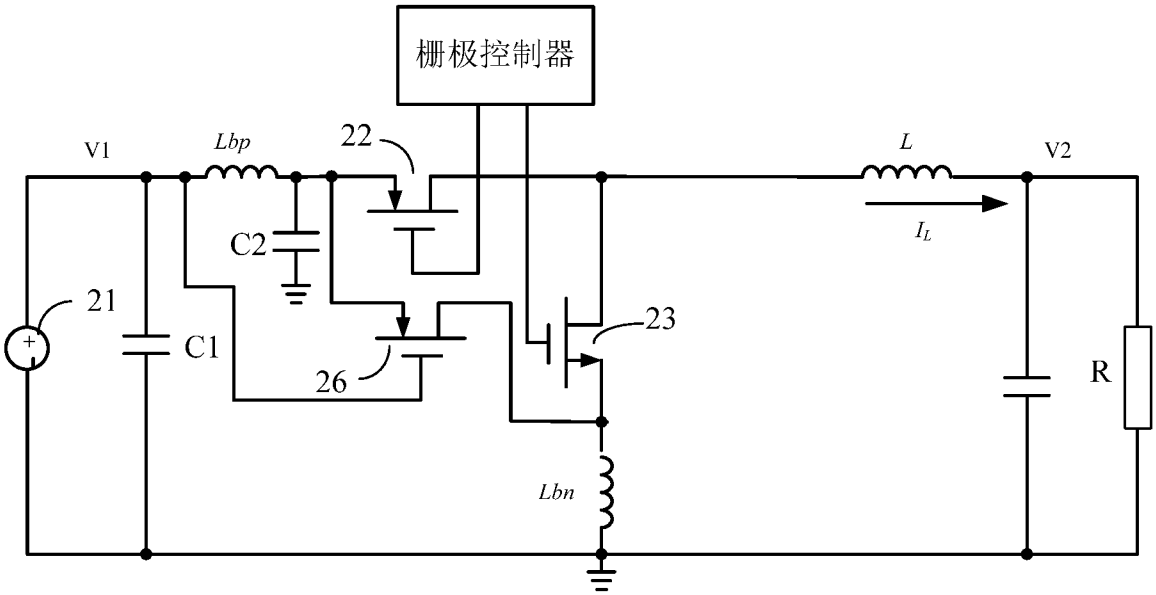

栅极控制器
V1
Lbp
22
L
V2
C2
I_L
21
C1
23
26
R
Lbn

图 4

50

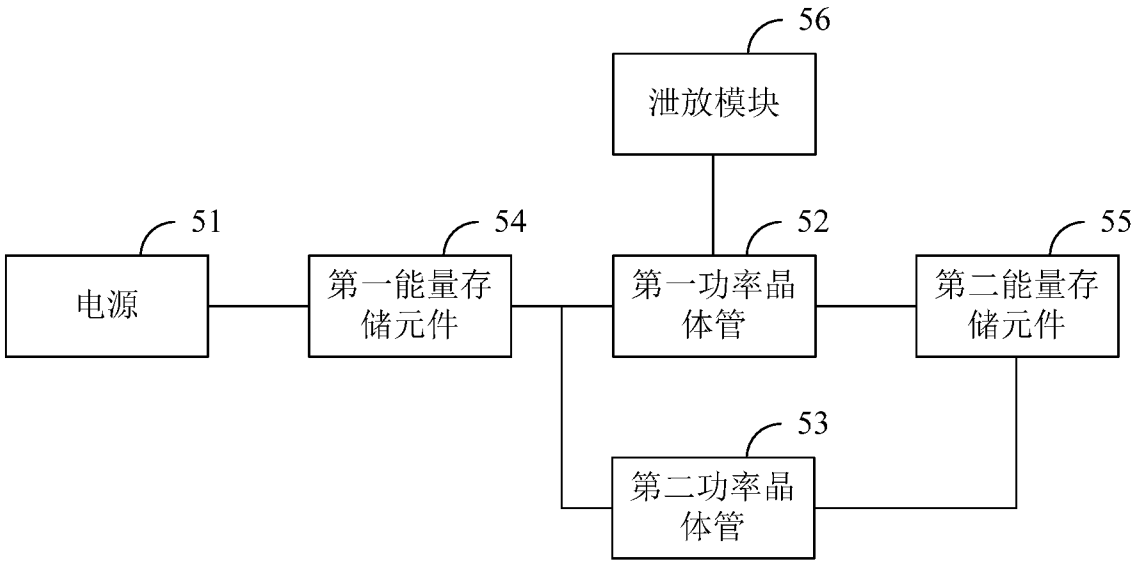

56
泄放模块
51
54
52
55
电源
第一能量存储元件
第一功率晶体管
第二能量存储元件
53
第二功率晶体管

图 5

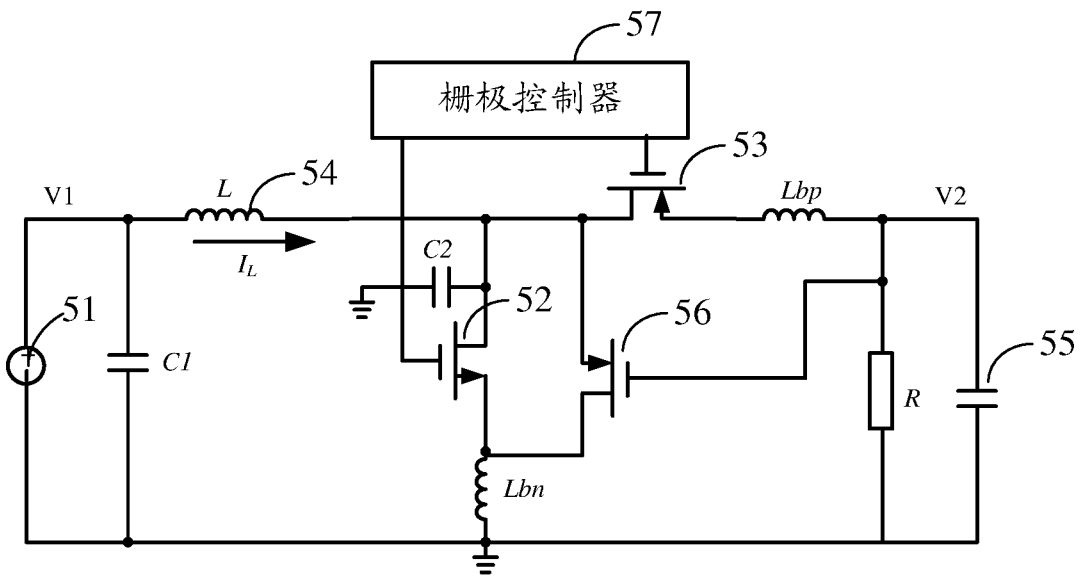

50
57
栅极控制器
53
54
L
V1
Lbp
V2
I_L
C2
51
52
56
55
C1
R
Lbn

图 6

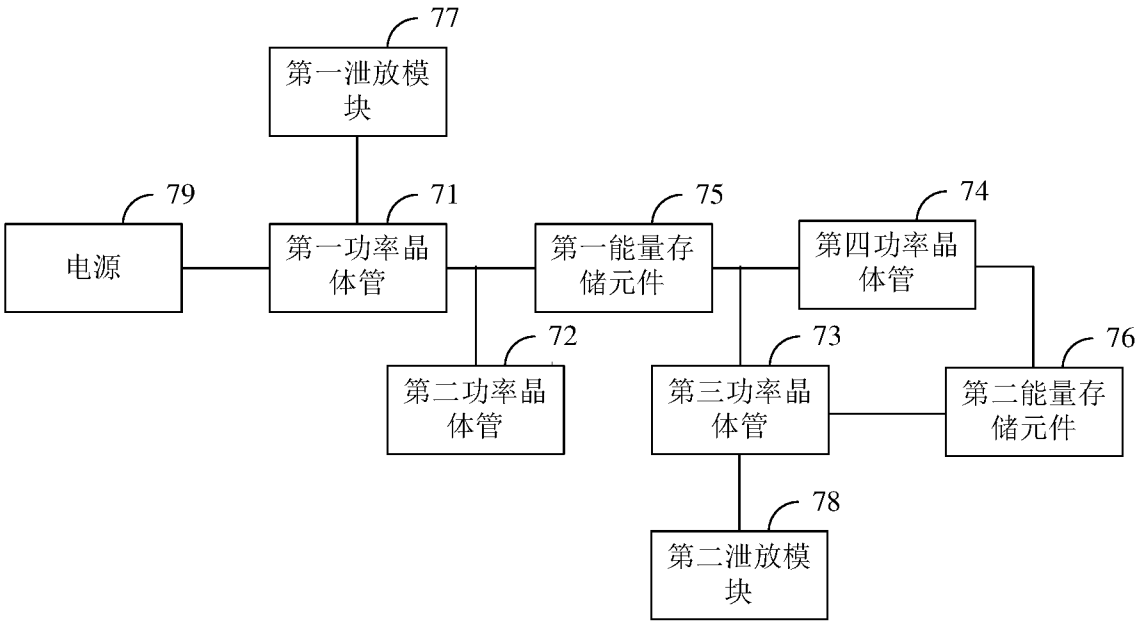

77
第一泄放模块
79
71
75
74
电源
第一功率晶体管
第一能量存储元件
第四功率晶体管
72
73
76
第二功率晶体管
第三功率晶体管
第二能量存储元件
78
第二泄放模块

图 7

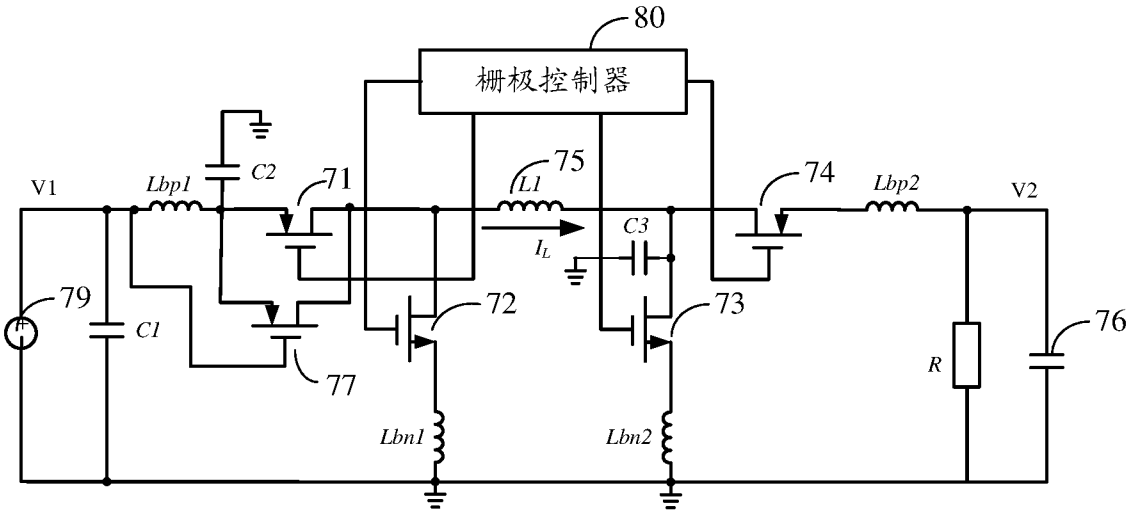

80
栅极控制器
V1
Lbp1
C2
71
75
L1
74
Lbp2
V2
C3
I_L
79
C1
72
73
76
R
77
Lbn1
Lbn2

图 8

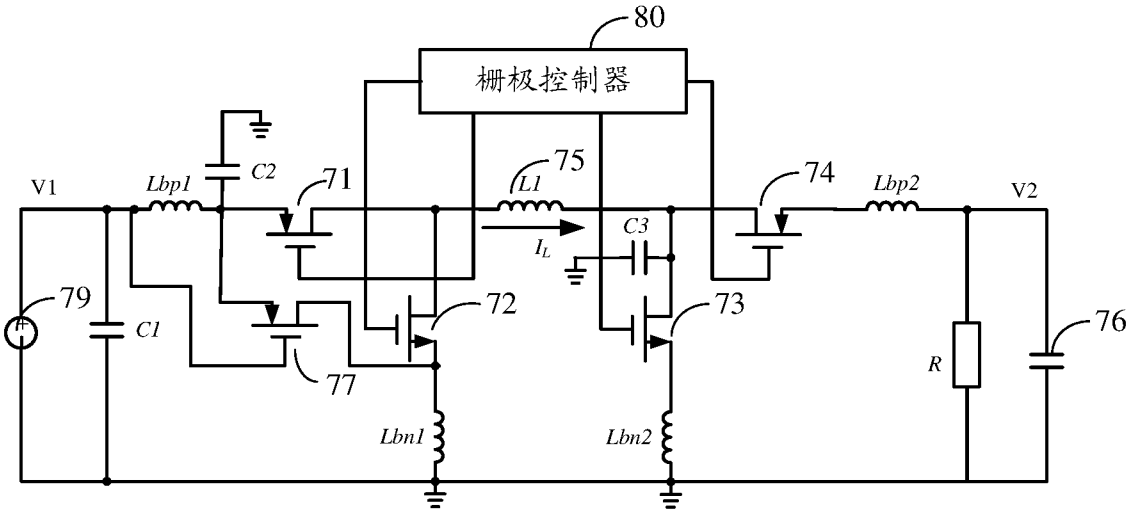

80
栅极控制器
V1
Lbp1
C2
71
75
L1
74
Lbp2
V2
C3
I_L
79
C1
72
73
76
R
77
Lbn1
Lbn2

图 9

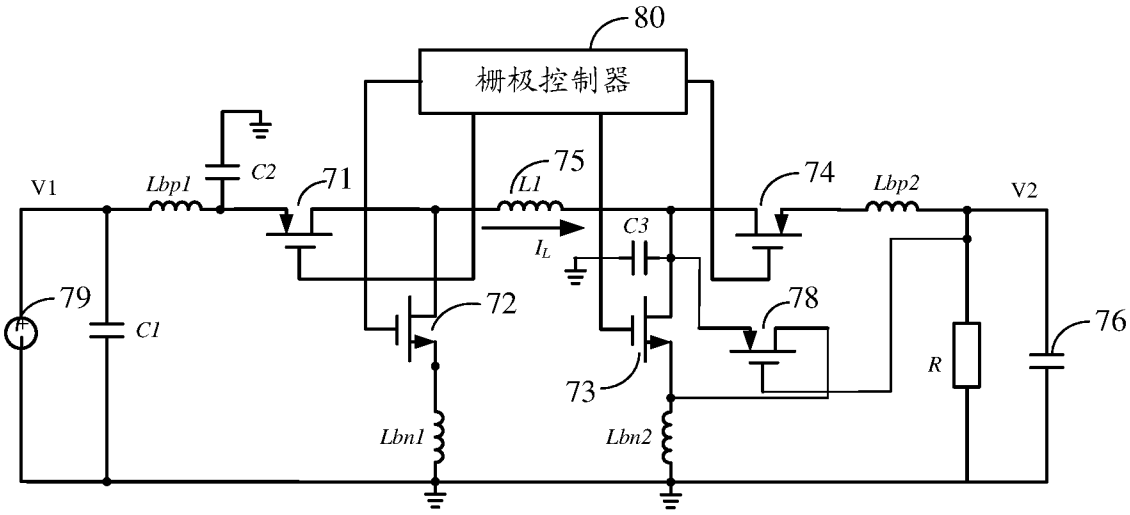

80
栅极控制器
V1
Lbp1
C2
71
75
L1
74
Lbp2
V2
C3
I_L
79
C1
72
78
76
R
73
Lbn1
Lbn2

图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/095064

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/155 (2006.01) i; H02M 1/22 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS; DWPI; epodoc: DC, power tube, switch tube, MOS tube, inductance, capacitance, voltage, conversion, converter, direct current, switch, power, transistor, MOSFET, inductor, capacitor, release, parallel, source, gate, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104779782 A (HUAWEI TECHNOLOGIES CO., LTD.), 15 July 2015 (15.07.2015), claims 1-20	1-20
A	CN 103227566 A (HUAWEI TECHNOLOGIES CO., LTD.), 31 July 2013 (31.07.2013), see description, paragraphs [0017], [0021] and [0033], and figure 2	1-20
A	CN 103187870 A (HONGFUJIN PRECISION INDUSTRY (SHENZHEN) CO., LTD. et al.), 03 July 2013 (03.07.2013), see the whole document	1-20
A	EP 2624426 A1 (DIALOG SEMICONDUCTOR GMBH), 07 August 2013 (07.08.2013), see the whole document	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 January 2016 (29.01.2016)	**16 February 2016 (16.02.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **DING, Dongxia** Telephone No.: (86-10) **62089125**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/095064

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104779782 A	15 July 2015	None	
CN 103227566 A	31 July 2013	CN 103227566 B	26 August 2015
		US 2014312862 A1	23 October 2014
CN 103187870 A	03 July 2013	None	
EP 2624426 A1	07 August 2013	US 2013200868 A1	08 August 2013

国际检索报告

国际申请号
PCT/CN2015/095064

A. 主题的分类

H02M 3/155(2006.01)i; H02M 1/22(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H02M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CPRSABS;DWPI;epodoc:电压，转换，变换，直流，DC，功率管，晶体管，开关管，MOS管，电感，电容，泄放，并联，源极，栅极，漏极，voltage, conversion, converter, direct current, switch, power, transistor, MOSFET, inductor, capacitor, release, parallel, source, gate, drain

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 104779782 A (华为技术有限公司) 2015年 7月 15日 (2015-07-15) 权利要求1-20	1-20
A	CN 103227566 A (华为技术有限公司) 2013年 7月 31日 (2013-07-31) 参见说明书第【0017】、【0021】、【0033】段和图2	1-20
A	CN 103187870 A (鸿富锦精密工业深圳有限公司 等) 2013年 7月 3日 (2013-07-03) 参见全文	1-20
A	EP 2624426 A1 (DIALOG SEMICONDUCTOR GMBH) 2013年 8月 7日 (2013-08-07) 参见全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 1月 29日	2016年 2月 16日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 丁东霞 电话号码 (86-10)62089125

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/095064

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104779782	A	2015年 7月 15日		无		
CN	103227566	A	2013年 7月 31日	CN	103227566	B	2015年 8月 26日
				US	2014312862	A1	2014年 10月 23日
CN	103187870	A	2013年 7月 3日		无		
EP	2624426	A1	2013年 8月 7日	US	2013200868	A1	2013年 8月 8日