



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 43 37 675 B4 2008.04.30**

(12)

## Patentschrift

(21) Aktenzeichen: **P 43 37 675.4**  
 (22) Anmeldetag: **04.11.1993**  
 (43) Offenlegungstag: **11.05.1994**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **30.04.2008**

(51) Int Cl.<sup>8</sup>: **H01L 23/04 (2006.01)**  
**H01L 21/50 (2006.01)**  
**H01L 23/50 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:  
**20847/92            07.11.1992        KR**

(73) Patentinhaber:  
**Goldstar Electron Co., Ltd., Cheongju,**  
**Chungcheongbuk, KR**

(74) Vertreter:  
**WUESTHOFF & WUESTHOFF Patent- und**  
**Rechtsanwälte, 81541 München**

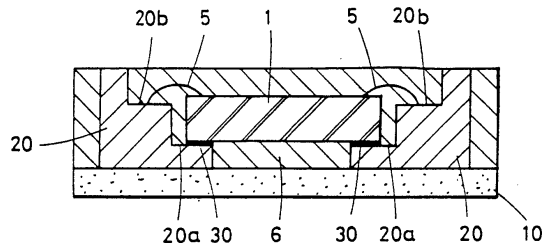
(72) Erfinder:  
**Song, Chi Jung, Daejon, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:  
**US 50 60 844**  
**JP 61101067 A in Patent Abstracts of Japan;**  
**JP 04030561 A in Patent Abstracts of Japan;**  
**JP 62119952 A in Patent Abstracts of Japan;**

(54) Bezeichnung: **Verfahren zur Herstellung von stapelbaren Halbleitergehäusen**

(57) Hauptanspruch: Verfahren zur Herstellung eines stapelbaren Halbleitergehäuses, mit den Schritten:

- Anbringen einer Vielzahl von Anschlusselementen (20), die in zwei Reihen einander gegenüberstehen, an einer oberen Oberfläche eines Klebstreifens (10), wobei jedes der Anschlusselemente eine erste Stufe (20a) und eine zweite Stufe (20b) aufweist, die auf einem höheren Niveau als die erste Stufe (20a) angeordnet ist;
- Anbringen eines Halbleiterchips (1) an den ersten Stufen (20a) der Anschlusselemente (20) durch einen isolierenden Kleber (30);
- Verbinden der Anschlussflecken des Halbleiterchips (1) mit den zweiten Stufen (20b) der Anschlusselemente (20) durch Metalldrähte (5) mit Hilfe eines Draht-Bond-Verfahrens; und
- Eingießen der Anschlusselemente (20), des Halbleiterchips (1) und der Metalldrähte (5) durch eine Gießmasse (6), in ein Gehäuse unter der Bedingung, dass die Anschlusselemente (20) an den unteren und oberen Oberflächen des Gehäuses (6) nach außen hin freiliegen.



**Beschreibung**

Hintergrund der Erfindungen

Gebiet der Erfindungen

**[0001]** Die vorliegenden Erfindungen betreffen die Herstellung von stapelbaren Halbleitergehäusen mit Anschlusselementen.

Beschreibung des Standes der Technik

**[0002]** Unter Bezugnahme auf [Fig. 1](#) wird ein herkömmliches Halbleitergehäuse erläutert. Wie in [Fig. 1](#) gezeigt, weist das Halbleitergehäuse einen Anschlussrahmen **11** auf, der durch eine Vielzahl von inneren Anschlüssen **3**, eine Vielzahl von äußeren Anschlüssen **4**, und ein mit den Anschlüssen **3** und **4** einstückiges Tragplättchen **2** gebildet ist. Auf dem Tragplättchen **2** des Anschlussrahmens **11** sind mittels eines Klebstoffes Halbleiterchips fest angeordnet. Die inneren Anschlüsse **3**, die symmetrisch an beiden Seiten der Halbleiterchips verlaufen, sind elektrisch mit Verbindungsanschlüssen des Halbleiterchips **1** durch Verwendung von Metalldrähten **5** verbunden, die jeweils aus Gold oder Aluminium bestehen. Die Verbindung der inneren Anschlüsse **3** wird durch Anwenden eines Draht-Bondverfahrens hergestellt. Die sich so ergebende Struktur wird in einer Form unter Verwendung eines Gießharzes **6** gegossen. Das Eingießen wird so ausgeführt, dass die äußeren Anschlüsse **4** nach außen aus der eingegossenen Struktur herausragen. Die herausragenden äußeren Anschlüsse **4** werden dann einem Trimm-Vorgang, einem Form-Vorgang und einem Beschichtungs-Vorgang unterworfen. Auf diese Weise wird ein in [Fig. 1](#) gezeigtes Halbleitergehäuse hergestellt.

**[0003]** Bei der Herstellung eines derartigen Halbleitergehäuses wird zuerst ein Gießklebverfahrensschritt ausgeführt, um einzelne Halbleiterchips **1** auf dem Tragplättchen **2** des Anschlussrahmens **11** mit Hilfe eines Klebstoffs fest anzukleben. Danach wird ein DrahtBondverfahrensschritt ausgeführt, um Anschlussflecken des Halbleiterchips **1** mit den entsprechenden inneren Anschlüssen **3** des Anschlussrahmens **11** jeweils elektrisch zu verbinden. Ein Gieß-Verfahrensschritt wird dann ausgeführt, um einen vorbestimmten Anteil der sich ergebenden Struktur, die die Halbleiterchips **1** und die inneren Anschlüsse **3** des Anschlussrahmens **11** aufweist, durch eine Gießmasse **6** einzuschließen. Durch dieses Vergießen wird ein Gehäuse hergestellt. Danach wird das Gehäuse einem Trimm-Verfahrensschritt, einem Form-Verfahrensschritt und einem Plattier-Verfahrensschritt unterworfen.

**[0004]** Bei den Trimm- und Form-Verfahrensschritten werden (nicht gezeigte) Verbindungsstäbe, die

das Tragplättchen **2** und (nicht gezeigte) Abstandsstäbe, die die Anschlüsse tragen, abgeschnitten. Bei diesen Schritten werden die äußeren Anschlüsse **4** gebogen, um eine vorbestimmte Gestalt zu haben. Die Trimm- und Form-Verfahrensschritte werden einzeln ausgeführt. Entsprechend der gebogenen Gestalt der äußeren Anschlüsse **4** können so unterschiedliche Typen von Oberflächenmontagegehäusen, z.B. ein kleines außenliegendes J-Anschluss-Gehäuse und ein Dual-in-line-Gehäuse, erhalten werden. Wenn eine Speichererweiterung gewünscht ist, wird das hergestellte Halbleitergehäuse elektrisch mit einer gedruckten Leiterplatte **8** unter Verwendung von leitenden Kügelchen **7** verbunden, wie dies in [Fig. 2](#) gezeigt ist.

**[0005]** Das in der oben beschriebenen Weise zusammengebaute Halbleitergehäuse wird verwendet, nachdem es einem elektrischen Eigenschaftstest unterworfen worden ist. Das Halbleitergehäuse wird in einer Oberflächenmontage-Weise oder in einer Einsetzweise an einer Leiterplatte unterschiedlicher Anwendungen oder Sätze montiert, je nach dem Typ, um eine gewünschte Betriebsart auszuführen.

**[0006]** Allerdings ist das vorstehend beschriebene herkömmliche Halbleitergehäuse, aufgrund der Verwendung komplexer Herstellungsverfahrensschritte teuer. Da das metallische Tragplättchen **2** in dem Gehäuse angeordnet ist, kann ein Bruch des Gehäuses aufgrund eines Unterschiedes in dem thermischen Ausdehnungskoeffizienten zwischen dem Halbleiterchip **1** und dem Tragplättchen **2** auftreten, wenn das Gehäuse einem Wiederaufschmelz-Lötverfahren (Reflowsoldering) unterworfen wird. Des weiteren können die langgestreckten Metalldrähte **5** die elektrischen Eigenschaften des Halbleiterchips verschlechtern.

**[0007]** Bei diesem Halbleitergehäuse wird ein größeres Montagefeld benötigt, wenn das Halbleitergehäuse auf einer gedruckten Leiterplatte angebracht wird. Dies liegt daran, dass die Anschlüsse des Anschlussrahmens sehr weitgehend nach außen aus einem Gießabschnitt des Gehäuses abstehen. Darüber hinaus ist es unmöglich, die Halbleitergehäuse in einer gestapelten Weise zu montieren, da die Anschlüsse entlang der unteren Oberfläche jedes Halbleitergehäuses angeordnet sind.

**[0008]** JP 61-101067 A und JP 04-030561 A offenbaren gestapelte Halbleitergehäuse, die jeweils einen Halbleiterchip mit Anschlussflecken, gestufte Oberflächen aufweisende Anschlusselemente zur elektrischen Verbindung des Halbleiterchips mit externen Anschlüssen, metallische Drähte zum elektrischen Verbinden des Halbleiterchips mit den Anschlusselemente und ein den Halbleiterchip und die Anschlusselemente umhüllendes Gießharz aufweisen. Jedoch weisen die Verfahren zum Zusammen-

bau der Gehäuse in den beiden oben genannten Schriften mehrere Verfahrensschritte auf, da die Gehäuse zu den Anschlusselementen noch separat Substrate und Abdeckungen aufweisen.

**[0009]** JP 62-119952 A offenbart ein gestapeltes Halbleitergehäuse mit L-förmigen Anschlusselementen.

**[0010]** Das Gehäuse gemäß JP 62-119952A ist zwar mit weniger Verfahrensschritten zusammengebaut, da Substrat und Abdeckung identisch sind, jedoch ist das Gehäuse nicht mehrfach stapelbar.

#### Aufgabe der Erfindungen

**[0011]** Die Aufgaben der Erfindungen bestehen darin, Verfahren zur Herstellung von Halbleitergehäusen bereitzustellen, die Anschlusselemente anstelle von Anschlussrahmen aufweisen, wodurch es möglich ist, die Montagefläche zu verringern, und Anschlusselemente haben, die an unteren und oberen Oberflächen der Gehäuse nach außen hin freiliegen, um so eine gestapelte Montage und eine Speichererweiterung zu ermöglichen, wobei keine Trimm- und Form-Verfahrensschritten erforderlich sind, um die Gesamtverfahrensschritte zu vereinfachen und die Herstellungskosten zu verringern.

#### Zusammenfassung der Erfindungen

**[0012]** Zur Lösung dieser Aufgabe stellen die vorliegenden Erfindungen Verfahren gemäß den Ansprüchen 1 und 3 bereit.

#### Kurzbeschreibung der Zeichnung

**[0013]** Weitere Ziele und Gesichtspunkte der Erfindungen werden aus der nachfolgenden Beschreibung der Ausführungsformen unter Bezugnahme auf die beigefügte Zeichnung deutlich, in denen:

**[0014]** **Fig. 1** eine Schnittdarstellung eines herkömmlichen Halbleitergehäuses zeigt;

**[0015]** **Fig. 2** eine Schnittdarstellung eines Zustandes zeigt, in dem das herkömmliche Halbleitergehäuse auf einer gedruckten Leiterplatte montiert ist;

**[0016]** **Fig. 3** eine Schnittansicht eines nach der Erfindung gemäß Anspruch 1 hergestellten Halbleitergehäuses gemäß einer Ausführungsform zeigt;

**[0017]** **Fig. 4** eine perspektivische Ansicht zeigt, die einen Zustand erläutert, in dem das Halbleitergehäuse von **Fig. 3** an einem Klebstreifen angebracht ist;

**[0018]** **Fig. 5** eine Schnittansicht zeigt, die einen Zustand erläutert, in dem das Halbleitergehäuse von **Fig. 3** mehrfach gestapelt auf einer gedruckten Lei-

terplatte montiert ist; und

**[0019]** **Fig. 6** eine Schnittdarstellung eines nach der Erfindung gemäß Anspruch 3 hergestellten Halbleitergehäuses gemäß einer Ausführungsform zeigt.

#### Detaillierte Beschreibung der bevorzugten Ausführungsformen

**[0020]** **Fig. 3** zeigt eine Schnittdarstellung eines nach der Erfindung gemäß Anspruch 1 hergestellten Halbleitergehäuses gemäß einer Ausführungsform. Wie in **Fig. 3** veranschaulicht, weist das Halbleitergehäuse eine Vielzahl von Anschlusselementen **20** auf, die an der oberen Oberfläche eines Polyimid-basierten Klebstreifens **10** angebracht sind. Die Anschlusselemente **20** sind in zwei Reihen in einer einander gegenüberliegenden Weise an beiden Seiten des Polyimid-basierten Klebstoffstreifens **10** angeordnet. Jedes Anschlusselement **20** hat eine gestufte Gestalt, die eine erste Stufe **20a** und eine zweite Stufe **20b** aufweist, die auf einem höheren Niveau als die erste Stufe **20a** angebracht ist. An den ersten Stufen **20a** der Anschlusselemente **20** ist ein Halbleiterchip **1** mit Hilfe von einem isolierenden Kleber **30** befestigt. Der Halbleiterchip **1** ist mit all den zweiten Stufen **20b** der Anschlusselemente **20** mit Hilfe von Metalldrähten **5** elektrisch verbunden. Das Halbleitergehäuse weist des weiteren eine gegossene Struktur auf, die durch Verwendung einer Gießzusammensetzung **6** erhalten worden ist. In dem Halbleitergehäuse sind die oberen und unteren Oberflächen der Anschlusselemente **20** nach außen von der gegossenen Struktur freigelegt, die eine Höhe hat, die zwischen den oberen und unteren Oberflächen der Anschlusselemente **20** bestimmt ist.

**[0021]** **Fig. 4** ist eine perspektivische Ansicht der Anschlusselemente **20**, die an dem Polyimid-basierten Klebstoffstreifen **10** befestigt sind und mit dem Halbleiterchip **1** verbunden sind. **Fig. 5** ist eine Schnittansicht von gestapelten Gehäusen von Halbleiterchips, die auf einer gedruckten Leiterplatte in Übereinstimmung mit einer der vorliegenden Erfindungen angeordnet sind. Das Anordnen der Halbleitergehäuse, die in Übereinstimmung mit einer der vorliegenden Erfindungen hergestellt worden sind, auf einer gedruckten Leiterplatte wird durch leitende Kügelchen (bumps) realisiert, die aus Blei (Pb) oder einer Blei-Zinn-Legierung (PbSn) hergestellt sind.

**[0022]** Bei der Herstellung des Halbleitergehäuses mit der obenstehend beschriebenen Konstruktion, wird zuerst ein Befestigungsschritt einer Vielzahl von beabstandeter Anschlusselemente **20** auf dem Polyimid-basierten Klebstoffstreifen **10** ausgeführt. Die Anschlusselemente **20** sind in zwei Reihen in einer einander gegenüberliegenden Weise auf beiden Seiten des Polyimid-basierten Klebstoffstreifens **10** angeordnet. Danach wird ein Klebeschritt ausgeführt,

um an allen ersten Stufen **20a** der Anschlusselemente **20** durch Verwenden eines isolierenden Klebstoffs oder isolierenden Bändern anzukleben. Ein Verdrahtungs-Bond-Schritt wird dann ausgeführt, um die zweiten Stufen **20b** der Anschlusselemente **20** elektrisch mit den Anschlussflecken des Halbleiterchips **1** durch Verwendung von Metalldrähten **5** jeweils zu verbinden. Danach wird ein Gießschritt ausgeführt, um die erhaltene Struktur durch Verwendung einer Gießharzzusammensetzung **6** zu vergießen, um eine vergossene Struktur zu erhalten, die eine Höhe hat, die zwischen den oberen und den unteren Oberflächen der Anschlusselemente **20** definiert ist. Schließlich wird ein Schritt ausgeführt, um den Polyimid-basierten Klebstoffstreifen **10** zu entfernen, der an den unteren Oberflächen der Anschlusselemente **20** befestigt ist.

**[0023]** Wenn die Kapazität des Halbleiterchips **1** zu erweitern ist, werden Halbleitergehäuse mit dem obenstehend beschriebenen Aufbau vertikal übereinandergestapelt. In diesem Fall werden leitfähige Kugeln (bumps) **7** an der unteren Oberfläche jedes Anschlusselementes **20** jedes Halbleitergehäuses angebracht. Obwohl die Kapazität des Halbleiterchips **1** in der obenstehend beschriebenen Weise erweitert wird, tritt ein schlechter Kontakt beim Lötens nur selten auf, da die untere Oberfläche jedes Anschlusselementes **20** eine größere Oberflächenabmessung hat als die obere Oberfläche jedes Anschlusselementes **20**, wodurch ein größerer Rand bereitgestellt wird, um das leitfähige Kugeln **7** anzubringen.

**[0024]** **Fig. 6** zeigt eine Schnittansicht eines nach der Erfindung gemäß Anspruch 3 hergestellten Halbleitergehäuses gemäß einer Ausführungsform. In **Fig. 6** sind Elemente, die mit denen in **Fig. 3** übereinstimmen, mit den gleichen Bezugszeichen versehen. Wie in **Fig. 6** gezeigt, weist das Halbleitergehäuse eine Vielzahl von L-förmigen Anschlusselementen **20** auf, die an der oberen Oberfläche eines Polyimid-basierten Klebstoffstreifens **10** angebracht sind. Jedes Anschlusselement **20** hat einen Halbleiterchip-Verbindungsabschnitt **20c**. Die Anschlusselemente **20** sind in zwei Reihen in einander gegenüberliegender Weise an beiden Seiten des Polyimid-basierten Klebstoffstreifens **10** angebracht. Mit den Verbindungsabschnitten **20c** der Anschlusselemente **20** ist ein Halbleiterchip **1** elektrisch mit Hilfe von leitfähigen Kugeln **7** verbunden. Das Halbleitergehäuse weist des weiteren eine vergossene Struktur auf, die durch Verwendung einer Gießzusammensetzung **6** erhalten wird. In dem Halbleitergehäuse sind die oberen und unteren Oberflächen der Anschlusselemente **20** nach außen aus der vergossenen Struktur freigelegt, die eine Höhe hat, die durch die oberen und unteren Oberflächen der Anschlusselemente **20** definiert ist. In Übereinstimmung mit dieser Ausführungsform ist der Halbleiterchip **1** elektrisch mit den Anschlusse-

menten **20** durch leitfähige Kugeln **7** in direkter Weise ohne Verwendung eines Draht-Bond-Prozessschrittes verbunden. Dementsprechend ist es möglich, die Anzahl der Prozessschritte und die Montagefläche durch die vorstehend beschriebene Ausführungsform zu verringern.

**[0025]** Bei der Herstellung des Halbleitergehäuses mit dem vorstehend beschriebenen Aufbau von **Fig. 6** in Übereinstimmung mit einer der vorliegenden Erfindungen wird zuerst ein Schritt ausgeführt, bei dem eine Vielzahl von beabstandeten Anschlusselementen **20** auf dem Polyimid-basierten Klebstoffstreifen **10** angebracht wird. Die Anschlusselemente **20** werden in zwei Reihen in einander gegenüberstehender Weise auf beiden Seiten des Polyimid-basierten Klebstoffstreifens **10** befestigt. Danach wird ein Schritt ausgeführt, um die Anschlussflecken, die an der unteren Oberfläche des Halbleiterchips **1** vorgesehen sind, mit dem jeweiligen Halbleiterchip-Verbindungsabschnitt **20c** der Anschlusselemente **20** durch Verwendung der leitfähigen Kugeln **7** elektrisch zu verbinden. Dann wird ein Gießschritt ausgeführt, um die so erhaltene Struktur durch Verwendung einer Gießzusammensetzung **6** zu vergießen, um eine vergossene Struktur zu erhalten, die eine Höhe hat, die zwischen den oberen und unteren Oberflächen der Anschlusselemente **20** definiert ist. Schließlich wird ein Schritt ausgeführt, um den Polyimid-basierten Klebstoffstreifen **10** zu entfernen, der an den unteren Oberflächen der Anschlusselemente **20** befestigt ist.

**[0026]** Wie aus der vorstehenden Beschreibung deutlich wird, stellen die vorliegenden Erfindungen jeweils ein Halbleitergehäuse mit Anschlusselementen bereit, die in der Lage sind, äußere Anschlüsse überflüssig werden zu lassen, die nach außen von dem Gehäuse wegstehen, wenn das Gehäuse auf einer Leiterplatte montiert ist, wodurch sich die Montagefläche verringert. Da gemäß der vorliegenden Erfindungen kein Tragplättchen verwendet wird, kann die Ausschussrate stark verringert werden. Die Packungsdichte der Halbleiterchips in dem jeweiligen Gehäuse ist ebenfalls verringert. Des weiteren verbessern sich die elektrischen Eigenschaften, da der Abstand zwischen dem Halbleiterchip und jedem Anschlussflecken verringert ist. Die vorliegenden Erfindungen machen auch die Verwendung von Trimm- und Form-Verfahrensschritten überflüssig. Als ein Ergebnis hiervon ist es möglich, einen Mikro-Spalt zu eliminieren, der während des Form-Verfahrensschrittes durch Kräfte hervorgerufen wird. Dies bedeutet auch eine Verbesserung der Gehäuse-Abdichtungseigenschaften. Die Anschlüsse sind nach außen an den oberen und unteren Oberflächen des Gehäuses freigelegt, so dass sie als Wärmeableitungen dienen, um Wärme aus dem Gehäuse nach außen abzuführen. Wenn die Kapazität des Halbleiterchips ausgedehnt werden soll, kann die Vergrößerung der Kapazität dadurch erreicht werden, dass Halbleitergehäu-

se vertikal übereinander gestapelt werden und leitende Kügelchen aus Blei oder Blei-Zinn zur Verbindung verwendet werden. In Übereinstimmung mit den vorliegenden Erfindungen kann eine hochdichte Packung erzielt werden, da Anschlüsse beim Montieren des Gehäuses auf einer gedruckten Leiterplatte nicht abstehen. Wenn Halbleitergehäuse auf beiden Oberflächen einer gedruckten Leiterplatte oder einer Speicherkarte angebracht werden, ist die Anbringung des jeweiligen Halbleitergehäuses und das Stapeln von Halbleitergehäusen für eine Speichererweiterung auf beiden Seiten der gedruckten Schaltungsplatine oder der Speicherkarte möglich, da die Anschlusselemente nach außen sowohl an der oberen als auch an der unteren Oberfläche des jeweiligen Halbleitergehäuses freiliegen. In anderen Worten ist ein oberes und unteres Konzept für das jeweilige Halbleitergehäuse der vorliegenden Erfindungen nicht erforderlich. Zusätzlich ist kein nachfolgender Verarbeitungsschritt nach dem Gieß-Verfahrensschritt gemäß den vorliegenden Erfindungen notwendig. Dementsprechend ist es möglich, verringerte Arbeitsaufwendungen und einen verringerten Montageraum für eine Gehäusemontage zu erzielen.

### Patentansprüche

1. Verfahren zur Herstellung eines stapelbaren Halbleitergehäuses, mit den Schritten:

- Anbringen einer Vielzahl von Anschlusselementen (20), die in zwei Reihen einander gegenüberstehen, an einer oberen Oberfläche eines Klebstreifens (10), wobei jedes der Anschlusselemente eine erste Stufe (20a) und eine zweite Stufe (20b) aufweist, die auf einem höheren Niveau als die erste Stufe (20a) angeordnet ist;
- Anbringen eines Halbleiterchips (1) an den ersten Stufen (20a) der Anschlusselemente (20) durch einen isolierenden Kleber (30);
- Verbinden der Anschlussflecken des Halbleiterchips (1) mit den zweiten Stufen (20b) der Anschlusselemente (20) durch Metalldrähte (5) mit Hilfe eines Draht-Bond-Verfahrens; und
- Eingießen der Anschlusselemente (20), des Halbleiterchips (1) und der Metalldrähte (5) durch eine Gießmasse (6), in ein Gehäuse unter der Bedingung, dass die Anschlusselemente (20) an den unteren und oberen Oberflächen des Gehäuses (6) nach außen hin freiliegen.

2. Verfahren nach Anspruch 1, das des weiteren den Schritt aufweist, Entfernen des Klebstreifens (10) nach dem Gießschritt.

3. Verfahren zum Herstellen eines stapelbaren Halbleitergehäuses mit den Schritten:

- Anbringen einer Vielzahl von Anschlusselementen (20) in zwei Reihen in einander gegenüberliegender Weise an einer oberen Oberfläche eines Klebstreifens (10), wobei jedes der Anschlusselemente (20)

einen Halbleiterchip-Verbindungsabschnitt (20c) aufweist;

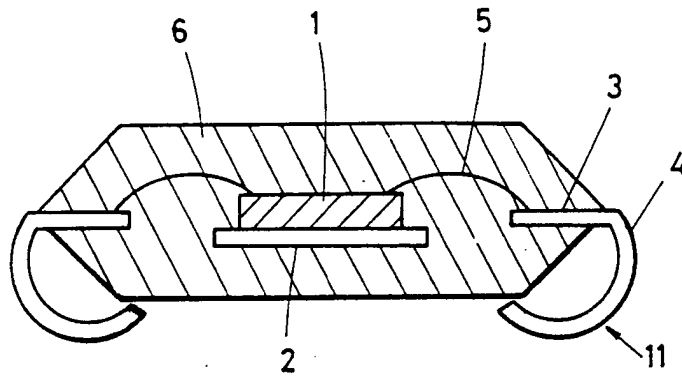
- elektrisches Verbinden der Anschlussflecken des Halbleiterchips (1) mit den jeweiligen Halbleiterchip-Verbindungsabschnitten (20c) der Anschlusselemente (20) durch leitfähige Kügelchen (7); und
- Eingießen der so erhaltenen Struktur mit einer Gießmasse in ein Gehäuse (6) unter der Bedingung, dass die Anschlusselemente (20) an den unteren und oberen Oberflächen des Gehäuses (6) nach außen freigelegt sind.

4. Verfahren nach Anspruch 3, das des weiteren den Schritt des Entfernens des Klebstreifens (10) nach dem Gießschritt umfasst.

Es folgen 3 Blatt Zeichnungen

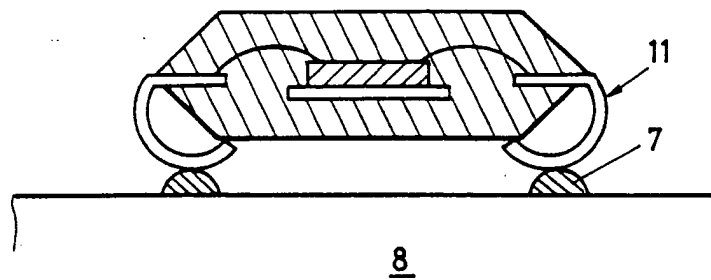
# FIG. 1

Stand der Technik

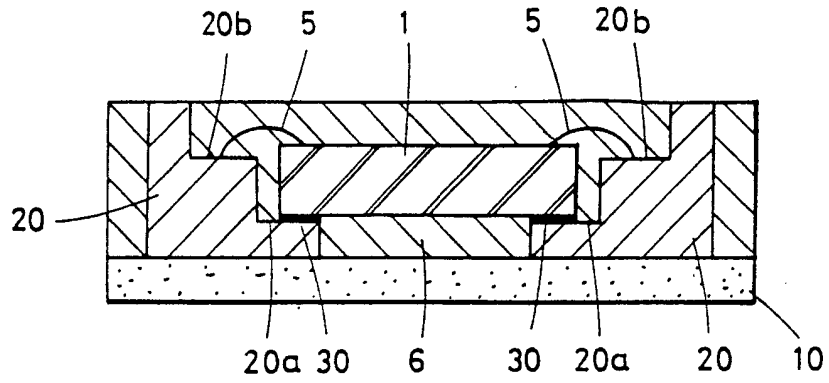


# FIG. 2

Stand der Technik



# FIG. 3



# FIG. 4

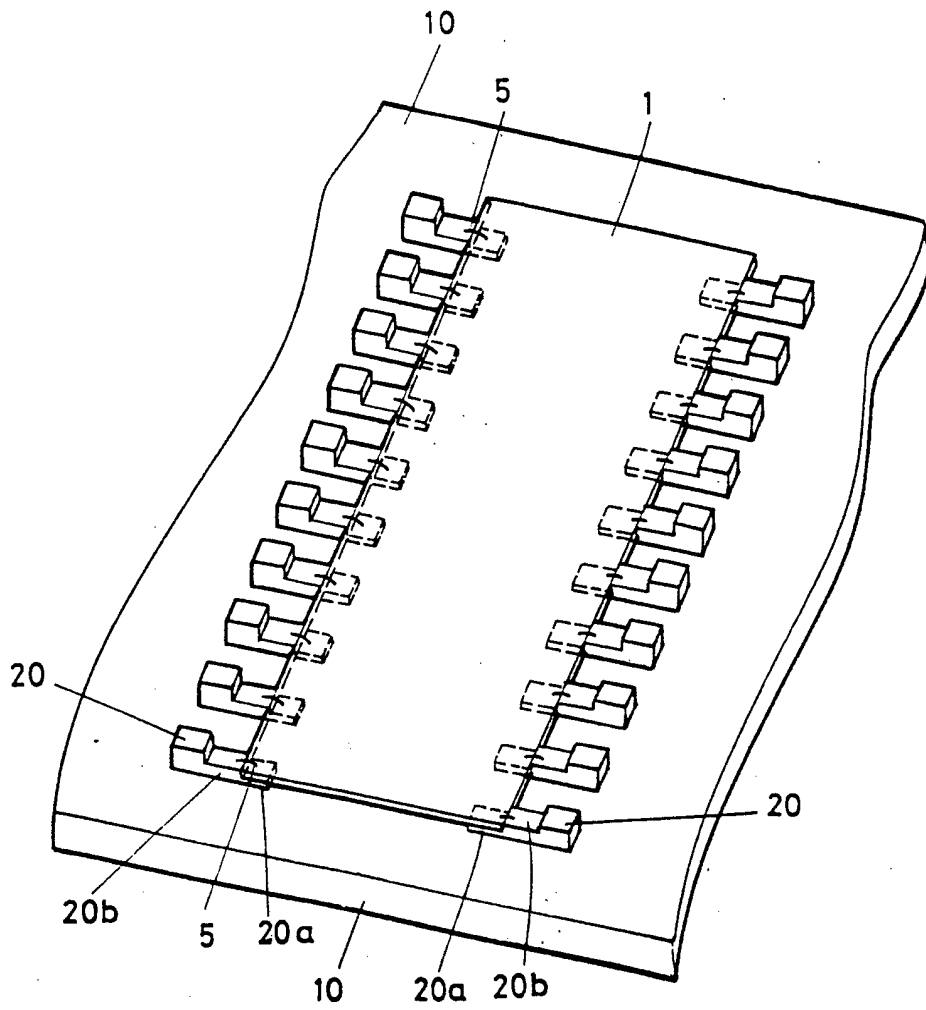


FIG. 5

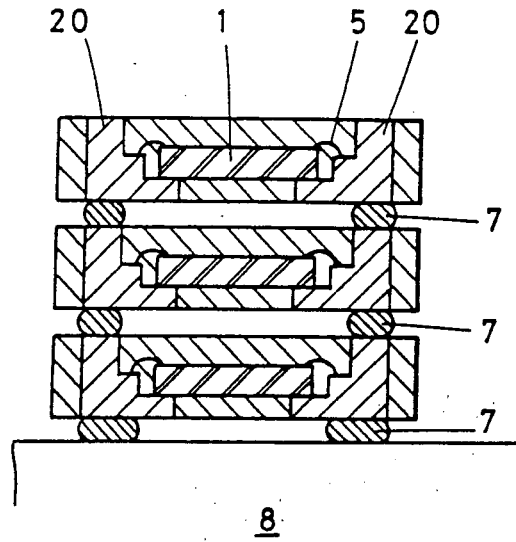


FIG. 6

