

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 7 月 22 日 (22.07.2004)

PCT

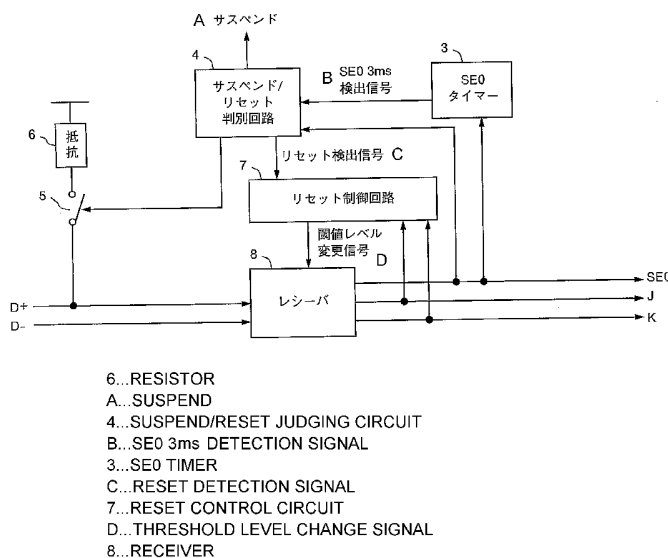
(10) 国際公開番号
WO 2004/061636 A1

- (51) 国際特許分類: **G06F 3/00** 井市 高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエル
エスアイ株式会社内 Aichi (JP).
- (21) 国際出願番号: PCT/JP2002/013820
- (22) 国際出願日: 2002 年 12 月 27 日 (27.12.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士
通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588
神奈川県 川崎市中原区 上小田中 4 丁目 1 番 1 号
Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中野 学 (NAKANO, Manabu) [JP/JP]; 〒487-0013 愛知県 春日
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒100-0013 東京
都 千代田区 霞が関三丁目 2 番 6 号 東京倶楽部ビル
ディング Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO,
NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU,
ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,

[続葉有]

(54) Title: USB DEVICE AND METHOD FOR CONTROLLING USB DEVICE

(54) 発明の名称: USB装置およびUSB装置の制御方法



(57) Abstract: An SE0 timer (3) detects that an SE0 state of a USB bus has continued for more than 3 ms and asserts an SE0 3ms detection signal to a suspend/reset judging circuit (4). The suspend/reset judging circuit (4) connects a pull-up resistor (6) to a D+ signal line, detects that the USB bus is in the SE0 state, and asserts a reset detection signal to a reset control circuit (7). The reset control circuit (7) asserts a threshold level change signal to a receiver (8) for high-speed mode. The receiver (8) changes the threshold to 250 mV. After operation of a chirp drive (K), when the reset control circuit (7) detects a K state of the USB state, the reset control circuit (7) negates the threshold level change signal to the receiver (8). The receiver (8) returns the threshold to 125 mV.

(57) 要約: SE0タイマー (3) はUSBバスのSE0状態が3ms以上継続したことを検出し、サスペンド/リセット判別回路 (4) へSE0 3ms検出信号をアサートする。サスペンド/リセット判別回路 (4) はD+信号線にプルアップ抵抗 (6) を接続し、USBバスがSE0状態であることを検出し、リセット制御回路 (7)

[続葉有]

WO 2004/061636 A1



AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

）へリセット検出信号をアサートする。リセット制御回路（7）はハイスピード・モード用のレシーバ（8）へ閾値レベル変更信号をアサートする。レシーバ（8）は閾値を250mVに変更する。チャープドライブKの実行、終了後に、リセット制御回路7はUSBバスのK状態を検出したら、レシーバ（8）へ閾値レベル変更信号をネゲートする。レシーバ（8）は閾値を125mVに戻す。

明 細 書

USB装置およびUSB装置の制御方法

5 技術分野

本発明は、USB（ユニバーサル・シリアル・バス）装置に関し、特にUSB 1.1規格よりも高速なUSB 2.0規格に対応したUSB装置に関する。

背景技術

10 近時、USB 2.0規格に対応したUSBホスト（以下、HSホストとする）や、これに接続されるUSB装置（以下、USB 2.0対応装置とする）が実用化されてきている。しかし、HSホストであるにもかかわらず、厳密にはUSB 2.0規格に適合していないものが多く存在する。そのため、このようなUSB 2.0非適合HSホストに、転送速度が480Mbpsのハイスピード・モード
15 で接続可能なUSB 2.0対応装置が求められている。

USB 2.0対応装置は、USBホストに、該ホストの規格に応じて、ハイスピード・モード、または転送速度が12Mbpsのフルスピード・モードで接続する。第7図は、リセット中のハンドシェイク時にハイスピード・モードが選択されたときのUSBバスの変化を示す図であり、第8図は、フルスピード・モードが選択されたときのUSBバスの変化を示す図である。
20

第7図および第8図に示すように、フルスピード・モードのアイドル状態では、USBバスのD+信号の電圧は3.0Vであり、D-信号の電圧は0mVである。この状態から、SE0状態に移行すると、リセットアサート区間が開始される。SE0状態では、D+信号およびD-信号の電圧はともに800mVよりも
25 低くなる。

その後、D+信号線にプルアップ抵抗が接続され、USBホストの状態がリセットであるか、サスペンドであるか判別される。リセットの場合には、USB 2

． 0 対応装置により、D－信号の電圧は 800 mV となる（チャープ K）。このチャープ K により、ホストに対して、USB 2. 0 対応装置がハイスピード・モードに対応していることが示される。

そして、再び SE 0 状態となり、信号の出力側を、USB 2. 0 対応装置側から USB ホスト側に切り替えるための遷移区間となる。このとき、USB 2. 0 対応装置は、USB ホストからの応答を待機する状態となる。USB ホストがハイスピード・モードに遷移する場合には、第 7 図に示すように、USB ホストにより、D－信号の電圧が 800 mV になる状態（チャープ K）と、D＋信号の電圧が 900 mV になる状態（チャープ J）とが交互に繰り返される。そして、再び SE 0 状態となり、リセットが終了して、ハイスピード・モードのアイドル状態となる。

一方、USB 2. 0 対応装置によるチャープ K の後の遷移区間を経て、第 8 図に示すように、USB ホストによる交互のチャープ K とチャープ J が検出されないと、USB 2. 0 対応装置は、USB 1. 1 規格に対応した USB ホスト（以下、FS ホストとする）によるリセット終了状態であると認識する。その結果、フルスピード・モードのアイドル状態となる。

ところで、第 7 図に示すように、リセット中のハンドシェイクにおいて、タイニイ J（Tiny J）と呼ばれる状態があることが知られている（たとえば、John Garney, Ed Solari, Shelagh Callahan, Kosar Jaff, Brad Hosler 著「USB Hardware & Software 日本語版」株式会社インフォ・クリエイツ 1999）。タイニイ J とは、第 9 図に示すように、USB リセット中における USB ホスト 1 および USB 装置 2 のプルアップ抵抗 21 やプルダウン抵抗 11, 12、並びに入出力端子の状態により、D＋信号の電圧が 70～230 mV 程度になることである。

しかしながら、従来の USB 2. 0 対応装置では、その閾値レベルが 100～150 mV であるため、つぎのような不具合がある。すなわち、リセット中のハ

ンドシェークにおいて、上述したようにタイニィ J により D+信号の電圧が 70
～230 mV程度になると、D+信号が、本来ローレベルであるにもかかわらず
、ハイレベルとされることがある。その場合、D+信号がハイレベルで、かつD
ー信号がローレベルになるので、USB 2.0対応装置は、FSホストのリセッ
5 ト終了状態であると認識し、HSホストをFSホストと誤認識してしまう。その
結果、HSホストにフルスピード・モードで接続してしまうという問題点があっ
た。

本発明は、上記問題点に鑑みてなされたものであって、タイニィ J の検出を防
いで、USB 2.0非適合HSホストであっても、HSホストであることを正し
10 く認識して、ハイスピード・モードで接続することが可能なUSB 2.0対応装
置を提供することを目的とする。また、本発明の他の目的は、タイニィ J の検出
を防いで、USB 2.0非適合HSホストであっても、HSホストであることを
正しく認識して、ハイスピード・モードで接続するためのUSB 2.0対応装置
の制御方法を提供することを目的とする。

15

発明の開示

上述した課題を解決し、目的を達成するため、本発明は、以下のことを特徴と
する。タイマーは、USBバスのSE0状態の継続時間をカウントし、3ms以
上継続した時点で、リセット判別回路へSE0 3ms検出信号をアサートする。
20 リセット判別回路は、スイッチを閉じ、USBバスのD+信号線にプルアップ抵
抗を接続するとともに、USBバスの状態を検出し、SE0状態であれば、リセ
ットであると認識して、リセット制御回路へリセット検出信号をアサートする。
リセット制御回路は、ハイスピード・モード用のレシーバへ閾値レベル変更信号
をアサートする。レシーバは、閾値を、タイニィ J 状態におけるUSBバスの電
25 圧よりも高い値、たとえば250 mVに変更する。チャープドライブKの実行、
終了後に、リセット制御回路は、USBバスがK状態になったことを検出したら
、レシーバへ閾値レベル変更信号をネゲートする。レシーバは、閾値をたとえば

1 2 5 mVに戻す。このようにして、USB 2.0対応装置の接続先がHSホストであることを認識する。

この発明によれば、リセット検出時に、ハイスピード・モード用のレシーバの閾値が、タイニィJ状態におけるUSBバスの電圧よりも高い値に変更されるので、タイニィJを検出することなく、USBホストからの応答によりUSBバスがK状態になったことを正しく検出することができる。

図面の簡単な説明

第1図は、本発明にかかるUSB装置の要部の一例を示すブロック図であり、
10 第2図は、本発明にかかるUSB装置のレシーバの一例を示すブロック図であり、
第3図は、本発明にかかるUSB装置のレシーバの他の例を示すブロック図であり、
第4図は、本発明にかかるUSB装置のレシーバのさらに他の例を示すブロック図であり、
第5図は、本発明にかかるUSB装置のハンドシェーク時の制御の一例を示すフローチャートであり、
15 第6図は、本発明にかかるUSB装置のハンドシェーク時の制御の他の例を示すフローチャートであり、
第7図は、リセット中のハンドシェーク時にハイスピード・モードが選択されたときのUSBバスの変化を示す図であり、
第8図は、リセット中のハンドシェーク時にフルスピード・モードが選択されたときのUSBバスの変化を示す図であり、
20 第9図は、タイニィJ状態のときのUSBホストおよびUSB装置の要部を示すブロック図である。

発明を実施するための最良の形態

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。第1図は、本発明にかかるUSB 2.0対応装置の要部の一例を示すブロック図である。
25 第1図に示すように、このUSB 2.0対応装置は、SE0タイマー3、サスペンド／リセット判別回路4、スイッチ5およびプルアップ抵抗6よりなるリセット検出手段と、リセット制御回路7と、ハイスピード・モード用のレシーバ

8を備えている。

SE0タイマー3は、常時、USBバスのSE0状態の継続時間をカウントする。SE0タイマー3は、SE0状態開始からのカウンタが3ms以上になった時点で、サスペンド／リセット判別回路4へのSE0 3ms検出信号をアサートする。

サスペンド／リセット判別回路4は、SE0 3ms検出信号がアサートされると、スイッチ5を閉じて、D+信号線にプルアップ抵抗6を接続する。そして、サスペンド／リセット判別回路4は、プルアップ抵抗6を接続したときのUSBバスの状態がSE0であればリセットと認識し、SE0でないときにはサスペンドと認識する。サスペンド／リセット判別回路4は、リセットと認識した場合には、リセット制御回路7へのリセット検出信号をアサートする。

リセット制御回路7は、リセット検出信号がアサートされると、レシーバ8への閾値レベル変更信号をアサートする。レシーバ8は、閾値レベル変更信号がアサートされると、レシーバ8の閾値レベルを変更する。また、レシーバ8は、D+信号およびD-信号に応じて、SE0信号、J状態であることを示すJ信号、またはK状態であることを示すK信号を出力する。リセット制御回路7は、レシーバ8から出力されたJ信号またはK信号を認識し、レシーバ8の閾値レベルを元に戻す。SE0タイマー3は、レシーバ8から出力されたSE0信号を認識する。

第2図は、レシーバ8の内部構成の第1の例を示すブロック図である。第2図に示すように、レシーバ8は、閾値がたとえば125mVの通常レシーバ81と、閾値がたとえば250mVのタイニイJ用レシーバ82と、セクタ83を有する。D+信号およびD-信号は、通常レシーバ81およびタイニイJ用レシーバ82の両方に供給される。

供給されたD+信号およびD-信号に応じて、通常レシーバ81は125mVの閾値に基づき、またタイニイJ用レシーバ82は250mVの閾値に基づいて、それぞれセクタ83へのSE0信号、J信号およびK信号をアサートまたは

ネゲートする。具体的には、通常レシーバ 8 1 およびタイニイ J 用レシーバ 8 2 は、D+信号とD-信号がともにたとえば800mVよりも小さければ、SE0信号をアサートし（SE0状態）、いずれか一方がたとえば800mV以上であれば、SE0信号をネゲートする。

- 5 また、通常レシーバ 8 1 およびタイニイ J 用レシーバ 8 2 は、D+信号がそれぞれの閾値以上であれば J 信号をアサート（K 信号はネゲート）し、D-信号がそれぞれの閾値以上であれば K 信号をアサート（J 信号はネゲート）する。セクタ 8 3 は、リセット制御回路 7 から供給された閾値レベル変更信号がアサートされていれば、タイニイ J 用レシーバ 8 2 の出力信号を選択し、閾値レベル変更
10 信号がネゲートされていれば、通常レシーバ 8 1 の出力信号を選択する。

レシーバ 8 は、つぎの構成であってもよい。第 3 図は、レシーバ 8 の内部構成の第 2 の例を示すブロック図である。第 3 図に示す例では、レシーバ 8 は、セクタ 9 1 と、絶対値出力減算器 9 2 と、コンパレータ 9 3 と、判定器 9 4 と、SE0 用レシーバ 9 5 を有する。

- 15 セクタ 9 1 は、リセット制御回路 7 から供給された閾値レベル変更信号がアサートされていれば、タイニイ J 用としてたとえば250mVの閾値を選択し、閾値レベル変更信号がネゲートされていれば、通常動作としてたとえば125mVの閾値を選択する。絶対値出力減算器 9 2 は、D+信号の電圧とD-信号の電圧との差分の絶対値、すなわち $|([D+信号] - [D-信号])|$ の値と、D
20 +信号の電圧からD-信号の電圧を減算したときの符号を求める。コンパレータ 9 3 は、セクタ 9 1 により選択された閾値と、絶対値出力減算器 9 2 から供給された絶対値とを比較する。

- 判定器 9 4 は、コンパレータ 9 3 での比較結果と、絶対値出力減算器 9 2 から供給された符号とに基づいて、J 状態または K 状態の判定をおこなう。具体的には、絶対値が閾値以上の場合、符号がプラスであれば J 信号をアサートして、K
25 信号をネゲートし（J 状態）、符号がマイナスであれば J 信号をネゲートして、K 信号をアサートする（K 状態）。一方、絶対値が閾値よりも小さいときは、無

効である。SE0用レシーバ95は、D+信号とD-信号がともにたとえば800mVよりも小さければ、SE0信号をアサートし（SE0状態）、いずれか一方がたとえば800mV以上であれば、SE0信号をネゲートする。

また、レシーバ8は、つぎの構成であってもよい。第4図は、レシーバ8の内部構成の第3の例を示すブロック図である。第4図に示す例では、レシーバ8は、D+信号をデジタル信号に変換するA/Dコンバータ101と、D-信号をデジタル信号に変換するA/Dコンバータ102と、それらA/Dコンバータ101、102の出力値（デジタル変換値）、およびリセット制御回路7から供給された閾値レベル変更信号に応じて、SE0信号、J信号およびK信号をアサートまたはネゲートする演算器103を有する。

演算器103は、D+信号のデジタル変換値とD-信号のデジタル変換値がともにたとえば800mVよりも小さければ、SE0信号をアサートし（SE0状態）、いずれか一方がたとえば800mV以上であれば、SE0信号をネゲートする。また、演算器103は、D+信号のデジタル変換値がたとえば150mV以上のときにJ信号をアサート（K信号はネゲート）してJ状態とし、D-信号のデジタル変換値がたとえば150mV以上のときにK信号をアサート（J信号はネゲート）してK状態とする。D+信号のデジタル変換値とD-信号のデジタル変換値がともにたとえば150mVよりも小さいときは、無効である。

つぎに、本発明にかかるUSB装置の制御の第1の例について説明する。第5図は、ハンドシェーク時の制御の第1の例を示すフローチャートである。第5図に示すように、USBバスがSE0状態になり、リセット中のハンドシェークが開始されると、まずSE0タイマー3は、SE0状態の継続時間のカウントを開始する。そして、SE0タイマー3は、SE0状態がたとえば3ms以上継続した時点で（ステップS501：Yes）、サスペンド／リセット判別回路4へSE0 3ms検出信号をアサートする。

ついで、サスペンド／リセット判別回路4は、スイッチ5を閉じ、D+信号線

にプルアップ抵抗6を接続する（ステップS502）。そして、サスペンド／リ
セット判別回路4は、USBバスがSE0状態であるか否かを判別する（ステッ
プS503）。その結果、USBバスがSE0状態であれば（ステップS503
：Yes）、サスペンド／リセット判別回路4は、ホストの状態がリセットであ
5 ると認識し、リセット制御回路7へリセット検出信号をアサートする。

 ついで、リセット制御回路7は、ハイスピード・モード用のレシーバ8へ閾値
レベル変更信号をアサートする。それによって、レシーバ8は、閾値をたとえ
250mVに変更する（ステップS504）。ついで、ドライバ（第1図では省
略）が、D-信号をアサートして、チャープドライブKを実行する（ステップS
10 505）。ついで、ドライバは、D-信号をネゲートして、チャープドライブK
を終了し、USBバスがJ状態またはK状態となるまでUSBバスをSE0状態
に保持する（ステップS506）。

 ついで、リセット制御回路7は、USBバスがK状態になったことを検出した
ら（ステップS508：Yes）、レシーバ8へ閾値レベル変更信号をネゲート
15 する。それによって、ハイスピード・モード用のレシーバ8は、閾値をたとえ
125mVに戻す（ステップS509）。このようにして、USB2.0対応装
置の接続先がHSホストであることが認識され（ステップS510）、ハンドシ
ェークが終了し、リセットが終了する。

 一方、チャープドライブKの終了後、リセット制御回路7は、USBバスがJ
20 状態になったことを検出したら（ステップS507：Yes）、ハイスピード・
モード用のレシーバ8へ閾値レベル変更信号をネゲートする。そして、ハイス
ピード・モード用のレシーバ8は、閾値をたとえば125mVに戻す（ステップS
511）。このようにして、USB2.0対応装置の接続先がFSホストである
ことが認識され（ステップS512）、ハンドシェークが終了し、リセットが終
25 了する。

 また、チャープドライブKの終了後、USBバスがSE0状態のまま所定時間
、たとえば100 μ s以上経過した場合（ステップS506：Yes）には、J

状態を検出した場合と同様に、ハイスピード・モード用のレシーバ8の閾値がたとえば125mVに戻され（ステップS511）、FSホストであることが認識される（ステップS512）。そして、ハンドシェークが終了し、リセットが終了する。また、ステップS503でUSBバスの状態を判別した結果、USBバスがSE0状態でなければ（ステップS503：No）、サスペンド／リセット判別回路4は、ホストの状態がサスペンドであると認識し（ステップS513）、ハンドシェークが終了する。

上述した制御のステップS507でUSBバスがJ状態であること、またはステップS508でUSBバスがK状態であることを検出する代わりに、つぎの第2の制御例のようにしてもよい。第6図は、ハンドシェーク時の制御の第2の例を示すフローチャートである。第6図に示すように、リセット中のハンドシェークが開始されると、ステップS601～ステップS605を順におこなう。なお、ステップS601、S602、S603、S604およびS605は、それぞれ前記第1の制御例のステップS501、S502、S503、S504およびS505と同じであるので、重複する説明を省略する。

ついで、チャープドライブKを終了し、USBバスがSE0状態のまま所定時間、たとえば2.5ms経過する前に（ステップS606：No）、リセット制御回路7は、USBバスのK状態とJ状態の繰り返しを所定回数、たとえば少なくとも3回検出したら（ステップS607：Yes）、ハイスピード・モード用のレシーバ8へ閾値レベル変更信号をネゲートする。それによって、ハイスピード・モード用のレシーバ8は、閾値をたとえば125mVに戻す（ステップS608）。このようにして、USB2.0対応装置の接続先がHSホストであることが認識され（ステップS609）、ハンドシェークが終了し、リセットが終了する。

また、チャープドライブKの終了後、USBバスがSE0状態のまま、たとえば2.5ms以上経過した場合（ステップS606：Yes）には、FSホストであることが認識され（ステップS610）、ハンドシェークが終了し、リセッ

トが終了する。また、ステップS 6 0 3でU S Bバスの状態を判別した結果、U S BバスがS E 0状態でなければ（ステップS 6 0 3：N o）、サスペンド／リセット判別回路4は、ホストの状態がサスペンドであると認識し（ステップS 6 1 1）、ハンドシェークが終了する。

- 5 上述した実施の形態によれば、リセット検出時に、ハイスピード・モード用のレシーバ8の閾値が、タイニィJ状態におけるU S Bバスの電圧よりも高い値、たとえば2 5 0 m Vに変更されるので、タイニィJを検出することなく、U S Bホストからの応答によりU S BバスがK状態になったことを正しく検出することができる。したがって、H SホストをF Sホストであると誤認識することなく、
- 10 H Sホストであることを正しく認識して、ハイスピード・モードで接続することができる。

- 以上において本発明は、上述した実施の形態に限らず、種々変更可能である。たとえば、レシーバ8の閾値や、S E 0状態の検出時間などは、U S Bの規格に応じて種々選択することができる。また、レシーバ8のリセット後の閾値は、
- 15 2 5 m Vに限らず、U S Bの規格内の値であればよい。

- 以上説明したように、本発明によれば、リセット検出時に、ハイスピード・モード用のレシーバの閾値が、タイニィJ状態におけるU S Bバスの電圧よりも高い値に変更されるので、タイニィJを検出することなく、U S Bホストからの応答によりU S BバスがK状態になったことを正しく検出することができる。したがって、H SホストをF Sホストであると誤認識することなく、H Sホストであることを正しく認識して、ハイスピード・モードで接続することができるという効果を奏する。
- 20

産業上の利用可能性

- 25 以上のように本発明は、タイニィJの検出を防いで、U S B 2 . 0非適合H Sホストであっても、H Sホストであることを正しく認識して、ハイスピード・モードで接続することが可能なU S B 2 . 0対応装置を提供することに適している

。また、本発明は、タイニィ J の検出を防いで、U S B 2 . 0 非適合 H S ホストであっても、H S ホストであることを正しく認識して、ハイスピード・モードで接続するための U S B 2 . 0 対応装置の制御方法を提供することに適している。

請 求 の 範 囲

1. USBホストにUSBバスを介してハイスピード・モードで接続可能なUSB装置であって、
- 5 USBバスの信号を受けるハイスピード・モード用のレシーバと、
リセットの開始を検出するリセット検出手段と、
リセットの検出時に、前記レシーバの閾値を、タイニィJ状態におけるUSBバスの電圧よりも高くするリセット制御回路と、
を具備することを特徴とするUSB装置。
- 10
2. 前記リセット制御回路は、チャープドライブKに対するUSBホストの応答によりUSBバスがK状態になったことを検出して、前記レシーバの閾値を元に戻すことを特徴とする請求の範囲第1項に記載のUSB装置。
- 15
3. 前記リセット制御回路は、チャープドライブKに対するUSBホストの応答によりUSBバスがJ状態になったことを検出して、前記レシーバの閾値を元に戻すことを特徴とする請求の範囲第1項に記載のUSB装置。
4. 前記リセット制御回路は、チャープドライブKに対するUSBホストの応答によりUSBバスがK状態とJ状態を所定回数繰り返したことを検出して、前記レシーバの閾値を元に戻すことを特徴とする請求の範囲第1項に記載のUSB装置。
- 20
5. 前記リセット検出手段は、
25 USBバスのSE0状態の継続時間をカウントするタイマーと、
前記タイマーが所定時間をカウントしたときに、USBバスのD+信号線に接続されるプルアップ抵抗と、

前記D+信号線にプルアップ抵抗が接続された状態でU S Bバスの状態を検出し、S E 0状態であればリセットであると判別するリセット判別回路と、

を備えていることを特徴とする請求の範囲第1項～請求の範囲第4項のいずれか一つに記載のU S B装置。

5

6. 前記レシーバは、

第1の閾値の通常動作作用のレシーバと、

タイニィJ状態におけるU S Bバスの電圧よりも高い第2の閾値のタイニィJ用レシーバと、

10 前記リセット制御回路の出力信号に基づいて、前記通常動作作用のレシーバと前記タイニィJ用レシーバのいずれか一方の出力信号を選択するセレクトと、

を備えていることを特徴とする請求の範囲第1項～請求の範囲第4項のいずれか一つに記載のU S B装置。

15

7. 前記レシーバは、

前記リセット制御回路の出力信号に基づいて、通常動作時の第1の閾値とタイニィJ状態におけるU S Bバスの電圧よりも高い第2の閾値のいずれか一方を選択するセレクトと、

20 U S BバスのD+信号の電圧からD-信号の電圧を減算した値の符号および絶対値を求める減算器と、

前記減算器で求められた絶対値と前記セレクトにより選択された閾値とを比較するコンパレータと、

前記コンパレータの比較結果と前記減算器で求められた符号とに基づいて、U S BバスがJ状態であるかK状態であるかを判定する判定器と、

25

U S BバスがS E 0状態であることを検出するS E 0用レシーバと、

を備えていることを特徴とする請求の範囲第1項～請求の範囲第4項のいずれか一つに記載のU S B装置。

8. 前記レシーバは、

USBバスのD+信号をデジタル信号に変換する第1のA/Dコンバータと

5 D-信号をデジタル信号に変換する第2のA/Dコンバータと、

前記第1のA/Dコンバータの出力値、前記第2のA/Dコンバータの出力値
および前記リセット制御回路の出力信号に基づいて、USBバスがJ状態である
かK状態であるかSE0状態であるかを演算して求める演算器と、

を備えていることを特徴とする請求の範囲第1項～請求の範囲第4項のいずれ
10 か一つに記載のUSB装置。

9. USBホストにUSBバスを介してハイスピード・モードで接続可能なUSB
B装置の、USBホストとのハンドシェイクにおいて、

リセットの開始を検出する工程と、

15 リセットの検出時に、USBバスの信号を受けるハイスピード・モード用のレ
シーバの閾値を、タイニイJ状態におけるUSBバスの電圧よりも高い値に変更
する工程と、

チャープドライブKを実行して、終了する工程と、

チャープドライブKの終了後、USBバスがSE0状態のまま所定時間が経過
20 したとき、またはチャープドライブKの終了後、所定時間が経過する前に、USB
バスがK状態もしくはJ状態になったことを検出したときに、前記レシーバの
閾値を元に戻す工程と、

を含むことを特徴とするUSB装置の制御方法。

25 10. USBホストにUSBバスを介してハイスピード・モードで接続可能なU
SB装置の、USBホストとのハンドシェイクにおいて、

リセットの開始を検出する工程と、

リセットの検出時に、USBバスの信号を受けるハイスピード・モード用のレシーバの閾値を、タイニィJ状態におけるUSBバスの電圧よりも高い値に変更する工程と、

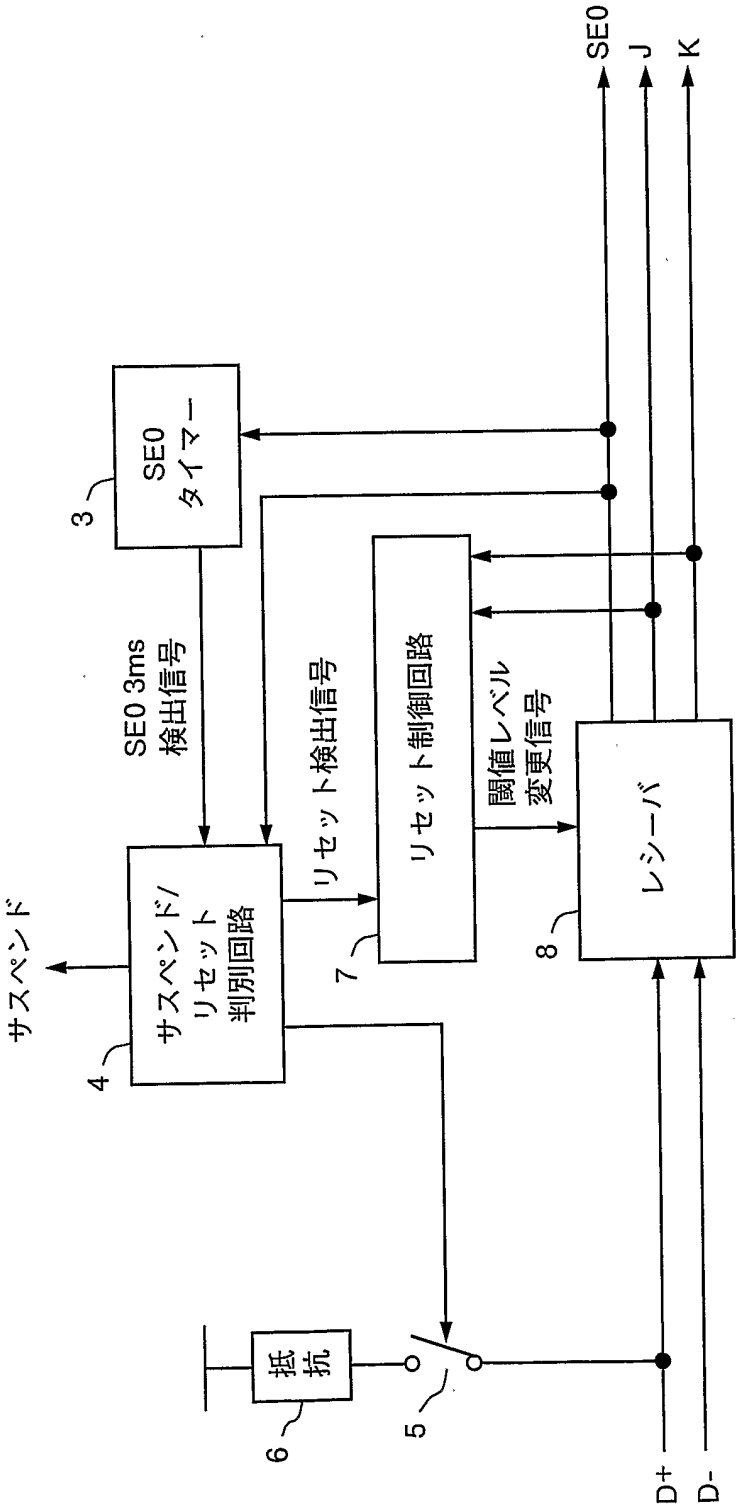
チャープドライブKを実行して、終了する工程と、

- 5 チャープドライブKの終了後、所定時間が経過する前に、

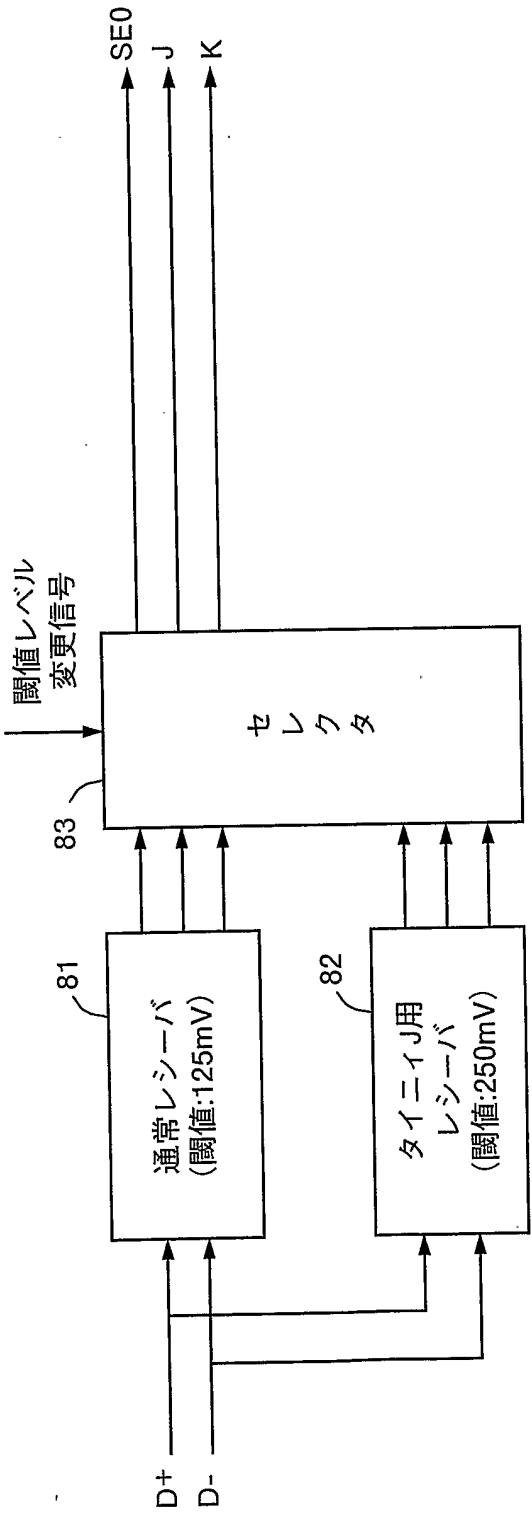
USBバスのK状態とJ状態の繰り返しを所定回数検出したときに、前記レシーバの閾値を元に戻す工程と、

を含むことを特徴とするUSB装置の制御方法。

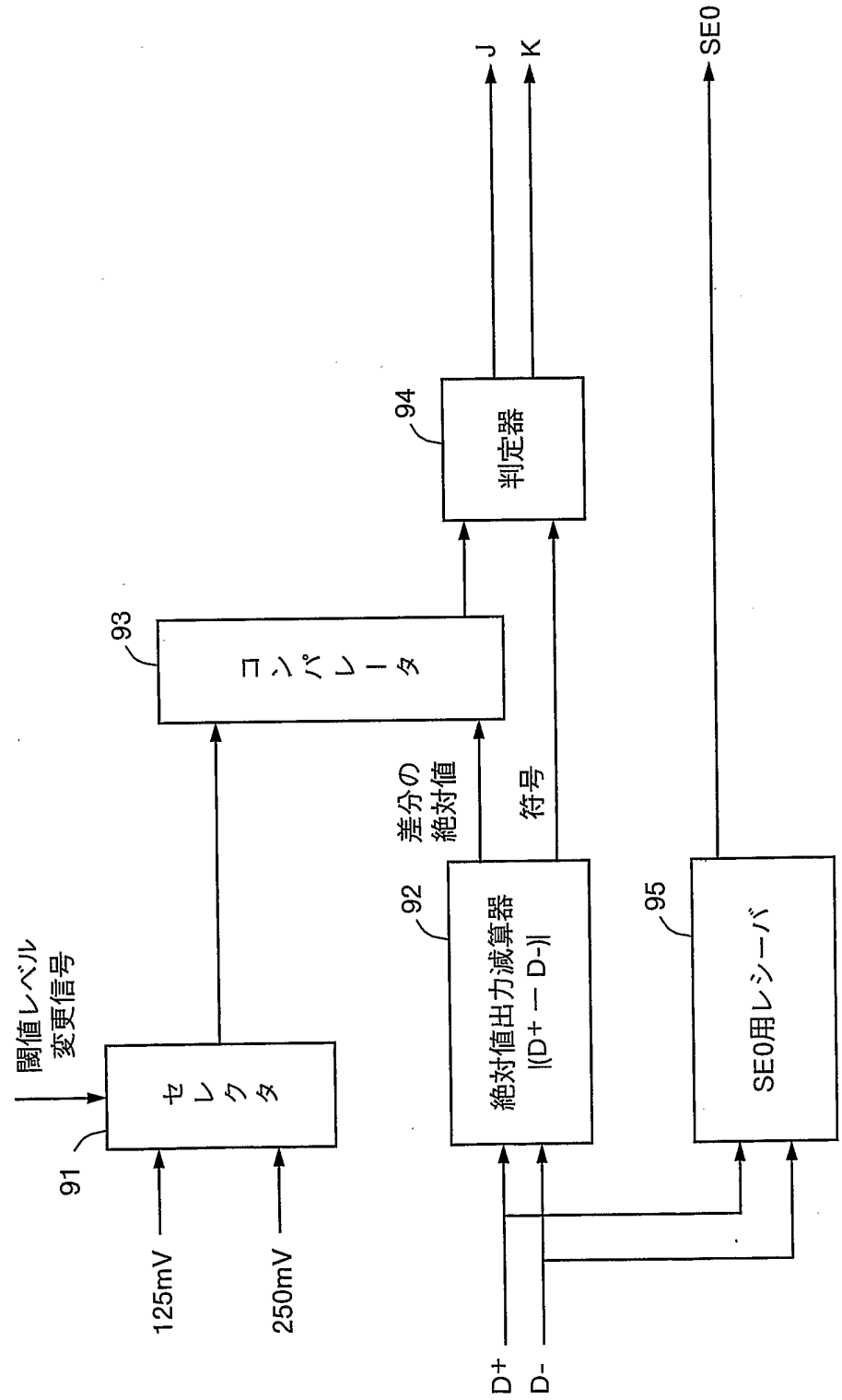
第1図



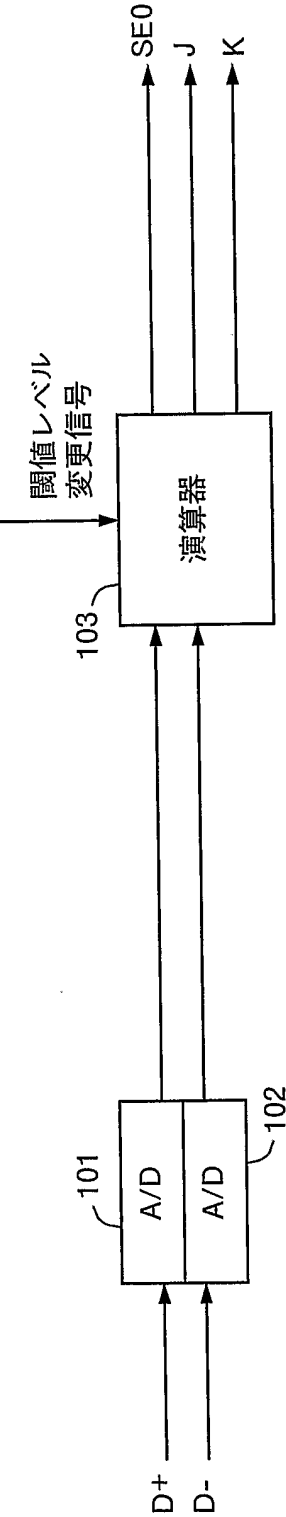
第2図



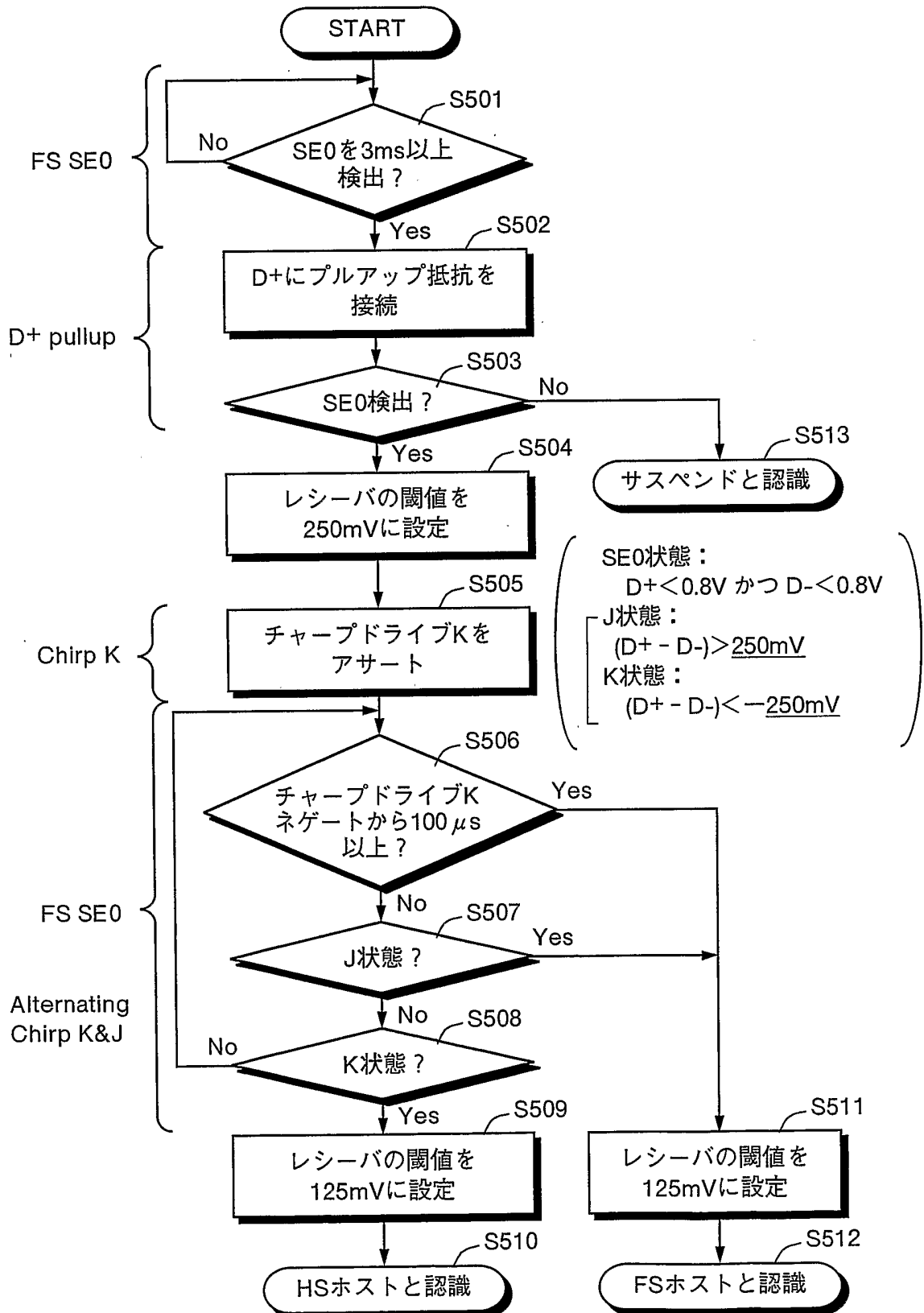
第3図



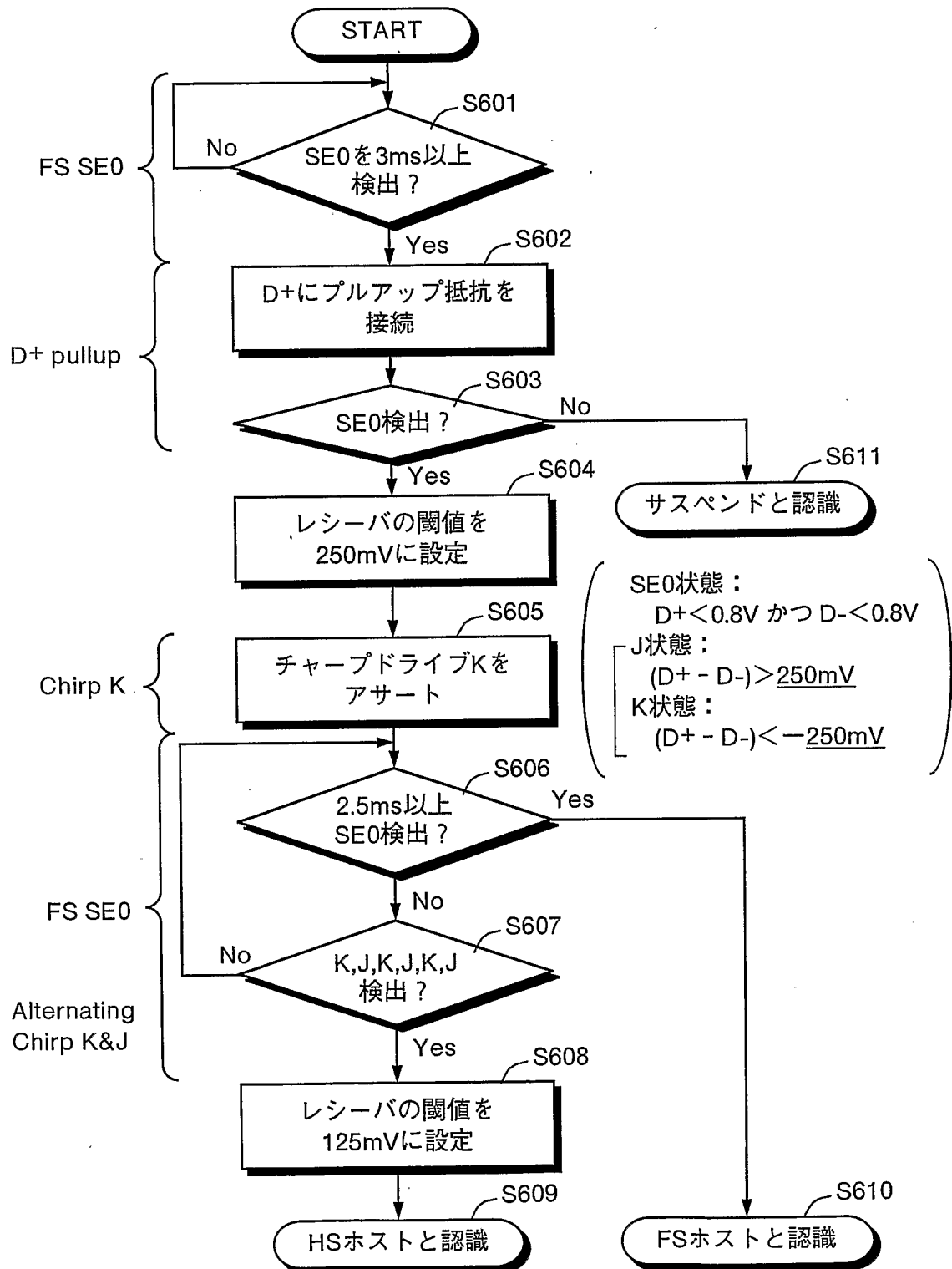
第4図



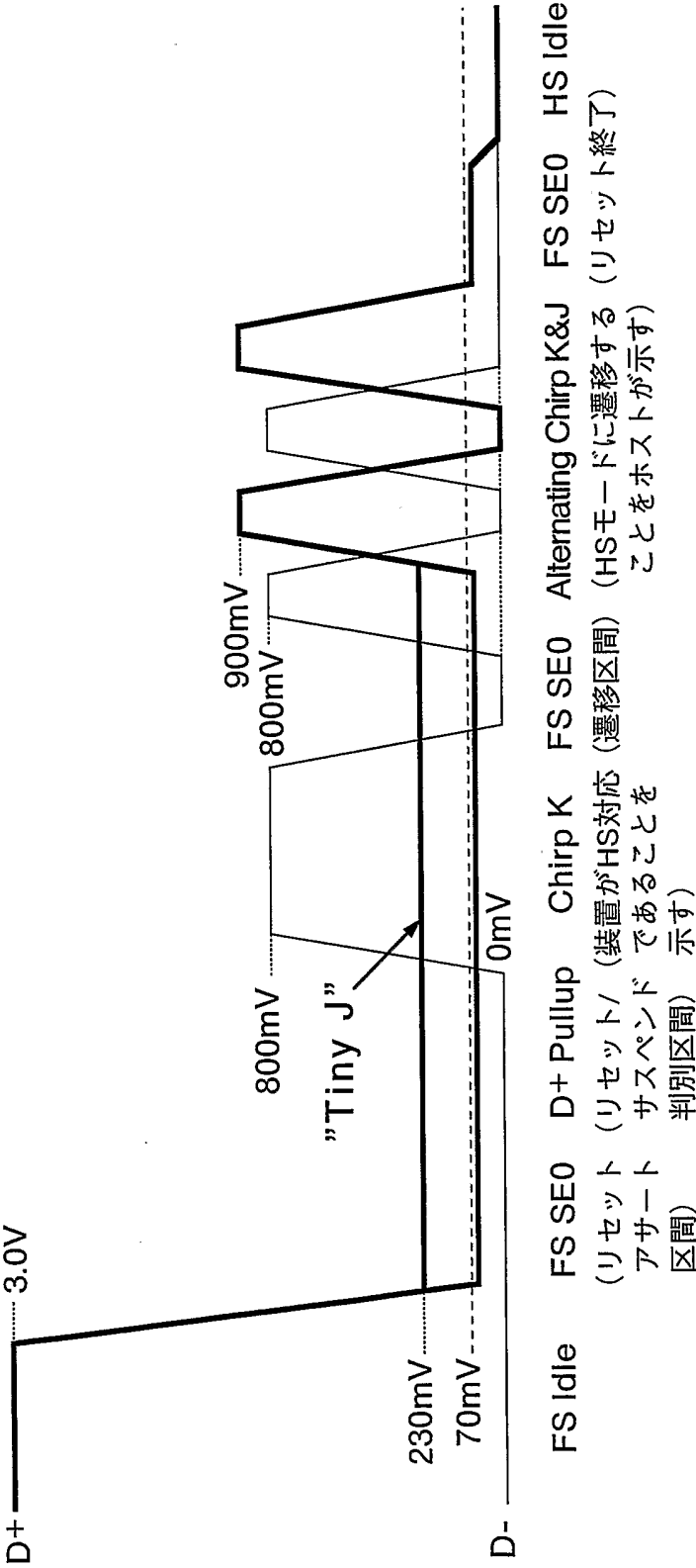
第5図



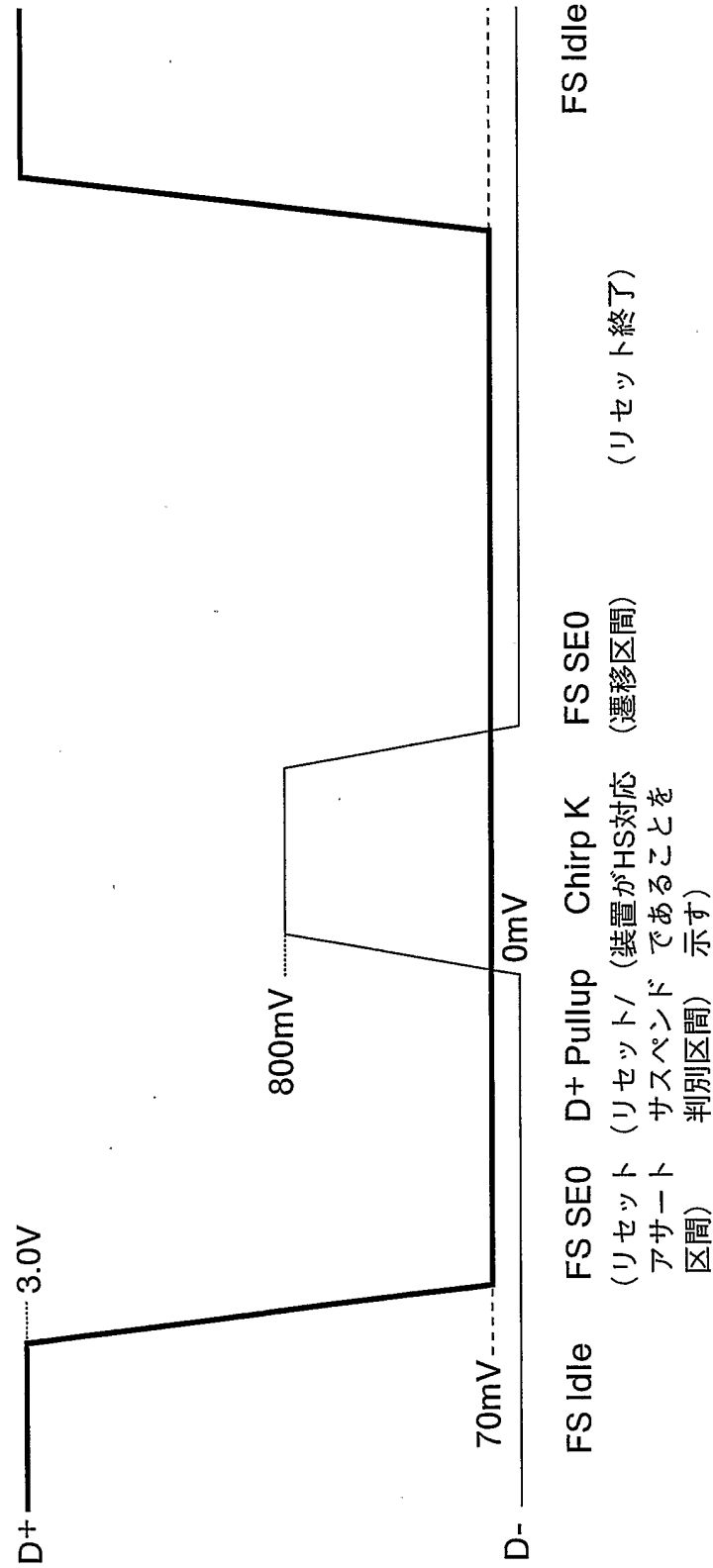
第6図



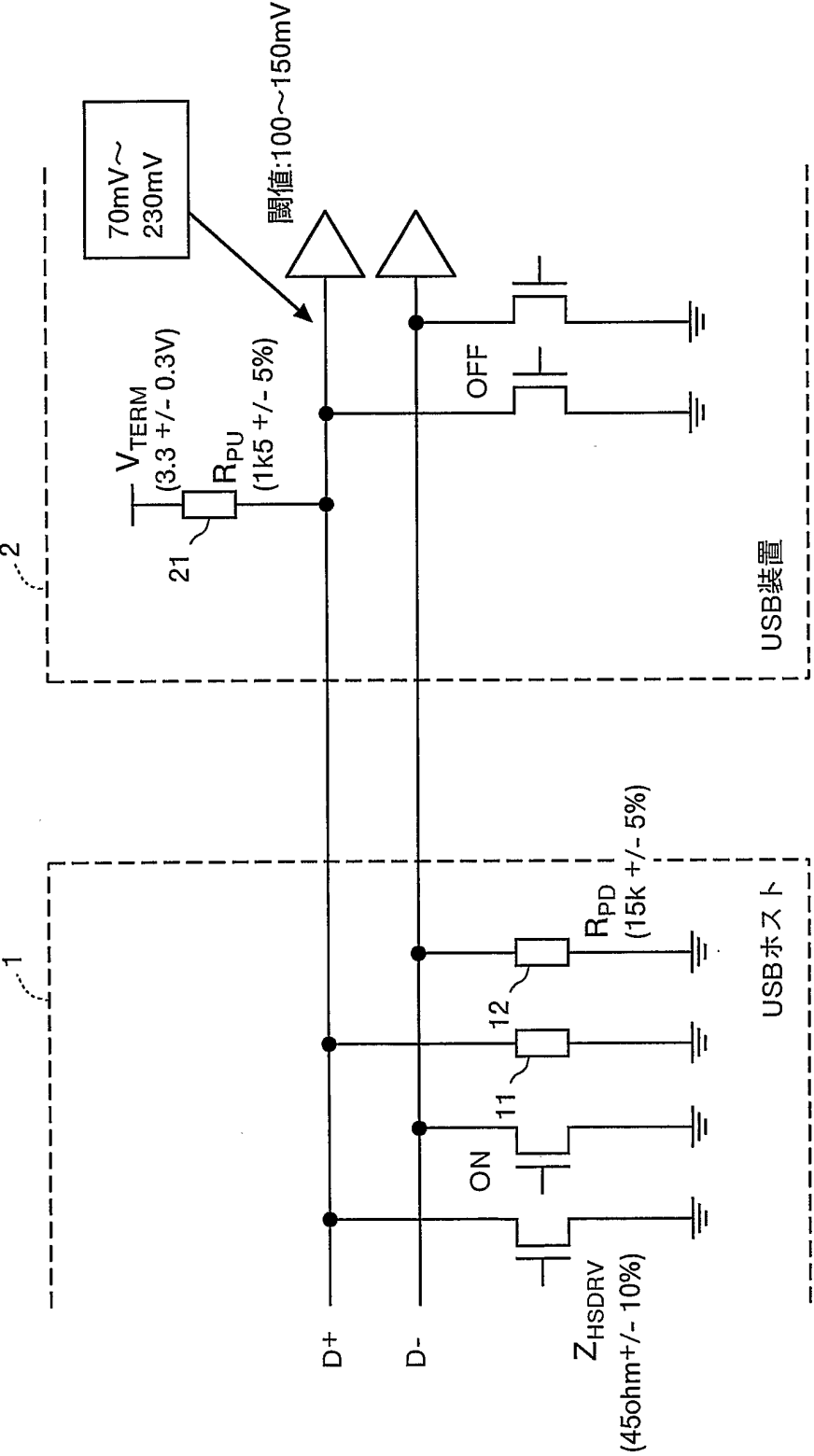
第7図



第8図



第9図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/13820

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F3/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-312085 A (Nagano Fujitsu Component Kabushiki Kaisha), 25 October, 2002 (25.10.02), Full text; Figs. 1 to 22 (Family: none)	1-10
A	JP 10-301899 A (Casio Computer Co., Ltd.), 13 November, 1998 (13.11.98), Full text; Figs. 1 to 6 (Family: none)	1-10
A	JP 10-301898 A (Casio Computer Co., Ltd.), 13 November, 1998 (13.11.98), Full text; Figs. 1 to 5 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 30 April, 2003 (30.04.03)	Date of mailing of the international search report 20 May, 2003 (20.05.03)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/13820

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-224144 A (NEC Corp.), 17 August, 1999 (17.08.99), Full text; Figs. 1 to 11 (Family: none)	1-10
A	JP 2002-344542 A (Seiko Epson Corp.), 29 November, 2002 (29.11.02), Full text; Figs. 1 to 13 (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ G06F 3/00		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ G06F 3/00		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-312085 A (長野富士通コンポーネント株式会社) 2002. 10. 25, 全文, 第1-22図 (ファミリーなし)	1-10
A	JP 10-301899 A (カシオ計算機株式会社) 1998. 11. 13, 全文, 第1-6図 (ファミリーなし)	1-10
A	JP 10-301898 A (カシオ計算機株式会社) 1998. 11. 13, 全文, 第1-5図 (ファミリーなし)	1-10
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
30.04.03	20.05.03	
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	5E 8327
日本国特許庁 (ISA/JP)	富吉 伸弥	
郵便番号100-8915		
東京都千代田区霞が関三丁目4番3号	電話番号 03-3581-1101	内線 3520

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 1 1 - 2 2 4 1 4 4 A (日本電気株式会社) 1 9 9 9 . 0 8 . 1 7 , 全文, 第 1 - 1 1 図 (ファミリーなし)	1 - 1 0
A	J P 2 0 0 2 - 3 4 4 5 4 2 A (セイコーエプソン株式会 社) 2 0 0 2 . 1 1 . 2 9 , 全文, 第 1 - 1 3 図 (ファミリーなし)	1 - 1 0