



등록특허 10-2712211



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월04일
(11) 등록번호 10-2712211
(24) 등록일자 2024년09월26일

- (51) 국제특허분류(Int. Cl.)
G11C 11/412 (2006.01) *G11C 27/02* (2021.01)
H01L 21/84 (2006.01) *H01L 27/12* (2006.01)
H03K 19/094 (2006.01) *H10B 41/00* (2023.01)
- (52) CPC특허분류
G11C 11/412 (2013.01)
G11C 27/024 (2013.01)
- (21) 출원번호 10-2022-7036064(분할)
- (22) 출원일자(국제) 2010년12월17일
심사청구일자 2022년10월17일
- (85) 번역문제출일자 2022년10월17일
- (65) 공개번호 10-2022-0145923
- (43) 공개일자 2022년10월31일
- (62) 원출원 특허 10-2021-7042457
원출원일자(국제) 2010년12월17일
심사청구일자 2021년12월24일
- (86) 국제출원번호 PCT/JP2010/073478
- (87) 국제공개번호 WO 2011/078373
국제공개일자 2011년06월30일
- (30) 우선권주장
JP-P-2009-293982 2009년12월25일 일본(JP)

- (56) 선행기술조사문현
KR1020010098532 A
(뒷면에 계속)

전체 청구항 수 : 총 4 항

심사관 : 손윤식

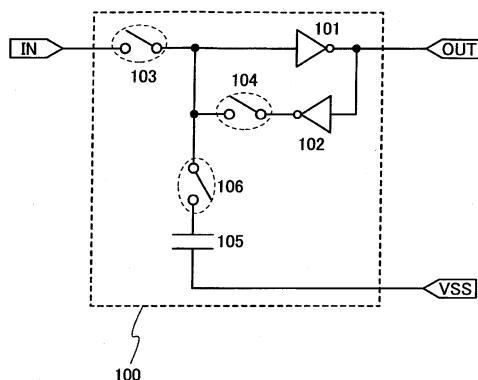
- (54) 발명의 명칭 메모리 장치, 반도체 장치, 및 전자 장치

(57) 요 약

목적은, 복잡한 제작 공정이 요구되지 않고 전력 소비가 억제될 수 있는 메모리 장치, 상기 메모리 장치를 포함하는 반도체 장치를 제공하는 것이다. 솔루션은, 데이터를 유지하는 커패시터 및 상기 커패시터에서 전하를 저장 및 방출하는 것을 제어하는 스위칭 소자를 메모리 소자에 제공하는 것이다. 상기 메모리 소자에는, 인버터 또는

(뒷면에 계속)

대 표 도 - 도1



클록드 인버터와 같이 입력 신호의 위상이 반전되어 상기 신호가 출력되는 위상-반전 소자를 포함한다. 상기 스위칭 소자에 대해, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터가 이용된다. 상기 위상-반전 소자로의 전원 전압의 인가가 중단되는 경우에, 상기 데이터가 상기 커패시터에 저장되어, 상기 데이터는 상기 위상-반전 소자로의 상기 전원 전압의 상기 인가가 중단될 때에도 상기 커패시터에 유지된다.

(52) CPC특허분류

H01L 21/84 (2013.01)
H01L 27/1203 (2013.01)
H01L 27/1225 (2013.01)
H01L 27/1255 (2013.01)
H03K 19/094 (2013.01)
H10B 41/00 (2023.02)

(56) 선행기술조사문헌

KR1020070058362 A
KR1020070069072 A
KR1020070087522 A
KR1020070115736 A

명세서

청구범위

청구항 1

반도체 장치에 있어서:

제 1 트랜지스터;

제 2 트랜지스터;

커패시터;

기판;

상기 기판 위의 제 1 절연층;

상기 제 1 절연층 위의 제 1 반도체층으로서, 상기 제 1 반도체층은 실리콘을 포함하고, 상기 제 1 반도체층은 상기 제 1 트랜지스터의 채널 형성 영역을 포함하는 상기 제 1 반도체층;

상기 제 1 반도체층 위의 제 2 절연층;

상기 제 2 절연층 위의 제 1 도전층으로서, 상기 제 1 도전층은 상기 제 1 트랜지스터의 제 1 게이트 전극으로서 기능하는 상기 제 1 도전층;

상기 제 1 도전층 위의 제 3 절연층;

상기 제 3 절연층 위의 제 2 도전층 및 제 3 도전층으로서, 상기 제 2 도전층은 상기 제 2 트랜지스터의 제 1 게이트 전극으로서 기능하고, 상기 제 3 도전층은 상기 커패시터의 제 1 전극으로서 기능하는 상기 제 2 도전층 및 상기 제 3 도전층;

상기 제 2 도전층 및 상기 제 3 도전층 위의 제 4 절연층;

상기 제 4 절연층 위의 제 2 반도체층으로서, 상기 제 2 반도체층은 산화물 반도체를 포함하고, 상기 제 2 반도체층은 상기 제 2 트랜지스터의 채널 형성 영역을 포함하는 상기 제 2 반도체층;

상기 제 4 절연층 위의 제 4 도전층 및 제 5 도전층으로서, 상기 제 4 도전층은 상기 제 1 트랜지스터의 소스 및 드레인 중 하나로 기능하는 영역을 포함하고, 상기 제 5 도전층은 상기 제 2 트랜지스터의 소스 및 드레인 중 하나로 기능하는 영역을 포함하는 상기 제 4 도전층 및 상기 제 5 도전층; 및

상기 제 4 도전층 및 상기 제 5 도전층 위의 제 5 절연층을 포함하고,

상기 제 4 도전층 및 상기 제 5 도전층은 동일한 층에 제공되는, 반도체 장치.

청구항 2

반도체 장치에 있어서:

제 1 트랜지스터;

제 2 트랜지스터;

커패시터;

기판;

상기 기판 위의 제 1 절연층;

상기 제 1 절연층 위의 제 1 반도체층으로서, 상기 제 1 반도체층은 실리콘을 포함하고, 상기 제 1 반도체층은 상기 제 1 트랜지스터의 채널 형성 영역을 포함하는 상기 제 1 반도체층;

상기 제 1 반도체층 위의 제 2 절연층;

상기 제 2 절연층 위의 제 1 도전층으로서, 상기 제 1 도전층은 상기 제 1 트랜지스터의 제 1 게이트 전극으로서 기능하는 상기 제 1 도전층;

상기 제 1 도전층 위의 제 3 절연층;

상기 제 3 절연층 위의 제 2 도전층 및 제 3 도전층으로서, 상기 제 2 도전층은 상기 제 2 트랜지스터의 제 1 게이트 전극으로서 기능하고, 상기 제 3 도전층은 상기 커패시터의 제 1 전극으로서 기능하는 상기 제 2 도전층 및 상기 제 3 도전층;

상기 제 2 도전층 및 상기 제 3 도전층 위의 제 4 절연층;

상기 제 4 절연층 위의 제 2 반도체층으로서, 상기 제 2 반도체층은 산화물 반도체를 포함하고, 상기 제 2 반도체층은 상기 제 2 트랜지스터의 채널 형성 영역을 포함하는 상기 제 2 반도체층;

상기 제 4 절연층 위의 제 4 도전층, 제 5 도전층, 및 제 6 도전층으로서, 상기 제 4 도전층은 상기 제 1 트랜지스터의 소스 및 드레인 중 하나로 기능하는 영역을 포함하고, 상기 제 5 도전층은 상기 제 2 트랜지스터의 소스 및 드레인 중 하나로 기능하는 영역을 포함하고, 상기 제 6 도전층은 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나로 기능하는 영역을 포함하는 상기 제 4 도전층, 상기 제 5 도전층, 및 상기 제 6 도전층; 및

상기 제 4 도전층, 상기 제 5 도전층, 및 상기 제 6 도전층 위의 제 5 절연층을 포함하고,

상기 제 4 도전층, 상기 제 5 도전층, 및 상기 제 6 도전층은 동일한 층에 제공되는, 반도체 장치.

청구항 3

반도체 장치에 있어서:

제 1 트랜지스터;

제 2 트랜지스터;

커패시터;

기판;

상기 기판 위의 제 1 절연층;

상기 제 1 절연층 위의 제 1 반도체층으로서, 상기 제 1 반도체층은 실리콘을 포함하고, 상기 제 1 반도체층은 상기 제 1 트랜지스터의 채널 형성 영역을 포함하는 상기 제 1 반도체층;

상기 제 1 반도체층 위의 제 2 절연층;

상기 제 2 절연층 위의 제 1 도전층으로서, 상기 제 1 도전층은 상기 제 1 트랜지스터의 제 1 게이트 전극으로서 기능하는 상기 제 1 도전층;

상기 제 1 도전층 위의 제 3 절연층;

상기 제 3 절연층 위의 제 2 도전층 및 제 3 도전층으로서, 상기 제 2 도전층은 상기 제 2 트랜지스터의 제 1 게이트 전극으로서 기능하고, 상기 제 3 도전층은 상기 커패시터의 제 1 전극으로서 기능하는 상기 제 2 도전층 및 상기 제 3 도전층;

상기 제 2 도전층 및 상기 제 3 도전층 위의 제 4 절연층;

상기 제 4 절연층 위의 제 2 반도체층으로서, 상기 제 2 반도체층은 산화물 반도체를 포함하고, 상기 제 2 반도체층은 상기 제 2 트랜지스터의 채널 형성 영역을 포함하는 상기 제 2 반도체층;

상기 제 4 절연층 위의 제 4 도전층, 제 5 도전층, 및 제 6 도전층으로서, 상기 제 4 도전층은 상기 제 1 트랜지스터의 소스 및 드레인 중 하나로 기능하는 영역을 포함하고, 상기 제 5 도전층은 상기 제 2 트랜지스터의 소스 및 드레인 중 하나로 기능하는 영역을 포함하고, 상기 제 6 도전층은 상기 제 2 트랜지스터의 상기 소스 및

상기 드레인 중 다른 하나로 기능하는 영역을 포함하는 상기 제 4 도전층, 상기 제 5 도전층, 및 상기 제 6 도전층; 및

상기 제 4 도전층, 상기 제 5 도전층, 및 상기 제 6 도전층 위의 제 5 절연층을 포함하고,

상기 제 4 도전층, 상기 제 5 도전층, 및 상기 제 6 도전층은 동일한 층에 제공되고,

상기 제 4 도전층, 상기 제 5 도전층, 및 상기 제 6 도전층은 동일한 물질을 포함하고,

상기 제 1 반도체층은 상기 제 2 반도체층과 중첩되지 않고,

상기 산화물 반도체는 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

제 3 트랜지스터; 및

상기 제 1 절연층 위의 제 3 반도체층을 더 포함하고,

상기 제 3 반도체층은 실리콘을 포함하고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나와 전기적으로 접속되는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치, 상기 메모리 장치를 포함하는 반도체 장치, 및 상기 메모리 장치를 포함하는 전자 장치에 관한 것이다.

배경 기술

[0002] 절연 표면 위에 형성된 반도체막을 포함하는 트랜지스터는 반도체 장치에 필수적인 반도체 소자이다. 기판의 허용 가능한 온도 한도의 관점에서 트랜지스터의 제작에 관한 제약이 존재하기 때문에, 활성층에서, 비교적 낮은 온도들에서 성막될 수 있는 비정질 실리콘, 레이저 빔 또는 촉매 원소를 이용한 결정화에 의해 획득될 수 있는 폴리실리콘 등을 포함하는 트랜지스터가 반도체 표시 장치에 주로 이용된다.

[0003] 최근에, 산화물 반도체라고 칭해지는 반도체 특성들을 보이는 금속 산화물이, 폴리실리콘 또는 미정질 실리콘에 의해 획득된 고 이동도를 가지고 비정질 실리콘에 의해 획득된 균일 소자 특성들을 가진 새로운 반도체 재료로서 주목을 받고 있다. 상기 금속 산화물은 다양한 응용들에 이용된다: 예를 들면, 산화 인듐이 잘 알려진 금속 산화물이고 액정 표시 장치 등에 포함되는 투명 전극의 재료로서 이용된다. 반도체 특성들을 보이는 이러한 금속 산화물들의 예들은 산화 텅스텐, 산화 주석, 산화 인듐 및 산화 아연을 포함하고, 채널 형성 영역이 반도체 특성들을 보이는 이러한 금속 산화물을 이용하여 각각 형성되는 트랜지스터들이 알려져 있다(특히 문헌들 1 및 2).

[0004] [참조]

[0005] [특히 문헌]

[0006] [특히 문헌 1] 일본 공개 특허 출원 제2007-123861호

[0007] [특히 문헌 2] 일본 공개 특허 출원 제2007-096055호

발명의 내용

해결하려는 과제

- [0008] 그런데, 메모리 장치들 중 하나인 레지스터는 인버터 또는 클록드 인버터(clocked inverter)와 같은 논리 소자, 및 스위칭 소자를 일반적으로 포함하는 논리 회로이다. 상기 레지스터의 동작 속도가 주 메모리로서 이용되는 랜덤 액세스 메모리(RAM)의 속도보다 훨씬 빠르기 때문에, 상기 레지스터는 산술 연산, 프로그램 실행 상태 등을 유지하기 위한 데이터를 일시적으로 유지하기 위해 처리기에서 이용된다.
- [0009] 도 16a에는, 인버터들이 이용되는 레지스터에 포함된 하나의 메모리 소자가 도시된다. 도 16a에 도시된 레지스터(1300)는 인버터(1301), 인버터(1302), 스위칭 소자(1303), 및 스위칭 소자(1304)를 포함한다. 상기 인버터(1301)의 입력 단자로의 신호 IN의 입력은 상기 스위칭 소자(1303)에 의해 제어된다. 상기 인버터(1301)의 출력 단자의 전위는 신호 OUT로서 후속 단계의 회로에 공급된다. 상기 인버터(1301)의 상기 출력 단자는 상기 인버터(1302)의 입력 단자에 접속되고, 상기 인버터(1302)의 출력 단자가 상기 스위칭 소자(1304)를 통해 상기 인버터(1302)의 상기 입력 단자에 접속된다.
- [0010] 상기 스위칭 소자(1303)가 턴 오프되고 상기 스위칭 소자(1304)가 턴 온될 때, 상기 스위칭 소자(1303)를 통해 입력되는 상기 신호 IN의 전위가 상기 레지스터(1300)에서 유지된다.
- [0011] 도 16a의 상기 레지스터(1300)의 더욱 특정한 회로 구성은 도 16b에 도시된다. 도 16b에 도시된 상기 레지스터(1300)는 상기 인버터(1301), 상기 인버터(1302), 상기 스위칭 소자(1303), 및 상기 스위칭 소자(1304)를 포함한다. 이들 회로 소자들의 접속 구조는 도 16a와 동일하다.
- [0012] 상기 인버터(1301)는, 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(1310) 및 n-채널 트랜지스터(1311)를 포함한다. 또한, 상기 p-채널 트랜지스터(1310) 및 상기 n-채널 트랜지스터(1311)는 하이 레벨 전원 전위 VDD가 공급되는 노드와 로우 레벨 전원 전위 VSS가 공급되는 노드 사이에 직렬로 접속된다. 유사한 방식으로, 상기 인버터(1302)는 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(1312) 및 n-채널 트랜지스터(1313)를 포함한다. 또한, 상기 p-채널 트랜지스터(1312) 및 상기 n-채널 트랜지스터(1313)는 하이 레벨 전원 전위 VDD가 공급되는 노드와 로우 레벨 전원 전위 VSS가 공급되는 노드 사이에 직렬로 접속된다.
- [0013] 도 16b에 도시된 상기 인버터(1301)는 상기 p-채널 트랜지스터(1310) 및 상기 n-채널 트랜지스터(1311) 중 하나가 턴 온되고 다른 하나가 상기 게이트 전극들에 공급된 전위들의 상기 레벨에 따라 턴 오프되도록 동작한다. 따라서, 상기 전원 전위 VDD가 공급되는 상기 노드와 상기 전원 전위 VSS가 공급되는 상기 노드 사이의 전류는 이상적으로 영이 되어야 한다. 그러나, 실제로 오프-상태 전류의 극히 작은 양이 오프-상태 트랜지스터에서 흐른다; 따라서, 상기 노드들 사이의 상기 전류는 영이 될 수 없다. 유사한 현상이 상기 인버터(1302)에서 발생한다; 결과적으로, 데이터가 기록되지 않은 유지 상태에서도 상기 레지스터(1300)에서 전력이 소비된다.
- [0014] 예를 들면, 트랜지스터의 크기에 의존되지만, 벌크 실리콘을 이용하여 제작되는 인버터의 경우, 약 1pA의 오프-상태 전류가 약 3V의 노드들 사이의 전압에서 실내 온도로 생성된다. 도 16a 및 16b에 도시된 상기 메모리 소자는 2개의 인버터들을 포함한다: 상기 인버터(1301) 및 상기 인버터(1302); 따라서, 약 2pA의 오프-상태 전류가 생성된다. 약 10^7 개의 메모리 소자들을 포함하는 레지스터의 경우에, 전체 레지스터의 상기 오프-상태 전류가 20 μ A이다. 상기 레지스터가 제공되는 IC 칩의 온도가 높아짐에 따라, 전력 소비가 커지고 상기 레지스터의 상기 오프-상태 전류가 수 밀리암페어가 된다.
- [0015] 전력 소비를 억제하기 위해, 레지스터로의 전원 전위의 공급을 중단하기 위한 방법이 제안되었다. 상기 방법에서, 데이터가 장시간 동안 레지스터에 유지되어야 하는 경우, 상기 데이터는 상기 레지스터의 주변 상에 제공되는 비휘발성 메모리 장치에 일시적으로 이전된다. 이것은 상기 레지스터가 전원 전위의 상기 공급이 중단될 때 데이터가 소거되는 휘발성 메모리 장치이기 때문이다. 그러나, 이러한 비휘발성 메모리 장치가 자기 소자 또는 강유전체를 이용하여 주로 형성되기 때문에, 제작 공정이 복잡하다.
- [0016] 상기 전원이 장시간 동안 중단되는 경우에, 상기 데이터는 하드 디스크 또는 플래시 메모리와 같은 메모리 장치에 이전된 다음, 상기 전원이 중단될 수 있다; 그러나, 상기 전원이 단시간 동안 중단되는 경우에는, 상기 데이터를 다시 배치하는 시간이 필요하기 때문에 이러한 메모리 장치가 적합하지 않다.
- 과제의 해결 수단**
- [0017] 상술된 문제들의 관점에서, 본 발명의 일 실시예의 목적은 복잡한 제작 공정이 요구되지 않고 전력 소비가 억제될 수 있는 메모리 장치, 상기 메모리 장치를 포함하는 반도체 장치, 및 상기 메모리 장치를 포함하는 전자 장치를 제공하는 것이다. 특히, 본 발명의 일 실시예의 상기 목적은 단시간 동안 전원을 중단함으로써 전력 소비가 억제될 수 있는 메모리 장치, 상기 메모리 장치를 포함하는 반도체 장치, 및 상기 메모리 장치를 포함하는

전자 장치를 제공하는 것이다.

[0018] 인버터 또는 클록드 인버터와 같이 입력 신호의 위상이 반전되어 상기 신호가 출력되는 논리 소자를 포함하는 메모리 소자(이후, 위상-반전 소자라고 칭해짐)에서, 데이터를 유지하는 커패시터 및 상기 커패시터에서 전하를 저장 및 방출하는 것을 제어하는 스위칭 소자가 제공된다. 상기 스위칭 소자에 대해, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터가 이용된다.

[0019] 특히, 상기 메모리 소자는 적어도, 2개의 위상-반전 소자들, 커패시터, 및 상기 커패시터에서 전하를 저장 및 방출하는 것을 제어하는 스위칭 소자를 포함한다. 상기 메모리 소자에 입력되는 데이터를 포함하는 신호는 제 1 위상-반전 소자의 입력 단자에 공급된다. 상기 제 1 위상-반전 소자의 출력 단자는 제 2 위상-반전 소자의 입력 단자에 접속된다. 상기 제 2 위상-반전 소자의 출력 단자는 상기 제 1 위상-반전 소자의 상기 입력 단자에 접속된다. 상기 제 1 위상-반전 소자의 상기 출력 단자 또는 상기 제 2 위상-반전 소자의 상기 입력 단자는 후속단의 메모리 소자 또는 다른 회로에 신호로서 출력된다.

[0020] 상기 위상-반전 소자들의 각각은, 게이트 전극들이 서로 접속된 적어도 하나의 p-채널 트랜지스터 및 적어도 하나의 n-채널 트랜지스터가 제 1 노드와 제 2 노드 사이에 직렬로 접속되는 구조를 가진다.

[0021] 상기 커패시터는, 필요시 상기 메모리 소자에 입력되는 상기 신호의 상기 데이터를 저장하도록, 상술된 신호의 상기 전위가 상기 스위칭 소자를 통해 공급되는 노드에 접속된다.

[0022] 전원 전압이 상기 제 1 노드와 상기 제 2 노드 사이에 인가되는 상태에서, 상기 데이터를 포함하는 상기 신호가 상기 제 1 위상-반전 소자의 상기 입력 단자에 입력될 때, 상기 데이터는 상기 제 1 위상-반전 소자 및 상기 제 2 위상-반전 소자에 유지된다. 상기 제 1 노드와 상기 제 2 노드 사이로의 상기 전원 전압의 인가가 중단되는 경우, 상기 전원 전압의 상기 인가가 중단되기 전에, 상술된 스위칭 소자가 턴 온되고 상기 신호의 상기 데이터가 상기 커패시터에 저장된다. 상술된 구조로, 상기 위상-반전 소자들 중 적어도 하나에 상기 전원 전압의 상기 인가가 중단되는 경우에도, 데이터가 상기 메모리 소자에서 유지될 수 있다.

[0023] 상술된 스위칭 소자에 이용된 상기 트랜지스터의 상기 채널 형성 영역은 고순도화된 산화물 반도체를 포함하고, 따라서, 상기 트랜지스터는 극히 낮은 오프-상태 전류의 특성을 가진다.

[0024] 상기 산화물 반도체는 반도체 특성들을 보이는 금속 산화물이고, 미정질 또는 다결정 실리콘에 의해 획득되는 고 이동도와 비정질 실리콘에 의해 획득된 균일한 소자 특성들을 가진다. 또한, 전자 공여체(도너들)의 역할을 하는 수분 또는 수소와 같은 불순물들의 감소에 의해 고순도화된 산화물 반도체(순도화된 OS)는 i-형 반도체(진성 반도체) 또는 i-형에 극히 가까운 반도체(실질적으로 i-형 반도체)이다. 특히, 상기 산화물 반도체에 함유된 수분 또는 수소와 같은 불순물들은, 2차 이온 질량 분석법(SIMS)에 의해 측정된 상기 산화물 반도체에서의 수소의 농도값이 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더더욱 바람직하게 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하이도록 제거된다. 상술된 구조로, 흡 효과 측정에 의해 측정될 수 있는 산화물 반도체막의 캐리어 밀도는 $1 \times 10^{14} \text{ cm}^{-3}$ 이하, 바람직하게 $1 \times 10^{12} \text{ cm}^{-3}$ 이하, 더욱 바람직하게 측정 한도 이하인 $1 \times 10^{11} \text{ cm}^{-3}$ 이하일 수 있다. 즉, 상기 산화물 반도체막의 상기 캐리어 밀도는 영에 극히 가까울 수 있다. 또한, 상기 산화물 반도체의 밴드 갭은 2eV 이상, 바람직하게 2.5eV 이상, 더욱 바람직하게 3eV 이상이다. 따라서, 수분 또는 수소와 같은 불순물들의 농도를 충분히 감소시킴으로써 고순도화되는 상기 산화물 반도체막을 이용하여, 상기 트랜지스터의 상기 오프-상태 전류가 감소될 수 있다.

[0025] 상기 산화물 반도체막 및 도전막에서의 상기 수소 농도의 분석이 여기서 주지되었다. 상기 산화물 반도체막 및 도전막에서의 상기 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정된다. 상기 SIMS 분석의 원리로 인해, 상이한 재료들을 이용하여 형성되는 적층막들 사이의 계면의 부근에서 또는 시료 표면의 부근에서 정확한 데이터를 획득하기가 어렵다는 것이 알려져 있다. 따라서, 막의 두께 방향으로 상기 수소 농도의 분포가 SIMS에 의해 분석되는 경우에, 그다지 변동 없이 거의 동일한 값이 획득될 수 있는 상기 막의 영역에서의 상기 수소 농도의 평균값이 상기 수소 농도로서 이용된다. 또한, 상기 막의 두께가 작을 때, 인접한 막의 상기 수소 농도의 영향으로 인해 일부 경우들에서 거의 동일한 값이 획득될 수 있는 영역이 발견될 수 없다. 이 경우, 상기 막의 영역에서의 상기 수소 농도의 최대값 또는 최소값이 상기 막의 상기 수소 농도로서 이용된다. 또한, 상기 최대값을 표시하는 산-형상 피크 및 상기 최소값을 표시하는 계곡-형상 피크가 상기 막의 어떠한 영역에도 존재하지 않는 경우에, 변곡점의 값이 상기 수소 농도로서 이용된다.

[0026] 스퍼터링 등에 의해 형성된 상기 산화물 반도체막은 수분 또는 수소와 같은 대량의 불순물들을 함유한다는 것이

알려져 있음을 유념한다. 수분 또는 수소는 용이하게 도너 레벨을 형성하고 따라서 상기 산화물 반도체에서 불순물들의 역할을 한다. 본 발명의 일 실시예에서, 상기 산화물 반도체막에서 수분 또는 수소와 같은 불순물들을 감소시키기 위해, 상기 산화물 반도체막은 감압 분위기, 질소, 희가스 등의 불활성 가스 분위기, 산소 가스 분위기, 또는 초건조 공기 분위기(캐비티 링 다운 레이저 스펙트로스코피(CRDS: cavity ring down laser spectroscopy) 법에서 이슬점 계량기에 의해 측정이 수행되는 경우에, 수분량은 20ppm(이슬점으로의 전환에 의해 -55°C) 이하, 바람직하게 1ppm 이하, 더욱 바람직하게 10ppb 이하)에서 열 처리를 받는다. 상기 열 처리의 온도 범위는 500°C 이상 850°C 이하(또는 유리 기판의 스트레인 포인트 이하의 온도)가 바람직하고, 550°C 이상 750°C 이하가 더욱 바람직하다. 이 열 처리는 이용될 상기 기판의 허용 가능한 온도 한도를 초과하지 않는 온도로 수행됨을 유념한다. 상기 열 처리에 의해 수분 또는 수소의 제거 효과는 승온 탈리 가스 분석(TDS)에 의해 확인되었다.

[0027] 급속 열 어닐링법(RTA법) 또는 화로에서의 열 처리가 상기 열 처리에 이용된다. 상기 RTA법으로서, 램프 광원을 이용한 방법 또는 가열된 가스로 이전된 기판에 대해 단시간 열 처리가 수행되는 방법이 이용될 수 있다. 상기 RTA법의 사용으로, 상기 열 처리에 필요한 시간은 0.1 시간보다 짧을 수 있다.

[0028] 특히, 활성층으로서 상술된 열 처리에 의해 고순도화된 상기 고순도화 산화물 반도체막을 포함하는 상기 트랜지스터는 극히 낮은 오프-상태 전류를 가진다. 특히, 원소가 $1 \times 10^6 \mu\text{A}$ 의 채널 폭(W)과 $10\mu\text{m}$ 의 채널 길이(L)를 가지는 경우에도, 오프-상태 전류(게이트 전극과 소스 전극 사이의 전압이 1V 이하일 때의 드레인 전류)는, 1V 내지 10V의 상기 소스 전극과 상기 드레인 전극 사이의 전압(드레인 전압)에서, 반도체 파라미터 분석기의 측정 한도 이하, 즉 $1 \times 10^{-13}\text{A}$ 이하일 수 있다. 따라서, 상기 트랜지스터의 상기 채널 폭으로 상기 오프-상태 전류를 나누어 계산되는 수치 값에 대응하는 오프-상태 전류 밀도는 $100\text{zA}/\mu\text{m}$ 이하이다. 측정에 따라, 또한, 트랜지스터가 3V의 상기 트랜지스터의 소스 전극과 드레인 전극 사이의 전압에서, $10\text{zA}/\mu\text{m}$ 내지 $100\text{zA}/\mu\text{m}$ 인 훨씬 더 낮은 오프-상태 전류 밀도를 가질 수 있다는 것을 알았다. 상기 측정에서, 고순도화된 산화물 반도체막 및 100nm 두께의 게이트 절연막을 포함하는 트랜지스터가 저장 커퍼시터의 전하를 저장하는 스위칭 소자에 이용되었고, 상기 트랜지스터의 상기 오프-상태 전류가 단위 시간 당 상기 저장 커퍼시터에서 전하량의 변화에 의해 측정되었다. 따라서, 본 발명의 일 실시예인 상기 메모리 장치에서, 상기 고순도화된 산화물 반도체막을 활성층으로서 포함하는 상기 트랜지스터의 상기 오프-상태 전류 밀도는 $100\text{zA}/\mu\text{m}$ 이하, 바람직하게 $10\text{zA}/\mu\text{m}$ 이하, 더욱 바람직하게 $1\text{zA}/\mu\text{m}$ 이하일 수 있다. 따라서, 상기 고순도화된 산화물 반도체막을 활성층으로서 포함하는 상기 트랜지스터는 결정도를 가진 실리콘을 포함하는 트랜지스터보다 훨씬 낮은 오프-상태 전류를 가진다.

[0029] 또한, 고순도화된 산화물 반도체를 포함하는 트랜지스터는 오프-상태 전류의 온도 의존성이 거의 없음을 보여준다. 이유들 중 하나는 도전성이 진성 반도체의 것에 극히 가깝게 되고, 페르미 준위가 금지 대역의 중간에 위치된다는 점이며, 이것은 상기 산화물 반도체가 상기 산화물 반도체에서 전자 공여체(도너들)의 역할을 하는 불순물들의 제거에 의해 고순도화되기 때문이다. 다른 이유는 상기 산화물 반도체가 3eV 이상의 에너지 갭을 가지고 열적 여가된 캐리어들을 거의 포함하지 않는다는 점이다. 온도 의존성이 거의 없는 또 다른 이유는 상기 소스 전극 및 상기 드레인 전극이 축퇴 상태에 있다는 점이다. 상기 트랜지스터의 동작은 상기 축퇴된 소스 전극으로부터 상기 산화물 반도체에 주입된 캐리어들에 의해 주로 수행되고, 상기 캐리어 밀도는 온도 의존성을 가지지 않는다; 따라서, 오프-상태 전류의 상기 온도 의존성이 보일 가능성성이 없다.

[0030] 커퍼시터에 저장된 전하를 유지하는 스위칭 소자로서 상술된 구조를 가지는 트랜지스터를 이용함으로써, 상기 커퍼시터로부터의 누설 전류가 방지될 수 있다; 따라서, 전원 전압의 인가 없이, 데이터가 소거되는 것이 아니라 유지될 수 있다. 상기 데이터가 상기 커퍼시터에 유지되는 기간에서, 상기 전원 전압은 상기 위상-반전 소자들 중 적어도 하나에 반드시 인가될 필요가 없다; 결과적으로, 상기 위상-반전 소자에 이용되는 상기 트랜지스터의 상기 오프-상태 전류로 인한 과잉 전력 소비가 감소될 수 있고, 상기 메모리 장치 및 또한 상기 메모리 장치를 포함하는 모든 반도체 장치의 상기 전력 소비가 낮게 억제될 수 있다.

[0031] 상기 위상-반전 소자에 이용되는 상기 트랜지스터에서, 산화물 반도체 이외의 반도체는 비정질 실리콘, 미정질 실리콘, 다결정 실리콘, 단결정 실리콘, 비정질 게르마늄, 미정질 게르마늄, 다결정 게르마늄, 또는 단결정 게르마늄과 같이 이용될 수 있음을 유념한다. 또한, 상술된 트랜지스터에서, 반도체 박막 또는 벌크 반도체 기판이 이용될 수 있다. 산화물 반도체막을 포함하는 p-채널 트랜지스터가 제작될 수 있는 한, 상기 메모리 소자의 모든 상기 트랜지스터들이 상기 산화물 반도체막을 활성층으로서 포함할 수 있어서, 공정이 단순화될 수 있다.

[0032] 본 발명의 일 실시예에서, 메모리 소자로의 전원 전압의 인가는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 이용하여 제어될 수 있다. 상술된 바와 같이, 채널 형성 영역에 산화물 반도체를 포함하는 상기 트

랜지스터는 3.0eV 내지 3.5eV의 밴드 갭을 가지며, 이것은 실리콘의 것보다 약 3배 크다. 채널 형성 영역에 산화물 반도체를 포함하는 상기 트랜지스터가 높은 내전압을 가지기 때문에, 상기 트랜지스터를 이용하여 상기 메모리 소자로의 전원 전압의 상기 인가를 제어함으로써, 반도체 장치의 신뢰도가 증가될 수 있다.

[0033] 상기 산화물 반도체로서, In-Sn-Ga-Zn-0계 산화물 반도체와 같은 4원계 금속 산화물, In-Ga-Zn-0계 산화물 반도체, In-Sn-Zn-0계 산화물 반도체, In-Al-Zn-0계 산화물 반도체, Sn-Ga-Zn-0계 산화물 반도체, Al-Ga-Zn-0계 산화물 반도체 또는 Sn-Al-Zn-0계 산화물 반도체와 같은 3원계 금속 산화물, In-Zn-0계 산화물 반도체, Sn-Zn-0계 산화물 반도체, Al-Zn-0계 산화물 반도체, Zn-Mg-0계 산화물 반도체, Sn-Mg-0계 산화물 반도체, In-Mg-0계 산화물 반도체 또는 In-Ga-0계 산화물 반도체와 같은 2원계 금속 산화물, In-0계 산화물 반도체, Sn-0계 산화물 반도체, Zn-0계 산화물 반도체 등이 이용될 수 있다. 이 명세서에서, 예를 들면 In-Sn-Ga-Zn-0계 산화물 반도체는 인듐(In), 주석(Sn), 갈륨(Ga), 및 아연(Zn)을 함유한 금속 산화물을 의미하고, 화학량론적 조성비에 관한 특정 제한이 존재하지 않음을 유념한다. 상기 산화물 반도체들은 실리콘을 포함할 수 있다.

[0034] 대안적으로, 산화물 반도체들은 화학식, $InM_0_3(ZnO)_m$ ($m > 0$)에 의해 표현될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 나타낸다.

발명의 효과

[0035] 본 발명의 일 실시예로, 전력 소비를 억제할 수 있는 메모리 장치 및 상기 메모리 장치를 포함하는 반도체 장치를 제공하는 것이 가능하다.

도면의 간단한 설명

[0036] 도 1은 메모리 소자의 회로도.

도 2는 메모리 소자의 회로도.

도 3은 메모리 소자의 회로도.

도 4는 메모리 소자의 회로도.

도 5는 메모리 소자의 회로도.

도 6은 메모리 소자의 회로도.

도 7a 내지 도 7e는 메모리 장치를 제작하기 위한 방법을 도시한 도면들.

도 8a 내지 도 8d는 메모리 장치를 제작하기 위한 방법을 도시한 도면들.

도 9a 및 도 9b는 메모리 장치를 제작하기 위한 방법을 도시한 도면들.

도 10a 내지 도 10c는 메모리 장치를 제작하기 위한 방법을 도시한 도면들.

도 11a 및 도 11b는 메모리 장치를 제작하기 위한 방법을 도시한 도면들.

도 12a 내지 도 12c는 메모리 장치들의 단면도들.

도 13a 및 도 13b는 메모리 장치들의 구조들을 도시한 도면들.

도 14a 및 도 14b는 트랜지스터의 단면도 및 상면도.

도 15a 내지 도 15e는 메모리 장치를 제작하기 위한 방법을 도시한 도면들.

도 16a 및 도 16b는 통상적인 메모리 소자의 회로도들.

도 17은 메모리 장치가 이용되는 CPU의 블록도.

도 18a 내지 도 18f는 전자 장치들의 구조들을 도시한 도면들.

도 19는 산화물 반도체를 포함하는 트랜지스터의 단면도.

도 20은 도 19에 도시된 A-A' 단면에 따른 에너지 밴드도(모식도).

도 21a는 양 전압($V_G > 0$)이 게이트 전극(GE)에 인가된 상태를 도시한 도면이고, 도 21b는 음 전압($V_G < 0$)이

게이트 전극(GE)에 인가된 상태를 도시한 도면.

도 22는 금속의 진공 준위와 일함수(ϕ_m) 사이, 및 산화물 반도체의 진공 준위와 전자 친화력(X) 사이의 관계를 도시한 도면.

도 23은 메모리 장치의 단면도.

도 24는 메모리 장치의 동작을 도시한 타이밍 차트.

도 25는 메모리 장치의 동작을 도시한 타이밍 차트.

도 26은 메모리 장치의 동작을 도시한 타이밍 차트.

도 27은 메모리 장치의 동작을 도시한 타이밍 차트.

도 28은 메모리 장치의 동작을 도시한 타이밍 차트.

도 29는 메모리 장치의 동작을 도시한 타이밍 차트.

발명을 실시하기 위한 구체적인 내용

[0037]

이후, 본 발명의 실시예들은 첨부 도면들을 참조하여 상세히 기술될 것이다. 그러나, 본 발명은 다음의 기술에 제한되지 않고, 본 기술분야의 통상의 기술자들에 의해 본 발명의 범위 및 사상을 벗어나지 않고 모드들 및 상세들이 다양하게 변경될 수 있다는 것이 쉽게 이해될 것이다. 따라서, 본 발명은 하기의 실시예들의 기술에 제한되는 것으로서 해석되어서는 안 된다.

[0038]

본 발명은 메모리 장치가 이용될 수 있는 다음의 다양한 종류의 반도체 장치들을 그 범주에 포함한다: 마이크로프로세서들과 같은 집적 회로들, 화상 처리 회로들, 디지털 신호 처리기들(DSP들), 및 마이크로콘트롤러들, RF 태그들, 및 반도체 표시 장치들을 포함하는 대규모 집적 회로들(LSI들). 또한, 상기 반도체 표시 장치들은 다음을 그 범주에 포함한다: 액정 표시 장치들, 유기 발광 소자(OLED)에 의해 대표되는 발광 소자가 픽셀마다 제공되는 발광 장치들, 전자 페이퍼들, 디지털 마이크로미러 장치들(DMD들: digital micromirror devices), 플라즈마 표시 패널들(PDP들), 전계 방출 표시들(FED들), 및 반도체막을 이용한 회로 소자가 구동 회로에 포함되는 다른 반도체 표시 장치들.

[0039]

(실시예 1)

[0040]

본 발명의 일 실시예인 메모리 장치는 1-비트 데이터를 저장할 수 있는 하나 또는 복수의 메모리 소자들을 포함한다. 도 1에는 본 발명의 메모리 장치에 포함된 메모리 소자의 회로도의 예가 도시된다. 도 1에 도시된 메모리 소자(100)는 적어도, 입력 신호의 위상이 반전되어 상기 신호가 출력되는 제 1 위상-반전 소자(101) 및 제 2 위상-반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 커패시터(105), 및 커패시터 스위칭 소자(106)를 포함한다.

[0041]

상기 메모리 소자(100)에 입력되는 데이터를 포함하는 신호 IN은 상기 스위칭 소자(103)를 통해 상기 제 1 위상-반전 소자(101)의 입력 단자에 공급된다. 상기 제 1 위상-반전 소자(101)의 출력 단자는 상기 제 2 위상-반전 소자(102)의 입력 단자에 접속된다. 상기 제 2 위상-반전 소자(102)의 출력 단자는 상기 스위칭 소자(104)를 통해 상기 제 1 위상-반전 소자(101)의 상기 입력 단자에 접속된다. 상기 제 1 위상-반전 소자(101)의 상기 출력 단자 또는 상기 제 2 위상-반전 소자(102)의 상기 입력 단자의 전위는 후속단의 메모리 소자 또는 다른 회로에 신호 OUT로서 출력된다.

[0042]

도 1에서, 인버터들이 상기 제 1 위상-반전 소자(101) 및 상기 제 2 위상-반전 소자(102)로서 이용되는 예가 도시되지만; 상기 인버터 외에 클록드 인버터도 또한 상기 제 1 위상-반전 소자(101) 또는 상기 제 2 위상-반전 소자(102)로서 이용될 수 있음을 유념한다.

[0043]

상기 커패시터(105)는 상기 메모리 소자(100)의 입력 단자, 즉 상기 신호 IN의 전위가 공급되는 노드에 상기 스위칭 소자(103) 및 상기 커패시터 스위칭 소자(106)를 통해 접속되어, 상기 메모리 소자(100)에 입력되는 상기 신호 IN의 상기 데이터가 필요시 저장될 수 있다. 특히, 상기 커패시터(105)는 전극들의 쌍 사이에 유전체를 포함하는 콘덴서이다. 상기 전극들 중 하나는 상기 커패시터 스위칭 소자(106)를 통해 상기 제 1 위상-반전 소자(101)의 상기 입력 단자에 접속된다. 상기 전극들 중 다른 하나는 접지 전위와 같은 고정된 전위 또는 로우 레벨 전원 전위 VSS가 공급되는 노드에 접속된다.

- [0044] 상기 커패시터 스위칭 소자(106)에 대해, 채널 형성 영역에 고순도화된 산화물 반도체를 포함하는 트랜지스터가 이용된다.
- [0045] 상기 메모리 소자(100)는 다이오드, 저항기 또는 인덕턴스와 같은 다른 회로 소자를 필요시 더 포함할 수 있다는 것을 주의한다.
- [0046] 다음에, 도 1의 상기 메모리 소자의 더욱 특정한 회로도의 예가 도 2에 도시된다. 도 2에 도시된 상기 메모리 소자(100)는 상기 제 1 위상-반전 소자(101), 상기 제 2 위상-반전 소자(102), 상기 스위칭 소자(103), 상기 스위칭 소자(104), 상기 커패시터(105), 및 상기 커패시터 스위칭 소자(106)를 포함한다. 이들 회로 소자들의 접속 구조는 도 1의 것과 동일하다.
- [0047] 도 2에서 상기 제 1 위상-반전 소자(101)는, 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(107) 및 n-채널 트랜지스터(108)가 하이 레벨 전원 전위 VDD가 공급되는 제 1 노드와 로우 레벨 전원 전위 VSS가 공급되는 제 2 노드 사이에 직렬로 접속되는 구조를 가진다. 특히, 상기 p-채널 트랜지스터(107)의 소스 전극은 상기 전원 전위 VDD가 공급되는 상기 제 1 노드에 접속되고, 상기 n-채널 트랜지스터(108)의 소스 전극은 상기 전원 전위 VSS가 공급되는 상기 제 2 노드에 접속된다. 또한, 상기 p-채널 트랜지스터(107)의 드레인 전극은 상기 n-채널 트랜지스터(108)의 드레인 전극에 접속되고, 상기 두 개의 드레인 전극들의 전위들은 상기 제 1 위상-반전 소자(101)의 상기 출력 단자의 전위로서 간주될 수 있다. 또한, 상기 p-채널 트랜지스터(107)의 상기 게이트 전극 및 상기 n-채널 트랜지스터(108)의 상기 게이트 전극의 전위들은 상기 제 1 위상-반전 소자(101)의 상기 입력 단자의 전위로서 간주될 수 있다.
- [0048] 도 2의 상기 제 2 위상-반전 소자(102)는 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(109) 및 n-채널 트랜지스터(110)가 상기 하이 레벨 전원 전위 VDD가 공급되는 상기 제 1 노드와 상기 로우 레벨 전원 전위 VSS가 공급되는 상기 제 2 노드 사이에 직렬로 접속되는 구조를 가진다. 특히, 상기 p-채널 트랜지스터(109)의 소스 전극은 상기 전원 전위 VDD가 공급되는 상기 제 1 노드에 접속되고, 상기 n-채널 트랜지스터(110)의 소스 전극은 상기 전원 전위 VSS가 공급되는 상기 제 2 노드에 접속된다. 또한, 상기 p-채널 트랜지스터(109)의 드레인 전극은 상기 n-채널 트랜지스터(110)의 드레인 전극에 접속되고, 상기 두 개의 드레인 전극들의 전위들은 상기 제 2 위상-반전 소자(102)의 상기 출력 단자의 전위로서 간주될 수 있다. 또한, 상기 p-채널 트랜지스터(109)의 상기 게이트 전극 및 상기 n-채널 트랜지스터(110)의 상기 게이트 전극의 전위들은 상기 제 2 위상-반전 소자(102)의 상기 입력 단자의 전위로서 간주될 수 있다.
- [0049] 도 2에서, 트랜지스터가 상기 스위칭 소자(103)에 이용되는 경우가 예로서 도시되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급되는 신호 Sig 1에 의해 제어된다. 또한, 트랜지스터가 상기 스위칭 소자(104)에 이용되는 경우가 예로서 도시되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급되는 신호 Sig 2에 의해 제어된다.
- [0050] 도 2에서, 상기 스위칭 소자(103) 및 상기 스위칭 소자(104)의 각각이 단 하나의 트랜지스터를 포함하는 구조가 도시되었지만; 본 발명은 이 구조에 제한되지 않음을 유념한다. 본 발명의 일 실시예에서, 상기 스위칭 소자(103) 및 상기 스위칭 소자(104)는 복수의 트랜지스터들을 포함할 수 있다. 스위칭 소자들의 역할을 하는 상기 복수의 트랜지스터들이 상기 스위칭 소자(103) 또는 상기 스위칭 소자(104)에 포함되는 경우에, 상기 복수의 트랜지스터들은 서로 병렬로, 직렬로, 또는 병렬 접속과 직렬 접속의 조합으로 접속될 수 있다.
- [0051] 도 2에서, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터가 상기 커패시터 스위칭 소자(106)에 이용되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급된 신호 Sig 3에 의해 제어된다. 상기 커패시터 스위칭 소자(106)에 이용되는 상기 트랜지스터가 채널 형성 영역에 고순도화된 산화물 반도체를 포함하기 때문에, 오프-상태 전류가 상술된 바와 같이 극히 낮다.
- [0052] 도 2에서, 상기 커패시터 스위칭 소자(106)가 단 하나의 트랜지스터를 포함하는 구조가 도시되었지만; 본 발명은 이 구조에 제한되지 않음을 유념한다. 본 발명의 일 실시예에서, 상기 커패시터 스위칭 소자(106)는 복수의 트랜지스터들을 포함할 수 있다. 스위칭 소자들의 역할을 하는 상기 복수의 트랜지스터들이 상기 커패시터 스위칭 소자(106)에 포함되는 경우에, 상기 복수의 트랜지스터들은 서로 병렬로, 직렬로, 또는 병렬 접속과 직렬 접속의 조합으로 접속될 수 있다.
- [0053] 이 명세서에서, 상기 트랜지스터들이 서로 직렬로 접속되는 상태는 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 단 하나만 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 단 하나에만 접속되는 상태를 의미함을 유념한다. 또한, 상기 트랜지스터들이 서로 병렬로 접속되는 상태는 제 1 트랜지스터의 소스 전극 및 드레인 전극

중 하나가 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 하나에 접속되고, 상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나가 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나에 접속되는 상태를 의미한다.

[0054] 본 발명의 일 실시예에서, 적어도 상기 커패시터 스위칭 소자(106)의 스위칭 소자에 이용되는 트랜지스터는 채널 형성 영역에 고순도화된 산화물 반도체를 포함할 수 있다. 따라서, 상기 제 1 위상-반전 소자(101), 상기 제 2 위상-반전 소자(102), 상기 스위칭 소자(103), 또는 상기 스위칭 소자(104)에 이용되는 트랜지스터는, 비정질 실리콘, 미정질 실리콘, 다결정 실리콘, 단결정 실리콘, 비정질 게르마늄, 미정질 게르마늄, 다결정 게르마늄 또는 단결정 게르마늄과 같이, 산화물 반도체 이외의 반도체를 포함할 수 있다. 또한, 상술된 트랜지스터에서, 반도체 박막 또는 벌크 반도체 기판이 이용될 수 있다. 산화물 반도체막을 포함하는 p-채널 트랜지스터가 제작될 수 있는 한, 상기 메모리 소자의 모든 상기 트랜지스터들이 상기 산화물 반도체막을 활성층으로서 포함할 수 있어서, 공정이 단순화될 수 있다.

[0055] 이 명세서에서 "접속(connection)"은 전기 접속을 의미하고, 전류, 전압 또는 전위가 공급되거나, 인가되거나 또는 도전될 수 있는 상태에 대응함을 유념한다. 따라서, 접속 상태는 항상 직접 접속 상태를 의미하는 것이 아니라, 전류, 전압 또는 전위가 공급되거나, 인가되거나 또는 도전될 수 있는 배선, 저항기, 다이오드, 또는 트랜지스터와 같은 회로 소자를 통한 간접 접속의 상태를 그 범주에 포함한다.

[0056] 또한, 회로도가 서로 접속된 것처럼 독립된 구성요소들을 보여주는 경우에도, 배선의 일부가 또한 전극으로서 기능하는 경우와 같이 하나의 도전막이 복수의 구성요소들의 기능들을 가지는 경우가 존재함을 유념한다. 이 명세서에서의 상기 "접속"은 하나의 도전막이 복수의 구성요소들의 기능들을 가지는 경우를 그 범주에 포함한다.

[0057] 상기 트랜지스터에 포함된 상기 "소스 전극(source electrode)" 및 상기 "드레인 전극(drain electrode)"은 상기 트랜지스터의 극성 또는 각각의 전극들에 공급된 전위들의 레벨들 사이의 차에 의존하여 서로 대체된다. 일반적으로, n-채널 트랜지스터에서, 저전위가 공급되는 전극은 소스 전극이라고 칭해지고 고전위가 공급되는 전극은 드레인 전극이라고 칭해진다. 또한, p-채널 트랜지스터에서, 저전위가 공급되는 전극은 드레인 전극이라고 칭해지고 고전위가 공급되는 전극은 소스 전극이라고 칭해진다. 이 명세서에서, 편의를 위해, 상기 트랜지스터의 접속 관계는 상기 소스 전극 및 상기 드레인 전극이 일부 경우들에서 고정된다고 가정하고 기술되었다; 그러나, 실제로, 상기 소스 전극 및 상기 드레인 전극의 명명들은 상기 전위들 사이의 관계에 의존하여 서로 대체된다.

[0058] 다음에, 도 1에 도시된 상기 메모리 소자의 동작예가 기술될 것이다.

[0059] 먼저, 데이터 기록에서, 상기 스위칭 소자(103)는 턴 온되고, 상기 스위칭 소자(104)는 턴 오프되고, 상기 커패시터 스위칭 소자(106)는 턴 오프된다. 그 후에, 상기 전원 전위 VDD가 상기 제 1 노드에 공급되고, 상기 전원 전위 VSS가 상기 제 2 노드에 공급되고, 그에 의해 전원 전압이 상기 제 1 노드와 상기 제 2 노드 사이에 인가된다. 상기 메모리 소자(100)에 공급된 상기 신호 IN의 전위는 상기 스위칭 소자(103)를 통해 상기 제 1 위상-반전 소자(101)의 상기 입력 단자에 공급되고, 그에 의해, 상기 제 1 위상-반전 소자(101)의 상기 출력 단자의 상기 전위는 상기 신호 IN의 위상-반전된 전위이다. 그 후에, 상기 스위칭 소자(104)는 턴 온되고 상기 제 1 위상-반전 소자(101)의 상기 입력 단자는 상기 제 2 위상-반전 소자(102)의 상기 출력 단자에 접속되고, 그에 의해 데이터가 상기 제 1 위상-반전 소자(101) 및 상기 제 2 위상-반전 소자(102)에 기록된다.

[0060] 다음에, 상기 입력 데이터가 상기 제 1 위상-반전 소자(101) 및 상기 제 2 위상-반전 소자(102)에서 유지되는 경우에, 상기 스위칭 소자(104)가 온 상태로 남아있고 상기 커패시터 스위칭 소자(106)가 오프 상태로 남아있는 상태에서, 상기 스위칭 소자(103)는 턴 오프된다. 상기 스위칭 소자(103)를 턴 오프함으로써, 상기 입력 데이터는 상기 제 1 위상-반전 소자(101) 및 상기 제 2 위상-반전 소자(102)에 유지된다. 이때, 상기 전원 전위 VDD는 상기 제 1 노드에 공급되고 상기 전원 전위 VSS는 상기 제 2 노드에 공급되고, 그에 의해 상기 제 1 노드와 상기 제 2 노드 사이에 상기 전원 전압이 인가되는 상태가 유지된다.

[0061] 상기 제 1 위상-반전 소자(101)의 상기 출력 단자의 전위는 상기 제 1 위상-반전 소자(101) 및 상기 제 2 위상-반전 소자(102)에 유지된 데이터를 반영한다. 따라서, 상기 전위를 판독함으로써, 상기 데이터는 상기 메모리 소자(100)로부터 판독될 수 있다.

[0062] 상기 데이터를 유지하는데 있어서 전력 소비를 감소시키기 위해, 상기 입력 데이터가 상기 커패시터(105)에 유지되는 경우에, 먼저, 상기 스위칭 소자(103)가 턴 오프되고, 상기 스위칭 소자(104)가 턴 온되고, 상기 커패시터 스위칭 소자(106)가 턴 온됨을 유념한다. 그 후에, 상기 커패시터 스위칭 소자(106)를 통해, 상기 제 1 위상

-반전 소자(101) 및 상기 제 2 위상-반전 소자(102)에 유지된 상기 데이터의 값에 대응하는 전하량이 상기 커패시터(105)에 저장되고, 그에 의해 상기 데이터가 상기 커패시터(105)에 기록된다. 상기 데이터가 상기 커패시터(105)에 저장된 후, 상기 커패시터 스위칭 소자(106)가 턴 오프되고, 그에 의해 상기 커패시터(105)에 저장된 상기 데이터가 유지된다. 상기 커패시터 스위칭 소자(106)를 턴 오프한 후, 예를 들면, 상기 전원 전위 VSS가 상기 제 1 노드 및 상기 제 2 노드의 각각에 공급되어 상기 노드들이 동일한 전위들을 가지고, 상기 제 1 노드와 상기 제 2 노드 사이의 상기 전원 전압의 인가가 중단된다. 상기 데이터가 상기 커패시터(105)에 저장된 후, 상기 스위칭 소자(104)는 턴 오프될 수 있음을 유념한다.

[0063] 이러한 방식으로, 상기 입력 데이터가 상기 커패시터(105)에서 유지되는 경우에, 상기 제 1 노드와 상기 제 2 노드 사이의 상기 전원 전압의 상기 인가는 불필요하다; 따라서, 상기 제 1 위상-반전 소자(101)에 포함되는 상기 p-채널 트랜지스터(107) 및 상기 n-채널 트랜지스터(108)를 통해, 또는 상기 제 2 위상-반전 소자(102)에 포함되는 상기 p-채널 트랜지스터(109) 및 상기 n-채널 트랜지스터(110)를 통해 상기 제 1 노드와 상기 제 2 노드 사이에서 흐르는 상기 오프-상태 전류가 영에 극히 가까울 수 있다. 결과적으로, 상기 데이터를 유지하는데 있어서 상기 메모리 소자의 상기 오프-상태 전류로 인한 전력 소비가 상당히 감소될 수 있고, 상기 메모리 장치 및 또한 상기 메모리 장치를 포함하는 모든 반도체 장치의 전력 소비가 낮게 억제될 수 있다.

[0064] 상기 커패시터 스위칭 소자(106)에 이용되는 상기 트랜지스터가 채널 형성 영역에 고순도화된 산화물 반도체를 포함하기 때문에, 오프-상태 전류 밀도는 $100\text{zA}/\mu\text{m}$ 이하, 바람직하게 $10\text{zA}/\mu\text{m}$ 이하, 더욱 바람직하게 $1\text{zA}/\mu\text{m}$ 이하일 수 있다. 따라서, 상기 고순도화된 산화물 반도체막을 활성층으로서 포함하는 상기 트랜지스터는 결정도를 가진 실리콘을 포함하는 트랜지스터보다 훨씬 낮은 오프-상태 전류를 가진다. 결과적으로, 상기 트랜지스터가 이용되는 상기 커패시터 스위칭 소자(106)가 오프 상태에 있을 때, 상기 커패시터(105)에 저장된 전하는 거의 방출되지 않는다; 따라서, 상기 데이터가 유지된다.

[0065] 상기 커패시터(105)에 저장된 상기 데이터가 판독되는 경우에, 상기 스위칭 소자(103)는 턴 오프된다. 그 후에, 상기 전원 전위 VDD가 다시 상기 제 1 노드에 공급되고 상기 전원 전위 VSS가 다시 상기 제 2 노드에 공급되고, 그에 의해, 상기 전원 전압이 상기 제 1 노드와 상기 제 2 노드 사이에 인가된다. 그 후에, 상기 커패시터 스위칭 소자(106)를 턴 온함으로써, 상기 데이터를 반영한 전위를 가진 상기 신호 OUT가 상기 메모리 소자(100)로부터 판독될 수 있다.

[0066] 다음에, 도 24는 도 2에 도시된 상기 회로에서 상기 전원 전위 VDD이 상기 공급이 중단되지 않는 경우의 타이밍 차트의 예이다. 상기 신호 Sig 1이 로우 레벨로 설정되고 상기 신호 Sig 2가 하이 레벨로 설정될 때, 상기 신호 IN가 차단되고, 피드백 루프가 형성되고, 상기 상태가 유지될 수 있다. 상기 신호 Sig 1이 다시 하이 레벨로 설정되고 상기 신호 Sig 2가 로우 레벨로 설정될 때, 상기 신호 IN는 상기 제 1 위상-반전 소자(101)를 통해 입력 및 출력된다. 이때, 상기 신호 Sig 3은 로우 레벨로 설정된다.

[0067] 도 25는 도 2의 상기 회로에서 상기 전원 전위 VDD의 상기 공급이 중단되는 타이밍 차트의 예이다. 상기 신호 Sig 1이 로우 레벨로 설정되고 상기 신호 Sig 2가 하이 레벨로 설정될 때, 상기 신호 IN가 차단되고, 피드백 루프가 형성되고, 상기 상태가 유지될 수 있다. 그 후에, 상기 신호 Sig 3은 하이 레벨로 설정되고, 그에 의해 상기 커패시터(105)는 상기 데이터를 저장한다(도 25에서, 이 상태는 하이 레벨로 도시된다). 그 후에 상기 전원 전위 VDD의 상기 공급이 중단될 때에도, 상기 커패시터(105)의 전위가 유지된다. 그 후에, 상기 전원 전위 VDD가 공급되고 상기 신호 Sig 3이 다시 하이 레벨로 설정될 때, 상기 커패시터(105)의 상기 전위는 상기 제 1 위상-반전 소자(101)를 통해 출력된다(도 25에서, 이 상태는 로우 레벨로 도시된다).

[0068] (실시예 2)

[0069] 이 실시예에서, 본 발명의 메모리 장치에 포함된 메모리 소자의 다른 예가 기술될 것이다. 도 3에서, 이 실시예의 상기 메모리 소자의 회로도가 예로서 기술된다.

[0070] 도 3에 도시된 메모리 소자(200)는 적어도, 입력 신호의 위상이 반전되어 상기 신호가 출력되는 제 1 위상-반전 소자(201), 제 2 위상-반전 소자(202) 및 제 3 위상 반전 소자(207), 스위칭 소자(203), 스위칭 소자(204), 스위칭 소자(208), 스위칭 소자(209), 커패시터(205), 및 커패시터 스위칭 소자(206)를 포함한다.

[0071] 상기 메모리 소자(200)에 입력되는 데이터를 포함하는 신호 IN은 상기 스위칭 소자(203)를 통해 상기 제 1 위상-반전 소자(201)의 입력 단자에 공급된다. 상기 제 1 위상-반전 소자(201)의 출력 단자는 상기 제 2 위상-반전 소자(202)의 입력 단자에 접속된다. 상기 제 2 위상-반전 소자(202)의 출력 단자는 상기 스위칭 소자(204)를 통해 상기 제 1 위상-반전 소자(201)의 상기 입력 단자에 접속된다. 상기 제 1 위상-반전 소자(201)의 상기 출력

단자 또는 상기 제 2 위상-반전 소자(202)의 상기 입력 단자의 전위는 상기 스위칭 소자(208)를 통해 후속단의 다른 회로에 신호 OUT로서 출력된다.

[0072] 상기 커패시터(205)는 상기 커패시터 스위칭 소자(206)를 통해 상기 메모리 소자(200)의 입력 단자, 즉 상기 신호 IN의 전위가 공급되는 노드에 접속되어, 상기 메모리 소자(200)에 입력되는 상기 IN의 상기 데이터가 필요시 저장될 수 있다. 특히, 상기 커패시터(205)는 전극들의 쌍 사이에 유전체를 포함하는 콘덴서이다. 상기 전극들 중 하나는 상기 신호 IN의 전위가 상기 커패시터 스위칭 소자(206)를 통해 공급되는 노드에 접속된다. 상기 전극들 중 다른 하나는 접지 전위와 같은 고정된 전위 또는 로우 레벨 전원 전위 VSS가 공급되는 노드에 접속된다.

[0073] 또한, 상기 커패시터(205)의 상기 전극들 중 하나는 상기 제 3 위상-반전 소자(207)의 입력 단자에 접속된다. 상기 제 3 위상-반전 소자(207)의 출력 단자의 전위는 상기 스위칭 소자(209)를 통해 후속단의 메모리 소자 또는 다른 회로에 신호 OUT로서 출력된다.

[0074] 도 3에서, 인버터들이 상기 제 1 위상-반전 소자(201), 상기 제 2 위상-반전 소자(202) 및 상기 제 3 위상-반전 소자(207)로서 이용되는 예가 도시되지만; 상기 인버터 외에 클록드 인버터도 또한 상기 제 1 위상-반전 소자(201), 상기 제 2 위상-반전 소자(202), 또는 상기 제 3 위상-반전 소자(207)로서 이용될 수 있음을 유념한다.

[0075] 상기 커패시터 스위칭 소자(206)에 대해, 채널 형성 영역에 고순도화된 산화물 반도체를 포함하는 트랜지스터가 이용된다.

[0076] 상기 메모리 소자(200)는 필요시 다이오드, 저항기 또는 인덕턴스와 같은 다른 회로 소자를 더 포함할 수 있음을 유념한다.

[0077] 다음에, 도 3의 상기 메모리 소자의 더욱 특정한 회로도의 예가 도 4에 도시된다. 도 4에 도시된 상기 메모리 소자(200)는 적어도, 상기 제 1 위상-반전 소자(201), 상기 제 2 위상-반전 소자(202), 및 상기 제 3 위상-반전 소자(207), 상기 스위칭 소자(203), 상기 스위칭 소자(204), 상기 스위칭 소자(208), 상기 스위칭 소자(209), 상기 커패시터(205), 및 상기 커패시터 스위칭 소자(206)를 포함한다. 이들 회로 소자들의 접속 구성을 도 3의 접속 구조와 동일하다.

[0078] 도 4에 도시된 상기 제 1 위상-반전 소자(201)는, 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(210) 및 n-채널 트랜지스터(211)가 하이 레벨 전원 전위 VDD가 공급되는 제 1 노드와 로우 레벨 전원 전위 VSS가 공급되는 제 2 노드 사이에 직렬로 접속되는 구조를 가진다. 특히, 상기 p-채널 트랜지스터(210)의 소스 전극은 상기 전원 전위 VDD가 공급되는 상기 제 1 노드에 접속되고, 상기 n-채널 트랜지스터(211)의 소스 전극은 상기 전원 전위 VSS가 공급되는 상기 제 2 노드에 접속된다. 또한, 상기 p-채널 트랜지스터(210)의 드레인 전극은 상기 n-채널 트랜지스터(211)의 드레인 전극에 접속되고, 상기 두 드레인 전극들의 전위들은 상기 제 1 위상-반전 소자(201)의 상기 출력 단자의 전위로서 간주될 수 있다. 또한, 상기 p-채널 트랜지스터(210)의 상기 게이트 전극 및 상기 n-채널 트랜지스터(211)의 상기 게이트 전극의 전위들은 상기 제 1 위상-반전 소자(201)의 상기 입력 단자의 전위로서 간주될 수 있다.

[0079] 도 4의 상기 제 2 위상-반전 소자(202)는, 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(212) 및 n-채널 트랜지스터(213)가 상기 하이 레벨 전원 전위 VDD가 공급되는 상기 제 1 노드와 상기 로우 레벨 전원 전위 VSS가 공급되는 상기 제 2 노드 사이에 직렬로 접속되는 구조를 가진다. 특히, 상기 p-채널 트랜지스터(212)의 소스 전극은 상기 전원 전위 VDD가 공급되는 상기 제 1 노드에 접속되고, 상기 n-채널 트랜지스터(213)의 소스 전극은 상기 전원 전위 VSS가 공급되는 상기 제 2 노드에 접속된다. 또한, 상기 p-채널 트랜지스터(212)의 드레인 전극은 상기 n-채널 트랜지스터(213)의 드레인 전극에 접속되고, 상기 두 드레인 전극들의 전위들은 상기 제 2 위상-반전 소자(202)의 상기 출력 단자의 전위로서 간주될 수 있다. 또한, 상기 p-채널 트랜지스터(212)의 상기 게이트 전극 및 상기 n-채널 트랜지스터(213)의 상기 게이트 전극의 전위들은 상기 제 2 위상-반전 소자(202)의 상기 입력 단자의 전위로서 간주될 수 있다.

[0080] 도 4의 상기 제 3 위상-반전 소자(207)는, 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(214) 및 n-채널 트랜지스터(215)가 상기 하이 레벨 전원 전위 VDD가 공급되는 제 3 노드와 상기 로우 레벨 전원 전위 VSS가 공급되는 제 4 노드 사이에 직렬로 접속되는 구조를 가진다. 특히, 상기 p-채널 트랜지스터(214)의 소스 전극은 상기 전원 전위 VDD가 공급되는 상기 제 3 노드에 접속되고, 상기 n-채널 트랜지스터(215)의 소스 전극은 상기 전원 전위 VSS가 공급되는 상기 제 4 노드에 접속된다. 또한, 상기 p-채널 트랜지스터(214)의 드레인 전극은 상기 n-채널 트랜지스터(215)의 드레인 전극에 접속되고, 상기 두 드레인 전극들의 전위들은 상기 제 3 위상-반전

소자(207)의 상기 출력 단자의 전위로서 간주될 수 있다. 또한, 상기 p-채널 트랜지스터(214)의 상기 게이트 전극 및 상기 n-채널 트랜지스터(215)의 상기 게이트 전극의 전위들은 상기 제 3 위상-반전 소자(207)의 상기 입력 단자의 전위로서 간주될 수 있다.

[0081] 상기 제 1 노드 및 상기 제 3 노드는 하나의 노드로서 서로 전기적으로 접속될 수 있음을 유념한다. 또한, 상기 제 2 노드 및 상기 제 4 노드는 하나의 노드로서 서로 전기적으로 접속될 수 있음을 유념한다.

[0082] 도 4에서, 트랜지스터가 상기 스위칭 소자(203)에 이용되는 경우가 예로서 도시되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급되는 신호 Sig 1에 의해 제어된다. 또한, 트랜지스터가 상기 스위칭 소자(204)에 이용되는 경우가 예로서 도시되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급되는 신호 Sig 2에 의해 제어된다. 또한, 트랜지스터가 상기 스위칭 소자(209)에 이용되는 경우가 예로서 도시되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급되는 신호 Sig 4에 의해 제어된다.

[0083] 도 4에서, 상기 스위칭 소자(203), 상기 스위칭 소자(204) 및 상기 스위칭 소자(209)의 각각이 단 하나의 트랜지스터를 포함하는 구조가 도시되었지만, 본 발명은 이 구조에 제한되지 않음을 유념한다. 본 발명의 일 실시예에서, 상기 스위칭 소자(203), 상기 스위칭 소자(204) 또는 상기 스위칭 소자(209)는 복수의 트랜지스터들을 포함할 수 있다. 스위칭 소자들의 역할을 하는 상기 복수의 트랜지스터들이 상기 스위칭 소자(203), 상기 스위칭 소자(204), 또는 상기 스위칭 소자(209)에 포함되는 경우에, 상기 복수의 트랜지스터들은 서로 병렬로, 직렬로, 또는 병렬 접속과 직렬 접속의 조합으로 접속될 수 있다.

[0084] 도 4에서, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터가 상기 커패시터 스위칭 소자(206)에 이용되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급된 신호 Sig 3에 의해 제어된다. 상기 커패시터 스위칭 소자(206)에 이용되는 상기 트랜지스터가 채널 형성 영역에 고순도화된 산화물 반도체를 포함하기 때문에, 오프-상태 전류가 상술된 바와 같이 극히 낮다.

[0085] 도 4에서, 상기 커패시터 스위칭 소자(206)가 단 하나의 트랜지스터를 포함하는 구조가 도시되었지만, 본 발명은 이에 제한되지 않음을 유념한다. 본 발명의 일 실시예에서, 상기 커패시터 스위칭 소자(206)는 복수의 트랜지스터들을 포함할 수 있다. 스위칭 소자들의 역할을 하는 상기 복수의 트랜지스터들이 상기 커패시터 스위칭 소자(206)에 포함되는 경우에, 상기 복수의 트랜지스터들은 서로 병렬로, 직렬로, 또는 병렬 접속과 직렬 접속의 조합으로 접속될 수 있다.

[0086] 본 발명의 일 실시예에서, 적어도 상기 커패시터 스위칭 소자(206)의 스위칭 소자에 이용되는 트랜지스터는 채널 형성 영역에 고순도화된 산화물 반도체를 포함할 수 있다. 따라서, 상기 제 1 위상-반전 소자(201), 상기 제 2 위상-반전 소자(202), 상기 제 3 위상-반전 소자(207), 상기 스위칭 소자(203), 상기 스위칭 소자(204), 상기 스위칭 소자(208), 또는 상기 스위칭 소자(209)에 이용되는 트랜지스터는, 비정질 실리콘, 미정질 실리콘, 다결정 실리콘, 단결정 실리콘, 비정질 게르마늄, 미정질 게르마늄, 다결정 게르마늄 또는 단결정 게르마늄과 같이, 산화물 반도체 이외의 반도체를 포함할 수 있다. 또한, 상술된 트랜지스터에서, 반도체 박막 또는 벌크 반도체 기판이 이용될 수 있다. 산화물 반도체막을 포함하는 p-채널 트랜지스터가 제작될 수 있는 한, 상기 메모리 소자의 모든 상기 트랜지스터들이 상기 산화물 반도체막을 활성층으로서 포함할 수 있어서, 공정이 단순화될 수 있다.

[0087] 다음에, 도 3에 도시된 상기 메모리 소자의 동작예가 기술될 것이다.

[0088] 먼저, 데이터 기록에서, 상기 스위칭 소자(203)는 턴 온되고, 상기 스위칭 소자(204)는 턴 오프되고, 상기 스위칭 소자(208)는 턴 오프되고, 상기 스위칭 소자(209)는 턴 오프되고, 상기 커패시터 스위칭 소자(206)는 턴 온된다. 그 후에, 상기 전원 전위 VDD가 상기 제 1 노드에 공급되고, 상기 전원 전위 VSS가 상기 제 2 노드에 공급되고, 그에 의해 전원 전압이 상기 제 1 노드와 상기 제 2 노드 사이에 인가된다. 상기 메모리 소자(200)에 공급된 상기 신호 IN의 전위는 상기 스위칭 소자(203)를 통해 상기 제 1 위상-반전 소자(201)의 상기 입력 단자에 공급되고, 그에 의해, 상기 제 1 위상-반전 소자(201)의 상기 출력 단자의 상기 전위는 상기 신호 IN의 위상-반전된 전위이다. 그 후에, 상기 스위칭 소자(204)는 턴 온되고 상기 제 1 위상-반전 소자(201)의 상기 입력 단자는 상기 제 2 위상-반전 소자(202)의 상기 출력 단자에 접속되고, 그에 의해 데이터가 상기 제 1 위상-반전 소자(201) 및 상기 제 2 위상-반전 소자(202)에 기록된다.

[0089] 상기 데이터 기록에서, 상기 커패시터 스위칭 소자(206)를 통해, 상기 신호 IN의 상기 데이터의 값에 대응하는 양의 전하가 상기 커패시터(205)에 저장되고, 그에 의해 데이터가 또한 상기 커패시터(205)에 기록된다.

[0090] 상기 데이터 기록에서, 상기 제 3 노드와 상기 제 4 노드 사이의 전원 전압의 인가가 불필요함을 유념한다. 따

라서, 예를 들면, 상기 전원 전위 VSS는 상기 노드들이 동일한 전위들을 가지도록 상기 제 3 노드 및 상기 제 4 노드의 각각에 공급된다.

[0091] 다음에, 상기 입력 데이터가 상기 제 1 위상-반전 소자(201) 및 상기 제 2 위상-반전 소자(202)에서 유지되는 경우에, 상기 스위칭 소자(204)가 온 상태로 남아있고, 상기 스위칭 소자(208)가 오프 상태로 남아있고, 상기 스위칭 소자(209)가 오프 상태로 남아있는 상태에서, 상기 스위칭 소자(203)는 턴 오프되고, 커패시터 스위칭 소자(206)이 턴 오프된다. 상기 스위칭 소자(203)를 턴 오프함으로써, 상기 입력 데이터는 상기 제 1 위상-반전 소자(201) 및 상기 제 2 위상-반전 소자(202)에 유지된다. 이때, 상기 전원 전위 VDD는 상기 제 1 노드에 공급되고 상기 전원 전위 VSS는 상기 제 2 노드에 공급되고, 그에 의해 상기 제 1 노드와 상기 제 2 노드 사이에 상기 전원 전압이 인가되는 상태가 유지된다.

[0092] 또한, 상기 커패시터 스위칭 소자(206)를 턴 오프함으로써, 상기 커패시터(205)에 기록되는 상기 데이터가 또한 유지된다.

[0093] 상기 제 1 위상-반전 소자(201)의 상기 출력 단자의 상기 전위는 상기 제 1 위상-반전 소자(201) 및 상기 제 2 위상-반전 소자(202)에 유지된 상기 데이터를 반영한다. 따라서, 상기 스위칭 소자(208)를 턴 온하여 상기 전위를 판독함으로써, 상기 데이터가 상기 메모리 소자(200)로부터 판독될 수 있다.

[0094] 상기 데이터를 유지하는데 있어서 전력 소비를 감소시키기 위해, 상기 입력 데이터가 상기 커패시터(205)에 유지되는 경우에, 예를 들면, 상기 전원 전위 VSS가 상기 제 1 노드 및 상기 제 2 노드의 각각에 공급되어 상기 노드들이 동일한 전위들을 가지고, 상기 제 1 노드와 상기 제 2 노드 사이의 상기 전원 전압의 상기 인가가 중단된다. 상기 제 1 노드와 상기 제 2 노드 사이의 상기 전원 전압의 인가가 중단될 때, 상기 제 1 위상-반전 소자(201) 및 상기 제 2 위상-반전 소자(202)에 유지된 상기 데이터는 소거되지만, 상기 커패시터(205)에 기록된 상기 데이터는 유지되도록 남아있다.

[0095] 이러한 방식으로, 상기 입력 데이터가 상기 커패시터(205)에서 유지되는 경우에, 상기 제 1 노드와 상기 제 2 노드 사이의 상기 전원 전압의 인가는 불필요하다; 따라서, 상기 제 1 위상-반전 소자(201)에 포함되는 상기 p-채널 트랜지스터(210) 및 상기 n-채널 트랜지스터(211)를 통해, 또는 상기 제 2 위상-반전 소자(202)에 포함되는 상기 p-채널 트랜지스터(212) 및 상기 n-채널 트랜지스터(213)를 통해, 상기 제 1 노드와 상기 제 2 노드 사이에서 흐르는 상기 오프-상태 전류가 영에 극히 가까울 수 있다. 결과적으로, 상기 데이터를 유지하는데 있어서 상기 메모리 소자의 상기 오프-상태 전류로 인한 전력 소비가 상당히 감소될 수 있고, 상기 메모리 장치 및 또한 상기 메모리 장치를 포함하는 모든 반도체 장치의 전력 소비가 낮게 억제될 수 있다.

[0096] 또한, 상기 입력 데이터가 상기 커패시터(205)에서 유지되는 경우에, 상기 제 3 노드와 상기 제 4 노드 사이의 상기 전원 전압의 인가는 불필요하다. 따라서, 상기 제 3 위상-반전 소자(207)에 포함되는 상기 p-채널 트랜지스터(214) 및 상기 n-채널 트랜지스터(215)를 통해, 상기 제 3 노드와 상기 제 4 노드 사이에서 흐르는 상기 오프-상태 전류가 영에 극히 가까울 수 있다. 결과적으로, 상기 데이터를 유지하는데 있어서 상기 메모리 소자의 상기 오프-상태 전류로 인한 전력 소비가 상당히 감소될 수 있고, 상기 메모리 장치 및 또한 상기 메모리 장치를 포함하는 모든 반도체 장치의 전력 소비가 낮게 억제될 수 있다.

[0097] 상기 커패시터 스위칭 소자(206)에 이용되는 상기 트랜지스터가 채널 형성 영역에 고순도화된 산화물 반도체를 포함하기 때문에, 오프-상태 전류 밀도는 $100\text{zA}/\mu\text{m}$ 이하, 바람직하게 $10\text{zA}/\mu\text{m}$ 이하, 더욱 바람직하게 $1\text{zA}/\mu\text{m}$ 이하일 수 있다. 따라서, 상기 고순도화된 산화물 반도체막을 활성층으로서 포함하는 상기 트랜지스터는 결정도를 가진 실리콘을 포함하는 트랜지스터보다 훨씬 낮은 오프-상태 전류를 가진다. 결과적으로, 상기 트랜지스터가 이용되는 상기 커패시터 스위칭 소자(206)가 오프 상태에 있을 때, 상기 커패시터(205)에 저장된 전하는 거의 방출되지 않는다; 따라서, 상기 데이터가 유지된다.

[0098] 상기 커패시터(205)에 저장된 상기 데이터가 판독되는 경우에, 상기 전원 전위 VDD가 상기 제 3 노드에 공급되고, 상기 전원 전위 VSS가 상기 제 4 노드에 공급되고, 그에 의해 전원 전압이 상기 제 3 노드와 상기 제 4 노드 사이에 인가된다. 상기 전원 전압이 상기 제 3 노드와 상기 제 4 노드 사이에 인가될 때, 상기 제 3 위상-반전 소자(207)의 상기 출력 단자에 그것의 상기 입력 단자의 전위의 위상-반전 전위가 공급된다. 상기 제 3 위상-반전 소자(207)의 상기 입력 단자에 상기 커패시터(205)에 저장된 전하의 양에 대응하는 레벨을 가진 전위가 공급되고, 따라서, 그것의 상기 출력 단자의 전위가 상기 데이터를 반영함을 유념한다. 따라서, 상기 스위칭 소자(209)를 턴 온함으로써, 상기 데이터를 반영한 전위를 가진 상기 신호 OUT가 상기 메모리 소자(200)로부터 판독될 수 있다.

- [0099] 도 26은 도 4의 상기 회로에서 상기 전원 전위 VDD의 공급이 중단되지 않는 경우의 타이밍 차트의 예이다. 상기 신호 Sig 1이 로우 레벨로 설정되고 상기 신호 Sig 2가 하이 레벨로 설정될 때, 상기 신호 IN가 차단되고, 피드백 루프가 형성되고, 상기 상태가 유지될 수 있다. 상기 신호 Sig 1이 다시 하이 레벨로 설정되고 상기 신호 Sig 2가 로우 레벨로 설정될 때, 상기 신호 IN는 상기 제 1 위상-반전 소자(201)를 통해 입력 및 출력된다. 이 때, 상기 신호 Sig 3 및 상기 신호 Sig 4로우 레벨로 설정되고, 신호 Sig 5는 하이 레벨로 설정된다.
- [0100] 도 27은 도 4의 상기 회로에서 상기 전원 전위 VDD의 상기 공급이 중단되는 타이밍 차트의 예이다. 상기 신호 Sig 1이 로우 레벨로 설정되고 상기 신호 Sig 2가 하이 레벨로 설정될 때, 상기 신호 IN가 차단되고, 피드백 루프가 형성되고, 상기 상태가 유지될 수 있다. 한편, 상기 신호 Sig 3은 하이 레벨로 설정되고, 그에 의해 상기 커패시터(205)는 데이터를 저장한다(도 27에서, 이 상태는 로우 레벨로 도시된다). 그 후에 상기 전원 전위 VDD의 상기 공급이 중단될 때에도, 상기 커패시터(205)의 전위가 유지된다. 그 후에, 상기 전원 전위 VDD가 공급되고 상기 신호 Sig 5 및 상기 신호 Sig 3이 다시 로우 레벨로 설정되고 상기 신호 Sig 4가 하이 레벨로 설정될 때, 상기 커패시터(205)의 상기 전위는 상기 제 3 위상-반전 소자(207)를 통해 출력된다(도 27에서, 이 상태는 하이 레벨로 도시된다).
- [0101] 이 실시예는 상술된 실시예와 적합하게 조합되어 구현될 수 있다.
- [0102] (실시예 3)
- [0103] 이 실시예에서, 본 발명의 메모리 장치에 포함된 메모리 소자의 다른 예가 기술될 것이다. 도 5에서, 이 실시예의 상기 메모리 소자의 회로도가 예로서 기술된다.
- [0104] 도 5에 도시된 메모리 소자(300)는 적어도, 입력 신호의 위상이 반전되어 상기 신호가 출력되는 제 1 위상-반전 소자(301), 제 2 위상-반전 소자(302), 스위칭 소자(303), 스위칭 소자(304), 커패시터(305), 커패시터 스위칭 소자(306), 커패시터(307) 및 커패시터 스위칭 소자(308)를 포함한다.
- [0105] 상기 메모리 소자(300)에 입력되는 데이터를 포함하는 신호 IN은 상기 스위칭 소자(303)를 통해 상기 제 1 위상-반전 소자(301)의 입력 단자에 공급된다. 상기 제 1 위상-반전 소자(301)의 출력 단자는 상기 제 2 위상-반전 소자(302)의 입력 단자에 접속된다. 상기 제 2 위상-반전 소자(302)의 출력 단자는 상기 스위칭 소자(304)를 통해 상기 제 1 위상-반전 소자(301)의 상기 입력 단자에 접속된다. 상기 제 1 위상-반전 소자(301)의 상기 출력 단자 또는 상기 제 2 위상-반전 소자(302)의 상기 입력 단자의 전위는 후속단의 메모리 소자 또는 다른 회로에 신호 OUT로서 출력된다.
- [0106] 상기 커패시터(305)는 상기 스위칭 소자(303) 및 상기 커패시터 스위칭 소자(308)를 통해 상기 메모리 소자(300)의 입력 단자, 즉 상기 신호 IN의 전위가 공급되는 노드에 접속되어, 상기 메모리 소자(300)에 입력되는 상기 신호 IN의 상기 데이터가 필요시 저장될 수 있다. 특히, 상기 커패시터(305)는 전극들의 쌍 사이에 유전체를 포함하는 콘텐서이다. 상기 전극들 중 하나는 상기 커패시터 스위칭 소자(306)를 통해 상기 제 1 위상-반전 소자(301)의 상기 입력 단자에 접속된다. 상기 전극들 중 다른 하나는 접지 전위와 같은 고정된 전위 또는 로우 레벨 전원 전위 VSS가 공급되는 노드에 접속된다.
- [0107] 상기 커패시터(305)의 것과 유사한 방식으로, 상기 커패시터(307)는 상기 스위칭 소자(303), 상기 제 1 위상-반전 소자(301) 및 상기 커패시터 스위칭 소자(308)를 통해 상기 메모리 소자(300)의 입력 단자, 즉 상기 신호 IN의 전위가 공급되는 노드에 접속되어, 상기 메모리 소자(300)에 입력되는 상기 신호 IN의 상기 데이터가 필요시 저장될 수 있다. 특히, 상기 커패시터(307)는 전극들의 쌍 사이에 유전체를 포함하는 콘텐서이다. 상기 전극들 중 하나는 상기 커패시터 스위칭 소자(308)를 통해 상기 제 1 위상-반전 소자(301)의 상기 입력 단자에 접속된다. 상기 전극들 중 다른 하나는 접지 전위와 같은 고정된 전위 또는 로우 레벨 전원 전위 VSS가 공급되는 노드에 접속된다.
- [0108] 도 5에서, 인버터들이 상기 제 1 위상-반전 소자(301) 및 상기 제 2 위상-반전 소자(302)로서 이용되는 예가 도시되지만; 상기 인버터 외에 클록드 인버터도 또한 상기 제 1 위상-반전 소자(301) 및 상기 제 2 위상-반전 소자(302)로서 이용될 수 있음을 유념한다.
- [0109] 상기 커패시터 스위칭 소자(306) 및 상기 커패시터 스위칭 소자(308)의 각각에 대해, 채널 형성 영역에 고순도화된 산화물 반도체를 포함하는 트랜ジ스터가 이용된다.
- [0110] 상기 메모리 소자(300)는 다이오드, 저항기 또는 인덕턴스와 같은 다른 회로 소자를 필요시 더 포함할 수 있다 는 것을 유념한다.

[0111] 다음에, 도 5의 상기 메모리 소자의 더욱 특정한 회로도의 예가 도 6에 도시된다. 도 6에 도시된 상기 메모리 소자(300)는 상기 제 1 위상-반전 소자(301), 상기 제 2 위상-반전 소자(302), 상기 스위칭 소자(303), 상기 스위칭 소자(304), 상기 커패시터(305), 상기 커패시터 스위칭 소자(306), 상기 커패시터(307) 및 상기 커패시터 스위칭 소자(308)를 포함한다. 이들 회로 소자들의 접속 구조는 도 5의 것과 동일하다.

[0112] 도 6에서 상기 제 1 위상-반전 소자(301)는, 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(309) 및 n-채널 트랜지스터(310)가 하이 레벨 전원 전위 VDD가 공급되는 제 1 노드와 로우 레벨 전원 전위 VSS가 공급되는 제 2 노드 사이에 직렬로 접속되는 구조를 가진다. 특히, 상기 p-채널 트랜지스터(309)의 소스 전극은 상기 전원 전위 VDD가 공급되는 상기 제 1 노드에 접속되고, 상기 n-채널 트랜지스터(310)의 소스 전극은 상기 전원 전위 VSS가 공급되는 상기 제 2 노드에 접속된다. 또한, 상기 p-채널 트랜지스터(309)의 드레인 전극은 상기 n-채널 트랜지스터(310)의 드레인 전극에 접속되고, 상기 두 드레인 전극들의 전위들은 상기 제 1 위상-반전 소자(301)의 상기 출력 단자의 전위로서 간주될 수 있다. 또한, 상기 p-채널 트랜지스터(309)의 상기 게이트 전극 및 상기 n-채널 트랜지스터(310)의 상기 게이트 전극의 전위들은 상기 제 1 위상-반전 소자(301)의 상기 입력 단자의 전위로서 간주될 수 있다.

[0113] 도 6에서 상기 제 2 위상-반전 소자(302)는, 게이트 전극들이 서로 접속되는 p-채널 트랜지스터(311) 및 n-채널 트랜지스터(312)가 상기 하이 레벨 전원 전위 VDD가 공급되는 상기 제 1 노드와 상기 로우 레벨 전원 전위 VSS가 공급되는 상기 제 2 노드 사이에 직렬로 접속되는 구조를 가진다. 특히, 상기 p-채널 트랜지스터(311)의 소스 전극은 상기 전원 전위 VDD가 공급되는 상기 제 1 노드에 접속되고, 상기 n-채널 트랜지스터(312)의 소스 전극은 상기 전원 전위 VSS가 공급되는 상기 제 2 노드에 접속된다. 또한, 상기 p-채널 트랜지스터(311)의 드레인 전극은 상기 n-채널 트랜지스터(312)의 드레인 전극에 접속되고, 상기 두 드레인 전극들의 전위들은 상기 제 2 위상-반전 소자(302)의 상기 출력 단자의 전위로서 간주될 수 있다. 또한, 상기 p-채널 트랜지스터(311)의 상기 게이트 전극 및 상기 n-채널 트랜지스터(312)의 상기 게이트 전극의 전위들은 상기 제 2 위상-반전 소자(302)의 상기 입력 단자의 전위로서 간주될 수 있다.

[0114] 도 6에서, 트랜지스터가 상기 스위칭 소자(303)에 이용되는 경우가 예로서 도시되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급되는 신호 Sig 1에 의해 제어된다. 또한, 트랜지스터가 상기 스위칭 소자(304)에 이용되는 경우가 예로서 도시되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급되는 신호 Sig 2에 의해 제어된다.

[0115] 도 6에서, 상기 스위칭 소자(303) 및 상기 스위칭 소자(304)의 각각이 단 하나의 트랜지스터를 포함하는 구조가 도시되었지만; 본 발명은 이 구조에 제한되지 않음을 유념한다. 본 발명의 일 실시예에서, 상기 스위칭 소자(303) 및 상기 스위칭 소자(304)는 복수의 트랜지스터들을 포함할 수 있다. 스위칭 소자들의 역할을 하는 상기 복수의 트랜지스터들이 상기 스위칭 소자(303) 또는 상기 스위칭 소자(304)에 포함되는 경우에, 상기 복수의 트랜지스터들은 서로 병렬로, 직렬로, 또는 병렬 접속과 직렬 접속의 조합으로 접속될 수 있다.

[0116] 도 6에서, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터가 상기 커패시터 스위칭 소자(306)에 이용되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급된 신호 Sig 3에 의해 제어된다. 상기 커패시터 스위칭 소자(306)에 이용되는 상기 트랜지스터가 채널 형성 영역에 고순도화된 산화물 반도체를 포함하기 때문에, 오프-상태 전류가 상술된 바와 같이 극히 낮다.

[0117] 도 6에서, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터가 상기 커패시터 스위칭 소자(308)에 이용되고, 상기 트랜지스터의 상기 스위칭은 그 게이트 전극에 공급된 신호 Sig 4에 의해 제어된다. 상기 커패시터 스위칭 소자(308)에 이용되는 상기 트랜지스터가 채널 형성 영역에 고순도화된 산화물 반도체를 포함하기 때문에, 오프-상태 전류가 상술된 바와 같이 극히 낮다.

[0118] 도 6에서, 상기 커패시터 스위칭 소자(306) 또는 상기 커패시터 스위칭 소자(308)가 단 하나의 트랜지스터를 포함하는 구조가 도시되었지만, 본 발명은 이 구조에 제한되지 않음을 유념한다. 본 발명의 일 실시예에서, 상기 커패시터 스위칭 소자(306) 또는 상기 커패시터 스위칭 소자(308)는 복수의 트랜지스터들을 포함할 수 있다. 스위칭 소자들의 역할을 하는 상기 복수의 트랜지스터들이 상기 커패시터 스위칭 소자(306) 또는 상기 커패시터 스위칭 소자(308)에 포함되는 경우에, 상기 복수의 트랜지스터들은 서로 병렬로, 직렬로, 또는 병렬 접속과 직렬 접속의 조합으로 접속될 수 있다.

[0119] 본 발명의 일 실시예에서, 적어도 상기 커패시터 스위칭 소자(306) 또는 상기 커패시터 스위칭 소자(308)의 스위칭 소자에 이용되는 트랜지스터는 채널 형성 영역에 고순도화된 산화물 반도체를 포함할 수 있다. 따라서, 상

기 제 1 위상-반전 소자(301), 상기 제 2 위상-반전 소자(302), 상기 스위칭 소자(303), 또는 상기 스위칭 소자(304)에 이용되는 트랜지스터는, 비정질 실리콘, 미정질 실리콘, 다결정 실리콘, 단결정 실리콘, 비정질 게르마늄, 미정질 게르마늄, 다결정 게르마늄 또는 단결정 게르마늄과 같이, 산화물 반도체 이외의 반도체를 포함할 수 있다. 또한, 상술된 트랜지스터에서, 반도체 박막 또는 벌크 반도체 기판이 이용될 수 있다. 산화물 반도체 막을 포함하는 p-채널 트랜지스터가 제작될 수 있는 한, 상기 메모리 소자의 모든 상기 트랜지스터들이 상기 산화물 반도체막을 활성층으로서 포함할 수 있어서, 공정이 단순화될 수 있다.

[0120] 다음에, 도 5 또는 도 6에 도시된 상기 메모리 소자의 동작예가 기술될 것이다.

[0121] 먼저, 데이터 기록에서, 상기 스위칭 소자(303)는 턴 온되고, 상기 스위칭 소자(304)는 턴 오프되고, 상기 커페시터 스위칭 소자(306)는 턴 오프되고, 상기 커페시터 스위칭 소자(308)는 턴 오프된다. 그 후에, 상기 전원 전위 VDD가 상기 제 1 노드에 공급되고, 상기 전원 전위 VSS가 상기 제 2 노드에 공급되고, 그에 의해 전원 전압이 상기 제 1 노드와 상기 제 2 노드 사이에 인가된다. 상기 메모리 소자(300)에 공급된 상기 신호 IN의 전위는 상기 스위칭 소자(303)를 통해 상기 제 1 위상-반전 소자(301)의 상기 입력 단자에 공급되고, 그에 의해, 상기 제 1 위상-반전 소자(301)의 상기 출력 단자의 상기 전위는 상기 신호 IN의 위상-반전된 전위이다. 그 후에, 상기 스위칭 소자(304)는 턴 온되고 상기 제 1 위상-반전 소자(301)의 상기 입력 단자는 상기 제 2 위상-반전 소자(302)의 상기 출력 단자에 접속되고, 그에 의해 데이터가 상기 제 1 위상-반전 소자(301) 및 상기 제 2 위상-반전 소자(302)에 기록된다.

[0122] 다음에, 상기 입력 데이터가 상기 제 1 위상-반전 소자(301) 및 상기 제 2 위상-반전 소자(302)에서 유지되는 경우에, 상기 스위칭 소자(304)가 온 상태로 남아있고, 상기 커페시터 스위칭 소자(306)가 오프 상태로 남아있고, 상기 커페시터 스위칭 소자(308)가 오프 상태로 남아있는 상태에서, 상기 스위칭 소자(303)는 턴 오프된다. 상기 스위칭 소자(303)를 턴 오프함으로써, 상기 입력 데이터는 상기 제 1 위상-반전 소자(301) 및 상기 제 2 위상-반전 소자(302)에 유지된다. 이때, 상기 전원 전위 VDD는 상기 제 1 노드에 공급되고 상기 전원 전위 VSS는 상기 제 2 노드에 공급되고, 그에 의해 상기 제 1 노드와 상기 제 2 노드 사이에 상기 전원 전압이 인가되는 상태가 유지된다.

[0123] 상기 제 1 위상-반전 소자(301)의 상기 출력 단자의 전위는 상기 제 1 위상-반전 소자(301) 및 상기 제 2 위상-반전 소자(302)에 유지된 데이터를 반영한다. 따라서, 상기 전위를 판독함으로써, 상기 데이터는 상기 메모리 소자(300)로부터 판독될 수 있다.

[0124] 상기 데이터를 유지하는데 있어서 전력 소비를 감소시키기 위해, 상기 입력 데이터가 상기 커페시터(305) 및 상기 커페시터(307)에 유지되는 경우에, 상기 스위칭 소자(303)가 턴 오프되고, 상기 스위칭 소자(304)가 턴 온되고, 상기 커페시터 스위칭 소자(306)가 턴 온되고, 상기 커페시터 스위칭 소자(308)가 턴 온됨을 유념한다. 그 후에, 상기 커페시터 스위칭 소자(306)를 통해, 상기 제 1 위상-반전 소자(301) 및 상기 제 2 위상-반전 소자(302)에 유지된 상기 데이터의 값에 대응하는 양의 전하가 상기 커페시터(305)에 저장되고, 그에 의해 상기 데이터가 상기 커페시터(305)에 기록된다. 또한, 상기 커페시터 스위칭 소자(308)를 통해, 상기 제 1 위상-반전 소자(301) 및 상기 제 2 위상-반전 소자(302)에 유지된 상기 데이터의 값에 대응하는 양의 전하가 상기 커페시터(307)에 저장되고, 그에 의해 상기 데이터가 상기 커페시터(307)에 기록된다. 상기 커페시터(305)에 포함된 전극들의 쌍 사이의 전압 및 상기 커페시터(307)에 포함된 전극들의 쌍 사이의 전압의 극성을 서로 반대임을 유념한다.

[0125] 상기 데이터가 상기 커페시터(305)에 저장된 후, 상기 커페시터 스위칭 소자(306)가 턴 오프되고, 그에 의해 상기 커페시터(305)에 저장된 상기 데이터가 유지된다. 또한, 상기 데이터가 상기 커페시터(307)에 저장된 후, 상기 커페시터 스위칭 소자(308)가 턴 오프되고, 그에 의해 상기 커페시터(307)에 저장된 상기 데이터가 유지된다. 상기 커페시터 스위칭 소자(306) 및 상기 커페시터 스위칭 소자(308)를 턴 오프한 후, 예를 들면, 상기 전원 전위 VSS가 상기 제 1 노드 및 상기 제 2 노드의 각각에 공급되어 상기 노드들이 동일한 전위들을 가지고, 상기 제 1 노드와 상기 제 2 노드 사이의 상기 전원 전압의 인가가 중단된다.

[0126] 이러한 방식으로, 상기 입력 데이터가 상기 커페시터(305) 및 상기 커페시터(307)에서 유지되는 경우에, 상기 제 1 노드와 상기 제 2 노드 사이의 상기 전원 전압의 상기 인가는 불필요하다; 따라서, 상기 제 1 위상-반전 소자(301)에 포함되는 상기 p-채널 트랜지스터(309) 및 상기 n-채널 트랜지스터(310)를 통해, 또는 상기 제 2 위상-반전 소자(302)에 포함되는 상기 p-채널 트랜지스터(311) 및 상기 n-채널 트랜지스터(312)를 통해, 상기 제 1 노드와 상기 제 2 노드 사이에서 흐르는 상기 오프-상태 전류가 영에 극히 가까울 수 있다. 결과적으로, 상기 데이터를 유지하는데 있어서 상기 메모리 소자의 상기 오프-상태 전류로 인한 전력 소비가 상당히 감소될

수 있고, 상기 메모리 장치 및 또한 상기 메모리 장치를 포함하는 모든 반도체 장치의 전력 소비가 낮게 억제될 수 있다.

[0127] 상기 커패시터 스위칭 소자(306) 및 상기 커패시터 스위칭 소자(308)의 각각에 이용되는 상기 트랜지스터가 채널 형성 영역에 고순도화된 산화물 반도체를 포함하기 때문에, 오프-상태 전류 밀도는 $100\text{zA}/\mu\text{m}$ 이하, 바람직하게 $10\text{zA}/\mu\text{m}$ 이하, 더욱 바람직하게 $1\text{zA}/\mu\text{m}$ 이하일 수 있다. 따라서, 상기 고순도화된 산화물 반도체막을 활성층으로서 포함하는 상기 트랜지스터는 결정도를 가진 실리콘을 포함하는 트랜지스터보다 훨씬 낮은 오프-상태 전류를 가진다. 결과적으로, 상기 트랜지스터가 이용되는 상기 커패시터 스위칭 소자(306)가 오프 상태에 있을 때, 상기 커패시터(305)에 저장된 전하는 거의 방출되지 않는다; 따라서, 상기 데이터가 유지된다. 또한, 상기 트랜지스터가 이용되는 상기 커패시터 스위칭 소자(308)가 오프 상태에 있을 때, 상기 커패시터(307)에 저장된 전하는 거의 방출되지 않는다; 따라서, 상기 데이터가 유지된다.

[0128] 상기 커패시터(305) 및 상기 커패시터(307)에 저장된 상기 데이터가 판독되는 경우에, 상기 전원 전위 VDD가 상기 제 1 노드에 공급되고, 상기 전원 전위 VSS가 상기 제 2 노드에 공급되고, 그에 의해 전원 전압이 상기 제 1 노드와 상기 제 2 노드 사이에 인가된다. 이 상태에서, 상기 커패시터 스위칭 소자(306)가 턴 온된다. 상기 전원 전압이 상기 제 1 노드와 상기 제 2 노드 사이에 인가될 때, 상기 제 1 위상-반전 소자(301)의 상기 출력 단자에 그것의 상기 입력 단자의 전위의 위상-반전 전위가 공급된다. 상기 제 1 위상-반전 소자(301)의 상기 입력 단자에 상기 커패시터(305)에 저장된 전하의 양에 대응하는 레벨을 가진 전위가 공급되고, 따라서, 그것의 상기 출력 단자의 전위가 상기 데이터를 반영함을 유념한다. 또한, 상기 커패시터 스위칭 소자(308)를 턴 온함으로써, 상기 커패시터(305)에 저장된 전하의 양에 대응하는 레벨을 가진 전위가 상기 제 1 위상-반전 소자(301)의 상기 출력 단자에 공급된다. 따라서, 상기 데이터를 반영한 전위를 가진 상기 신호 OUT가 상기 메모리 소자(300)로부터 판독될 수 있다.

[0129] 도 28은 도 6의 상기 회로에서 상기 전원 전위 VDD의 공급이 중단되지 않는 경우의 타이밍 차트의 예이다. 상기 신호 Sig 1이 로우 레벨로 설정되고 상기 신호 Sig 2가 하이 레벨로 설정될 때, 상기 신호 IN가 차단되고 피드백 루프가 형성되고, 상기 상태가 유지될 수 있다. 상기 신호 Sig 1이 다시 하이 레벨로 설정되고 상기 신호 Sig 2가 로우 레벨로 설정될 때, 상기 신호 IN는 상기 제 1 위상-반전 소자(301)를 통해 입력 및 출력된다. 이 때, 상기 신호 Sig 3 및 상기 신호 Sig 4 로우 레벨로 설정된다.

[0130] 도 29는 도 6의 상기 회로에서 상기 전원 전위 VDD의 상기 공급이 중단되는 타이밍 차트의 예이다. 상기 신호 Sig 1이 로우 레벨로 설정되고 상기 신호 Sig 2가 하이 레벨로 설정될 때, 상기 신호 IN가 차단되고, 피드백 루프가 형성되고, 상기 상태가 유지될 수 있다. 그 후에, 상기 신호 Sig 3 및 상기 신호 Sig 4는 하이 레벨로 설정되고, 그에 의해 상기 커패시터(305) 및 상기 커패시터(307)는 데이터를 저장한다. 그 후에 상기 전원 전위 VDD의 상기 공급이 중단될 때에도, 상기 커패시터(305) 및 상기 커패시터(307)의 전위가 유지된다(도 29에서, 상기 커패시터(305)는 하이-레벨 전위를 가지고, 상기 커패시터(307)는 로우-레벨 전위를 가진다). 그 후에, 상기 전원 전위 VDD가 공급되고 상기 신호 Sig 3 및 상기 신호 Sig 4가 다시 하이 레벨로 설정될 때, 상기 커패시터(305)의 상기 전위는 상기 제 1 위상-반전 소자(301)를 통해 출력되고, 상기 커패시터(307)의 상기 전위가 출력된다(도 29에서, 상기 커패시터(305) 및 상기 커패시터(307) 둘다는 로우-레벨 전위를 가진다).

[0131] 이 실시예는 상술된 실시예들 중 어느 것과 적합하게 조합되어 구현될 수 있다.

[0132] (실시예 4)

[0133] 본 발명의 일 실시예인 반도체 장치는 실리콘을 포함하는 트랜지스터 및 산화물 반도체를 포함하는 트랜지스터를 포함한다. 상기 실리콘을 포함하는 트랜지스터는 실리콘 웨이퍼, SOI(silicon on insulator) 기판, 절연 표면 위의 실리콘 박막 등을 이용하여 형성될 수 있다.

[0134] SOI 기판은, 예를 들면 Smart Cut(등록 상표)에 의해 대표되는 UNIBOND(등록 상표), 에피택셜층 이전(ELTRAN)(등록 상표), 유전체 분리법, 플라즈마 보조된 화학적 에칭(PACE: plasma assisted chemical etching), 주입된 산소에 의한 분리(SIMOX: separation by implanted oxygen) 등을 이용하여 제작될 수 있다.

[0135] 절연 표면을 가진 기판 위에 형성된 실리콘의 반도체막은 알려진 기술에 의해 결정화될 수 있다. 상기 알려진 결정화 기술로서, 레이저 빔을 이용한 레이저 결정화 방법 및 촉매 원소를 이용한 결정화 방법이 주어진다. 대안적으로, 촉매 원소를 이용한 결정화 방법 및 레이저 결정화 방법이 조합될 수 있다. 석영과 같은 내열성 기판을 이용하는 경우에, 다음의 결정화 방법들 중 어느 것을 조합하는 것이 가능하다: 전기적으로 가열된 오븐으로의 열적 결정화 방법, 적외선 광으로의 램프 어닐 결정화 방법, 촉매 원소로의 결정화 방법 및 약 950°C에서의

고온 어닐링 방법.

- [0136] 또한, 상술된 방법을 이용하여 제작된 반도체 소자가 플라스틱 등으로 형성된 플렉시블 기판상에 이전될 수 있어서, 반도체 장치가 형성된다. 다양한 이전 방법들이 이용될 수 있다. 상기 이전 방법들의 예들은 금속 산화막이 상기 기판과 상기 반도체 소자 사이에 제공되고, 상기 금속 산화막이 결정화에 의해 연화(embrittle)되어 반도체 소자가 분리되고 이전되는 방법; 수소를 함유한 비정질 실리콘막이 상기 기판과 상기 반도체 소자 사이에 제공되고, 상기 비정질 실리콘막이 레이저 빔 조사 또는 에칭에 의해 제거되어, 상기 반도체 소자가 상기 기판으로부터 분리되고 이전되는 방법; 상기 반도체 소자가 제공되는 상기 기판이 기계적 절단 또는 용액이나 가스에 의한 에칭에 의해 제거되어, 상기 반도체 소자가 상기 기판으로부터 절단되고 이전되는 방법 등.
- [0137] 이 실시예에서, 반도체 장치의 구조 및 상기 반도체 장치를 제작하기 위한 방법이, SOI(silicon on insulator) 기판을 이용하여, 상기 실리콘을 포함하는 트랜지스터가 제작된 다음, 상기 산화물 반도체를 포함하는 트랜지스터가 제작되는 예를 제공하여 기술될 것이다.
- [0138] 먼저, 도 7a에 도시된 바와 같이, 본드 기판(500)이 설정되고, 그 후에 절연막(501)이 상기 본드 기판(500)의 표면 위에 형성된다.
- [0139] 상기 본드 기판(500)으로서, 실리콘을 이용하여 형성되는 단결정 반도체 기판이 이용될 수 있다. 대안적으로, 상기 본드 기판(500)은 결정 격자 왜곡을 가진 실리콘, 실리콘에 게르마늄을 첨가하여 획득된 실리콘 게르마늄 등을 이용하여 형성된 반도체 기판일 수 있다.
- [0140] 상기 본드 기판(500)에 이용되는 단결정 반도체 기판에서, 결정 축들의 방향들은 균일한 것이 바람직하지만; 상기 기판은 점 결합, 선 결합, 또는 평면 결합과 같은 격자 결합이 완전히 제거된 완전한 결정들을 이용하여 형성될 필요가 없음을 유념한다.
- [0141] 또한, 상기 본드 기판(500)의 형상은 원형에 제한되지 않고, 상기 기판은 원형 이외의 형상으로 가공될 수 있다. 상기 본드 기판(500)은, 예를 들면 상기 본드 기판(500)이 나중에 부착되는 베이스 기판(503)의 형상이 일반적으로 직사각형이고 감소된 프로젝션 노출 장치와 같은 노광 장치의 노광 영역이 직사각형이라는 등을 고려하여 직사각형 형상으로 가공될 수 있다. 상기 본드 기판(500)은 상업적으로 이용 가능한 원형 단결정 반도체 기판을 절단함으로써 가공될 수 있다.
- [0142] 상기 본드 기판(500)은 단일 절연막 또는 복수의 절연막들의 적층일 수 있다. 불순물을 함유한 영역이 나중에 제거될 것을 고려하면, 상기 절연막(501)의 두께는 15nm 이상 500nm 이하가 바람직하다.
- [0143] 상기 절연막(501)에 포함된 막으로서, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 게르마늄막, 질화 게르마늄막, 산화질화 게르마늄막 또는 질화산화 게르마늄막과 같이 실리콘 또는 게르마늄을 구성요소로서 함유하는 절연막이 이용될 수 있다. 또한, 산화 알루미늄, 산화 탄탈, 또는 산화 하프늄과 같은 금속 산화물을 함유한 절연막; 알루미늄 질화물과 같은 금속 질화물을 함유한 절연막; 산화질화 알루미늄 막과 같이 금속 산화질화물을 함유한 절연막; 또는 질화산화 알루미늄막과 같이 금속 질화 산화물을 함유한 절연막이 이용될 수 있다.
- [0144] 이 실시예에서, 상기 본드 기판(500)의 열 산화에 의해 형성된 실리콘 산화물이 상기 절연막(501)으로서 이용되는 예가 기술된다. 도 7a에서, 상기 절연막(501)이 상기 본드 기판(500)의 전체 표면을 덮도록 형성되지만; 상기 절연막(501)은 상기 본드 기판(500)의 적어도 하나의 표면 상에 형성될 수 있음을 유념한다.
- [0145] 이 명세서에서, 산화질화물은 산소의 양이 질소의 양보다 많도록 산소 및 질소를 함유하는 물질인 반면, 질화산화물은 질소의 양이 산소의 양보다 많도록 산소 및 질소를 함유한 물질임을 유념한다.
- [0146] 상기 절연막(501)이 상기 본드 기판(500)의 상기 표면의 열 산화에 의해 형성되는 경우에, 소량의 수분을 가진 산소가 이용되는 견식 산화, 염화 수소와 같은 할로겐을 포함하는 가스가 산소 분위기에 첨가되는 열 산화 등이 상기 열 산화로서 이용될 수 있다. 또한, 수소가 산소와 소성되어 물을 생성하는 발열 산화와 같은 습식 산화, 또는 고순도 물이 100°C 이상에서 가열되어 수증기를 생성하고 상기 수증기를 이용하여 산화가 수행되는 수증기 산화가 상기 절연막(501)을 형성하기 위해 이용될 수 있다.
- [0147] 상기 베이스 기판(503)이 알칼리 금속 또는 알칼리 토금속과 같은 반도체 장치의 신뢰도를 감소시키는 불순물을 포함하는 경우에, 상기 절연막(501)은 상기 불순물들이 상기 베이스 기판(503)에서 분리 후에 형성되는 반도체막으로 확산하는 것을 방지할 수 있는 배리어막의 적어도 하나의 층을 포함하는 것이 바람직하다. 상기 배리어막으로서 이용될 수 있는 상기 절연막으로서, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화

알루미늄막 등이 주어질 수 있다. 상기 배리어막으로서 이용되는 상기 절연막은 예를 들면 15nm 내지 300nm의 두께로 형성되는 것이 바람직하다. 또한, 산화 실리콘막 또는 산화질화 실리콘막과 같이 상기 배리어막보다 낮은 질소비를 가진 절연막이 상기 배리어막과 상기 본드 기판(500) 사이에 형성될 수 있다. 낮은 질소비를 가진 상기 절연막은 5nm 이상 200nm 이하의 두께로 형성될 수 있다.

[0148] 상기 절연막(501)에 대해 산화 실리콘을 이용하는 경우에, 상기 절연막(501)은 열 CVD, 플라즈마 CVD, 정상 압력 CVD 또는 바이어스 ECRCVD와 같은 증착 방법에 의해 시레인과 산소의 혼합 가스, TEOS(tetraethoxysilane)와 산소의 혼합 가스 등을 이용하여 형성될 수 있다. 이 경우, 상기 절연막(501)의 표면은 밀도를 증가시키기 위해 산소 플라즈마 처리를 받을 수 있다. 한편, 상기 절연막(501)에 대해 질화 실리콘을 이용하는 경우에, 상기 절연막(501)은 시레인과 암모니아의 혼합 가스를 이용하여 플라즈마 CVD와 같은 증착 방법에 의해 형성될 수 있다.

[0149] 대안적으로, 상기 절연막(501)은 유기 시레인 가스를 이용한 화학 증착 방법에 의해 실리콘 산화물을 이용하여 형성될 수 있다. 유기 시레인 가스로서, 테트라에톡시시레인(TEOS)(화학식: $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸시레인(TMS)(화학식: $\text{Si}(\text{CH}_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸다이실라잔(HMDS), 트리에톡시시레인(화학식: $\text{SiH}(\text{OC}_2\text{H}_5)_3$), 또는 트리스디메틸아미노시레인(화학식: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)과 같은 실리콘-함유 화합물이 이용될 수 있다.

[0150] 원료 가스에 대해 유기 시레인 가스를 이용하여, 평탄한 표면을 가진 산화 실리콘막이 350°C 이하의 가공 온도에서 수행될 수 있다. 대안적으로, 상기 절연막은 200°C 이상 500°C 이하의 가열 온도에서 형성되는 저온 산화물(LTO)을 이용하여 열 CVD 방법에 의해 형성될 수 있다. LTO는 모노시레인(SiH_4), 디시레인(Si_2H_6) 등을 실리콘 원료 가스로서 이용하고 이산화질소(NO_2) 등을 산소 원료 가스로서 이용하여 형성될 수 있다.

[0151] 예를 들면, 상기 산화 실리콘막을 상기 절연막(501)으로서 형성하기 위해 상기 원료 가스에 대해 TEOS 및 O_2 를 이용하는 경우에서 조건은 다음과 같이 설정될 수 있다: TEOS의 유량은 15sccm이고, O_2 의 유량은 750sccm이고, 성막 압력은 100Pa이고, 성막 온도는 300°C이고, RF 출력은 300W이고, 상기 전원 주파수는 13.56MHz이다.

[0152] 유기 시레인을 이용하여 형성된 산화 실리콘막 또는 저온으로 형성된 질화산화 실리콘막과 같이, 비교적 저온으로 형성된 절연막은 그 표면 상에 다수의 OH기들을 가짐을 유념한다. 상기 OH기와 물 분자 사이의 수소 결합은 실라놀기를 형성하고 상기 베이스 기판 및 상기 절연막을 저온으로 결합한다. 공유 결합인 실록산 결합은 상기 베이스 기판과 상기 절연막 사이에서 최종적으로 형성된다. Smart Cut(등록 상표) 등에서 이용되는 OH기들이 없거나 OH기들이 거의 없는 열적으로 산화된 막과 비교할 때, 유기 시레인을 이용하여 형성된 상술된 산화 실리콘막 또는 비교적 저온으로 형성된 상기 LTO와 같은 상기 절연막이 저온으로 결합하기에 적합하다.

[0153] 상기 절연막(501)은 상기 본드 기판(500)의 상기 표면 위에 평탄하고 친수성인 결합 평면을 형성한다. 따라서, 상기 절연막(501)의 평균 면 거칠기 Ra는 0.7nm 이하가 바람직하고 0.4nm 이하가 더욱 바람직하다. 상기 절연막(501)의 두께는 5nm 이상 500nm 이하, 바람직하게는 10nm 이상 200nm 이하일 수 있다.

[0154] 다음에, 도 7b에 도시된 바와 같이, 상기 본드 기판(500)은 화살표들로 표시된 바와 같이 상기 절연막(501)을 통한 전계에 의해 가속화된 이온들을 포함하는 이온 빔으로 조사되고, 마이크로보이드들(microvoids)을 가진 취화층(502; embrittlement layer)은 상기 본드 기판(500)의 상기 표면으로부터 미리 결정된 깊이에서의 영역에 형성된다. 예를 들면, 취화층은 결정 구조의 무질서에 의해 국부적으로 연화되는 층을 의미하고, 상기 취화층의 상태는 상기 취화층을 형성하기 위한 수단에 의존한다. 상기 본드 기판의 하나의 표면에서 상기 취화층까지의 범위의 영역이 얼마간 연화되지만; 이 명세서에서의 상기 취화층은 분리가 나중에 주변에서 수행되는 영역을 나타냄을 유념한다.

[0155] 상기 취화층(502)이 형성되는 깊이는 상기 이온 빔의 가속 에너지 및 상기 이온 빔이 진입하는 각도에 의해 조정될 수 있다. 상기 취화층(502)은 상기 이온들의 평균 관통 깊이와 동일하거나 실질적으로 동일한 깊이로 형성될 수 있다. 상기 본드 기판(500)으로부터 분리되는 반도체막(504)의 두께는 상기 이온들이 주입되는 깊이에 의해 결정된다. 상기 취화층(502)이 형성되는 상기 깊이는 예를 들면, 50nm 이상 500nm 이하, 바람직하게 50nm 이상 200nm 이하의 범위로 설정될 수 있다.

[0156] 상기 이온들은 사이를 시간이 단축될 수 있기 때문에 바람직하게 질량 분리가 수행되지 않는 이온 도핑 방법에 의해 상기 본드 기판(500)에 주입된다; 그러나, 본 발명은 질량 분리가 수행되는 이온 주입 방법을 이용할 수

있다.

[0157] 수소(H_2)가 원료 가스에 이용될 때, H^+ , H_2^+ 및 H_3^+ 가 수소 가스를 여기하여 생성될 수 있다. 상기 원료 가스로부터 생성된 이온 종들의 비들은 플라즈마 여기 방법, 플라즈마를 생성하기 위한 분위기의 압력, 공급된 원료 가스의 양 등을 조정하여 변경될 수 있다. 상기 이온 주입이 이온 도핑 방법에 의해 수행되는 경우에, 상기 이온 범에서 H^+ , H_2^+ 및 H_3^+ 의 총량에 대해, H_3^+ 가 50% 이상, 더욱 바람직하게는 80% 이상 함유되는 것이 바람직하다.

H_3^+ 가 80% 이상 함유될 때, 상기 이온 범에서의 H_2^+ 의 상기 비는 비교적 낮아지며, 이것은 상기 이온 범에 함유된 상기 수소 이온들의 상기 평균 관통 깊이의 더 작은 변동을 유발한다. 결과적으로, 상기 이온 주입 효율성이 개선되고 사이클 시간이 단축될 수 있다.

[0158] H_3^+ 는 H^+ 및 H_2^+ 보다 큰 질량을 가진다. H_3^+ 의 더 높은 비를 함유하는 상기 이온 범이 H^+ 및 H_2^+ 의 더 높은 비를 함유하는 상기 이온 범과 비교될 때, 전자는 도핑시의 상기 가속 전압이 동일할 때에도 후자보다 상기 본드 기판(500)의 얇은 영역으로 수소를 주입할 수 있다. 또한, 전자의 경우는 두께 방향으로 상기 본드 기판(500)에 주입된 수소의 급격한 농도 분포를 가지고, 따라서, 상기 취화층(502) 자체의 두께가 작아질 수 있다.

[0159] 수소 가스를 이용한 이온 도핑 방법에 의한 이온 주입을 수행하는 경우에, 상기 가속 전압은 10kV 이상 200kV 이하로 설정되고, 도즈는 $1 \times 10^{16} \text{ ions/cm}^2$ 이상 $6 \times 10^{16} \text{ ions/cm}^2$ 이하로 설정된다. 이 조건 하에서, 상기 이온 범 및 그 부분에 포함된 상기 이온 종들 및 상기 절연막(501)의 막 두께에 의존하지만, 상기 취화층(502)은 상기 본드 기판(500)의 50nm 이상 500nm 이하의 깊이로 영역에 형성될 수 있다.

[0160] 예를 들면, 상기 본드 기판(500)이 단결정 실리콘 기판이고 상기 절연막(501)이 100nm 두께의 열 산화막을 이용하여 형성되는 경우에, 상기 원료 가스인 100% 수소 가스의 유량이 50sccm이고, 상기 범 전류 밀도가 $5 \mu\text{A}/\text{cm}^2$ 이고, 가속 전압이 50kV이고, 상기 도즈가 $2.0 \times 10^{16} \text{ atoms}/\text{cm}^2$ 인 조건 하에서, 대략 146nm의 두께를 가진 반도체막이 상기 본드 기판(500)으로부터 분리될 수 있다. 상기 본드 기판(500)으로의 수소의 첨가시에 상기 조건이 변경되지 않을 때에도, 상기 절연막(501)의 두께가 더 크게 되고, 그에 의해 상기 반도체막의 두께가 더 작게 될 수 있음을 유념한다.

[0161] 헬륨(He)은 대안적으로 상기 이온 범의 상기 원료 가스로서 이용될 수 있다. 헬륨을 여기하여 생성된 상기 이온 종들의 대부분이 He^+ 이기 때문에, He^+ 는 질량 분리가 수행되지 않는 이온 도핑 방법에 의해서도 주로 상기 본드 기판(500)에 주입될 수 있다. 따라서, 마이크로보이드들이 이온-도핑 방법에 의해 효율적으로 상기 취화층(502)에 형성될 수 있다. 헬륨을 이용한 이온 도핑 방법에 의해 이온 주입을 수행하는 경우에, 상기 가속 전압이 10kV 이상 200kV일 수 있고, 상기 도즈는 $1 \times 10^{16} \text{ ions}/\text{cm}^2$ 이상 $6 \times 10^{16} \text{ ions}/\text{cm}^2$ 이하일 수 있다.

[0162] 염소 가스(Cl_2 가스) 또는 플루오르 가스(F_2 가스)와 같은 할로겐 가스가 원료 가스로서 이용될 수 있다.

[0163] 이온 도핑 방법에 의해 상기 본드 기판(500)에 관한 이온 주입을 수행하는 경우에, 이온 도핑 장치에 존재하는 불순물들이 처리 대상에 이온들과 함께 주입된다; 따라서, S, Ca, Fe 및 Mo와 같은 불순물들이 상기 절연막(501)의 표면 상 및 근처에 존재할 가능성이 존재한다. 따라서, 불순물들의 수가 가장 큰 것으로 간주되는 상기 절연막(501)의 표면 상 및 근처의 영역이 에칭, 연마 등에 의해 제거될 수 있다. 특히, 10nm 내지 100nm, 바람직하게 상기 절연막(501)의 표면에서 대략 30nm 내지 70nm의 깊이의 영역이 제거될 수 있다. 상기 에칭은 반응성 이온 에칭(RIE) 방법과 같은 건식 에칭 방법에 의해 수행될 수 있다; 예를 들면, 유도성 결합 플라즈마(ICP) 에칭 방법, 전자 사이클로트론 공진(ECR) 에칭 방법, 병렬판(용량성 결합형) 에칭 방법, 마그네트론 플라즈마 에칭 방법, 듀얼-주파수 플라즈마 에칭 방법, 헬리콘파 플라즈마 에칭 방법 등이 이용될 수 있다. 예를 들면, ICP 에칭 방법에 의해 질화산화 실리콘막의 표면 상 및 근처의 영역을 제거하는 경우에, 상기 영역은, 에칭 가스로서 CHF_3 의 유량이 7.5sccm이고, He의 유량이 100sccm이고, 반응 압력이 5.5Pa이고, 하부 전극의 온도가 70°C이고, 코일형 전극에 인가된 RF(13.56 MHz) 전력이 475W이고, 상기 하부 전극(바이어스측 상)에 인가된 상기 전력이 300W이고, 에칭 시간이 약 10초인 조건 하에서 상기 표면으로부터 약 50nm의 깊이까지 제거될 수 있다.

[0164] 플루오르계 기체인 CHF_3 대신에, Cl_2 , BCl_3 , SiCl_4 , CCl_4 와 같은 염소계 가스; CF_4 , SF_6 또는 NF_3 과 같은 다른 플

루오르계 가스; 또는 O_2 가 상기 에칭 가스에 적합하게 첨가될 수 있다. 또한, He 이외의 불활성 가스가 상기 에칭 가스에 첨가될 수 있다. 예를 들면, Ne, Ar, Kr 및 Xe로부터 선택된 하나 또는 복수의 원소들은 상기 에칭 가스에 첨가된 상기 불활성 원소로서 이용될 수 있다. 습식 에칭에 의해 질화산화 실리콘막의 표면 상 및 근처의 영역을 제거하는 경우에, 플루오르화 수소, 플루오르화 암모니아 등을 함유한 수용액이 에천트로서 이용될 수 있다. 상기 연마가 CMP(chemical mechanical polishing), 액체 제트 연마 등에 의해 수행될 수 있다.

[0165] 상기 취화층(502)의 형성 후에, 상기 절연막(501)의 상기 표면 상 및 근처의 극히 오염된 영역이 에칭, 연마 등에 의해 제거되고, 그에 의해 상기 베이스 기판(503) 위에 형성된 상기 반도체막(504)에 혼입되는 불순물들의 양이 억제될 수 있다. 또한, 최종적으로 완성된 반도체 장치에서, 임계 전압의 변동 또는 누설 전류의 증가와 같이, 상기 불순물들이 트랜지스터들의 전기 특성들의 감소 및 신뢰도의 감소를 유발하는 것을 방지하는 것이 가능하다.

[0166] 상기 불순물들을 제거하기 위해, 원자 빔 또는 이온 빔 조사 처리, 플라즈마 처리 또는 라디칼 처리를 수행하는 것이 가능하다. 원자 빔 또는 이온 빔을 이용하는 경우에, 불활성 가스 중성 원자 빔 또는 아르곤의 불활성 가스 이온 빔 등이 이용될 수 있다.

[0167] 다음에, 도 7c에 도시된 바와 같이, 상기 본드 기판(500) 및 상기 베이스 기판(503)이 서로 부착되어 상기 절연막(501)이 그 사이에 개재된다.

[0168] 상기 베이스 기판(503)과 상기 본드 기판(500)의 상기 부착 전에, 상기 부착을 위한 표면들, 즉 이 실시예에서 상기 본드 기판(500) 위에 형성된 상기 절연막(501)의 표면 및 상기 베이스 기판(503)의 표면이 상기 절연막(501)과 상기 베이스 기판(503) 사이의 결합 세기를 증가시키기 위한 표면 처리를 수행받는 것이 바람직함을 유념한다.

[0169] 상기 표면 처리의 예들로서, 습식 처리, 건식 처리, 및 습식 처리와 건식 처리의 조합이 주어질 수 있다. 상이한 습식 처리 또는 상이한 건식 처리가 수행되도록 조합될 수 있다. 상기 습식 처리의 예들은 오존수(오존수 세정)를 이용한 오존 처리, 메가소닉 세정과 같은 초음파 세정, 이-유체 세정(순수 물 또는 수소화된 물과 같은 기능수 및 질소와 같은 캐리어 가스가 함께 분무되는 방법), 염화수소산 및 과산화수소 용액으로의 세정 등을 포함한다. 상기 건식 처리의 예들로서, 불활성 가스 중성 원자 빔 처리, 불활성 가스 이온 빔 처리, 자외선 처리, 오존 처리, 플라즈마 처리, 바이어스 인가로의 플라즈마 처리, 라디칼 처리 등이 주어질 수 있다. 상술된 표면 처리를 수행함으로써, 상기 부착을 위한 상기 표면의 세정 및 친수성이 증가될 수 있다. 따라서, 상기 결합 세기가 개선될 수 있다.

[0170] 상기 부착을 위해, 상기 베이스 기판(503)과 상기 본드 기판(500) 위에 형성된 상기 절연막(501)이 서로 가깝게 접촉하여 배치되고, 그 후에 대략 $1N/cm^2$ 이상 $500N/cm^2$ 이하, 바람직하게 $11N/cm^2$ 이상 $20N/cm^2$ 이하의 압력이 서로 겹쳐지는 상기 베이스 기판(503) 및 상기 본드 기판(500)의 일부에 인가된다. 상기 압력이 인가될 때, 상기 베이스 기판(503)과 상기 절연막(501) 사이의 결합이 상기 일부로부터 시작하며, 이것은 상기 베이스 기판(503) 및 상기 절연막(501)이 서로 가깝게 접촉하는 전체 표면의 결합을 유발한다.

[0171] 상기 결합은 반 데르 발스력(van der Waals force) 또는 수소 결합에 의해 수행되어, 상기 결합이 실내 온도에서도 견고하다. 상술된 결합이 저온에서 수행될 수 있기 때문에, 다양한 기판들이 상기 베이스 기판(503)에 이용될 수 있음을 유념한다. 예를 들면, 알루미노 실리케이트 유리 기판, 바륨 보로실리케이트 유리 기판, 또는 알루미노 보로실리케이트 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판 등과 같은 전자 산업용의 다양한 유리 기판이 상기 베이스 기판(503)으로서 이용될 수 있다. 대안적으로, 상기 베이스 기판(503)으로서, 실리콘, 갈륨 비소, 인화 인듐 등이 이용될 수 있다. 또한 대안적으로, 상기 베이스 기판(503)은 스테인리스 스틸 기판을 포함하는 금속 기판일 수 있다. $25 \times 10^{-7}/^\circ\text{C}$ 이상 $50 \times 10^{-7}/^\circ\text{C}$ 이하(바람직하게, $30 \times 10^{-7}/^\circ\text{C}$ 이상 $40 \times 10^{-7}/^\circ\text{C}$ 이하)의 열 팽창 계수들 및 580°C 이상 680°C 이하(바람직하게, 600°C 이상 680°C 이하)의 스트레인 포인트들을 가진 기판들이 상기 베이스 기판(503)의 역할을 하는 상기 유리 기판으로서 이용되는 것이 바람직하다. 상기 유리 기판이 무알칼리 유리 기판일 때, 반도체 장치들의 불순물 농도가 억제될 수 있다.

[0172] 상기 유리 기판으로서, 액정 패널들의 생산을 위해 개발된 마더 유리 기판(mother glass substrate)이 이용될 수 있다. 이러한 기본 유리 기판으로서, 다음의 크기들을 가진 기판들이 알려져 있다: 제 3 세대($550\text{mm} \times 650\text{mm}$), 제 3.5 세대($600\text{mm} \times 720\text{mm}$), 제 4 세대($680\text{mm} \times 880\text{mm}$ 또는 $730\text{mm} \times 920\text{mm}$), 제 5 세대($1100\text{mm} \times 1300\text{mm}$), 제 6 세대($1500\text{mm} \times 1850\text{mm}$), 제 7 세대($1870\text{mm} \times 2200\text{mm}$), 제 8 세대($2200\text{mm} \times 2400\text{mm}$) 등. SOI

기판이 상기 베이스 기판(503)으로서 이용된 대면적 기본 유리 기판으로 제작될 때, 대면적 SOI 기판이 획득될 수 있다. SOI 기판의 크기 증가가 기본 유리 기판과 같은 대형 기판을 상기 베이스 기판(503)으로서 이용하여 실현될 수 있다. 상기 SOI 기판이 대면적을 가질 수 있을 때, IC들 또는 LSI들과 같은 다수의 칩들이 일 기판을 이용하여 제작될 수 있다. 따라서, 생산성이 극적으로 증가될 수 있다.

[0173] 상기 베이스 기판(503)으로서 이용될 수 있는 기판에 관한 특정 제약이 존재하지 않지만, 상기 기판은 나중에 수행되는 열 처리에 대해 적어도 충분한 내열성을 가질 필요가 있다. 예를 들면, 용융법 또는 플레이팅법에 의해 제작되는 유리 기판이 이용될 수 있다. 나중에 수행되는 상기 열 처리의 상기 온도가 높을 때, 730°C 이상의 스트레인 포인트를 가진 기판이 상기 유리 기판으로서 이용되는 것이 바람직하다. 유리 기판으로서, 예를 들면 알루미노 실리케이트 유리, 알루미노 보로실리케이트 유리 또는 바륨 보로실리케이트 유리와 같은 유리 재료가 이용될 수 있다. 일반적으로, 산화 바륨의 양이 산화 봉소의 양보다 많도록 산화 바륨(BaO) 및 산화 봉소를 함유함으로써, 내열성을 가지고 더욱 실용적인 유리 기판이 획득될 수 있다. 따라서, BaO의 양이 B2O3의 양보다 많도록 BaO 및 B2O3을 함유한 유리 기판이 이용되는 것이 바람직하다. 수축에 의해 유발되는 결함이 있는 결합을 회피하기 위해, 상기 베이스 기판(503)은 상기 결합 단계 전에 미리 열 처리를 받을 수 있음을 유념한다.

[0174] 또한, 절연막이 상기 베이스 기판(503) 위에 미리 형성될 수 있다. 상기 베이스 기판(503)은 그 표면 상에 절연막이 구비될 필요가 없다. 그러나, 상기 베이스 기판(503)의 상기 표면 상의 상기 절연막의 형성은 알칼리 금속 및 알칼리 토금속과 같이 상기 베이스 기판(503)의 불순물들이 상기 본드 기판(500)에 혼입되는 것을 방지할 수 있다. 또한, 상기 베이스 기판(503)의 상기 표면 상에 상기 절연막을 형성하는 경우에, 상기 베이스 기판(503) 위의 상기 절연막은 상기 절연막(501)에 결합된다; 따라서, 더욱 광범위한 기판들이 상기 베이스 기판(503)으로서 이용될 수 있다. 일반적으로, 플라스틱들과 같은 플렉시블 합성 수지들로 형성된 기판들의 온도 상한이 낮은 경향이 있다. 그러나, 상기 기판들이 나중에 수행되는 반도체 소자의 제작 단계들에서 가공 온도를 견딜 수 있다면, 상기 베이스 기판(503) 위에 상기 절연막을 형성하는 경우에 이러한 수지들로 형성된 상기 기판들이 상기 베이스 기판(503)으로서 이용될 수 있다. 플라스틱 기판의 예들은 폴리에틸렌 테레프탈레이트(PET), 폴리에테르 슬론(PES), 폴리에틸렌 나프탈레이트(PEN), 폴리카보나이트(PC), 폴리에테르에테르케톤(PEEK), 폴리슬론(PSF), 폴리에테르아미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌 테레프탈레이트(PBT), 폴리이미드, 아크릴로니트릴-부타디엔-스티렌 수지, 폴리비닐 염화물, 폴리프로필렌, 폴리비닐 아세테이트, 아크릴 수지 등에 의해 대표되는 폴리에스테르를 포함한다. 상기 베이스 기판(503) 위에 상기 절연막을 형성하는 경우에, 상기 베이스 기판(503) 및 상기 본드 기판(500)의 서로간의 부착은 상기 절연막(501)에 대한 방식과 유사한 방식으로 표면 처리가 이 절연막의 표면에 대해 수행된 후에 수행되는 것이 바람직하다.

[0175] 상기 본드 기판(500)이 상기 베이스 기판(503)에 부착된 후에, 상기 베이스 기판(503)과 상기 절연막(501) 사이의 결합 계면에서의 결합 세기를 증가시키기 위해 열 처리가 수행되는 것이 바람직하다. 이 처리는 상기 취화층(502)에 틈이 생성되지 않는 온도로 수행되고 200°C 이상 400°C 이하의 범위의 온도로 수행될 수 있다. 이 온도 범위 내에서 상기 본드 기판(500)을 상기 베이스 기판(503)에 부착함으로써, 상기 베이스 기판(503)과 상기 절연막(501) 사이의 상기 결합 세기가 견고해질 수 있다.

[0176] 결합면이 상기 본드 기판(500)과 상기 베이스 기판(503)을 서로 부착할 때 면지 등에 의해 오염될 때, 오염된 부분은 결합되지 않는다. 상기 결합면의 상기 오염을 회피하기 위해, 상기 본드 기판(500) 및 상기 베이스 기판(503)의 상기 부착은 밀폐된 챔버에서 수행되는 것이 바람직하다. 상기 본드 기판(500) 및 상기 베이스 기판(503)을 서로 부착할 때, 상기 처리 챔버는 대략 5.0×10^{-3} Pa로 감소된 압력을 가질 수 있고, 상기 결합 처리의 분위기가 정화될 수 있다.

[0177] 후속적으로, 열 처리가 수행되고, 그에 의해 상기 취화층(502)에서 서로 인접한 마이크로보이드들이 조합되어, 상기 마이크로보이드들의 부피가 증가한다. 결과적으로, 도 7d에 도시된 바와 같이, 상기 본드 기판(500)의 일부인 상기 반도체막(504)이 상기 취화층(502)을 따라 상기 본드 기판(500)에서 분리된다. 상기 절연막(501) 및 상기 베이스 기판(503)이 서로 결합되기 때문에, 상기 본드 기판(500)으로부터 분리된 상기 반도체막(504)이 상기 베이스 기판(503)에 고정된다. 상기 본드 기판(500)으로부터 상기 반도체막(504)을 분리하기 위한 열 처리는 상기 베이스 기판(503)의 상기 스트레인 포인트를 초과하지 않는 온도에서 수행되는 것이 바람직하다.

[0178] 이 열처리를 위해, 급속 열 어닐링(RTA) 장치, 내열성 화로 또는 마이크로파 가열 장치가 이용될 수 있다. 상기 RTA 장치에 대해, 가스 급속 열 어닐링(GRTA) 장치 또는 램프 급속 열 어닐링(LRTA) 장치가 이용될 수 있다. GRTA 장치가 이용될 때, 가열 온도는 550°C 이상 650°C 이하의 온도로 설정될 수 있고, 가열 시간은 0.5분 이상 60분 이하로 설정될 수 있다. 내열성 장치가 이용될 때, 가열 온도는 200°C 이상 650°C 이하의 온도로 설정될

수 있고, 가열 시간은 2시간 이상 4시간 이하로 설정될 수 있다.

[0179] 상기 열 처리는 마이크로파와 같은 고주파수파로 유전 가열함으로써 수행될 수 있다. 상기 유전 가열에 의한 상기 열 처리는 300MHz 이상 3THz의 범위에 있는 고주파수 생성기에서 생성되는 고주파수파들로 상기 본드 기판(500)을 조사함으로써 수행될 수 있다. 특히, 예를 들면, 상기 취화층에서 서로 인접한 마이크로보이드들을 조합하기 위해, 900W에서 2.45GHz의 주파수를 가진 마이크로파로의 조사가 14분 동안 수행되고, 그에 의해 상기 본드 기판(500)은 최종적으로 상기 취화층을 따라 분리될 수 있다.

[0180] 내열성을 가진 수직형 화로를 이용한 열 처리의 특정 처리 방법이 기술된다. 상기 본드 기판(500)이 부착되는 상기 베이스 기판(503)은 상기 수직형 화로의 보트 상에 배치되고, 이 보트는 상기 수직형 화로의 챔버에서 전달된다. 상기 본드 기판(500)의 산화를 억제하기 위해, 상기 챔버는 먼저 진공 상태가 형성되도록 배기된다. 진공의 정도는 대략 5×10^{-3} Pa이다. 진공 상태가 획득된 후에, 상기 챔버가 기압 하에서 질소 분위기를 가지도록 질소가 상기 챔버에 공급된다. 이 기간에서, 가열 온도는 200°C로 증가된다.

[0181] 상기 챔버가 기압 하에 있는 질소 분위기를 가지게 한 후에, 200°C의 가열이 2시간 동안 수행된다. 그 후에, 상기 온도는 1시간 후에 400°C로 증가된다. 400°C의 가열 온도의 상태가 안정되면, 상기 온도는 1시간 후에 600°C로 증가된다. 600°C의 가열 온도의 상태가 안정된 후에, 600°C의 가열이 2시간 동안 수행된다. 그 후에, 상기 가열 온도는 1시간 후에 400°C로 감소되고, 10분 내지 30분 후에, 상기 보트가 상기 챔버로부터 끌어내어진다. 상기 본드 기판(500) 및 상기 반도체막(504)이 부착되고 상기 보트가 배치되는 상기 베이스 기판(503)이 대기에서 냉각된다.

[0182] 상기 내열성 화로를 이용한 상기 열 처리는, 상기 절연막(501)과 상기 베이스 기판(503) 사이의 상기 결합 세기를 증가시키기 위한 열 처리 및 상기 취화층(502)을 분리하기 위한 열 처리를 연속으로 수행함으로써 수행된다. 이들 2 종류의 열 처리를 다른 장치들에서 수행하는 경우에, 예를 들면, 열 처리는 내열성 화로에서 2시간 동안 200°C로 수행된 후에, 서로 부착된 상기 베이스 기판(503) 및 상기 본드 기판(500)이 상기 화로에서 끌어내어진다. 다음에, 열 처리는 수분 내지 수시간 동안 600°C 이상 700°C 이하의 가공 온도에서 RTA 장치에 의해 수행되어, 상기 본드 기판(500)은 상기 취화층(502)을 따라 분리된다.

[0183] 일부 경우들에서, 상기 본드 기판(500)의 주변부는 상기 베이스 기판(503)에 결합되지 않음을 유념한다. 이것은 외견상, 상기 본드 기판(500)의 상기 주변부가 모서리가 깎이거나 곡선을 가져서, 상기 베이스 기판(503) 및 상기 절연막(501)이 서로 가깝게 접촉되지 않거나 상기 취화층(502)이 상기 본드 기판(500)의 상기 주변부에서 분리하기 어렵기 때문이다. 상기 본드 기판(500)을 제작할 때 CMP와 같은 연마가 수행되는 다른 이유는 상기 본드 기판(500)의 상기 주변부가 불충분하여, 그 표면이 중심에서보다 상기 주변부에서 더 거칠다는 점이다. 또 다른 이유는, 캐리어 등이 상기 본드 기판(500)의 전달시에 상기 본드 기판(500)의 상기 주변부를 손상시키는 경우에, 상기 손상은 상기 주변부를 상기 베이스 기판(503)에 결합하는 것을 어렵게 한다. 이러한 이유들로, 상기 본드 기판(500)보다 작은 상기 반도체막(504)이 상기 베이스 기판(503)에 부착된다.

[0184] 상기 본드 기판(500)은 상기 본드 기판(500)이 분리되기 전에 수소화 처리를 받을 수 있음을 유념한다. 수소화 처리는 예를 들면 수소 분위기에서 약 2시간 동안 350°C로 수행된다.

[0185] 복수의 본드 기판들(500)이 상기 베이스 기판(503)에 부착될 때, 상기 복수의 본드 기판들(500)은 상이한 결정면 배향을 가질 수 있다. 반도체에서의 다수 캐리어들의 이동도는 결정면 배향에 의존한다. 따라서, 상기 반도체막(504)은, 형성될 반도체 소자에 적합한 결정면 배향을 가지는 상기 본드 기판(500)을 적합하게 선택하여 형성될 수 있다. 예를 들면, 상기 반도체막(504)을 이용하여 n형 반도체 소자를 형성하는 경우에, 상기 반도체 소자에서의 다수 캐리어들의 상기 이동도는 100 면을 가진 상기 반도체막(504)을 형성함으로서 증가될 수 있다. 반대로, 예를 들면, 상기 반도체막(504)을 이용하여 p형 반도체 소자를 형성하는 경우에, 상기 반도체 소자에서의 다수 캐리어들의 상기 이동도는 110 면을 가진 상기 반도체막(504)을 형성함으로서 증가될 수 있다. 그 후에, 트랜지스터를 반도체 소자로서 형성하는 경우에, 상기 반도체막(504)의 결합 방향은 채널 방향 및 결정면 배향을 고려하여 결정된다.

[0186] 다음에, 상기 반도체막(504)의 표면은 연마에 의해 평탄화될 수 있다. 상기 평탄화는 항상 필요한 것은 아니다; 그러나, 상기 평탄화는 나중에 형성되는 게이트 절연막과 반도체막들(506 및 507) 사이의 계면의 특성들을 개선하는 것을 가능하게 한다. 특히, 상기 연마는 화학 기계적 연마(CMP), 액체 제트 연마 등일 수 있다. 상기 반도체막(504)의 두께는 상술된 평탄화에 의해 감소된다. 상기 평탄화는 예칭되기 전에 상기 반도체막(504)에 대해 수행될 수 있다; 대안적으로, 상기 평탄화는 예칭에 의해 형성되는 상기 반도체막들(506 및 507)에 대해 수행될

수 있다.

- [0187] 상기 연마가 아닌 에칭이 상기 반도체막(504)의 상기 표면을 평탄화하기 위해 상기 반도체막(504)의 상기 표면에 대해 수행될 수 있다. 상기 에칭은 반응성 이온 에칭(RIE) 방법과 같은 건식 에칭 방법에 의해 수행될 수 있다; 예를 들면, 유도성 결합 플라즈마(ICP) 에칭 방법, 전자 사이클로트론 공진(ECR) 에칭 방법, 평행평판형(용량성 결합형) 에칭 방법, 마그네트론 플라즈마 에칭 방법, 듀얼-주파수 플라즈마 에칭 방법, 헬리콘파 플라즈마 에칭 방법 등이 이용될 수 있다.
- [0188] 예를 들면, ICP 에칭 방법이 이용될 때, 에칭 가스로서 염소의 유량이 40sccm 내지 100sccm이고, 코일형 전극에 인가된 전력이 100W 내지 200W이고, 하부 전극(바이어스측 상)에 인가된 전력이 40W 내지 100W이고, 반응 압력이 0.5Pa 내지 1.0Pa인 조건 하에서 에칭이 수행될 수 있다. 예를 들면, 에칭 가스로서 염소의 유량이 100sccm이고, 반응 압력이 1.0Pa이고, 하부 전극의 온도가 70°C이고, 코일형 전극에 인가된 상기 RF(13.56 MHz) 전력이 150W이고, 상기 하부 전극(바이어스측 상)에 인가된 상기 전력이고, 에칭 시간이 약 25초 내지 27초인 조건 하에서 상기 에칭을 수행함으로써, 상기 반도체막(504)의 두께는 50nm 내지 60nm로 감소될 수 있다. 상기 에칭 가스로서, 염소, 염화 붕소, 염화 실리콘 또는 테트라염화 탄소와 같은 염소계 가스; 테트라 플루오르화 탄소, 플루오르화 술폰 또는 플루오르화 질소와 같은 플루오르계 가스; 또는 산소가 적합하게 이용될 수 있다.
- [0189] 상기 에칭은 상기 반도체막(504)이 나중에 형성되는 반도체 소자에 최적인 막 두께를 가지도록 할 수 있을 뿐만 아니라, 상기 반도체막(504)의 상기 표면을 평탄화할 수도 있다.
- [0190] 상기 베이스 기판(503)과 가깝게 접촉한 상기 반도체막(504)에서, 상기 취화층(502)의 형성 및 상기 취화층(502)을 따른 상기 분리로 인해 결정 결합들이 형성되거나, 상기 반도체막(504)의 상기 표면의 평탄화가 악화됨을 유념한다. 따라서, 본 발명의 일 실시예에서, 결정 결합들을 감소시키고 평탄성을 개선하기 위해, 상기 반도체막(504)은 상기 반도체막(504)의 상기 표면 상에 형성되는 자연 산화막과 같은 산화막을 제거하는 공정 후에 레이저 빔으로 조사된다.
- [0191] 본 발명의 이 실시예에서, 상기 반도체막(504)은 110초 동안 0.5wt%의 플루오르화 수소 농도를 가진 DHF에 담구어지고, 그에 의해 상기 산화막이 제거된다.
- [0192] 상기 레이저 빔 조사는 상기 반도체막(504)이 부분적으로 용해되는 에너지 밀도로 형성되는 것이 바람직하다. 이것은 상기 반도체막(504)이 완전히 용해될 때, 상기 반도체막(504)의 재결정화로 인한 미세 결정들의 생성이 액상에서 상기 반도체막(504)의 무질서한 핵으로 달성되고 상기 반도체막(504)의 결정도가 낮아지기 때문이다. 상기 반도체막(504)을 부분적으로 용해함으로써, 용해되지 않은 고체 부분에서 결정 성장이 진행하는 소위 가로 성장이 상기 반도체막(504)에서 발생한다. 상기 가로 성장에 의한 재결정화로 인해, 상기 반도체막(504)의 결정 결합들이 감소되고 그 결정도가 회복된다. 상기 반도체막(504)이 완전히 용해된 상태는 상기 반도체막(504)이 상기 절연막(501)과의 계면에 대해 액상이 된 상태를 나타낸다. 한편, 상기 반도체막(504)이 부분적으로 용해된 상기 상태는 그 상부가 용해되어 액상이 되고 그 하부가 고상인 상태를 나타낸다.
- [0193] 이러한 레이저 빔 조사로서, 펄스 레이저 빔 조사가 상기 반도체막(504)을 부분적으로 용해하는 것에 바람직하다. 예를 들면, 펄스 레이저의 경우에, 반복율이 1MHz 이하이고, 펄스 폭이 10나노초 이상 500나노초 이하이다. 예를 들면, 10Hz 이상 300Hz의 반복율과 25나노초의 펄스 폭 및 308nm의 파장을 가진 XeCl 엑시머 레이저가 이용될 수 있다.
- [0194] 상기 레이저 빔으로서, 반도체에 의해 선택적으로 흡수되는 기본파 또는 제 2 조파의 고상 레이저가 이용되는 것이 바람직하다. 특히, 예를 들면, 250nm 이상 700nm 이하의 범위의 파장을 가진 레이저 빔이 이용될 수 있다. 상기 레이저 빔의 에너지는 상기 레이저 빔의 파장, 상기 레이저 빔의 표피 깊이, 상기 반도체막(504)의 두께 등을 고려하여 결정될 수 있다. 예를 들면, 상기 반도체막(504)의 상기 두께가 대략 120nm이고 308nm의 파장을 가진 레이저 빔을 방출하는 펄스 레이저가 이용되는 경우에, 상기 레이저 빔의 에너지 밀도는 600mJ/cm^2 내지 700mJ/cm^2 로 설정될 수 있다.
- [0195] 다음의 펄스 레이저들이 이용될 수 있다: Ar 레이저, Kr 레이저, 엑시머 레이저, CO₂ 레이저, YAG 레이저, Y₂O₃ 레이저, YVO₄ 레이저, YLE 레이저, YAlO₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti: 사파이어 레이저, 구리 증기 레이저 및 금 증기 레이저.
- [0196] 이 실시예에서, 상기 반도체막(504)의 상기 두께가 대략 146nm인 경우에, 상기 레이저 빔 조사는 다음의 방식으

로 수행될 수 있다. 레이저 빔을 방출하는 레이저로서, XeCl 엑시머 레이저(파장: 308 nm, 폴스 폭: 20나노초 및 반복율: 30Hz)가 이용된다. 레이저 광의 단면은 광학 시스템을 통해 0.4mm × 120mm의 크기를 가진 선형 형태로 성형된다. 상기 반도체막(504)은 0.5mm/s의 레이저 주사 속도로 상기 레이저 빔으로 조사된다. 그 후에, 상기 레이저 빔 조사를 통해, 결정 결합들이 수선된 반도체막(505)이 도 7e에 도시된 바와 같이 형성된다.

[0197] 상기 레이저 빔 조사는 희가스 분위기 또는 질소 분위기와 같은 불활성 분위기에서 또는 감압 분위기에서 수행되는 것이 바람직함을 유념한다. 상기 분위기의 경우에, 상기 레이저 광 조사는 그 분위기가 제어되는 밀폐된 챔버에서 수행될 수 있다. 상기 챔버가 이용되지 않을 때, 상기 불활성 분위기에서의 상기 레이저 빔 조사는 상기 레이저 빔으로 조사되는 표면에 질소 가스와 같은 불활성 가스를 분무하여 달성을 수 있다. 상기 레이저 빔 조사는 대기 대신 감압 분위기 또는 불활성 분위기에서 수행되고, 그에 의해 상기 자연 산화막이 또한 형성되는 것이 방지되고, 갈라짐들 또는 피치 스트라이프들(pitch stripes)이 상기 레이저 빔 조사 후에 형성되는 상기 반도체막(505)에서 형성되는 것이 방지될 수 있고, 상기 반도체막(505)의 평탄성이 개선될 수 있고, 상기 레이저 빔에 적용 가능한 에너지 범위가 넓어질 수 있다.

[0198] 상기 레이저 빔은 광학 시스템을 통해 균일 에너지 분포의 선형 형태로 성형된 단면을 가진다. 따라서, 상기 레이저 빔 조사는 높은 처리율로 균일하게 수행될 수 있다. 상기 베이스 기판(503)의 일 측면보다 긴 상기 레이저 빔의 상기 빔 길이로, 상기 베이스 기판(503)에 부착된 전체 반도체막(504)이 상기 레이저 빔을 한번 조사함으로써 상기 레이저 빔으로 조사될 수 있다. 상기 레이저 빔의 상기 빔 길이가 상기 베이스 기판(503)의 일 측면보다 짧을 때, 상기 빔 길이는 상기 베이스 기판(503)에 부착된 상기 전체 반도체막(504)이 여러 번 주사함으로써 상기 레이저 광으로 조사될 수 있도록 설정될 수 있다.

[0199] 희가스 분위기 또는 질소 분위기와 같은 불활성 분위기 또는 감압 분위기에서 상기 레이저 빔 조사를 수행하기 위해, 상기 레이저 빔 조사는 그 분위기가 제어되는 밀폐 챔버에서 수행될 수 있다. 상기 챔버가 이용되지 않을 때, 상기 불활성 분위기에서의 상기 레이저 빔 조사는 상기 레이저 빔으로 조사되도록 질소와 같은 불활성 가스를 상기 표면에 분무하여 달성을 수 있다. 상기 레이저 빔 조사는 대기 대신에 감압 분위기 또는 불활성 분위기에서 수행되고, 그에 의해 자연 산화막이 또한 형성되는 것이 방지되고, 갈라짐들 또는 피치 스트라이프들이 상기 레이저 빔 조사 후에 형성되는 상기 반도체막(505)에서 형성되는 것이 방지될 수 있고, 상기 반도체막(505)의 평탄성이 개선될 수 있고, 상기 레이저 빔에 적용 가능한 에너지 범위가 넓어질 수 있다.

[0200] 상기 레이저 빔 조사 전에 건식 에칭에 의해 상기 반도체막(504)의 상기 표면이 평탄화되는 경우에, 결정 결합들과 같은 손상들이 상기 건식 에칭으로 인해 상기 반도체막(504)의 상기 표면 상 및 근처에 생성될 수 있다. 그러나, 상술된 레이저 빔 조사는 상기 건식 에칭에 의해 유발된 상기 손상들의 경우에도 복구할 수 있다.

[0201] 다음에, 상기 레이저 빔 조사 후에, 상기 반도체막(505)의 상기 표면이 에칭될 수 있다. 상기 반도체막(505)의 상기 표면이 상기 레이저 빔 조사 후에 에칭될 때, 상기 반도체막(504)의 상기 표면은 상기 레이저 빔 조사 전에 반드시 에칭될 필요가 없다. 또한, 상기 반도체막(504)의 상기 표면이 상기 레이저 빔 조사 전에 에칭될 때, 상기 반도체막(505)의 상기 표면은 상기 레이저 빔 조사 후에 반드시 에칭될 필요가 없다. 대안적으로, 상기 반도체막(505)의 상기 표면은 상기 레이저 빔 조사 후 및 상기 레이저 빔 조사 전에 에칭될 수 있다.

[0202] 상기 에칭은 상기 반도체막(505)이 나중에 형성되는 반도체 소자에 최적인 막 두께를 가지게 할 수 있을 뿐만 아니라, 상기 반도체막(505)의 상기 표면을 평탄화할 수 있다.

[0203] 상기 레이저 빔 조사 후에, 상기 반도체막(505)은 500°C 이상 6650°C 이하의 열 처리를 받는 것이 바람직하다. 이 열 처리는 상기 레이저 빔 조사에 의해 수선되지 않은 상기 반도체막(505)의 결합들을 제거할 수 있고 상기 반도체막(505)의 왜곡이 감소될 수 있다. 이 열처리를 위해, 급속 열 어닐링(RTA) 장치, 내열성 화로 또는 마이크로파 가열 장치가 이용될 수 있다. 상기 RTA 장치에 대해, 가스 급속 열 어닐링(GRTA) 장치 또는 램프 급속 열 어닐링(LRTA) 장치가 이용될 수 있다. 예를 들면, 내열성 장치가 이용될 때, 가열 처리는 600°C에서 4시간 동안 수행될 수 있다.

[0204] 예를 들면, 도 8a에 도시된 바와 같이, 상기 반도체막(505)은 섬형 반도체막들(506 및 507)을 형성하기 위해 부분적으로 에칭된다. 상기 반도체막(505)이 더 에칭될 때, 상기 결합 세기가 충분하지 않은 상기 반도체막(505)의 단부의 영역이 제거될 수 있다. 상기 반도체막들(506 및 507)이 이 실시예에서 하나의 반도체막(505)을 에칭하여 형성되지만, 형성되는 반도체 막들의 수는 2개에 제한되지 않는다.

[0205] 상기 반도체막(505)이 분리되는 상기 본드 기판(500)의 상기 표면이 평탄화되고, 그에 의해 상기 반도체막(505)은 상기 본드 기판(500)으로부터 다시 분리될 수 있음을 유념한다.

- [0206] 특히, 상기 본드 기판(500)의 예지 부분들에 주로 남아있는 상기 절연막(501)은 예칭 등에 의해 제거된다. 상기 절연막(501)이 실리콘 산화물, 실리콘 산화질화물 또는 실리콘 질화 산화물을 이용하여 형성되는 경우에, 플루오르화 수소산을 이용한 습식 예칭이 이용될 수 있다.
- [0207] 다음에, 상기 반도체막(505) 및 수소를 과도하게 함유한 나머지 취화층의 분리로 인해 상기 본드 기판(500)의 상기 예지부들에 형성된 돌출부들이 제거된다. 상기 본드 기판(500)의 상기 예칭에 대해, 습식 예칭이 이용되는 것이 바람직하고, 테트라메틸암모늄 수산화물(약칭: TMAH) 용액이 에센트로서 이용될 수 있다.
- [0208] 그 후에, 상기 본드 기판(500)의 상기 표면이 연마된다. 상기 연마에 대해, CMP가 이용될 수 있다. 상기 본드 기판(500)의 상기 표면을 평활하게 하기 위해, 상기 표면은 대략 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 의 두께만큼 연마되는 것이 바람직하다. 상기 연마 후에, 연마 입자들 등이 상기 본드 기판(500)의 상기 표면 상에 남아 있기 때문에, 플루오르화 수소산 등을 이용하여 RCA 세정이 수행된다.
- [0209] 상기 본드 기판(500)을 재사용함으로써, 상기 반도체 기판의 재료 비용이 감소될 수 있다.
- [0210] 임계 전압을 제어하기 위해, 붕소, 알루미늄 또는 갈륨과 같은 p형 도전성을 부여하는 불순물 원소 또는 인 또는 비소와 같이 n형 도전성을 부여하는 불순물 원소가 상기 반도체막들(506 및 507)에 첨가될 수 있다. 임계 전압을 제어하기 위한 상기 불순물 원소는 패터닝 전의 상기 산화막에 또는 상기 패터닝 후의 상기 반도체막들(506 및 507) 상에 첨가될 수 있다. 대안적으로, 상기 임계 전압을 제어하기 위한 상기 불순물 원소는 본드 기판에 첨가될 수 있다. 또한 대안적으로, 상기 불순물 원소는 상기 임계 전압을 대략적으로 제어하기 위해 상기 본드 기판에 첨가될 수 있고, 상기 불순물 원소는 또한 상기 임계 전압을 미세하게 제어하기 위해 패터닝되기 전의 상기 반도체막 또는 상기 패터닝 후에 형성되는 상기 반도체막들(506 및 507)에 첨가될 수 있다.
- [0211] 다음에, 게이트 절연막들(508)이 도 8b에 도시된 바와 같이, 상기 반도체막들(506 및 507)을 회복하도록 형성된다. 상기 게이트 절연막들(508)은 고밀도 플라즈마 처리에 의해 상기 반도체막들(506 및 507)의 표면들의 산화 또는 질화에 의해 형성될 수 있다. 상기 고밀도 플라즈마 처리는, 예를 들면 He, Ar, Kr 또는 Xe와 같은 불활성 가스와 산소, 산화 질소, 암모니아, 질소, 수소 등의 혼합 가스를 이용하여 수행된다. 이 경우, 마이크로파의 도입으로 플라즈마의 여기를 수행함으로써, 낮은 전자 온도 및 고밀도를 가진 플라즈마가 생성될 수 있다. 상기 반도체막들의 상기 표면들은 고밀도 플라즈마에 의해 생성되는 산소 라디칼들(일부 경우들에서 OH 라디칼들을 포함) 또는 질소 라디칼들(일부 경우들에서 NH 라디칼들을 포함)에 의해 산화 또는 질화되고, 그에 의해 1nm 내지 20nm 두께, 바람직하게 5nm 내지 10nm 두께의 절연막이 상기 반도체막들을 접촉하여 형성된다. 5nm 내지 10nm 두께의 이 절연막은 상기 게이트 절연막(508)으로서 이용된다. 예를 들면, 일산화이질소(N_2O)가 1 내지 3회(유량)에 의해 Ar로 희석되고, 3kW 내지 5kW 의 마이크로파(2.45GHz) 전력이 상기 반도체막들(506 및 507)의 상기 표면들을 산화 또는 질화하기 위해 10Pa 내지 30Pa 의 압력으로 인가된다. 이 처리에 의해, 1nm 내지 10nm (바람직하게, 2nm 내지 6nm)의 두께를 가진 절연막이 형성된다. 또한, 아산화질소(N_2O) 및 시레인(SiH_4)이 도입되고 3kW 내지 5kW 의 마이크로파(2.45GHz) 전력이 증기-상 성장 방법(vapor-phase growth method)에 의해 산화 질화 실리콘막을 형성하기 위해 10Pa 내지 30Pa 의 압력에서 상기 절연막에 인가되고, 이것은 상기 게이트 절연막이 된다. 고상 반응과 증착 방법에 의한 반응의 조합으로, 낮은 계면 상태 밀도 및 우수한 내전압을 가진 상기 게이트 절연막이 형성될 수 있다.
- [0212] 상기 반도체막들의 상기 산화 또는 질화가 고상 반응에 의한 상기 고밀도 플라즈마 처리에 의해 진행되기 때문에, 상기 게이트 절연막(508)과 상기 반도체막들(506 및 507) 각각 사이의 상기 계면 상태 밀도가 극적으로 감소될 수 있다. 또한, 상기 반도체막들(506 및 507)이 고밀도 플라즈마 처리에 의해 직접 산화 또는 질화되기 때문에, 형성되는 상기 절연막의 두께의 변동이 억제될 수 있다. 또한, 상기 반도체막이 결정도를 가지는 경우에, 상기 반도체막의 상기 표면은 결정 입자 경계에서만 고속 산화를 억제하기 위해 상기 고밀도 플라즈마 처리에 의해 고체 반응으로 산화된다; 따라서, 균일성 및 낮은 계면 상태 밀도를 가진 상기 게이트 절연막이 형성될 수 있다. 상기 고밀도 플라즈마 처리에 의해 형성된 상기 절연막이 상기 게이트 절연막의 일부 또는 전체에 포함되는 트랜지스터는 특성들의 변동을 감소시킬 수 있다.
- [0213] 대안적으로, 상기 게이트 절연막(508)은 상기 반도체막들(506 및 507)을 열적으로 산화함으로써 형성될 수 있다. 또한 대안적으로, 상기 게이트 절연막(508)은, 실리콘 산화물, 실리콘 질화 산화물, 실리콘 산화질화물, 실리콘 질화물, 산화 하프늄, 산화 알루미늄 및 산화 탄탈 중 하나 이상을 함유하는 막의 단층 또는 적층들로서 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 형성될 수 있다.
- [0214] 그 후에, 도 8c에 도시된 바와 같이 상기 게이트 절연막(508) 위에 도전막을 형성한 후에, 상기 도전막은 미리

결정된 형상으로 가공(패터닝)되어, 상기 반도체막들(506 및 507)의 각각 위에 전극(509)이 형성된다. CVD 방법, 스퍼터링 방법 등이 상기 도전막을 형성하기 위해 이용될 수 있다. 상기 도전막으로서, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb) 등이 이용될 수 있다. 또한, 상기 언급된 금속을 주성분으로 함유한 합금 또는 상기 언급된 금속을 함유한 화합물이 이용될 수 있다. 대안적으로, 상기 도전막은 상기 반도체막에 도전성을 부여하는 인과 같은 불순물 원소로 도핑된 다결정 실리콘과 같은 반도체의 형태일 수 있다.

[0215] 2층 도전막을 형성하는 경우에, 제 1 층이 탄탈 질화물 또는 탄탈으로 형성될 수 있고 제 2 층이 텅스텐으로 형성될 수 있다. 또한, 다음의 조합들이 주어진다: 텅스텐 질화물 및 텅스텐, 몰리브덴 질화물 및 몰리브덴, 알루미늄 및 탄탈, 알루미늄 및 티타늄 등. 텅스텐 및 질화 탄탈이 높은 내열성을 가지므로, 열 활성화를 위한 열처리는 상기 2층 도전막이 형성된 후에 수행될 수 있다. 대안적으로, 상기 2층 도전막의 조합으로서, 니켈 규화물 및 n형 도전성을 부여하는 불순물 원소로 도핑된 실리콘, 텅스텐 실리사이드 및 n형 도전성을 부여하는 불순물 원소로 도핑된 실리콘 등이 이용될 수 있다.

[0216] 상기 전극(509)이 이 실시예에서 단층 도전막으로 형성되지만, 이 실시예는 이 구조에 제한되지 않음을 유념한다. 상기 전극(509)은 적층되는 복수의 도전막들로 형성될 수 있다. 3개 이상의 도전막들로 적층된 3층 구조를 이용한 경우에, 몰리브덴막, 알루미늄막 및 몰리브덴막의 적층 구조가 바람직하다.

[0217] 상기 전극(509)은 마스크를 이용하지 않고 액적 토출 방법에 의해 선택적으로 형성될 수 있음을 유념한다.

[0218] 액적 토출 방법은 미리 결정된 패턴이 미세 다공들(fine pores)로부터 미리 결정된 구성을 포함하는 액적 토출 또는 분사에 의해 형성됨을 유념한다.

[0219] 상기 도전막이 형성된 후에, 상기 전극(509)은 ICP(inductively coupled plasma) 에칭 방법을 이용하고 상기 에칭 조건(예를 들면, 코일형 전극충에 인가된 전력량, 상기 기판측 상의 전극충에 인가된 전력량, 또는 상기 기판측 상의 상기 전극 온도)을 적합하게 제어함으로써 원하는 테이퍼 형상으로 에칭될 수 있다. 또한, 상기 테이퍼 형상들의 각도를 등은 또한 마스크의 형상에 의해 제어될 수 있다. 에칭 가스로서, 상기 에칭 가스로서, 염소, 염화 붕소, 염화 실리콘 또는 테트라염화 탄소와 같은 염소계 가스; 테트라 플루오르화 탄소, 플루오르화 솔忿 또는 플루오르화 질소와 같은 플루오르계 가스; 또는 산소가 적합하게 이용될 수 있음을 유념한다.

[0220] 다음에, 도 8d에 도시된 바와 같이, 하나의 도전 타입을 부여하는 불순물 원소들이 마스크들로서 상기 전극들(509)을 이용하여 상기 반도체막들(506 및 507)에 첨가된다. 이 실시예에서, n형 도전성을 부여하는 불순물 원소(예를 들면, 인 또는 비소)가 상기 반도체막(506)에 첨가되고, p형 도전성(예를 들면, 붕소)을 부여하는 불순물 원소가 상기 반도체막(507)에 첨가된다. p형 도전성을 부여하는 상기 불순물 원소가 상기 반도체막(507)에 첨가될 때, n형 도전성을 부여하는 상기 불순물 원소가 첨가되는 상기 반도체막(506)이 마스크 등으로 피복되어, p형 도전성을 부여하는 상기 불순물 원소가 선택적으로 첨가됨을 유념한다. 한편, n형 도전성을 부여하는 상기 불순물 원소가 상기 반도체막(506)에 첨가될 때, p형 도전성을 부여하는 상기 불순물 원소가 첨가되는 상기 반도체막(507)이 마스크 등으로 피복되어, n형 도전성을 부여하는 상기 불순물 원소가 선택적으로 첨가된다. 대안적으로, 상기 반도체막들(506 및 507)에 p형 및 n형 도전성 중 하나를 부여한 불순물 원소를 첨가한 후에, 다른 도전성을 부여하는 불순물 원소는 이전 첨가된 불순물보다 높은 농도로 선택적으로 상기 반도체막들(506 및 507) 중 하나에만 첨가될 수 있다. 상기 불순물 원소들의 상기 첨가에 의해, 불순물 영역들(510)이 상기 반도체막(506)에 형성되고 불순물 영역들(511)이 상기 반도체막(507)에 형성된다.

[0221] 다음에, 도 9a에 도시된 바와 같이, 측벽들(512)이 상기 전극들(509)의 측면들 상에 형성된다. 예를 들면, 상기 측벽들(512)은 절연막이 상기 게이트 절연막들(508) 및 상기 전극들(509)을 피복하도록 새롭게 형성되고, 에칭이 주로 직교 방향으로 수행되는 이방성 에칭에 의해 상기 절연막이 적어도 부분적으로 에칭되는 방식으로 형성될 수 있다. 상기 이방성 에칭에 의해, 상기 새롭게 형성된 절연막은 상기 전극들(509)의 상기 측면들에서 상기 측벽들(512)을 형성하도록 부분적으로 에칭된다. 상기 게이트 절연막들(508)이 또한 상기 이방성 에칭에 의해 부분적으로 에칭될 수 있음을 유념한다. 상기 측벽들(512)을 형성하기 위한 상기 절연막은 실리콘막, 산화 실리콘막, 산화질화 실리콘막, 실리콘 질화산화막, 및 LPCVD 방법, 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 형성된 유기 수지와 같은 유기 재료를 함유한 막 중 하나 이상의 적층들 또는 단층일 수 있다. 이 실시예에서, 100nm 두께 산화 실리콘막은 플라즈마 CVD 방법에 의해 형성된다. 상기 에칭 가스와 같이, CHF₃과 헬륨의 혼합 가스가 이용될 수 있다. 상기 측벽들(512)을 형성하기 위한 공정은 이 공정에 제한되지 않음을 유념한다.

[0222] 다음에, 도 9b에 도시된 바와 같이, 하나의 도전성 타입을 부여하는 불순물 원소들이 마스크들로서 이용된 상기

전극들(509) 및 상기 측벽들(512)과 반도체막들(506 및 507)에 첨가된다. 이전 단계에서 첨가된 상기 불순물 원소들과 동일한 도전성 탑입을 부여하는 상기 불순물 원소들이 상기 이전 단계에서보다 높은 농도로 상기 반도체막들(506 및 507)에 첨가됨을 유념한다. p형 도전성을 부여하는 상기 불순물 원소가 상기 반도체막(507)에 첨가될 때, 상기 n형 도전성을 부여하는 상기 불순물 원소가 첨가되는 상기 반도체막(506)이 마스크 등으로 피복되어, p형 도전성을 부여하는 상기 불순물 원소가 선택적으로 첨가됨을 유념한다. 대조적으로, n형 도전성을 부여하는 상기 불순물 원소가 상기 반도체막(506)에 첨가될 때, 상기 p형 도전성을 부여하는 상기 불순물 원소가 첨가되는 상기 반도체막(507)이 마스크 등으로 피복되어, n형 도전성을 부여하는 상기 불순물 원소가 선택적으로 첨가된다.

[0223] 또한, 상기 불순물 원소들의 상술된 첨가에 의해, 고농도 불순물 영역들(513)의 쌍, 저농도 불순물 영역들(514)의 쌍 및 채널 형성 영역(515)이 상기 반도체막(506)에 형성된다. 또한, 상기 불순물 원소들의 상기 첨가에 의해, 고농도 불순물 영역들(516)의 쌍, 저농도 불순물 영역들(517)의 쌍 및 채널 형성 영역(518)이 상기 반도체막(507)에 형성된다. 상기 고농도 불순물 영역들(513 및 516)은 소스 영역 또는 드레인 영역의 역할을 하고, 상기 저농도 불순물 영역들(514 및 517)은 LDD(lightly doped drain) 영역들의 역할을 한다. 상기 LDD 영역들은 반드시 제공될 필요가 없고, 소스 및 드레인 영역들이 역할을 하는 불순물 영역들만 형성될 수 있음을 유념한다. 대안적으로, 상기 LDD 영역은 상기 소스 영역측 또는 상기 드레인 영역측 상에 형성될 수 있다.

[0224] 실리콘을 이용한 트랜지스터의 경우에, 소스 영역 및 드레인 영역은 각각 소스 전극 및 드레인 전극의 역할을 함을 유념한다.

[0225] 상기 반도체막(507) 위에 형성된 상기 측벽들(512) 및 상기 반도체막(506) 위에 형성된 상기 측벽들(512)은 캐리어 흐름 방향으로 동일한 폭 또는 상이한 폭들을 가지도록 형성될 수 있음을 유념한다. p-채널 트랜지스터의 일부를 구성하는 상기 반도체막(507) 위의 각각의 측벽(512)의 상기 폭은 n-채널 트랜지스터의 일부를 구성하는 상기 반도체막(506) 위의 각각의 측벽(512)의 폭보다 큰 것이 바람직하다. 이것은 상기 p-채널 트랜지스터에서의 소스 영역 및 드레인 영역을 형성하기 위해 첨가되는 붕소가 쉽게 확산되고 얇은 채널 효과가 쉽게 유도되기 때문이다. 상기 p-채널 트랜지스터에서의 각각의 측벽(512)의 상기 폭이 상기 n-채널 트랜지스터에서의 각각의 측벽(512)의 폭보다 클 때, 붕소는 고농도로 상기 소스 영역 및 상기 드레인 영역에 첨가될 수 있고, 따라서, 상기 소스 영역 및 상기 드레인 영역의 상기 저항이 감소될 수 있다.

[0226] 다음에, 상기 소스 영역 및 상기 드레인 영역의 상기 저항을 더 감소시키기 위해, 상기 반도체막들(506 및 507)에 규화물이 형성되어, 규화물층들이 형성될 수 있다. 상기 규화물은 금속이 상기 반도체막들과 접촉하게 되는 방식으로 형성되고, 상기 반도체막들에서의 실리콘은 열 처리, GRTA 방법, LRTA 방법 등에 의해 상기 금속과 반응하게 된다. 상기 규화물층은 코발트 규화물 또는 니켈 규화물로 형성될 수 있다. 상기 반도체막들(506 및 507)이 얇은 경우에, 이 영역에서 상기 반도체막들(506 및 507)의 하부들에 대한 규화물 반응이 진행할 수 있다. 상기 규화물의 형성에 이용된 금속 재료로서, 다음이 이용될 수 있다: 티타늄(Ti), 니켈(Ni), 텉스텐(W), 몰리브덴(Mo), 코발트(Co), 지르코늄(Zr), 하프늄(Hf), 탄탈(Ta), 바나듐(V), 네오디뮴(Nd), 크롬(Cr), 플래티늄(Pt), 팔라듐(Pd) 등. 대안적으로, 상기 규화물은 레이저 조사, 램프를 이용한 광 조사 등에 의해 형성될 수 있다.

[0227] 상술된 단계들을 통해, n-채널 트랜지스터(520) 및 p-채널 트랜지스터(521)가 형성된다.

[0228] 도 9b에 도시된 상기 단계가 완료된 후에, 산화물 반도체를 포함하는 트랜지스터가 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521) 위에 제작된다.

[0229] 먼저, 도 10a에 도시된 바와 같이, 절연막(530)은 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521)를 피복하도록 형성된다. 상기 절연막(530)을 제공함으로써, 열 처리가 수행될 때 상기 전극들(509)의 표면들의 산화가 방지될 수 있다. 특히, 상기 절연막(530)에 대해 실리콘 질화물, 실리콘 질화 산화물, 실리콘 산화질화물, 알루미늄 질화물, 산화 알루미늄, 실리콘 산화물 등을 이용하는 것이 바람직하다. 이 실시예에서, 대략 50nm의 두께를 가진 산화질화 실리콘막은 상기 절연막(530)으로서 이용된다.

[0230] 다음에, 도 10b에 도시된 바와 같이, 절연막(531) 및 절연막(532)이 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521)를 피복하기 위해 상기 절연막(530) 위에 형성된다. 상기 절연막들(531 및 532)은 나중 제작 단계에서 열 처리의 온도를 견딜 수 있는 재료들을 이용하여 형성된다. 특히, 실리콘 산화물, 실리콘 질화물, 실리콘 질화 산화물, 실리콘 산화질화물, 알루미늄 질화물, 알루미늄 질화 산화물 등의 무기 절연막이 예를 들면 상기 절연막들(531 및 532)에 이용될 수 있다.

- [0231] 상기 절연막들(531 및 532)이 이 실시예에서 상기 절연막(530) 위에 적층되지만, 상기 절연막(530) 위에 형성된 상기 절연막은 3개 이상의 층들이 적층되는 절연층 또는 단층의 절연층일 수 있음을 유념한다.
- [0232] 상기 절연막(532)의 표면이 CMP 방법 등에 의해 평탄화될 수 있다.
- [0233] 다음에, 도 10b에 도시된 바와 같이, 게이트 전극(601) 및 전극(602)이 상기 절연막(532) 위에 형성된다.
- [0234] 상기 게이트 전극(601) 및 상기 전극(602)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 네오디뮴 또는 스칸듐과 같은 금속 재료; 이를 금속 재료들 중 어느 것을 주성분으로 포함하는 합금 재료; 또는 이를 금속들 중 어느 것의 질화물을 이용하여 하나 이상의 도전막들의 단층 또는 적층으로 형성될 수 있다. 알루미늄 또는 구리는 또한, 알루미늄 또는 구리가 나중 공정에서 수행되는 열 처리의 온도를 견딜 수 있는 한 이러한 금속 재료들도 이용될 수 있음을 유념한다. 알루미늄 또는 구리는 내열성 문제 및 부식성 문제를 방지하도록 내화성 금속 재료와 조합되는 것이 바람직하다. 상기 내화성 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 네오디뮴, 스칸듐 등이 이용될 수 있다.
- [0235] 예를 들면, 상기 게이트 전극(601) 및 상기 전극(602)의 2층 구조로서, 다음의 구조들이 바람직하다: 몰리브덴 막이 알루미늄막 위에 적층된 2층 구조, 몰리브덴막이 구리막 위에 적층된 2층 구조, 티타늄막 또는 질화 탄탈 막이 구리막 위에 적층된 2층 구조, 및 질화 티타늄막 및 몰리브덴막이 적층되는 2층 구조. 상기 게이트 전극(601) 및 상기 전극(602)의 3층 구조로서, 다음의 구조들이 바람직하다: 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막 또는 알루미늄과 네오디뮴의 합금막을 중간층에 함유하고 텉스텐막, 질화 텉스텐막, 질화 티타늄막 및 티타늄막을 상부층 및 하부층에 함유한 적층 구조.
- [0236] 또한, 인듐 산화물, 인듐 주석 산화물, 인듐 산화물-아연 산화물 합금, 아연 산화물, 아연 산화 알루미늄, 아연 알루미늄 산화질화물, 아연 갈륨 산화물 등의 투광성 산화물 도전막이 상기 게이트 전극(601) 및 상기 전극(602)으로서 이용될 수 있다.
- [0237] 상기 게이트 전극(601) 및 상기 전극(602)의 두께는 10nm 내지 400nm, 바람직하게 100nm 내지 200nm이다. 이 실시예에서, 상기 게이트 전극용 절연막은 텉스텐 타겟을 이용하여 스퍼터링 방법에 의해 150nm의 두께로 형성된 다음, 상기 도전막이 애칭에 의해 원하는 형상으로 가공(페터닝)된다; 따라서, 상기 게이트 전극(601) 및 상기 전극(602)이 형성된다. 상기 형성된 게이트 전극의 단부들은 테이퍼형이 바람직하고, 이 경우, 그 위에 적층된 게이트 절연막으로의 피복성이 개선됨을 유념한다. 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있음을 유념한다. 잉크젯 방법에 의한 상기 레지스트 마스크의 상기 형성은 포토마스크가 필요없다; 따라서 제작 비용이 감소될 수 있다.
- [0238] 다음에, 도 10c에 도시된 바와 같이, 게이트 절연막(603)이 상기 게이트 전극(601) 및 상기 전극(602) 위에 형성된다. 상기 게이트 절연막(603)은 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 질화산화 알루미늄막, 산화 하프늄막, 및 산화 탄탈막 중 하나 이상의 적층 구조 또는 단일 구조를 가진 막을 이용하여 형성된다. 상기 게이트 절연막(603)은 수분 또는 수소와 같은 불순물들을 가능한 적게 포함하는 것이 바람직하다. 스퍼터링 방법에 의해 산화 실리콘막을 형성하는 경우에, 실리콘 타겟 또는 석영 타겟으로서 이용되고, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.
- [0239] 여기서, 불순물들의 제거에 의해 진성 반도체 또는 실질적으로 진성인 반도체가 되는 상기 산화물 반도체(고순도화된 상기 산화물 반도체)는 계면 상태 및 계면 전하에 극히 민감하다; 따라서, 상기 고순도화된 산화물 반도체와 상기 게이트 절연막(603) 사이의 계면이 중요하다. 따라서, 상기 고순도화된 산화물 반도체와 접촉하는 상기 게이트 절연막(GI)은 더 높은 품질을 가져야 한다.
- [0240] 예를 들면, 높은 내전압을 가진 조밀하고 고품질인 절연막이 형성될 수 있기 때문에 마이크로파들(2.45GHz)을 이용한 고밀도 플라즈마 CVD가 바람직하다. 이것은 상기 고순도화된 산화물 반도체가 상기 고품질 게이트 절연막과 가깝게 접촉할 때, 상기 계면 상태가 감소될 수 있고 계면 특성들이 양호해질 수 있기 때문이다.
- [0241] 말할 필요도 없이, 고품질 절연막이 게이트 절연막으로서 형성될 수 있는 한 스퍼터링 방법 또는 플라즈마 CVD 방법과 같은 상이한 침착 방법이 이용될 수 있다. 대안적으로, 상기 게이트 절연막과 상기 산화물 반도체 사이의 계면 특성을 및 막 품질이 상기 절연막이 형성 후에 수행되는 열 처리에 의해 개선되는 절연막이 이용될 수 있다. 어떠한 경우든, 게이트 절연막으로서 막 품질이 높고, 상기 게이트 절연막과 산화물 반도체 사이의 계면 상태 밀도가 감소되고, 양호한 계면이 형성될 수 있다면 임의의 절연막이 이용될 수 있다.

[0242]

상기 게이트 절연막(603)은, 높은 배리어 특성을 가진 재료를 이용하여 형성된 절연막과 질소의 비가 낮은 산화 실리콘막, 산화질화 실리콘막 등을 이용하여 형성된 절연막이 적층되는 구조를 가질 수 있다. 그 경우, 산화 실리콘막 또는 산화질화 실리콘막과 같은 상기 절연막은 높은 배리어 특성을 가진 상기 절연막과 상기 산화물 반도체막 사이에 형성된다. 높은 배리어 특성을 가진 상기 절연막으로서, 예를 들면, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등이 주어질 수 있다. 높은 배리어 특성을 가진 상기 절연막이 이용되어, 수분 또는 수소와 같이 분위기에서의 불순물들 또는 알칼리 금속 또는 중금속과 같이 상기 기판에 포함된 불순물들이 상기 산화물 반도체막, 상기 게이트 절연막(603), 또는 상기 산화물 반도체막과 다른 절연막 및 그 주변 사이의 계면에 혼입되는 것이 방지될 수 있다. 또한, 산화 실리콘막 또는 산화질화 실리콘막과 같이 질소의 비가 낮은 상기 절연막은 상기 산화물 반도체막과 접촉하도록 형성되어, 높은 배리어 특성을 가진 상기 절연막은 상기 산화물 반도체막과 직접 접촉하는 것이 방지될 수 있다.

[0243]

예를 들면, 100nm의 두께를 가진 적층막이 다음과 같이 상기 게이트 절연막(603)으로서 형성될 수 있다: 50nm 이상 200nm 이하의 두께를 가진 질화 실리콘막(SiN_y ($y > 0$))이 제 1 게이트 절연막으로서 스퍼터링 방법에 의해 형성되고, 5nm 이상 300nm 이하의 두께를 가진 산화 실리콘막(SiO_x ($x > 0$))이 제 2 게이트 절연막으로서 상기 제 1 게이트 절연막 위에 형성된다. 상기 게이트 절연막(603)의 상기 두께는 상기 트랜지스터의 원하는 특성들에 의존하여 적합하게 설정될 수 있다. 상기 두께는 350nm 내지 400nm일 수 있다.

[0244]

이 실시예에서, 상기 게이트 절연막(603)은 스퍼터링 방법에 의해 형성된 100nm 두께의 산화 실리콘막이 스퍼터링 방법에 의해 형성된 50nm 두께의 질화 실리콘막 위에 적층되는 구조를 가지도록 형성된다.

[0245]

수소, 수산기 및 수분이 상기 게이트 절연막(603)에 가능한 적게 함유되기 위해, 상기 게이트 전극(601) 및 상기 전극(602)이 형성되는 상기 베이스 기판(503)이 스퍼터링 장치의 예열 챔버에서 예열되어, 막 형성 전에 전처리로서 수분 또는 수소와 같이 상기 베이스 기판(503)에 흡수된 불순물들이 제거되고 배기되는 것이 바람직함을 유념한다. 상기 예열을 위한 온도는 100°C 이상 400°C 이하, 바람직하게 150°C 이상 300°C 이하이다. 상기 예열 챔버에 제공되는 배기 유닛으로서, 크라이오펌프가 바람직하다. 이러한 예열 처리는 생략될 수 있음을 유념한다.

[0246]

다음에, 상기 게이트 절연막(603) 위에, 2nm 이상 200nm 이하, 바람직하게 3nm 이상 50nm 이하, 더욱 바람직하게 3nm 이상 20nm 이하의 두께를 가진 산화물 반도체막이 형성된다. 상기 산화물 반도체막은 산화물 반도체를 타겟으로 이용하여 스퍼터링 방법에 의해 형성된다. 또한, 상기 산화물 반도체막은 희가스(예를 들면, 아르곤) 분위기, 산소 분위기, 또는 희가스(예를 들면, 아르곤)와 산소의 혼합 분위기 하에서 스퍼터링 방법에 의해 형성될 수 있다.

[0247]

상기 산화물 반도체막이 스퍼터링 방법에 의해 형성되기 전에, 상기 게이트 절연막(603)의 표면에 부착된 먼지가, 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거되는 것이 바람직함을 유념한다. 상기 역 스퍼터링은, 기판의 표면이, RF 전원을 이용하여 아르곤 분위기에서 타겟측이 아닌 상기 기판측으로의 전압의 인가에 의해 및 상기 기판 주변에 플라즈마를 생성함으로써 변형되는 방법을 의미한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등이 이용될 수 있음을 유념한다. 대안적으로, 산소, 아산화질소 등이 첨가되는 아르곤 분위기가 이용될 수 있다. 대안적으로, 염소, 카본 테트라플루오르화물 등이 첨가된 아르곤 분위기가 이용될 수 있다.

[0248]

상기 산화물 반도체는 상기 산화물 반도체막에 이용될 수 있다.

[0249]

이 실시예에서, 상기 산화물 반도체막으로서, 30nm의 두께를 가진 In-Ga-Zn-O계 비-단일-결정막이 이용되며, 이것은 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 금속 산화물 타겟을 이용하여 스퍼터링 방법에 의해 획득된다. 상기 타겟으로서, 예를 들면, 금속들의 조성비, In : Ga : Zn = 1 : 1 : 0.5, In : Ga : Zn = 1 : 1 : 1 또는 In : Ga : Zn = 1 : 1 : 2를 가진 금속 산화물 타겟이 이용될 수 있다. 상기 타겟은 2wt% 이상 10wt% 이하의 SiO_2 를 함유할 수 있다. In, Ga 및 Zn을 포함하는 상기 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게 95% 이상 99.9% 이하이다. 높은 충전율을 가진 금속 산화물 타겟을 이용하여, 침착된 산화물 반도체막은 고밀도를 가진다.

[0250]

이 실시예에서, 상기 산화물 반도체막은 다음과 같이 상기 베이스 기판(503) 위에 형성된다: 상기 기판은 감압 하의 처리 챔버에 유지되고, 상기 처리 챔버 내의 잔여 수분이 제거되고, 수소 및 수분이 제거되는 스퍼터링 가스가 도입되고, 상술된 타겟이 이용된다. 그 때, 상기 기판은 100°C 이상 600°C 이하, 바람직하게 200°C 이상

400°C 이하로 가열될 수 있다. 막 형성은 상기 기판이 가열되는 동안 수행되고, 그에 의해 형성된 상기 산화물 반도체막에서의 상기 불순물 농도가 감소될 수 있다. 또한, 스퍼터링에 의한 손상이 감소될 수 있다. 상기 처리 챔버에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 유닛은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프로 배기되는 상기 처리 챔버에서, 수소 원자, 물(H_2O)과 같이, 수소 원자를 함유한 화합물(더욱 바람직하게, 또한 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 상기 처리 챔버에서 형성된 상기 산화물 반도체막에서의 상기 불순물 농도가 감소될 수 있다.

[0251] 상기 침착 조건의 일례로서, 상기 기판과 상기 타겟 사이의 거리는 100mm이고, 압력은 0.6Pa이고, 직류(DC) 전원이 0.5kW이고, 상기 분위기는 산소 분위기이다(산소 유량비는 100%이다). 막 형성시 생성되는 입자들이라고 칭해지는 물질들이 감소될 수 있고 상기 막 두께가 균일해질 수 있기 때문에 펄스식 직류(DC) 전원이 바람직함을 유념한다.

[0252] 수소, 수산기 및 수분이 상기 산화물 반도체막에 가능한 적게 함유되기 위해, 상기 게이트 절연막(603)까지 이를 포함하는 층들이 형성되는 상기 베이스 기판(503)이 상기 스퍼터링 장치의 예열 챔버에서 예열되어, 막 형성 전의 전처리로서, 상기 베이스 기판(503)에 흡착된 수소 또는 수분과 같은 불순물들이 제거되고 배기되는 것이 바람직함을 유념한다. 상기 예열을 위한 온도는 100°C 이상 400°C 이하, 바람직하게 150°C 이상 300°C 이하이다. 상기 예열 챔버에 제공되는 배기 유닛으로서, 크라이오펌프가 바람직하다. 이 예열 처리는 생략될 수 있음을 유념한다. 또한, 이 예열은, 절연막(612)의 형성 전에, 소스 전극(607) 및 드레인 전극(608), 배선들(609 내지 611)까지 이를 포함한 층들이 형성되는 상기 베이스 기판(503)에 대해 유사하게 수행될 수 있다.

[0253] 스퍼터링 방법의 예들은 고주파수 전원이 스퍼터링 전원에 이용되는 RF 스퍼터링 방법, DC 스퍼터링 방법, 및 바이어스가 펄스식으로 인가되는 펄스식 DC 스퍼터링 방법을 포함한다. RF 스퍼터링 방법은 절연막이 형성되는 경우에 주로 이용되고, DC 스퍼터링 방법은 금속막이 형성되는 경우에 주로 이용된다.

[0254] 또한, 상이한 재료들의 복수의 타겟들이 설정될 수 있는 멀티-소스 스퍼터링 장치가 또한 존재한다. 상기 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들은 동일 챔버에 적층되도록 형성될 수 있거나, 복수 종류의 재료들의 막이 동일 챔버에서 동시에 전기 방전에 의해 형성될 수 있다.

[0255] 대안적으로, 상기 챔버 내부의 자석 시스템이 구비되고, 마그네트론 스퍼터링 방법에 이용된 스퍼터링 장치, 또는 글로우 방전을 이용하지 않고 마이크로파들을 이용하여 생성되는 플라즈마가 이용되는 ECR 스퍼터링 방법에 이용되는 스퍼터링 장치가 이용될 수 있다.

[0256] 또한, 스퍼터링 방법을 이용한 침착 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 그 화합물 박막을 형성하기 위한 침착 동안 서로 화학적으로 반응되는 반응성 스퍼터링 방법, 또는 침착 동안 기판에 전압이 또한 인가되는 바이어스 스퍼터링 방법이 이용될 수 있다.

[0257] 상기 게이트 절연막(603) 및 상기 산화물 반도체막은 대기에 노출되지 않고 연속적으로 형성될 수 있다. 대기에 노출되지 않고 연속적인 막 형성은 적층들 사이에 각각의 계면을 획득하는 것을 가능하게 하고, 이것은 수분, 탄화수소 등과 같이 대기에 부유하는 불순물 원소들 또는 분위기 구성요소들에 의해 오염되지 않는다. 따라서, 상기 트랜지스터의 특성들의 변동이 감소될 수 있다.

[0258] 다음에, 도 10c에 도시된 바와 같이, 상기 산화물 반도체막이 에칭 등에 의해 원하는 형상으로 가공(패터닝)되고, 그에 의해 섬형 산화물 반도체막(605)이 상기 게이트 전극(601)과 중첩하는 위치에서 상기 섬형 산화물 반도체막(605)이 상기 게이트 절연막(603) 위에 형성된다.

[0259] 상기 섬형 산화물 반도체막(605)을 형성하기 위한 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 상기 레지스트 마스크의 상기 형성은 포토마스크가 필요없다; 따라서 제작 비용이 감소될 수 있다.

[0260] 상기 섬형 산화물 반도체막(605)을 형성하기 위한 상기 에칭은 전식 에칭, 습식 에칭 또는 전식 에칭과 습식 에칭 둘다일 수 있음을 유념한다. 전식 에칭을 위한 상기 에칭 가스로서, 염소를 함유한 가스(염소(Cl_2), 염화 봉소(BCl_3), 염화 실리콘($SiCl_4$), 또는 4염화 탄소(CCl_4)와 같은 염소계 가스)가 이용되는 것이 바람직하다. 대안적으로, 플루오르를 함유한 가스(테트라플루오르화 탄소(CF_2), 플루오르화 황(SF_6), 플루오르화 질소(NF_3), 또는 트리플루오로메탄(CHF_3)과 같은 플루오르계 가스); 브롬화 수소(HBr); 산소(O_2); 헬륨(He) 또는 아르곤(Ar)과

같은 희가스가 첨가되는 이들 가스들 중 어느 하나; 등이 이용될 수 있다.

[0261] 상기 건식 에칭 방법으로서, 병렬판 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 이용될 수 있다. 상기 막을 원하는 형상으로 에칭하기 위해, 상기 에칭 조건(코일형 전극층에 인가된 전력량, 기판층 상의 전극층에 인가된 전력량, 또는 상기 기판층 상의 상기 전극 온도 등)을 적합하게 조정된다.

[0262] 습식 에칭에 이용된 에천트로서, 인산, 아세트산 및 질산을 혼합하여 획득된 용액, 암모니아 과산화물 혼합(31wt%의 과산화수소수; 28wt%의 암모니아수; 물 = 5 : 2 : 2) 등이 이용될 수 있다. 대안적으로, ITO-07N(Kanto Chemical Co., Inc.에 의해 제작됨) 등이 이용될 수 있다. 상기 습식 에칭 후의 에천트가 세정에 의해 상기 에칭된 재료들과 함께 제거된다. 상기 에천트 및 에칭되어진 재료를 포함한 폐액이 재사용될 수 있다. 상기 산화물 반도체막에 함유된 인듐과 같은 재료가 에칭된 후의 상기 폐액으로부터 수집되어 재사용될 때, 리소스들이 효율적으로 이용될 수 있고 비용이 감소될 수 있다.

[0263] 상기 섬형 산화물 반도체막(605) 및 상기 게이트 절연막(603)의 표면들 상에 부착하는 레지스트 잔여물 등이 제거되도록 후속 단계에서 도전막의 형성 전에 역 스퍼터링이 수행되는 것이 바람직함을 유념한다.

[0264] 다음에, 상기 산화물 반도체막(605)이 감압 분위기, 희가스 분위기 또는 질소 분위기와 같은 불활성 가스 분위기, 산소 분위기 또는 초건조 공기(공동 광자 감쇠 레이저 분석(CRDS) 방법으로 이슬점 계량기에 의해 측정이 수행되는 경우에, 상기 수분량이 20ppm(이슬점으로의 전환에 의해 -55°C) 이하, 바람직하게 1ppm 이하, 더욱 바람직하게 10ppb 이하) 하에서 열 처리를 받는다. 상기 산화물 반도체막(605)에 대한 상기 열 처리를 수행함으로써, 상기 산화물 반도체막(605)의 수분 또는 수소가 제거될 수 있다. 특히, 상기 열 처리는 300°C 이상 850°C 이하(또는 유리 기판의 스트레이인 포인트 이하의 온도), 바람직하게 550°C 이상 750°C 이하로 수행될 수 있다. 예를 들면, 이 열 처리는 3분 이상 6분 이하 동안 600°C로 수행될 수 있다. 상기 열 처리를 위한 RTA 방법으로, 탈수화 또는 탈수소화가 단시간에 수행될 수 있다; 따라서, 유리 기판의 상기 스트레이인 포인트보다 높은 온도에서도 처리가 수행될 수 있다. 대안적으로, 상기 열 처리는 상기 기판 온도가 대략 1시간 동안 450°C인 상태에서 수행될 수 있다.

[0265] 이 실시예에서, 열 처리는, 열 처리 장치들 중 하나인 전기로를 이용하여 질소 분위기에서 6분 동안 600°C의 기판 온도에서 상기 산화물 반도체막(605)에 대해 수행된 후에, 상기 산화물 반도체막은 대기에서 노출되지 않고 수분 또는 수소가 상기 산화물 반도체막에 혼입되는 것이 방지된다.

[0266] 열 처리 장치는 전기로에 제한되지 않고, 열 처리 장치에는 내열성 소자와 같은 가열 소자로부터 열 전도 또는 열 복사에 의해 처리된 대상을 가열하기 위한 장치가 구비될 수 있음을 유념한다. 예를 들면, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할로제나불 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 머큐리 램프와 같은 램프로부터 방출된 광의 복사(전자파)에 의해 처리될 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리하기 위한 장치이다. 상기 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 처리될 대상과 반응하지 않는 불활성 가스가 이용된다.

[0267] 예를 들면, 상기 열 처리는, 상기 기판이 650°C 내지 700°C의 고온으로 가열된 불활성 가스에 옮겨지고, 거기서 수분 동안 가열된 다음, 상기 기판이 상기 고온의 불활성 가스로부터 이동되는 GRTA를 이용할 수 있다. GRTA로 단기간 동안의 고온 가열 처리가 달성될 수 있다.

[0268] 상기 열 처리에서, 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 수분, 수소 등이 함유되지 않는 것이 바람직함을 유념한다. 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상이고, 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물들의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하)인 것이 바람직하다.

[0269] 수분 또는 수소와 같은 불순물들이 산화물 반도체에 첨가될 때, 게이트 바이어스-온도 중점 시험(BT 시험, 상기 시험 조건은 예를 들면, 85°C에서 12시간 동안 $2 \times 10^6 \text{V/cm}^2$)에서, 불순물들과 상기 산화물 반도체의 주성분 사이의 결합은 고전계(B: 바이어스) 및 고온(T: 온도)에 의해 단절되고, 생성된 미결합들은 임계 전압(V_{th})의 드리프트를 유발한다. 그러나, 상술된 방식으로, 상기 게이트 절연막과 상기 산화물 반도체 사이의 상기 계면 특성들을 개선하고 상기 산화물 반도체막에서 불순물들, 특히 수소, 수분 등을 가능한 많이 제거함으로써, 상기 BT 시험에 대해서도 안정하게 남아있는 트랜지스터가 획득될 수 있다.

- [0270] 상술된 단계들을 통해, 상기 산화물 반도체막(605)에서 수소의 농도가 감소될 수 있고 상기 섬형 산화물 반도체막이 고순도화된다. 따라서, 상기 산화물 반도체막이 안정화될 수 있다. 또한, 유리 전이 온도 이하의 온도에서의 열 처리는 캐리어 밀도가 극히 낮은 넓은 밴드 캡을 가진 산화물 반도체막을 형성하는 것을 가능하게 한다. 따라서, 트랜지스터는 대규모 기판을 이용하여 제작될 수 있어서, 생산성이 증가될 수 있다. 또한, 상기 수소 농도가 감소되고 순도가 개선되는 상기 산화물 반도체막을 이용함으로써, 높은 내전압, 감소된 단-채널 효과 및 높은 온-오프비를 가진 트랜지스터를 제작하는 것이 가능하다.
- [0271] 상기 산화물 반도체막이 가열되는 경우에, 상기 산화물 반도체막의 재료 또는 가열 조건들에 의존하지만, 플레이트형 결정들이 일부 경우들에서 상기 산화물 반도체막의 상부 표면 위에 형성됨을 유념한다. 상기 플레이트형 결정들은 결정들이 상기 산화물 반도체막의 상기 표면에 일반적으로 수직인 방향으로 c-축-배향되는 단일 결정체를 형성하는 것이 바람직하다. 상기 플레이트형 결정들이 단일 결정체를 형성하지 않을 때에도, 상기 플레이트형 결정들은 각각이 결정이 상기 산화물 반도체막의 상기 표면에 일반적으로 수직인 방향으로 c-축-배향되는 다결정체를 형성하는 것이 바람직하다. 상술된 다결정체에서, 상기 c-축 배향 외에도, 상기 결정들은 동일한 a-b 평면들, a-축들 또는 b-축들을 가지는 것이 바람직하다. 상기 산화물 반도체막의 상기 베이스의 표면이 불균일한 경우에, 상기 플레이트-형 결정들은 다결정체를 형성하는 것이 바람직하다. 따라서, 상기 베이스의 상기 표면은 가능한 평탄한 것이 바람직하다.
- [0272] 다음에, 상기 절연막(530), 상기 절연막(531), 상기 절연막(532) 및 상기 게이트 절연막(603)이 부분적으로 예칭되어, 상기 n-채널 트랜지스터(520)에 포함된 상기 고농도 불순물 영역들(513)에 도달하는 콘택트 홀들, 상기 p-채널 트랜지스터(521)에 포함된 상기 고농도 불순물 영역들(516)에 도달하는 콘택트 홀들, 및 상기 전극(602)에 도달하는 콘택트 홀이 형성된다. 그 후에, 상기 소스 전극 또는 상기 드레인 전극(상기 소스 전극 또는 상기 드레인 전극과 동일한 층에 형성되는 배선을 포함)에 이용되는 도전막이 스퍼터링 방법 또는 진공 증착 방법에 의해 상기 산화물 반도체막(605) 위에 형성된 다음, 예칭 등에 의해 상기 도전막이 패터닝되고, 그에 의해, 도 11a에 도시된 바와 같이, 상기 산화물 반도체막(605) 위의 상기 소스 전극(607) 및 상기 드레인 전극(608), 상기 전극(602) 및 상기 고농도 불순물 영역(513)과 접촉하는 배선(609), 상기 고농도 불순물 영역(516)과 접촉하는 배선(610), 및 상기 고농도 불순물 영역(513) 및 상기 고농도 불순물 영역(516)과 접촉하는 배선(611)이 형성된다.
- [0273] 상기 소스 전극 및 상기 드레인 전극(상기 소스 전극 또는 상기 드레인 전극과 동일한 층에 형성되는 배선을 포함)이 되는 상기 도전막의 상기 재료로서, Al, Cr, Cu, Ta, Ti, Mo 및 W로부터 선택된 원소; 상기 원소들 중 어느 것을 구성요소로서 포함하는 합금; 이들 원소들 중 어느 것을 조합한 합금막 등이 존재한다. 또한, Cr, Ta, Ti, Mo 또는 W와 같은 고용접 금속을 이용하여 형성되는 막이 Al 또는 Cu와 같은 금속막의 하부층 또는 상부층 위에 적층되는 구조가 이용될 수 있다. 또한 대안적으로, Si, Ti, Ta, W, Mo, Cr, Nd, Sc 또는 Y와 같이 Al막에서 힐록들(hilllocks) 및 위스커들(wiskers)의 생성을 방지하는 원소가 첨가되는 Al 재료가 이용될 때 내열성이 증가될 수 있다.
- [0274] 또한, 상기 도전막은 2개 이상의 층들의 적층 구조 또는 단층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층되는 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이 순서로 적층되는 3층 구조 등이 주어질 수 있다.
- [0275] 대안적으로, 상기 소스 및 드레인 전극들(상기 소스 및 드레인 전극들과 동일한 층에 형성된 배선을 포함)이 도전 금속 산화물을 이용하여 형성될 수 있다. 상기 도전 금속 산화물로서, 인듐 산화물(I_3N_2O), 주석 산화물(SnO_2), 아연 산화물(ZnO), 인듐 주석 산화물($In_2O_3-SnO_2$, ITO로 약칭), 인듐 산화물과 아연 산화물(In_2O_3-ZnO)의 합금, 또는 실리콘 또는 실리콘 산화물을 함유한 상기 금속 산화물 재료들 중 어느 것이 이용될 수 있다.
- [0276] 상기 도전막의 형성 후에 열 처리가 수행되는 경우에, 상기 도전막은 상기 열 처리를 견디기에 충분한 내열성을 가지는 것이 바람직하다.
- [0277] 상기 산화물 반도체막(605)이 상기 도전막의 예칭시 가능한 많이 제거되지 않도록 각각의 재료 및 예칭 조건들이 적합하게 조정되는 것을 유념한다. 상기 예칭 조건들에 의존하여, 상기 섬형 산화물 반도체막(605)의 노출된 부분이 부분적으로 예칭되어, 그루브(함볼 부분)를 가진 섬형 산화물 반도체막(605)이 일부 경우들에서 형성된다.
- [0278] 이 실시예에서, 상기 티타늄막이 상기 도전막으로서 이용되기 때문에, 습식 예칭이 암모니아 과산화물 혼합(31wt%의 과산화수소수; 28wt%의 암모니아수; 물 = 5 : 2 : 2)을 이용하여 상기 도전막에 대해 선택적으로 수행

되고, 그 경우 상기 산화물 반도체막(605)의 부분들도 또한 일부 경우들에서 에칭된다. 대안적으로, 건식 에칭이 염소(Cl₂), 염화 봉소(BCl₃) 등을 함유한 가스를 이용하여 상기 도전막에 대해 수행될 수 있다.

[0279] 포토리소그래피 공정에서 포토마스크들 및 단계들의 수를 감소시키기 위해, 에칭은 복수의 세기들을 가지도록 광이 투과되는 노광 마스크인 멀티-톤 마스크를 이용하여 형성되는 레지스트 마스크를 이용하여 형성될 수 있다. 멀티-톤 마스크를 이용하여 형성되는 레지스트 마스크는 복수의 두께들을 가지고, 또한 에칭에 의해 형상이 변경될 수 있다; 따라서, 상기 레지스트 마스크는 상이한 패턴들로 가공하기 위한 복수의 에칭 단계들에서 이용될 수 있다. 따라서, 적어도 2 종류 이상의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 멀티-톤 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 공정의 수도 또한 감소될 수 있고, 그에 의해 공정의 간단화가 실현될 수 있다.

[0280] 다음에, N₂O, N₂ 또는 Ar과 같은 가스를 이용한 플라즈마 처리가 수행된다. 상기 플라즈마 처리에 의해, 상기 산화물 반도체막의 노출된 표면에 부착하거나 흡수된 수분 등이 제거된다. 플라즈마 처리가 마찬가지로 산소와 아르곤의 혼합 가스를 이용하여 수행될 수 있다.

[0281] 상기 플라즈마 처리 후에, 도 11b에 도시된 바와 같이, 상기 절연막(612)은 상기 소스 전극(607), 상기 드레인 전극(608), 상기 배선들(609 내지 611) 및 상기 산화물 반도체막(605)을 피복하도록 형성된다. 상기 절연막(612)은 수분 또는 수소와 같은 불순물들을 가능한 적게 함유하는 것이 바람직하고, 상기 절연막(612)은 단층 절연막 또는 적층된 복수의 절연막들을 이용하여 형성될 수 있다. 수소가 상기 절연막(612)에 함유될 때, 상기 산화물 반도체막으로의 상기 수소의 혼입 또는 수소에 의한 상기 산화물 반도체막에서의 산소의 추출이 발생할 수 있고, 그에 의해 상기 산화물 반도체막의 백채널 부분이 저저항을 가지도록(n형이 되도록) 하여, 기생 채널이 형성될 수 있다. 따라서, 수소를 가능한 적게 함유하는 상기 절연막(612)을 형성하기 위해 수소가 이용되지 않는 형성 방법이 이용되는 것이 바람직하다. 높은 배리어 특성을 가진 재료가 상기 절연막(612)에 이용되는 것이 바람직하다. 예를 들면, 높은 배리어 특성을 가진 상기 절연막으로서, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등이 이용될 수 있다. 적층된 복수의 절연막들이 이용될 때, 산화 실리콘막 또는 산화질화 실리콘막과 같은 낮은 질소비를 가진 절연막이 높은 배리어 특성을 가진 상기 절연막보다 상기 산화물 반도체막(605)에 가까운 측면에 형성된다. 그 후에, 높은 배리어 특성을 가진 상기 절연막은 상기 소스 전극(607), 상기 드레인 전극(608) 및 상기 산화물 반도체막(605)과 중첩하도록 형성되고, 상기 절연막은 높은 배리어 특성을 가진 상기 절연막과 상기 소스 전극(607), 상기 드레인 전극(608) 및 상기 산화물 반도체막(605) 사이에서 낮은 질소비를 가진다. 높은 배리어 특성을 가진 상기 절연막이 이용될 때, 수분 또는 수소와 같은 불순물들이 상기 산화물 반도체막(605), 상기 게이트 절연막(603), 또는 상기 산화물 반도체막(605)과 다른 절연막 및 그 주변 사이의 상기 계면에 혼입되는 것이 방지될 수 있다. 또한, 산화 실리콘막 또는 산화질화 실리콘막과 같이 질소의 비가 낮은 상기 절연막은 상기 산화물 반도체막(605)과 접촉하도록 형성되어, 높은 배리어 특성을 가진 재료를 이용하여 형성된 상기 절연막은 상기 산화물 반도체막(605)과 직접 접촉하는 것이 방지될 수 있다.

[0282] 이 실시예에서, 스퍼터링 방법으로 형성된 100nm의 두께를 가진 질화 실리콘막이 스퍼터링 방법으로 형성된 200nm의 두께를 가진 산화 실리콘막 위에 적층되는 구조를 가진 상기 절연막(612)이 형성된다. 막 형성시 기판 온도는 실내 온도 이상 300°C 이하일 수 있고, 이 실시예에서는 100°C이다.

[0283] 상기 절연막(612)이 형성된 후에, 열 처리가 수행될 수 있음을 유념한다. 상기 열 처리는 200°C 이상 400°C 이하, 예를 들면 250°C 이상 350°C 이하에서, 감압 분위기, 희가스 분위기 또는 질소 분위기와 같은 불활성 가스 분위기, 산소 분위기 또는 초건조 공기(공동 광자 감쇠 레이저 분석(CRDS) 방법으로 이슬점 계량기에 의해 측정이 수행되는 경우에, 상기 수분량이 20ppm(이슬점으로의 전환에 의해 -55°C) 이하, 바람직하게 1ppm 이하, 더욱 바람직하게 10ppb 이하)에서 수행되는 것이 바람직하다. 이 실시예에서, 질소 분위기에서 250°C로 1시간 동안 열 처리가 수행된다. 대안적으로, 고온에서 단시간 동안의 RTA 처리가 상기 산화물 반도체막에 수행된 상기 열 처리와 유사한 방식으로 상기 소스 전극(607), 상기 드레인 전극(608), 및 상기 배선들(609 내지 611)의 형성 전에 수행될 수 있다. 상기 산화물 반도체막에 대한 이전 열 처리로 인해 상기 산화물 반도체막(605)에서 산소 결핍이 생성될 때에도, 상기 소스 전극(607)과 상기 드레인 전극(608) 사이에 제공된 상기 산화물 반도체막(605)의 상기 노출된 영역과 접촉하여 산소를 함유한 상기 절연막(612)이 형성된 후에 열 처리를 수행함으로써, 산소가 상기 산화물 반도체막(605)에 공급된다. 상기 절연막(612)과 접촉하여 상기 산화물 반도체막(605)의 영역으로의 산소의 공급에 의해, 도너의 역할을 하는 산소 결핍이 감소되고, 화학양론적 조성비가 만족될 수 있다. 결과적으로, 상기 산화물 반도체막(605)은 i-형 반도체막 또는 실질적으로 i-형 반도체막이 될 수 있다.

따라서, 상기 트랜지스터의 전기 특성들이 개선될 수 있고, 그것의 상기 전기 특성들의 변동이 감소될 수 있다. 이 열 처리의 시간은 상기 절연막(612)의 형성 후인 한 특별히 제한되지 않고, 이 열 처리는 투명 도전막의 저항의 감소를 위한 열 처리 또는 수지막의 형성을 위한 열 처리와 같은 다른 단계를 이중화함으로써 제작 단계들의 수를 증가시키지 않고 수행될 수 있어서, 상기 산화물 반도체막(605)은 i-형 반도체막 또는 실질적으로 i-형 반도체막이 될 수 있다.

[0284] 다음에, 도전막이 상기 절연막(612) 위에 형성된 후에, 백 게이트 전극이 상기 도전막의 패터닝에 의해 상기 산화물 반도체막(605)과 중첩하도록 형성될 수 있다. 상기 백 게이트 전극이 형성될 때, 상기 백 게이트 전극을 피복하도록 절연막이 형성된다. 상기 백 게이트 전극은 상기 게이트 전극(601), 상기 전극(602), 상기 소스 전극(607), 상기 드레인 전극(608), 상기 배선(609), 상기 배선(610) 또는 상기 배선(611)의 재료 및 구조들과 유사한 재료 및 구조를 이용하여 형성될 수 있다.

[0285] 상기 백 게이트 전극의 두께는 10nm 내지 400nm, 바람직하게 100nm 내지 200nm이다. 이 실시예에서, 상기 백 게이트 전극은 티타늄막, 알루미늄막 및 티타늄막이 적층되는 도전막이 형성되는 방식으로 형성될 수 있고, 레지스트 마스크가 포토리소그래피 방법 등에 의해 형성되고, 상기 도전막이 원하는 형상으로 가공(패터닝)되도록 불필요한 부분들이 에칭에 의해 제거된다.

[0286] 상기 절연막은 분위기에서의 수분, 수소, 산소 등이 상기 트랜지스터의 특성들에 영향을 미치는 것을 방지할 수 있는 높은 배리어 특성을 가지는 재료를 이용하여 형성되는 것이 바람직하다. 예를 들면, 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 높은 배리어 특성을 가진 절연막으로서, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등의 단층 구조 또는 적층 구조를 형성하는 것이 가능하다. 배리어 특성의 효과를 획득하기 위해, 예를 들면, 상기 절연막은 15nm 내지 400nm의 두께로 형성되는 것이 바람직하다.

[0287] 이 실시예에서, 절연막이 플라즈마 CVD 방법에 의해 300nm의 두께로 형성된다. 상기 절연막은 다음의 조건들 하에서 형성된다: 시례인 가스 유량이 4sccm이다; 일산화이질소(N_2O)의 유량이 800sccm이다; 그리고 상기 기판 온도가 400°C이다.

[0288] 상술된 단계들을 통해, 스위칭 소자로서 기능하는 트랜지스터(620), 위상-반전 소자를 형성하는 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521), 및 커페시터(623)가 형성된다. 상기 커페시터(623)는 상기 전극(602) 및 상기 소스 전극(607)이 상기 게이트 절연막(603)을 사이에 개재하여 서로 중첩하는 영역에 형성됨을 유념한다. 또한, 상기 커페시터(623)는 상기 트랜지스터(620)와 동일한 층 위에 형성될 필요가 없고; 예를 들면, 상기 커페시터(623)는 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521)와 동일한 층 위에 형성될 수 있음을 유념한다.

[0289] 상기 트랜지스터(620)는 상기 게이트 전극(601), 상기 게이트 전극(601) 위의 상기 게이트 절연막(603), 상기 게이트 절연막(603) 위에서 상기 게이트 전극(601)과 중첩하는 상기 산화물 반도체막(605), 및 상기 산화물 반도체막(605) 위에 형성된 상기 소스 전극(607) 및 상기 드레인 전극(608)의 쌍을 포함한다. 상기 트랜지스터(620)는 상기 산화물 반도체막(605) 위에 제공된 상기 절연막(612)을 그 구성요소로서 더 포함할 수 있다. 도 11b에 도시된 상기 트랜지스터(620)는 상기 산화물 반도체막(605)의 일부가 상기 소스 전극(607)과 상기 드레인 전극(608) 사이에 노출되는 채널-에칭형 구조를 가짐을 유념한다.

[0290] 상기 트랜지스터(620)로서 단일-게이트형 트랜지스터를 이용한 기술이 주어졌지만, 서로 전기적으로 접속되는 복수의 상기 게이트 전극들(601)을 포함함으로써 복수의 채널 형성 영역들을 포함하는 멀티-게이트형 트랜지스터가 필요시 형성될 수 있다.

[0291] 상기 산화물 반도체의 에너지 밴드 갭이 3eV 내지 3.5eV임을 유념한다. 탄화 실리콘의 밴드 갭과 질화 갈륨의 밴드 갭은 각각 3.26eV 및 3.39eV이고, 이들은 대략 실리콘의 것보다 3배 크다. 따라서, 탄화 실리콘 및 질화 갈륨과 같은 이들 화합물 반도체들은 이들이 둘다 넓은 밴드 갭 반도체들인 점에서 상기 산화물 반도체와 유사하다. 상기 넓은 밴드 갭의 특성들은 내전압을 개선하고, 반도체 장치의 전력 손실의 감소 등의 이점이 있다.

[0292] 그러나, 탄화 실리콘 및 질화 갈륨과 같은 상기 화합물 반도체는 상기 산화물 반도체보다 훨씬 더 높은 가공 온도 또는 처리 온도를 필요로 한다. 탄화 실리콘의 상기 가공 온도는 약 1500°C이고, 질화 갈륨의 상기 가공 온도는 약 1100°C이고, 이것은 허용 가능한 온도 한도가 낮은 유리 기판 또는 쉽게 획득될 수 있는 실리콘 웨이퍼 위에 막 형성을 허용하지 않는다. 따라서, 저렴한 기판이 이용될 수 없고, 또한 상기 화합물 반도체는 기판의 크기가 증가될 때 적용될 수 없어서, 탄화 실리콘 또는 질화 갈륨과 같은 상기 화합물 반도체를 이용한 반도체 장치들의 대량 생산이 낮다. 반대로, 상기 산화물 반도체는 유리 기판 위에 침착되도록 300°C 내지 850°C의 열

처리에서 침착될 수 있다. 또한, 이 실시예에 기술된 바와 같이, 정규 반도체 재료를 이용한 집적 회로 위에 산화물 반도체를 이용하여 반도체 소자를 형성하는 것이 가능하다.

[0293] 다음에, 이 실시예에서 상기 산화물 반도체막에 함유된 수분 또는 수소와 같은 불순물들의 가능한 많은 제거에 의해 상기 산화물 반도체막의 고순도화에 의해 상기 트랜지스터의 특성들이 어떻게 영향을 받는지가 기술될 것이다.

[0294] 도 19는 산화물 반도체를 포함하는 트랜지스터의 단면도이다. 산화물 반도체막(OS)은 게이트 절연막(GI)을 개재한 게이트 전극(GE) 위에 제공되고, 소스 전극(S) 및 드레인 전극(D)이 그 위에 제공된다. 절연막은 상기 소스 전극(S) 및 상기 드레인 전극(D) 위에 형성된다.

[0295] 도 20은 도 19에 도시된 A-A' 쟝션을 따른 에너지 대역도(개략도)이다. 도 20에서, 흑색 원(●) 및 백색 원(○)은 전자 및 정공을 표현하고 각각 전하들(-q, +q)을 가진다. 양의 전압($V_D > 0$)이 상기 드레인 전극(D)에 인가되고, 상기 게이트 전극(GE)에 전압이 인가되지 않은($V_G = 0$) 경우가 쇄선에 의해 도시되고, 양의 전압($V_D > 0$)이 상기 드레인 전극(D)에 인가되고, 양의 전압($V_G > 0$)이 상기 게이트 전극(GE)에 인가되는 경우가 실선에 의해 도시된다. 전압이 게이트 전극(GE)에 인가되지 않은 경우, 고전위 배리어로 인해 소스 전극(S)으로부터 상기 산화물 반도체막(OS)측에 캐리어들(전자들)이 주입되지 않아서, 전류가 흐르지 않고, 이것은 오프 상태를 의미한다. 반대로, 양의 전압이 상기 게이트 전극(GE)에 인가될 때, 양의 배리어가 감소되어, 상기 산화물 반도체막(OS)에 전류가 흐르고, 이것은 온 상태를 의미한다.

[0296] 도 21a 및 도 21b는 도 19에 도시된 B-B' 쟝션을 따른 에너지 대역도들(개략도들)이다. 도 21a는 양의 전압($V_G > 0$)이 게이트 전극(GE)에 인가되는 상태와 캐리어들(전자들)이 상기 소스 전극과 상기 드레인 전극 사이에 흐르는 온 상태를 도시한다. 도 21b는 음의 전압($V_G < 0$)이 상기 게이트 전극(GE)에 인가되고 상기 트랜지스터가 오프 상태에 있는 상태를 도시한다.

[0297] 도 22는 금속의 진공 준위와 일함수(ϕ_m) 사이, 및 산화물 반도체의 진공 준위와 전자 친화력(χ) 사이의 관계를 도시한다.

[0298] 정상 온도에서, 상기 금속에서의 전자들이 축퇴되고 페르미 준위가 도전 대역에 위치된다. 한편, 일반적으로, 통상적인 산화물 반도체는 n형 반도체이고, 그 페르미 준위(Ef)는 상기 밴드 갭의 중앙에 위치되는 전성 페르미 준위(Ei)로부터 떨어진 상기 도전 대역(Ec) 근처에 위치된다. 상기 산화물 반도체에서의 수소의 일부가 상기 산화물 반도체를 n형 반도체로 만드는 요인들 중 하나와 도너의 역할을 하는 것이 알려져 있음을 유념한다. 또한, 산소 결핍도 또한 상기 산화물 반도체를 n형 도전성을 가지게 만드는 요인들 중 하나로서 알려져 있다.

[0299] 반대로, 본 발명의 일 실시예에서, 산화물 반도체는, 산화물 반도체로부터 n형 불순물인 수소를 제거하고, 상기 산화물 반도체의 주성분 이외의 불순물이 그에 가능한 많이 함유되는 것이 방지되도록 상기 산화물 반도체를 고순도화하고, 산소 결핍을 제거함으로써, 전성(i-형) 반도체 또는 전성에 극히 가까운 반도체가 되게 한다. 즉, 상기 산화물 반도체는 불순물들의 첨가에 의해서가 아니라 고순도를 가지도록 수분 또는 수소와 같은 불순물들 및 산소 결핍을 가능한 많이 제거함에 의해 i-형 반도체가 되어, 전성(i-형) 반도체 또는 전성(i-형)에 극히 가까운 반도체인 산화물 반도체가 획득된다. 상기 구조로, 상기 페르미 준위(Ef)는 화살표들에 의해 표시된 바와 같이, 상기 전성 페르미 준위(Ei)와 동일한 준위에 극히 가까울 수 있다.

[0300] 산화물 반도체의 상기 밴드 갭(Eg)은 3.15eV이고 그 전자 친화력(χ)이 4.3V라고 한다. 티타늄(Ti)이 상기 소스 전극 및 상기 드레인 전극을 형성하기 위한 재료로서 이용되는 경우에, 티타늄(Ti)의 일함수는 상기 산화물 반도체의 상기 전자 친화력(χ)과 실질적으로 동일하다. 그 경우, 전자들에 대한 셀트카 배리어는 상기 금속과 상기 산화물 반도체 사이의 계면에서 형성되지 않는다. 티타늄 외에도 이 조건을 만족하는 재료들이 존재한다.

[0301] 이 경우, 도 21a에 도시된 바와 같이, 상기 산화물 반도체의 최하부를 따라 전자가 이동하고, 이것은 상기 게이트 절연막과 상기 고순도화 산화물 반도체 사이의 계면에서 에너지가 안정하다.

[0302] 도 21b에서, 음의 전압이 상기 게이트 전극(GE)에 인가될 때, 소수 캐리어들인 정공들이 실질적으로 영이다; 따라서, 전류는 영에 극히 가깝다.

[0303] 예를 들면, 소자가 $1 \times 10^6 \mu\text{m}^2$ 의 채널 폭(W)과 $10\mu\text{m}$ 의 채널 길이(L)를 가지는 경우에도, 오프-상태 전류는 1V 내지 10V의 상기 소스 전극과 상기 드레인 전극 사이의 전압(드레인 전압)에서, 반도체 파라미터 분석기의 측정

한도 이하, 즉 $1 \times 10^{-13} A$ 이하일 수 있다. 측정에 따라, 트랜지스터는, 3V의 상기 트랜지스터의 소스 전극과 드레인 전극 사이의 전압에서, $10zA/\mu m$ 내지 $100zA/\mu m$ 인 훨씬 낮은 오프-상태 전류 밀도를 가질 수 있다. 상기 측정에서, 고순도화된 산화물 반도체막 및 100nm 두께의 게이트 절연막을 포함하는 트랜지스터가 저장 커페시터의 전하를 저장하는 스위칭 소자에 이용되었고, 상기 트랜지스터의 상기 오프-상태 전류가 단위 시간 당 상기 저장 커페시터의 전하량의 변화에 의해 측정되었다. 즉, 상기 고순도화된 산화물 반도체막이 활성층으로서 이용되는 상기 트랜지스터의 상기 오프-상태 전류 밀도는 $100zA/\mu m$ 이하, 바람직하게 $10zA/\mu m$ 이하, 더욱 바람직하게 $1zA/\mu m$ 이하일 수 있다.

- [0304] 이 방식으로, 상기 산화물 반도체막은 상기 산화물 반도체의 주성분 이외의 수분 또는 수소와 같은 불순물들이 가능한 적게 함유되도록 고순도화되고, 그에 의해 상기 트랜지스터의 동작이 양호할 수 있다.
- [0305] 이 실시예는 상술된 실시예들 중 어느 것과 적합하게 조합되어 구현될 수 있다.
- [0306] (실시예 5)
- [0307] 이 실시예에서, 실시예 4의 상기 트랜지스터의 구조와 상이한 구조를 가진 산화물 반도체막을 포함하는 트랜지스터가 기술된다.
- [0308] 실시예 4의 방식과 유사한 방식으로, 도 12a에 도시된 메모리 장치는 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521)를 포함하고, 이를 각각은 결정 실리콘을 포함한다. 또한, 채널-보호형 구조를 가지고 산화물 반도체막을 포함하는 하부-게이트형 트랜지스터(630)는 도 12a에서의 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521) 위에 형성된다.
- [0309] 상기 트랜지스터(630)는 상기 절연막(532) 위에 제공된 게이트 전극(631), 상기 게이트 전극(631) 위에 제공된 게이트 절연막(632), 상기 게이트 절연막(632) 위의 상기 게이트 전극(631)과 중첩하는 산화물 반도체막(633), 상기 게이트 전극(631)과 중첩하기 위해 상기 섬형 산화물 반도체막(633) 위에 제공되는 채널 보호막(634), 및 상기 산화물 반도체막(633) 위에 제공되는 소스 전극(635) 및 드레인 전극(636)을 포함한다. 상기 트랜지스터(630)는 상기 산화물 반도체막(633) 위에 제공된 절연막(637)을 구성요소로 더 포함할 수 있다.
- [0310] 상기 채널 보호막(634)은 채널 형성 영역의 역할을 하는 상기 산화물 반도체막(633)의 일부가 나중 단계에서 손상되는 것(예를 들면, 에칭시의 에칠헥사드로 인한 두께의 감소)을 방지할 수 있다. 따라서, 상기 트랜지스터의 신뢰도가 개선될 수 있다.
- [0311] 산소(실리콘 산화물, 실리콘 질화 산화물, 실리콘 산화질화물, 산화 알루미늄, 알루미늄 산화질화물 등)를 함유한 무기 재료가 상기 채널 보호막(634)에 이용될 수 있다. 상기 채널 보호막(634)은 플라즈마 CVD 방법 또는 열 CVD 방법이 같은 진공 증착 방법, 또는 스퍼터링 방법에 의해 형성될 수 있다. 상기 채널 보호막(634)의 상기 형성 후에, 그 형상은 에칭에 의해 가공된다. 여기서, 상기 채널 보호막(634)은 산화 실리콘막이 스퍼터링 방법에 의해 형성되고 포토리소그래피에 의해 형성된 마스크를 이용한 에칭에 의해 가공되는 방식으로 형성된다.
- [0312] 상기 채널 보호막(634)에 대해 산소를 함유한 무기 재료를 이용함으로써, 수분 또는 수소를 감소시키기 위한 열처리로 인해 상기 산화물 반도체막(633)에서 산소 결핍이 생성될 때에도, 적어도 상기 채널 보호막(634)과 접촉하는 상기 산화물 반도체막(633)의 영역에 산소가 공급되고 도너의 역할을 하는 산소 결핍이 감소될 수 있어서, 화학량론적 조성비를 만족하는 구조가 획득될 수 있다. 따라서, 상기 채널 형성 영역은 i-형 반도체 또는 실질적으로 i-형인 반도체가 될 수 있고, 산소 결핍으로 인한 상기 트랜지스터의 전기 특성들의 변동이 감소될 수 있고, 상기 전기 특성들이 개선될 수 있다.
- [0313] 상기 트랜지스터(630)는 상기 절연막(637) 위의 백 게이트 전극을 더 포함할 수 있음을 유념한다. 상기 백 게이트 전극은 상기 산화물 반도체막(633)에서 채널 형성 영역과 중첩하도록 형성된다. 또한, 상기 백 게이트 전극은 전기적으로 분리되고 플로팅 상태에 있을 수 있거나, 또는 상기 백 게이트 전극에 전위가 공급되는 상태에 있을 수 있다. 후자의 경우, 상기 백 게이트 전극은 상기 게이트 전극(631)과 동일한 레벨을 가진 전위가 공급될 수 있거나, 또는 전지 전위와 같은 고정된 전위가 공급될 수 있다. 상기 백 게이트 전극에 공급된 상기 전위의 레벨이 제어되고, 그에 의해 상기 트랜지스터(630)의 임계 전압이 제어될 수 있다.
- [0314] 실시예 4의 방식과 유사한 방식으로, 도 12b에 도시된 메모리 장치는 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521)를 포함하고, 이를 각각은 결정 실리콘을 포함한다. 또한, 산화물 반도체막을 포함하는 하부-접촉형 트랜지스터(640)는 도 12b에서의 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521) 위에 형성된다.

- [0315] 상기 트랜지스터(640)는 상기 절연막(532) 위에 제공된 게이트 전극(641), 상기 게이트 전극(641) 위에 제공된 게이트 절연막(642), 상기 게이트 절연막(642) 위에 제공된 소스 전극(643) 및 드레인 전극(644), 및 상기 게이트 전극(641)과 중첩하는 산화물 반도체막(645)을 포함한다. 상기 트랜지스터(640)는 상기 산화물 반도체막(645) 위에 제공된 절연막(646)을 구성요소로 더 포함할 수 있다.
- [0316] 도 12b에 도시된 바와 같은 상기 하부-접촉형 트랜지스터(640)의 경우에, 상기 소스 전극(643) 및 상기 드레인 전극(644)의 각각의 두께는 나중에 형성되는 상기 산화물 반도체막(645)의 접속해제를 방지하기 위해 실시예 4에 기술된 상기 하부-게이트형 트랜지스터의 두께보다 작은 것이 바람직하다. 특히, 상기 소스 전극(643) 및 상기 드레인 전극(644)의 상기 두께는 10nm 내지 200nm, 바람직하게 50nm 내지 75nm이다.
- [0317] 상기 트랜지스터(640)는 상기 절연막(646) 위에 백 게이트 전극을 더 포함할 수 있음을 유념한다. 상기 백 게이트 전극은 상기 산화물 반도체막(645)에서 채널 형성 영역과 중첩하도록 형성된다. 또한, 상기 백 게이트 전극은 전기적으로 분리되고 플로팅 상태에 있을 수 있거나, 또는 상기 백 게이트 전극에 전위가 공급되는 상태에 있을 수 있다. 후자의 경우, 상기 백 게이트 전극은 상기 게이트 전극(641)과 동일한 레벨을 가진 전위가 공급될 수 있거나, 또는 전지 전위와 같은 고정된 전위가 공급될 수 있다. 상기 백 게이트 전극에 공급된 상기 전위의 레벨이 제어되고, 그에 의해 상기 트랜지스터(640)의 임계 전압이 제어될 수 있다.
- [0318] 실시예 4의 방식과 유사한 방식으로, 도 12c에 도시된 메모리 장치는 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521)를 포함하고, 이를 각각은 결정 실리콘을 포함한다. 또한, 산화물 반도체막을 포함하는 상부-게이트형 트랜지스터(650)는 도 12c에서의 상기 n-채널 트랜지스터(520) 및 상기 p-채널 트랜지스터(521) 위에 형성된다.
- [0319] 상기 트랜지스터(650)는 상기 절연막(532) 위에 제공된 소스 전극(651) 및 드레인 전극(652), 상기 소스 전극(651) 및 상기 드레인 전극(652) 위에 제공된 산화물 반도체막(653), 상기 산화물 반도체막(653) 위에 제공된 게이트 절연막(654), 및 상기 게이트 절연막(654) 위에서 상기 산화물 반도체막(653)과 중첩하는 게이트 전극(655)을 포함한다. 또한, 상기 트랜지스터(650)는 상기 게이트 전극(655) 위에 제공된 절연막(656)을 구성요소로 더 포함할 수 있다.
- [0320] 도 12c에 도시된 바와 같이 상부-게이트형 트랜지스터(650)의 경우에, 상기 소스 전극(651) 및 상기 드레인 전극(652)의 각각의 두께는 나중에 형성되는 상기 산화물 반도체막(653)의 접속해제를 방지하기 위해 실시예 4에 기술된 상기 하부-게이트형 트랜지스터의 두께보다 작은 것이 바람직하다. 특히, 상기 소스 전극(651) 및 상기 드레인 전극(652)의 상기 두께는 10nm 내지 200nm, 바람직하게 50nm 내지 75nm이다.
- [0321] 본 발명의 일 실시예인 상기 메모리 장치에서, 위상-반전 소자, 스위칭 소자 등은 벌크형 단결정 반도체 기판을 이용하여 제작되는 트랜지스터를 포함할 수 있다. 도 23에서, 산화물 반도체를 포함하는 트랜지스터가 상기 벌크형 단결정 반도체 기판을 이용하여 형성되는 트랜지스터 위에 형성되는 반도체 장치의 단면도가 예로서 도시된다.
- [0322] 도 23에 도시된 상기 메모리 장치는 반도체 기판(662) 위에 제공된 n-채널 트랜지스터(661) 및 p-채널 트랜지스터(662), 상기 n-채널 트랜지스터(661) 및 상기 p-채널 트랜지스터(662)를 괴복하는 절연막(663) 위에 제공되고 커패시터 스위칭 소자로서 이용된 트랜지스터(664), 및 커패시터(665)를 포함한다.
- [0323] 상기 트랜지스터(664)가 채널 형성 영역에 산화물 반도체를 포함하고 실시예 4에 기술된 구조를 가지는 경우가 예로서 기술되지만, 이 구조는 도 12a 내지 도 12c에 도시된 것을 수 있다.
- [0324] 상기 반도체 기판(660)은 예를 들면 n형 또는 p형 도전성을 가진 단결정 실리콘 기판, 화합물 반도체 기판(예를 들면, GaAs 기판, InP 기판, GaN 기판, SiC 기판, 사파이어 기판 또는 ZnSe 기판) 등일 수 있다. 도 23에서, n형 도전성을 가진 단결정 실리콘 기판이 예로서 기술된다.
- [0325] 또한, 상기 n-채널 트랜지스터(661) 및 상기 p-채널 트랜지스터(662)는 소자 분리 절연막(666)에 의해 전기적으로 분리된다. 상기 소자 분리 절연막(666)의 형성에 대해, 선택적 산화 방법(실리콘의 국지적 산화(Locos) 방법), 트렌치 분리 방법 등이 이용될 수 있다.
- [0326] 상기 p-채널 트랜지스터(662)가 형성되는 영역에서, p-웰(667)이라고 칭해지는 영역이 p형 도전성을 부여하는 불순물 원소를 선택적으로 도입하여 형성된다. p형 도전성을 가진 반도체 기판이 이용되는 경우에, n형 도전성을 부여하는 불순물 원소가 상기 n-채널 트랜지스터(661)가 형성되는 영역에 선택적으로 도입될 수 있어서, n-웰이 형성될 수 있다.

- [0327] 이 실시예는 상술된 실시예들 중 어느 것과 적합하게 조합되어 구현될 수 있다.
- [0328] (실시예 6)
- [0329] 이 실시예에서, 본 발명의 일 실시예인 메모리 장치의 구조가 기술될 것이다. 상기 메모리 장치에서, 채널 형성 영역에서 고순도화된 산화물 반도체를 포함하는 트랜지스터는 메모리 소자로의 전원 전위의 공급을 제어하는 스위칭 소자에 이용된다.
- [0330] 도 13a에서, 이 실시예의 메모리 장치의 구조가 예로서 도시된다. 도 13a에 도시된 상기 메모리 장치는 스위칭 소자(401) 및 메모리 복수의 메모리 소자들(402)을 포함하는 소자군(403)을 포함한다. 특히, 상기 메모리 소자들(402)의 각각으로서, 실시예 1 내지 실시예 5에 기술된 상기 구조들 중 어느 것을 가진 메모리 소자가 이용될 수 있다. 상기 메모리 소자군(403)에 포함된 상기 메모리 소자들(402)의 각각에는 상기 스위칭 소자(401)를 통해 하이-레벨 전원 전위 VDD가 공급된다. 또한, 상기 메모리 소자군(403)에 포함된 상기 메모리 소자들(402)의 각각에는 신호 IN의 전위 및 로우-레벨 전원 전위 VSS가 공급된다.
- [0331] 도 13a에서, 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터는 상기 스위칭 소자(401)에 이용되고, 상기 트랜지스터의 상기 스위칭은 그것의 게이트 전극에 공급된 신호 Sig A에 의해 제어된다. 상기 스위칭 소자(401)에 이용되는 상기 트랜지스터가 채널 형성 영역에 고순도화된 산화물 반도체를 포함하기 때문에, 오프-상태 전류가 상술된 바와 같이 극히 낮다.
- [0332] 도 13a에서, 상기 스위칭 소자(401)가 하나의 트랜지스터만을 포함하는 구조가 기술되었지만, 본 발명이 이 구조에 제한되지 않음을 유념한다. 본 발명의 일 실시예에서, 상기 스위칭 소자(401)는 복수의 트랜지스터들을 포함할 수 있다. 스위칭 소자들의 역할을 하는 상기 복수의 트랜지스터들이 상기 스위칭 소자(401)에 포함되는 경우에, 상기 복수의 트랜지스터들은 서로 병렬, 직렬로, 또는 병렬 접속과 직렬 접속의 조합으로 접속될 수 있다.
- [0333] 상기 스위칭 소자(401)가 도 13a에서의 상기 메모리 소자군(403)에 포함된 상기 메모리 소자들(402)의 각각에 상기 하이-레벨 전원 전위 VDD의 공급을 제어하지만, 상기 스위칭 소자(401)는 상기 로우-레벨 전원 전위 VSS의 공급을 제어할 수 있다. 도 13b에서, 상기 메모리 소자군(403)에 포함된 상기 메모리 소자들(402)의 각각에 상기 스위칭 소자(401)를 통해 상기 로우-레벨 전원 전위 VSS가 공급되는 메모리 장치의 예가 도시된다. 상기 메모리 소자군(403)에 포함된 상기 메모리 소자들(402)의 각각에 대한 상기 로우-레벨 전원 전위 VSS의 상기 공급은 상기 스위칭 소자(401)에 의해 제어된다.
- [0334] 다음에, 실시예 4 또는 실시예 5에 도시된 채널 형성 영역에서 산화물 반도체를 포함하는 상기 트랜지스터보다 높은 전압 또는 높은 전류를 제어할 수 있는 전력 장치에 대한 트랜지스터의 구조가 기술될 것이다. 상기 스위칭 소자(401)에 대한 이러한 구조를 가진 트랜지스터를 이용함으로써, 상기 메모리 장치의 신뢰도가 더욱 증가될 수 있다. 실시예 4 또는 실시예 5와 동일한 부분들 또는 실시예 4 또는 실시예 5의 기능들과 유사한 기능들을 가진 부분들이 실시예 4 또는 실시예 5에서와 동일하게 형성될 수 있고, 또한, 실시예 4 또는 실시예 5와 동일한 단계들 또는 실시예 4 또는 실시예 5의 단계들과 유사한 단계들이 실시예 4 또는 실시예 5에서와 유사한 방식으로 형성될 수 있고, 따라서 그 반복 기술이 생략됨을 유념한다.
- [0335] 도 14a에서, 이 실시예에 기술된 트랜지스터(420)의 단면도가 도시된다. 도 14b는 상기 트랜지스터(420)의 상면도이다. 도 14b에서 쇄선 B1-B2에 따른 단면도는 도 14b에 대응한다.
- [0336] 상기 트랜지스터(420)는 절연 표면 위의 제 1 전극(421)을 포함한다.
- [0337] 상기 제 1 전극(421)은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텉스텐 및 이트륨에서 선택된 금속 원소; 이를 금속 원소들 중 어느 것을 구성성분으로 함유한 합금; 이를 금속 원소들을 조합하여 함유한 합금 등을 이용하여 형성된다. 대안적으로, 망간, 마그네슘, 지르코늄 및 베릴륨에서 선택된 하나 이상의 금속 원소들이 이용될 수 있다. 또한, 상기 제 1 전극(421)은 2개 이상의 층들을 가진 적층 구조 또는 단층 구조를 가질 수 있다. 예를 들면, 실리콘을 함유한 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, 티타늄막이 텉스텐막 위에 적층된 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이 순서로 적층된 3층 구조 등이 주어질 수 있다. 대안적으로, 막, 합금막 또는 알루미늄과, 티타늄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 원소들을 함유한 질화막이 이용될 수 있다.
- [0338] 상기 제 1 전극(421)은 인듐 주석 산화물을, 텉스텐 산화물을 함유한 인듐 산화물, 텉스텐 산화물을 함유한 인듐 아연 산화물, 티타늄 산화물을 함유한 인듐 산화물, 티타늄 산화물을 함유한 인듐 주석 산화물, 인듐 아연 산화

물, 또는 실리콘 산화물이 첨가된 인듐 주석 산화물과 같은 투광성 도전 재료를 이용하여 형성될 수 있다. 또한, 상기 제 1 전극(421)은 상기 투광성 도전 재료 및 상기 금속 원소를 이용하여 형성된 적층 구조를 가질 수 있다.

[0339] 상기 제 1 전극(421)은 스퍼터링 방법, CVD 방법 또는 진공 증착 방법에 의해 상기 절연 표면 위에 도전막이 형성되고, 레지스트 마스크가 포토리소그래피 공정에서 상기 도전막 위에 형성되고, 상기 도전막이 상기 레지스트 마스크를 이용하여 에칭되는 방식으로 형성될 수 있다. 대안적으로, 상기 제 1 전극(421)은 포토리소그래피 공정을 이용하지 않고 잉크젯 방법 또는 인쇄 방법에 의해 형성되어, 단계들의 수가 감소될 수 있다. 상기 제 1 전극(421)의 단부들이 테이퍼 형상을 가지는 것이 바람직하여, 나중에 형성되는 케이트 절연막으로의 피복성이 개선될 수 있음을 유념한다. 상기 제 1 전극(421)의 상기 단부와 상기 제 1 전극(421)이 형성되는 상기 절연 표면 사이의 각은 30° 이상 60° 이하, 바람직하게 40° 이상 50° 이하이고, 나중에 형성되는 상기 케이트 절연 막으로의 상기 피복성이 개선될 수 있다.

[0340] 이 실시예에서, 상기 제 1 전극(421)을 형성하기 위한 상기 도전막으로서, 50nm 두께의 티타늄막이 스퍼터링 방법에 의해 형성되고, 100nm 두께의 알루미늄막이 형성되고, 50nm 두께의 티타늄막이 형성된다. 다음에, 상기 포토리소그래피 공정에서 형성된 상기 레지스트 마스크를 이용하여 에칭이 수행되고, 그에 의해 상기 제 1 전극(421)이 형성된다. 상기 포토리소그래피 공정에서 형성된 상기 레지스트 마스크 대신에 잉크젯 방법을 이용하여 레지스트 마스크를 형성함으로써, 단계들의 수가 감소될 수 있다.

[0341] 상기 트랜지스터(420)는 상기 제 1 전극(421) 위에 섬형 산화물 반도체막(422)을 포함한다. 상기 산화물 반도체 막(422)은 스퍼터링 방법, 코팅 방법, 인쇄 방법 등에 의해 형성될 수 있다. 이 실시예에서, 산화물 반도체막이 스퍼터링 방법에 의해 상기 제 1 전극(421) 위에 형성될 때, 상기 산화물 반도체막은 에칭 등에 의해 원하는 형상으로 가공되어, 상기 섬형 산화물 반도체막(422)이 형성된다. 또한, 상기 산화물 반도체막은 희가스 분위기(예를 들면, 아르곤), 산소 분위기 또는 희가스(예를 들면, 아르곤)와 산소를 포함한 분위기 하에서 스퍼터링 방법에 의해 형성될 수 있다.

[0342] 상기 섬형 산화물 반도체막(422)을 형성하기 위한 상기 에칭은 실시예 4에서의 상기 산화물 반도체막의 상기 에칭 기술에 따라 수행될 수 있음을 유념한다. 에칭에 의해 형성되는 상기 섬형 산화물 반도체막(422)의 상기 단부와 상기 제 1 전극(421) 사이의 각은 30° 이상 60° 이하, 바람직하게 40° 이상 50° 이하이고, 나중에 형성되는 상기 케이트 절연막으로의 상기 피복성이 개선될 수 있음을 유념한다.

[0343] 상기 산화물 반도체막이 스퍼터링에 의해 형성되기 전에, 상기 제 1 전극(421)의 표면 상의 먼지는 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 제거되는 것이 바람직함을 유념한다. 상기 역 스퍼터링은, 기판의 표면이, RF 전원을 이용하여 아르곤 분위기에서 타겟측이 아닌 상기 기판측으로의 전압의 인가에 의해 및 상기 기판 주변에 플라즈마를 생성함으로써 변형되는 방법을 의미한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등이 이용될 수 있음을 유념한다. 대안적으로, 산소, 아산화질소 등이 첨가되는 아르곤 분위기가 이용될 수 있다. 대안적으로, 염소, 카본 테트라플루오르화물 등이 첨가된 아르곤 분위기가 이용될 수 있다.

[0344] 상기 산화물 반도체막(422)에 대해, 상술된 산화물 반도체가 이용될 수 있다.

[0345] 이 실시예에서, 30nm의 두께를 가진 In-Ga-Zn-O계 비-단일-결정막이 상기 산화물 반도체막(422)으로서 이용되고, 이것은 인듐(In), 갈륨(Ga) 및 아연(Zn)을 함유한 산화물 반도체 타겟을 이용하여 스퍼터링 방법에 의해 획득된다. 상기 타겟으로서, 예를 들면, In : Ga : Zn = 1 : 1 : 0.5, In : Ga : Zn = 1 : 1 : 1 또는 In : Ga : Zn = 1 : 1 : 2의 조성비에서 각각의 금속 원자를 함유한 금속 산화물 타겟이 이용될 수 있다. 또한, 상기 산화물 반도체막은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로, 아르곤)와 산소의 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 스퍼터링 방법을 이용한 경우에, 2wt% 이상 10wt% 이하의 SiO₂를 함유한 타겟이 막 형성을 위해 이용될 수 있다. In, Ga 및 Zn을 함유하는 상기 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게 95% 이상 99.9% 이하이다. 높은 충전율을 가진 금속 산화물 타겟을 이용하여, 형성된 상기 산화물 반도체막은 고밀도를 가진다.

[0346] 상기 기판은 감압하에서 유지되는 처리 챔버에 유지되고, 수소 및 수분이 제거되는 스퍼터링 가스가, 잔여 수분이 제거된 상기 처리 챔버에 도입되고, 상기 산화물 반도체막(422)이 타겟으로서 금속 산화물을 이용하여 기판 위에 형성된다. 막 형성시, 상기 기판 온도는 100°C 이상 600°C 이하, 바람직하게 200°C 이상 400°C 이하일 수 있다. 막 형성은 상기 기판이 가열되는 동안 수행되고, 그에 의해 형성된 상기 산화물 반도체막에서의 불순물

농도가 감소될 수 있다. 또한, 스퍼터링에 의한 손상이 감소될 수 있다. 상기 처리 챔버에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 유닛은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프로 배기되는 상기 처리 챔버에서, 수소 원자, 물(H_2O)과 같이, 수소 원자를 함유한 화합물(더욱 바람직하게, 또한 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 상기 처리 챔버에서 형성된 상기 산화물 반도체막에서의 상기 불순물 농도가 감소될 수 있다.

[0347] 이 실시예에서, 상기 산화물 반도체막의 막 형성 조건의 예로서 다음의 조건들이 적용된다: 상기 기판 온도는 실내 온도이고, 상기 기판과 상기 타겟 사이의 거리는 110mm이다; 압력은 0.4Pa이다; 직류(DC) 전원이 0.5kW이다; 분위기는 산소와 아르곤을 함유한다(산소 유량은 15sccm이고, 아르곤 유량은 30sccm이다). 막 형성시 생성되는 입자들이라고 칭해지는 먼지가 감소될 수 있고 상기 막 두께가 균일해질 수 있기 때문에 펄스식 직류(DC) 전원이 바람직함을 유념한다. 상기 산화물 반도체막의 두께는 1 μm 이상, 바람직하게 3 μm 이상, 더욱 바람직하게 10 μm 이상이다. 산화물 반도체막 재료에 의존하여 상기 바람직한 두께가 변하고; 따라서 적합한 두께는 재료에 의존하여 결정될 수 있음을 유념한다.

[0348] 수소, 수산기 및 수분이 상기 산화물 반도체막(422)에 가능한 적게 함유하기 위해, 상기 제 1 전극(421)까지 이를 포함하는 층들이 형성되는 상기 기판이 상기 스퍼터링 장치의 예열 챔버에서 예열되어, 막 형성 전의 전처리로서, 상기 기판에 흡착된 수소 또는 수분과 같은 불순물들이 제거되고 배기되는 것이 바람직함을 유념한다. 상기 예열을 위한 온도는 100°C 이상 400°C 이하, 바람직하게 150°C 이상 300°C 이하이다. 상기 예열 챔버에 제공되는 배기 유닛으로서, 크라이오펌프가 바람직하다. 이 예열 처리는 생략될 수 있음을 유념한다. 또한, 이 예열은, 상기 절연막의 형성 전에, 상기 게이트 전극까지 이를 포함한 층들이 형성되는 상기 기판에 대해 유사하게 수행될 수 있음을 유념한다.

[0349] 스퍼터링 방법의 예들은 고주파수 전원이 스퍼터링 전원에 이용되는 RF 스퍼터링 방법, DC 스퍼터링 방법, 및 바이어스가 펄스식으로 인가되는 펄스식 DC 스퍼터링 방법을 포함한다. RF 스퍼터링 방법은 절연막이 형성되는 경우에 주로 이용되고, DC 스퍼터링 방법은 금속막이 형성되는 경우에 주로 이용된다.

[0350] 또한, 상이한 재료들의 복수의 타겟들이 설정될 수 있는 멀티-소스 스퍼터링 장치가 또한 존재한다. 상기 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들은 동일 챔버에 적층되도록 형성될 수 있거나, 복수 종류의 재료들의 막이 동일 챔버에서 동시에 전기 방전에 의해 형성될 수 있다.

[0351] 대안적으로, 상기 챔버 내부의 자석 시스템이 구비되고, 마그네트론 스퍼터링 방법에 이용된 스퍼터링 장치, 또는 글로우 방전을 이용하지 않고 마이크로파들을 이용하여 생성되는 플라즈마가 이용되는 ECR 스퍼터링 방법에 이용되는 스퍼터링 장치가 이용될 수 있다.

[0352] 또한, 스퍼터링 방법을 이용한 침착 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 그 화합물 박막을 형성하기 위한 침착 동안 서로 화학적으로 반응되는 반응성 스퍼터링 방법, 또는 침착 동안 기판에 전압이 또한 인가되는 바이어스 스퍼터링 방법이 이용될 수 있다.

[0353] 감압 분위기, 희가스 분위기 또는 질소 분위기와 같은 불활성 가스 분위기, 산소 분위기 또는 초건조 공기(공동광자 감쇠 레이저 분석(CRDS) 방법으로 이슬점 계량기에 의해 측정이 수행되는 경우에, 상기 수분량이 20ppm(이슬점으로의 전환에 의해 -55°C) 이하, 바람직하게 1ppm 이하, 더욱 바람직하게 10ppb 이하)에서 상기 산화물 반도체막(422)에 대해 열 처리가 수행됨을 유념한다. 상기 산화물 반도체막(422)에 대한 상기 열 처리가 수행될 때, 수분 또는 수소가 제거된 상기 산화물 반도체막(422)이 형성된다. 특히, 열 처리는 300°C 이상 850°C 이하(또는 유리 기판의 스트레인 포인트 이하의 온도)에서 수행될 수 있다. 탈수화 또는 탈수소화가 RTA 방법으로 단시간에 수행될 수 있기 때문에, 상기 열 처리는 유리 기판의 스트레인 포인트보다 높은 온도에서도 수행될 수 있다. 이 실시예에서, 열 처리 장치들 중 하나인 전기로를 이용하여 질소 분위기에서 1시간 동안 450°C의 기판 온도로 상기 산화물 반도체막(422)에 대해 열 처리가 수행된 다음, 상기 산화물 반도체막은 대기에 노출되지 않고, 수분 또는 수소가 혼입되는 것이 방지된다. 수분 또는 수소와 같은 불순물들이 상기 열 처리에 의해 제거되어, 상기 산화물 반도체막(422)은 i-형(진성) 반도체 또는 실질적으로 i-형 반도체가 된다; 따라서, 임계 전압에서의 시프트들과 같이, 불순물들로 인한 상기 트랜지스터의 특성들의 저하가 촉진되는 것이 방지될 수 있고, 오프 상태 전류가 감소될 수 있다.

[0354] 상기 열 처리에 이용된 상기 열 처리 장치의 상세한 기술은 실시예 4에서 이미 이루어졌고, 따라서 여기서는 생략된다.

- [0355] 상기 열 처리에서, 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 수분, 수소 등이 함유되지 않는 것이 바람직함을 유념한다. 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상이고, 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물들의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하)인 것이 바람직하다.
- [0356] 불순물들이 산화물 반도체에 첨가될 때, 게이트 바이어스-온도 중점 시험(BT 시험, 상기 시험 조건은 예를 들면, 12시간 동안 $2 \times 10^6 \text{V/cm}^2$ 으로 85°C에서)에서, 불순물들과 상기 산화물 반도체의 주성분 사이의 결합은 고전계(B: 바이어스) 및 고온(T: 온도)에 의해 단절되고, 생성된 미결합들은 임계 전압(Vth)의 드리프트를 유발한다. 그러나, 상술된 방식으로, 상기 게이트 절연막과 상기 산화물 반도체막 사이의 상기 계면 특성들을 개선하고 상기 산화물 반도체막에서 불순물들, 특히 수소, 수분 등을 가능한 많이 제거함으로써, 상기 BT 시험에 대해서도 안정하게 남아있는 트랜지스터가 획득될 수 있다.
- [0357] 상술된 단계들을 통해, 상기 산화물 반도체막에서 수소의 농도가 감소될 수 있고 상기 산화물 반도체막이 고순도화된다. 따라서, 상기 산화물 반도체막이 안정화될 수 있다. 또한, 유리 전이 온도 이하의 온도에서의 열 처리는 캐리어 밀도가 극히 낮은 넓은 밴드 캡을 가진 산화물 반도체막을 형성하는 것을 가능하게 한다. 따라서, 트랜지스터는 대규모 기판을 이용하여 제작될 수 있어서, 생산성이 증가될 수 있다. 또한, 상기 수소 농도가 감소되고 순도가 개선되는 상기 산화물 반도체막을 이용함으로써, 높은 내전압, 감소된 단-채널 효과 및 높은 온-오프비를 가진 트랜지스터를 제작하는 것이 가능하다.
- [0358] 상기 트랜지스터(420)는 또한 상기 산화물 반도체막(422) 위에 제 2 전극(423)을 포함한다. 상기 제 2 전극(423)에 이용된 상기 도전막의 재료 및 구조는 상기 제 1 전극(421)에 대한 재료 및 구조와 유사할 수 있다. 또한, 상기 제 2 전극(423)을 형성하기 위한 방법은 상기 제 1 전극(421)에 대한 방법과 유사할 수 있다.
- [0359] 이 실시예에서, 레지스트 마스크가 포토리소그래피 공정에서 상기 제 2 전극(423)의 역할을 하는 상기 도전막 위에 형성되고, 상기 도전막은 상기 레지스트 마스크를 이용하여 에칭되어, 상기 제 2 전극(423)이 형성된다. 여기서, 상기 제 2 전극(423)을 형성하기 위한 상기 도전막으로서, 50nm 두께의 티타늄막, 100nm 두께의 알루미늄막, 및 50nm 두께의 티타늄막이 이 순서로 적층된다. 상기 제 2 전극(423)의 단부와 상기 산화물 반도체막(422) 사이에 형성된 각은 30° 이상 60° 이하, 바람직하게 40° 이상 50° 이하이고, 나중에 형성되는 상기 게이트 절연막으로의 상기 피복성이 개선될 수 있음을 유념한다. 또한, 상기 소스 전극(423)은 상기 제 1 전극(421)과 접촉하지 않도록 상기 제 1 전극(421)에서 떨어져 형성된다.
- [0360] 상기 제 1 전극(421) 및 상기 제 2 전극(423) 중 하나는 트랜지스터의 소스 전극으로서 기능하고, 다른 하나는 그것의 드레인 전극으로서 기능한다.
- [0361] 열 처리가 상기 제 2 전극(423)의 형성 후에 수행될 수 있다. 상기 열 처리의 온도는 400°C 이상 850°C 이하, 바람직하게 400°C 이상 상기 기판의 스트레인 포인트 이하이다. 이 실시예에서, 상기 기판이 열 처리 장치를 중하나인 전기로에 도입되고, 질소 분위기 또는 희가스 분위기와 같은 불활성 분위기에서 450°C로 1시간 동안 상기 산화물 반도체막(422)에 대해 열처리가 수행된 다음, 상기 산화물 반도체막은 대기에 노출되지 않는다. 따라서, 수소, 수분, 수산기, 수소화물 등이 상기 산화물 반도체막에 혼합되는 것이 방지되고, 수소 농도가 더 감소되고, 상기 산화물 반도체막이 고순도화되고, 그에 의해 i-형 산화물 반도체막 또는 실질적으로 i-형인 산화물 반도체막이 획득될 수 있다.
- [0362] 상기 열 처리에서, 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 수소, 수분, 수산기, 수소화물 등이 함유되지 않는 것이 바람직함을 유념한다. 대안적으로, 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상이고, 바람직하게는 7N(99.99999%) 이상(즉, 상기 불순물들의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하)인 것이 바람직하다.
- [0363] 상기 트랜지스터(420)는 또한 상기 제 1 전극(421), 상기 산화물 반도체막(422) 및 상기 제 2 전극(423)을 피복하는 게이트 절연막(424), 및 상기 게이트 절연막(424) 위에 형성되는 게이트 전극(425)을 포함한다. 상기 게이트 절연막(424)은 플라즈마 CVD, 스퍼터링 등에 의해, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 질화산화 알루미늄막, 하프늄 산화막 및 탄탈 산화막 중 하나 이상을 포함하는 단층 또는 적층을 가진 막을 이용하여 형성된다.
- [0364] 상기 게이트 절연막(424)이 하프늄 규화물(HfSiO_x), N이 첨가된 HfSixO_y, N이 첨가된 하프늄 알루미네이트(HfAlO_x), 산화 하프늄 또는 이트륨 산화물과 같은 고-k 재료를 이용하여 형성될 때, 게이트 누설 전류가 감소될 수 있다. 또한, 고-k 재료, 및 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막 및 산

화 알루미늄막 중 하나 이상이 적층되는 적층 구조가 이용될 수 있다. 상기 게이트 절연막(424)의 두께는 50nm 이상 500nm 이하가 바람직하다. 상기 게이트 절연막(424)의 상기 두께가 클 때, 상기 게이트 누설 전류가 감소될 수 있다.

[0365] 상기 게이트 절연막(424)이 수분 또는 수소와 같은 불순물들을 가능한 적게 함유하는 것이 바람직하다. 스퍼터링 방법에 의해 산화 실리콘막이 형성되는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.

[0366] 불순물들의 제거에 의해 진성 산화물 반도체 또는 실질적으로 진성인 산화물 반도체(고순도화된 상기 산화물 반도체)가 되는 상기 산화물 반도체는 계면 상태 및 계면 전하에 극히 민감하다; 따라서, 상기 산화물 반도체와 상기 게이트 절연막(424) 사이의 계면이 중요하다. 따라서, 상기 고순도화된 산화물 반도체와 접촉하는 상기 게이트 절연막(424)은 더 높은 품질을 가져야 한다.

[0367] 예를 들면, 높은 내전압을 가지는 조밀한 고품질 절연막이 형성될 수 있기 때문에 마이크로파들(2.45GHz)을 이용한 고밀도 플라즈마 CVD가 바람직하다. 이것은 상기 고순도화된 산화물 반도체가 상기 고품질 게이트 절연막과 가깝게 접촉할 때, 상기 계면 상태가 감소될 수 있고 계면 특성들이 양호해질 수 있기 때문이다.

[0368] 말할 필요도 없이, 방법이 게이트 절연막(424)으로서 고품질 절연막의 형성을 가능하게 하는 한, 스퍼터링 방법 또는 플라즈마 CVD 방법과 같은 다른 방법이 이용될 수 있다. 또한, 상기 게이트 절연막(424)의 산화물 반도체와의 계면 특성들 및 막 품질이 침착 후에 수행되는 열 처리에 의해 변형되는 한, 임의의 절연막이 이용될 수 있다. 어떠한 경우든, 게이트 절연막으로서 막 품질이 높고, 산화물 반도체와의 계면 상태 밀도가 감소되고, 양호한 계면이 형성될 수 있다면 임의의 절연막이 이용될 수 있다.

[0369] 상기 게이트 절연막(424)은, 높은 배리어 특성을 가진 재료를 이용하여 형성된 절연막과, 산화 실리콘막 또는 산화질화 실리콘막과 같이 질소의 비가 낮은 절연막이 적층되는 구조를 가질 수 있다. 이 경우, 산화 실리콘막 또는 산화질화 실리콘막과 같은 상기 절연막은 배리어 특성을 가진 상기 절연막과 상기 산화물 반도체막 사이에 형성된다. 높은 배리어 특성을 가진 상기 절연막으로서, 예를 들면, 질화 실리콘막, 질화산화 실리콘막, 질화알루미늄막, 질화산화 알루미늄막 등이 주어질 수 있다. 배리어 특성을 가진 상기 절연막이 이용되어, 수분 또는 수소와 같이 분위기에서의 불순물들 또는 알칼리 금속 또는 중금속과 같이 상기 기판에 포함된 불순물들이 상기 산화물 반도체막, 상기 게이트 절연막(424), 또는 상기 산화물 반도체막과 다른 절연막 및 그 주변 사이의 계면에 혼입되는 것이 방지될 수 있다. 또한, 산화 실리콘막 또는 산화질화 실리콘막과 같이 질소의 비가 낮은 상기 절연막은 상기 산화물 반도체막과 접촉하도록 형성되어, 높은 배리어 특성을 가진 재료를 이용하여 형성된 상기 절연막은 상기 산화물 반도체막과 직접 접촉하는 것이 방지될 수 있다.

[0370] 예를 들면, 스퍼터링에 의해, 5nm 이상 300nm 이하의 두께를 가진 산화 실리콘막(SiO_x ($x > 0$))이 제 1 게이트 절연막으로서 형성되고, 50nm 이상 200nm 이하의 두께를 가진 질화 실리콘막(SiN_y ($y > 0$))이제 2 게이트 절연막으로서 상기 제 1 게이트 절연막위에 형성되는 방식으로, 100nm의 총 두께를 가진 게이트 절연막이 형성될 수 있다. 이 실시예에서, 압력이 0.4Pa이고, 고주파수 전력이 1.5kW이고, 산소와 아르곤을 함유한 분위기가(25sccm)의 산소 유량 : 25sccm의 아르곤 유량 = 1 : 1이 이용되는 조건 하에서, 100nm 두께의 산화 실리콘막이 RF 스퍼터링 방법에 의해 형성된다.

[0371] 수소, 수산기 및 수분이 상기 게이트 절연막(424)에 가능한 적게 함유하기 위해, 제 1 전극(421), 상기 산화물 반도체막(422) 및 상기 제 2 전극(423)이 형성되는 상기 기판이 상기 스퍼터링 장치의 예열 챔버에서 예열되어, 막 형성 전의 전처리로서, 상기 기판에 흡착된 수소 또는 수분과 같은 불순물들이 제거되고 배기되는 것이 바람직함을 유념한다. 상기 예열을 위한 온도는 100°C 이상 400°C 이하, 바람직하게 150°C 이상 300°C 이하이다. 상기 예열 챔버에 제공되는 배기 유닛으로서, 크라이오펌프가 바람직하다. 이 예열 처리는 생략될 수 있음을 유념한다.

[0372] 상기 게이트 절연막(424)이 형성된 후에, 열 처리가 수행될 수 있음을 유념한다. 상기 열 처리는 200°C 이상 400°C 이하, 예를 들면, 250°C 이상 350°C 이하로 대기 분위기 또는 불활성 가스 분위기(질소, 헬륨, 네온, 아르곤 등)에서 수행된다. 이 실시예에서, 예를 들면, 질소 분위기에서 250°C로 1시간 동안 열 처리가 수행된다. 상기 게이트 절연막(424)에 함유된 실리콘 산화물이 상기 산화물 반도체막(422)과 접촉하는 상태에서 수행되는 상기 열 처리에 의해, 수분 또는 수소를 제거하기 위한 상술된 열 처리에서 산소 결핍이 생성될 때에서 상기 실리콘 산화물로부터 산소가 공급되고, 그에 의해 도녀들을 형성하는 상기 산소 결핍이 감소될 수 있고, 화학량론적 조성비를 만족하는 구조가 획득될 수 있고, 상기 산화물 반도체막(422)이 i-형 반도체막 또는 실질적으로 i-

형인 반도체막이 되게 한다. 상기 게이트 절연막(424)의 형성 후이면, 이 열 처리의 타이밍에 관한 특정 제약은 존재하지 않는다. 상기 열 처리는 다른 단계 후, 예를 들면 상기 게이트 전극(425), 절연막(426) 및 배선들(434, 435 및 436) 중 어느 하나가 형성된 후에 수행될 수 있다. 이 열 처리는 투명 도전막의 저항의 감소를 위한 열 처리와 같은 다른 단계로서 이중화함으로써 제작 단계들의 수를 증가시키지 않고 수행될 수 있다.

[0373] 상기 게이트 전극(425)은 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 네오디뮴 또는 스칸듐과 같은 금속 재료; 이들 금속 재료들 중 어느 것을 주성분으로 포함하는 합금 재료; 또는 이들 금속들 중 어느 것의 질화물을 이용하여 하나 이상의 도전막들의 단층 또는 적층으로 형성될 수 있다. 알루미늄 또는 구리는 또한, 알루미늄 또는 구리가 나중 공정에서 수행되는 열 처리의 온도를 견딜 수 있는 한 이러한 금속 재료들도 이용될 수 있음을 유념한다. 알루미늄 또는 구리는 내열성 문제 및 부식성 문제를 방지하도록 내화성 금속 재료와 조합되는 것이 바람직하다. 상기 내화성 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 네오디뮴, 스칸듐 등이 이용될 수 있다.

[0374] 예를 들면, 상기 게이트 전극(425)의 2층 구조로서, 다음의 구조들이 바람직하다: 몰리브덴막이 알루미늄막 위에 적층된 2층 구조, 몰리브덴막이 구리막 위에 적층된 2층 구조, 티타늄막 또는 탄탈 질화막이 구리막 위에 적층된 2층 구조, 및 티타늄 질화막 및 몰리브덴막이 적층되는 2층 구조. 상기 게이트 전극(425)의 3층 구조로서, 다음의 구조들이 바람직하다: 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막 또는 알루미늄과 네오디뮴의 합금막을 중간층에 함유하고 텉스텐막, 텉스텐 질화막, 티타늄 질화막 및 티타늄막을 상부층 및 하부층에 함유한 적층 구조.

[0375] 또한, 상기 게이트 전극(425)에 대해, 인듐 산화물, 인듐 주석 산화물, 인듐 산화물-아연 산화물 합금, 아연 산화물, 아연 산화 알루미늄, 아연 알루미늄 산화질화물, 아연 갈륨 산화물 등의 투광성 산화물 도전막을 이용함으로써, 광셀부의 개구율이 증가될 수 있다.

[0376] 상기 게이트 전극(425)은 10nm 내지 400nm, 바람직하게 100nm 내지 200nm의 두께로 형성된다. 이 실시예에서, 상기 게이트 전극에 대해 150nm의 두께를 가진 절연막이 텉스텐 타겟을 이용하여 스퍼터링 방법에 의해 형성된다. 다음, 상기 도전막이 예칭에 의해 원하는 형상으로 가공(패터닝)되어, 상기 게이트 전극(425)이 형성된다. 상기 게이트 전극(425)은 상기 게이트 절연막(424)을 사이에 제공하여 상기 산화물 반도체막(422)의 단부와 적어도 중첩하도록 형성된다. 상기 산화물 반도체막(422)의 상기 단부에서, 상기 게이트 절연막(424)을 사이에 제공하여 상기 게이트 전극(425)과 중첩하는 부분에 채널 형성 영역이 형성된다. 상기 게이트 전극(425)은 테이퍼형이 바람직하고, 이것은 그 위에 적층된 상기 절연막(426)으로의 괴복성이 개선되기 때문임을 유념한다. 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있음을 유념한다. 잉크젯 방법에 의한 상기 레지스트 마스크의 상기 형성은 포토마스크가 필요없다; 따라서 제작 비용이 감소될 수 있다.

[0377] 상기 트랜지스터(420)는 또한 상기 제 1 전극(421), 상기 산화물 반도체막(422), 상기 제 2 전극(423), 상기 게이트 절연막(424) 및 상기 게이트 전극(425)을 괴복하는 게이트 절연막(426)을 포함한다. 상기 게이트 절연막(426)은 수분 또는 수소와 같은 불순물들을 가능한 적게 함유하는 것이 바람직하고, 단층 절연막 또는 적층된 복수의 절연막들을 이용하여 형성될 수 있다. 상기 절연막(426)은 예를 들면, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막 또는 산화질화 알루미늄막과 같은 산화물 절연막; 또는, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막 또는 질화산화 알루미늄막과 같은 질화 절연막을 이용하여 형성된다. 대안적으로, 산화물 절연막 및 질화물 절연막이 적층될 수 있다. 높은 배리어 특성을 가진 절연막, 예를 들면 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막 또는 질화산화 알루미늄막이 상기 절연막(426)에 이용될 수 있어서, 수분 또는 수소와 같은 불순물들이 상기 산화물 반도체막(422), 상기 게이트 절연막(424), 또는 상기 산화물 반도체막(422)과 다른 절연막 및 그 주변 사이의 계면에 혼입되는 것이 방지될 수 있다.

[0378] 이 실시예에서, 상기 절연막(426)은 스퍼터링 방법에 의해 형성된 100nm 두께의 질화 실리콘막이 스퍼터링 방법에 의해 형성된 200nm 두께의 산화 실리콘막 위에 적층되는 구조를 가지도록 형성된다. 상기 절연막(426)이 스퍼터링 방법에 의해 형성될 때, 상기 기판은 100°C 내지 400°C의 온도로 가열되고, 수소, 수분, 수분, 수산기, 수소화물 등이 제거되고 고순도 질소를 함유한 스퍼터링 가스가 도입되고, 상기 절연막(426)이 실리콘 반도체 타겟을 이용하여 형성될 수 있음을 유념한다. 또한, 이 경우, 상기 처리 챔버에 남아있는 수소, 수분, 수산기, 수소화물 등이 제거된 상태에서 절연막이 형성되는 것이 바람직하다.

[0379] 상기 절연막(426)이 형성된 후, 열 처리가 수행될 수 있음을 유념한다. 상기 열 처리는 200°C 이상 400°C 이하, 예를 들면, 250°C 이상 350°C 이하로 불활성 가스 분위기(질소, 헬륨, 네온, 아르곤 등)에서 수행된다.

- [0380] 콘택트 홀들(431, 432 및 433)이 다음과 같이 형성된다: 레지스트 마스크가 포토리소그래피 공정에 의해 형성되고, 상기 게이트 절연막(424) 및 상기 절연막(426)의 일부들이 상기 레지스트 마스크를 이용하여 선택적으로 에칭된다. 상기 게이트 전극(425)의 일부는 상기 콘택트 홀(431)에서 노출되고; 상기 게이트 전극(423)의 일부는 상기 콘택트 홀(432)에서 노출되고; 상기 게이트 전극(425)의 일부는 상기 콘택트 홀(433)에서 노출된다. 이들 콘택트 홀들의 형성시, 상기 제 1 전극(421)을 노출하기 위한 콘택트 홀이 상기 제 1 전극(421)의 영역에 형성될 수 있으며, 이것은 상기 게이트 전극(425)으로 피복되지 않는다.
- [0381] 상기 배선(434), 상기 배선(435) 및 상기 배선(436)은, 상기 절연막(426)에 각각 형성되는 상기 콘택트 홀(431), 상기 콘택트 홀(432) 및 상기 콘택트 홀(433)을 통해 상기 게이트 전극(425), 상기 제 2 전극(423) 및 상기 게이트 전극(425)에 접속된다. 이들 배선들이 형성시, 콘택트 홀을 통해 상기 제 1 전극(421)에 접속된 배선이 g형성될 수 있음을 유념한다.
- [0382] 상기 배선들(434, 435 및 436)은 상기 제 1 전극(421)에 대한 제작 방법과 유사한 제작 방법에 의해 상기 제 1 전극(421)에 대한 구조 및 재료와 유사한 구조 및 재료를 가진 도전막을 이용하여 형성될 수 있다.
- [0383] 도 14b에서, 배선(440)은 상기 배선들(434, 435 및 436)과 동시에 형성된 배선이고, 콘택트 홀(441)을 통해 상기 제 1 전극(421)에 접속된다.
- [0384] 상술된 단계들을 통해, 상기 산화물 반도체막에서의 수소 농도가 감소될 수 있고, 상기 산화물 반도체막이 고순도화될 수 있다. 따라서, 상기 산화물 반도체막은 안정화될 수 있다. 또한, 유리 전이 온도 이하의 온도에서의 열 처리는 캐리어 밀도가 극히 낮은 넓은 밴드 캡을 가진 산화물 반도체막을 형성하는 것을 가능하게 한다. 따라서, 트랜지스터는 대규모 기판을 이용하여 제작될 수 있어서, 생산성이 증가될 수 있다. 또한, 상기 수소 농도가 감소되고 순도가 개선되는 상기 산화물 반도체막을 이용함으로써, 높은 내전압, 감소된 단-채널 효과 및 높은 온-오프비를 가진 트랜지스터를 제작하는 것이 가능하다.
- [0385] 상기 제 2 전극(423)이 형성되는 영역과 상이한 영역에 형성되는 상기 산화물 반도체막(422)의 모든 부분들이 이 실시예에서 상기 게이트 전극(425)으로 피복되지만, 본 발명은 상기 제 2 전극(423)이 형성되는 영역과 상이한 영역에 형성되는 상기 산화물 반도체막(422)의 부분의 적어도 일부가 상기 게이트 전극(425)으로 피복되는 한 이 구조에 제한되지 않는다.
- [0386] 여기서, 이 실시예에 기술된 상기 트랜지스터의 상기 드레인 내전압이 하기에 기술된다.
- [0387] 반도체에서의 전계가 특정 임계값에 도달할 때, 충돌 이온화가 발생하고, 고전계에 의해 가속화된 캐리어들이 공핍층에서 결정 격자들에 충돌하고, 그에 의해 전자들 및 정공들의 쌍들을 생성한다. 상기 전계가 더 높아질 때에도, 상기 충돌 이온화에 의해 생성된 전자들 및 정공들의 상기 쌍들은 상기 전계에 의해 더욱 가속화되고, 상기 충돌 이온화가 반복되어, 전류가 지수적으로 증가되는 애벌런시 브레이크다운(avalanche breakdown)을 유발한다. 상기 충돌 이온화는 캐리어들(전자들 및 정공들)이 상기 반도체의 상기 밴드 캡 이상인 운동 에너지(kinetic energy)를 가지기 때문에 발생한다. 따라서, 상기 밴드 캡이 커질수록, 상기 충돌 이온화를 유발하기 위해 필요한 상기 전계가 높아진다.
- [0388] 상기 산화물 반도체의 상기 밴드 캡이 비정질 실리콘의 상기 밴드 캡 1.74eV보다 큰 3.15eV이기 때문에, 상기 애벌런시 브레이크다운은 발생하지 않을 것으로 기대된다. 따라서, 상기 산화물 반도체를 포함하는 트랜지스터가 높은 드레인 내전압을 가지고, 온-상태 전류의 지수적인 갑작스런 증가는 고전계가 인가될 때 발생하지 않을 것으로 기대된다.
- [0389] 다음에, 산화물 반도체를 포함하는 트랜지스터의 핫-캐리어 열화(hot-carrier degradation)가 기술될 것이다.
- [0390] 상기 핫-캐리어 열화는 트랜지스터 특성들의 열화, 예를 들면 상기 임계 전압 또는 누설 전류의 변동을 의미하며, 이것은 다음과 같이 유발된다: 급속하게 가속되는 전자들이 채널의 드레인 주변의 게이트 절연막에 주입되고 상기 게이트 절연막과 상기 산화물 반도체 사이의 상기 계면에서 트랩 레벨들을 형성하거나 고정된 전하가 된다. 상기 핫-캐리어 열화의 요인들은 예를 들면 채널-핫-전자 주입(CHE 주입) 및 드레인-애벌런시-핫-캐리어 주입(DAHC 주입)이다.
- [0391] 실리콘의 상기 밴드 캡이 좁기 때문에, 전자들은 애벌런시 브레이크다운으로 인해 애벌런시와 같이 생성될 가능성이 있고, 상기 게이트 절연막에 대한 배리어를 넘을 만큼 급속하게 가속되는 전자들이 수적으로 증가된다. 그러나, 이 실시예에 기술된 상기 산화물 반도체는 넓은 밴드 캡을 가진다; 따라서, 상기 애벌런시 브레이크다운은 발생하지 않을 것이고 핫-캐리어 열화에 대한 저항은 실리콘의 저항보다 높다. 높은 내전압을 가진 재료들

중 하나인 탄화 실리콘의 상기 밴드 갭 및 산화물 반도체의 것이 서로 실질적으로 동일하지만, 전자들이 덜 가속화될 것이고, 핫-캐리어 열화가 탄화 실리콘의 경우에서보다 덜 유발될 것이고, 상기 산화물 반도체의 이동도가 대략 두자릿수만큼 탄화 실리콘의 이동도보다 낮기 때문에 드레인 내전압이 상기 산화물 반도체에서 높음을 유념한다.

[0392] 상기로부터, 산화물 반도체를 포함하는 트랜지스터는 높은 드레인 내전압을 가진다; 특히, 이러한 트랜지스터는 100V 이상, 바람직하게 500V 이상, 더욱 바람직하게 1kV 이상의 드레인 내전압을 가질 수 있다.

[0393] 트랜지스터의 통상적인 예인 탄화 실리콘을 이용한 트랜지스터와 산화물 반도체를 이용한 트랜지스터 사이의 비교가 하기에 기술될 것이다. 여기서, 4H-SiC가 상기 탄화 실리콘로서 이용된다.

[0394] 산화물 반도체 및 4H-SiC는 공동으로 어떤 것들을 가진다. 일례는 진성 캐리어 밀도이다. 정상 온도에서의 페르미-디락 분포를 이용하여, 상기 산화물 반도체의 상기 진성 캐리어 밀도가 대략 10^{17} cm^{-3} 이고, 이것은 4H-SiC의 상기 캐리어 밀도, 즉 $6.7 \times 10^{11} \text{ cm}^{-3}$ 과 같이 극히 낮다.

[0395] 또한, 상기 산화물 반도체의 상기 에너지 밴드 갭은 3.0eV 내지 3.5eV이고, 4H-SiC의 상기 에너지 밴드 갭은 3.26eV이고, 이것은 상기 산화물 반도체 및 상기 탄화 실리콘 둘다가 넓은-갭 반도체들임을 의미한다.

[0396] 그러나, 산화물 반도체를 포함하는 트랜지스터의 제작 온도 및 탄화 실리콘을 포함하는 트랜지스터의 제작 온도는 매우 상이하다. 탄화 실리콘은 일반적으로 1500°C 내지 2000°C의 열 처리를 필요로 한다. 반대로, 산화물 반도체는 300°C 내지 850°C의 열 처리에 의해 형성될 수 있고, 이것은 트랜지스터가 대규모 기판 위에 제작되도록 허용한다. 또한, 처리율이 개선될 수 있다.

[0397] 또한, PN 접합을 이용하는 탄화 실리콘을 포함하는 상기 트랜지스터의 제작 공정은 도너 또는 억셉터(예를 들면, 인 또는 봉소)일 수 있는 불순물 원소로의 도핑 단계를 수반한다; 따라서, 제작 단계들의 수가 증가된다. 한편, 산화물 반도체를 포함하는 상기 트랜지스터는 PN 접합이 구비될 필요가 없다; 따라서, 제작 단계들의 수가 감소될 수 있고 상기 처리율이 개선될 수 있고, 또한 대규모 기판이 이용될 수 있다.

[0398] 상기 밴드 갭에서 상태들의 밀도(DOS)와 같은 산화물 반도체들의 특성들에 대한 상당한 연구가 행해졌지만, 상기 연구는 상기 DOS 자체를 충분히 감소시키는 사상을 포함하지 않음을 유념한다. 이 실시예에서, 고순도화된 산화물 반도체는 상기 산화물 반도체로부터 상기 DOS를 유도하는 수분 또는 수소를 제거함으로써 형성된다. 이것은 상기 DOS 자체를 충분히 감소시키는 사상에 기초한다. 이러한 고순도화된 산화물 반도체는 매우 우수한 산업 제품들의 제작을 가능하게 한다.

[0399] 또한, 산소 결함들로 인한 상기 DOS를 감소시키고 산소 과잉에 의해 생성되는 금속의 미결합에 산소를 공급함으로써 더욱 고순도화된(i-형) 산화물 반도체를 형성하는 것도 역시 가능하다. 예를 들면, 과잉 산소를 함유한 산화막이 채널 형성 영역과 가깝게 접촉하여 형성된 다음 상기 산화막으로부터 상기 채널 형성 영역에 산소가 공급되어, 산소 결함들로 인한 상기 DOS가 감소될 수 있다.

[0400] 산화물 반도체의 결함의 요인은 상기 도전 대역 아래의 0.1eV 내지 0.2eV의 초과 수소로 인한 얇은 레벨, 산소의 결여로부터 유발된 깊은 레벨 등으로 간주될 수 있다. 이러한 결함의 제거를 위해 수소의 철저한 제거 및 산소의 충분한 공급이 기술적 사상으로서 올바르다.

[0401] 산화물 반도체는 일반적으로 n형 반도체로 간주된다; 그러나 이 실시예에서, i-형 산화물 반도체가 불순물들, 특히 수분 또는 수소를 제거하여 실현된다. 이점에서, 본 발명의 기술적 사상은 i-형 반도체가 실리콘과 같은 반도체에 불순물들을 첨가하여 형성되는 통상적인 기술적 사상이 비해 신규한 것이다.

[0402] 상기 산화물 반도체를 i-형 산화물 반도체를 만들었으므로, 상기 트랜지스터의 양호한 온도 특성들이 획득될 수 있다; 특히, 상기 트랜지스터의 상기 전류 대 전압 특성들의 관점에서, 온-상태 전류, 오프-상태 전류, 전계 이동도, S 값 및 임계 전압이 -25°C 내지 150°C의 온도 범위에서 거의 변동하지 않고, 상기 전류 대 전압 특성들이 상기 온도에 의해 거의 열화되지 않는다.

[0403] 이 실시예에 기술된 산화물 반도체를 이용한 상기 트랜지스터에서, 이동도는 대략 두 자릿수만큼 탄화 실리콘을 이용한 트랜지스터의 이동도보다 낮다; 그러나, 상기 트랜지스터의 전류값 및 장치 특성들은 상기 드레인 전압 및 상기 채널 폭(W)을 증가시킴으로써 개선될 수 있다.

[0404] 이 실시예의 기술적 사상은 물질이 산화물 반도체에 첨가되지 않고 반대로 상기 산화물 반도체 자체가, 내부에 존재하는 것이 바람직하지 않은 수분 또는 수소와 같은 불순물들을 의도적으로 제거함으로써 고순도화된다는 것

이다. 달리 말하면, 상기 산화물 반도체는 도너 레벨을 형성하는 수분 또는 수소를 제거하고, 산소 결핍을 감소시키고, 상기 산화물 반도체의 구성성분인 산소를 충분히 공급함으로써 고순도화된다.

[0405] 침착시, 상기 산화물 반도체는 대략 10^{20} cm^{-3} 의 수소를 포함하며, 이것은 2차 이온 질량 분석법(SIMS)에 의해 측정된다. 상기 산화물 반도체는 도너 레벨을 형성하는 수분 또는 수소를 의도적으로 제거하고 또한 수분 또는 수소의 제거와 동시에 감소되는 산소(상기 산화물 반도체의 구성성분들 중 하나)를 상기 산화물 반도체에 첨가함으로써 고순도화되고 전기적으로 i-형(진성) 반도체가 된다.

[0406] 이 실시예에서, 상기 산화물 반도체에서의 수분 및 수소의 양은 가능한 적은 것이 바람직하고, 상기 산화물 반도체에서의 캐리어들의 수는 가능한 작은 것이 바람직하다. 특히, $1 \times 10^{14} \text{ cm}^{-3}$ 미만, 바람직하게 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 더욱 바람직하게 측정 한도 이하인 $1 \times 10^{11} \text{ cm}^{-3}$ 미만의 캐리어 밀도가 바람직하다. 상기 산화물 반도체에서의 캐리어들이 감소되거나 제거되는 것이 바람직하며, 달리 말하면, 상기 산화물 반도체는 i-형(진성) 반도체가 되어, 상기 산화물 반도체는 캐리어들이 통과하는 트랜지스터에서의 경로로서 기능한다. 결과적으로, 오프-상태 전류는 상기 트랜지스터가 오프될 때 극히 작을 수 있다. 상기한 것은 이 실시예의 기술적 사상이다.

[0407] 또한, 상기 산화물 반도체는 캐리어들의 경로로서 기능하고, 상기 산화물 반도체 자체는 캐리어들을 포함하지 않거나 극히 소수의 캐리어들을 포함하도록 고순도화되고, 따라서, 캐리어들이 소스 전극 및 드레인 전극에 의해 공급되는 i-형(진성) 반도체이다.

[0408] 이 실시예에 기술된 상기 구조를 가진 상기 트랜지스터는 채널이 실시예 4에 기술된 기판과 실질적으로 병렬로 형성된 수평 트랜지스터보다 기판 표면을 덜 점유할 수 있다. 결과적으로, 상기 실시예를 최소화하는 것이 가능하다.

[0409] 상술된 바와 같이, 상기 산화물 반도체막은 상기 산화물 반도체막의 주성분 이외의 불순물들, 통상적으로 수소, 수분, 수산기 또는 수소화물이 가능한 적게 함유될 수 있도록 고순도화되고, 그에 의해 상기 트랜지스터의 양호한 동작이 획득될 수 있다. 특히, 내전압이 더 높아질 수 있고, 짧은 채널 효과가 감소될 수 있고, 높은 온-오프비가 실현될 수 있다.

[0410] 이 실시예는 상술된 실시예들 중 어느 것과 적합하게 조합되어 구현될 수 있다.

[0411] (실시예 7)

[0412] 이 실시예에서, 실시예 4의 방법과 상이한 산화물 반도체막을 형성하는 방법이 도 15a 내지 도 15e를 참조하여 기술된다.

[0413] 먼저, 게이트 전극(701) 및 게이트 전극(702)이 절연 표면 위에 형성된 다음, 게이트 절연막(703)이 상기 게이트 전극(701) 및 상기 게이트 전극(702) 위에 형성된다(도 15a 참조). 상기 게이트 전극(701), 상기 게이트 전극(702) 및 상기 게이트 절연막(703)의 재료들, 구조들 및 두께들이 실시예 4에서 이미 기술되었기 때문에, 그 상세한 기술은 이 실시예에서 생략된다.

[0414] 다음에, 도 15a에 도시된 바와 같이, 2nm 이상 15nm 이하의 두께를 가진 제 1 산화물 반도체막(730)이 상기 게이트 절연막(703) 위에 형성된다. 상기 제 1 산화물 반도체막(730)은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기 또는 희가스(예를 들면, 아르곤)와 산소를 포함하는 혼합 분위기에서 스팍터링 방법에 의해 형성될 수 있다.

[0415] 상기 제 1 산화물 반도체막(730)이 스팍터링 방법에 의해 형성되기 전에, 상기 게이트 절연막(703)의 표면 상의 먼지는 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스팍터링에 의해 제거되는 것이 바람직함을 유념한다. 상기 역 스팍터링은, 기판의 표면이, RF 전원을 이용하여 아르곤 분위기에서 타겟측이 아닌 상기 기판측으로의 전압의 인가에 의해 및 상기 기판 주변에 플라즈마를 생성함으로써 변형되는 방법을 의미한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등이 이용될 수 있음을 유념한다. 대안적으로, 산소, 아산화질소 등이 첨가되는 아르곤 분위기가 이용될 수 있다. 대안적으로, 염소, 카본 테트라플루오르화물 등이 첨가된 아르곤 분위기가 이용될 수 있다.

[0416] 상기 제 1 산화물 반도체막(730)에 대해, 상술된 산화물 반도체가 이용될 수 있다.

[0417] 이 실시예에서, 상기 제 1 산화물 반도체막(730)으로서, 5nm의 두께를 가진 In-Ga-Zn-O계 비-단일-결정막이 이용되고, 이것은 인듐(In), 갈륨(Ga) 및 아연(Zn)을 함유한 산화물 반도체 타겟을 이용하여 스팍터링 방법에 의

해 획득된다. 상기 타겟으로서, 예를 들면, In : Ga : Zn = 1 : 1 : 0.5, In : Ga : Zn = 1 : 1 : 1 또는 In : Ga : Zn = 1 : 1 : 2의 금속 원자들의 조성비를 가진 금속 산화물 타겟이 이용될 수 있다. 이 실시예에서, 나중에 수행되는 열 처리에 의해 결정화를 의도적으로 수행하기 위해 결정화되려는 경향이 있는 금속 산화물 타겟이 이용되는 것이 바람직하다. In, Ga 및 Zn을 함유한 상기 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게 95% 이상 99.9% 이하이다. 높은 충전율을 갖는 금속 산화물 타겟이 이용될 때, 형성될 산화물 반도체 막의 불순물 농도가 감소될 수 있어서, 우수한 전기 특성을 또는 고신뢰도를 가진 트랜지스터가 획득될 수 있다.

[0418] 상기 기판은 감압 하에서 유지된 처리 챔버에서 유지되고, 수소 및 수분이 제거되는 스퍼터링 가스가, 잔여 수분이 제거된 상기 처리 챔버에 도입되고, 상기 제 1 산화물 반도체막(730)이 타겟으로서 금속 산화물을 이용하여 상기 절연 표면 위에 형성된다. 막 형성시, 상기 기판 온도는 100°C 이상 600°C 이하, 바람직하게 200°C 이상 400°C 이하일 수 있다. 막 형성은 상기 기판이 가열되는 동안 수행되고, 그에 의해 형성된 상기 산화물 반도체막에서의 상기 불순물 농도가 감소될 수 있다. 또한, 스퍼터링에 의한 손상이 감소될 수 있다. 상기 처리 챔버에 남아있는 수분을 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프 또는 티타늄 서블리메이션 펌프가 이용되는 것이 바람직하다. 배기 유닛은 냉각 트랩이 구비된 터보 펌프일 수 있다. 크라이오펌프로 배기되는 상기 처리 챔버에서, 수소 원자, 물(H₂O)과 같이, 수소 원자를 함유한 화합물(더욱 바람직하게, 또한 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 상기 처리 챔버에서 형성된 상기 산화물 반도체막에서의 상기 불순물 농도가 감소될 수 있다.

[0419] 상기 침착 조건의 예는 다음과 같다: 상기 기판과 상기 타겟 사이의 거리는 170mm이고, 압력은 0.4Pa이고, 직류(DC) 전원은 0.5kW이고, 분위기는 산소 분위기이다(산소 유량이 100%이다). 막 형성시 생성되는 입자들이라고 칭해지는 먼지가 감소될 수 있고 상기 막 두께가 균일해질 수 있기 때문에 펠스식 직류(DC) 전원이 바람직함을 유념한다. 상기 산화물 반도체막의 두께는 5nm 이상 30nm 이하가 바람직하다. 적합한 두께가 이용된 산화물 반도체 재료에 의존하기 때문에, 상기 두께는 상기 재료에 의존하여 적합하게 결정될 수 있다.

[0420] 수소, 수산기 및 수분이 상기 제 1 산화물 반도체막(730)에 가능한 적게 함유하기 위해, 상기 게이트 절연막(703)까지 이를 포함하는 층들이 형성되는 상기 기판이 상기 스퍼터링 장치의 예열 챔버에서 예열되어, 막 형성 전의 전처리로서, 상기 기판에 흡착된 수소 또는 수분과 같은 불순물들이 제거되고 배기되는 것이 바람직함을 유념한다. 상기 예열을 위한 온도는 100°C 이상 600°C 이하, 바람직하게 150°C 이상 300°C 이하이다. 상기 예열 챔버에 제공되는 배기 유닛으로서, 크라이오펌프가 바람직하다. 이 예열 처리는 생략될 수 있음을 유념한다.

[0421] 스퍼터링 방법의 예들은 고주파수 전원이 스퍼터링 전원에 이용되는 RF 스퍼터링 방법, DC 스퍼터링 방법, 및 바이어스가 펠스식으로 인가되는 펠스식 DC 스퍼터링 방법을 포함한다. RF 스퍼터링 방법은 절연막이 형성되는 경우에 주로 이용되고, DC 스퍼터링 방법은 금속막이 형성되는 경우에 주로 이용된다.

[0422] 또한, 상이한 재료들의 복수의 타겟들이 설정될 수 있는 멀티-소스 스퍼터링 장치가 또한 존재한다. 상기 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들은 동일 챔버에 적층되도록 형성될 수 있거나, 복수 종류의 재료들의 막이 동일 챔버에서 동시에 전기 방전에 의해 형성될 수 있다.

[0423] 대안적으로, 상기 챔버 내부의 자석 시스템이 구비되고, 마그네트론 스퍼터링 방법에 이용된 스퍼터링 장치, 또는 글로우 방전을 이용하지 않고 마이크로파들을 이용하여 생성되는 플라즈마가 이용되는 ECR 스퍼터링 방법에 이용되는 스퍼터링 장치가 이용될 수 있다.

[0424] 또한, 스퍼터링 방법을 이용한 침착 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 그 화합물 박막을 형성하기 위한 침착 동안 서로 화학적으로 반응되는 반응성 스퍼터링 방법, 또는 침착 동안 기판에 전압이 또한 인가되는 바이어스 스퍼터링 방법이 이용될 수 있다.

[0425] 상기 게이트 절연막(703) 및 상기 제 1 산화물 반도체막(730)이 대기에 노출되지 않고 연속으로 형성될 수 있다. 대기에 노출되지 않은 연속 막 형성은 적층들 사이의 각각의 계면을 획득하는 것을 가능하게 하며, 이것은 수분, 탄화수소 등과 같이 대기에 부유하는 불순물 원소들 또는 분위기 구성요소들에 의해 오염되지 않는다. 따라서, 상기 트랜지스터의 특성들의 변동이 감소될 수 있다.

[0426] 다음에, 제 1 열 처리가 수행되고 결정들이 도 15b에 도시된 바와 같이 상기 제 1 산화물 반도체막(730)의 표면에서 성장되어, 그것의 적어도 일부가 결정화되거나 단결정들이 되는 제 1 산화물 반도체막(731)이 획득된다. 상기 제 1 열 처리는 450°C 이상 850°C 이하, 바람직하게 600°C 이상 700°C 이하에서 수행된다. 가열 시간은 1분 이상 24시간 이하이다. 단결정층은 상기 기판에서 내부로 성장하고 평균 두께가 2nm 이상 10nm 이하인 플레

이트형 결정들을 함유한다. 상기 표면에 형성된 상기 결정층은 a-b 면을 가지고 상기 표면에 수직인 방향으로 c-축 배향된다. 이 실시예에서, 전체 제 1 산화물 반도체막(731)이 상기 제 1 열 처리에 의해 결정화되는(상기 결정들은 또한 공동-성장(CG) 결정들이라고도 칭해짐) 예가 기술된다.

[0427] 상기 제 1 열 처리에서, 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 수분, 수소 등이 함유되지 않는 것이 바람직함을 유념한다. 또한, 열 처리 장치에 도입되는 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스는 6N(99.999%) 이상, 더욱 바람직하게는 7N(99.9999%) 이상(즉, 상기 불순물들의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하)의 순도를 가진다. 또한, 상기 제 1 열 처리는 20ppm 이하의 H₂O 농도로 건조 대기 분위기에서 수행될 수 있다.

[0428] 이 실시예에서, 1시간 동안 700°C로 건조 대기 분위기에서의 열 처리는 상기 제 1 열 처리로서 수행된다.

[0429] 열 처리 장치는 전기로에 제한되지 않고, 열 처리 장치에는 내열성 소자와 같은 가열 소자로부터 열 전도 또는 열 복사에 의해 처리된 대상을 가열하기 위한 장치가 구비될 수 있음을 유념한다. 예를 들면, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할로제나물 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 머큐리 램프와 같은 램프로부터 방출된 광의 복사(전자파)에 의해 처리될 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리하기 위한 장치이다. 상기 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 처리될 대상과 반응하지 않는 불활성 가스가 이용된다.

[0430] 예를 들면, 상기 열 처리는, 상기 기판이 650°C 내지 700°C의 고온으로 가열된 불활성 가스에 이동되고, 거기서 수 분 동안 가열된 다음, 상기 기판이 상기 고온의 불활성 가스로부터 이동되는 GRTA를 이용할 수 있다. GRTA로 단기간 동안의 고온 가열 처리가 달성될 수 있다.

[0431] 다음에, 도 15c에 도시된 바와 같이, 제 2 산화물 반도체막(732)은, 플레이트-형 단결정들을 포함하는 상기 제 1 산화물 반도체막(731) 위에 형성된다. 상기 제 2 산화물 반도체막(732)의 두께는 적어도 상기 제 1 산화물 반도체막(731)의 두께보다 크고 10μm 이하이다. 상기 제 2 산화물 반도체막(732)의 적합한 두께는 제작되는 장치에 의존하여 전문가에 의해 결정될 수 있음을 유념한다. 예를 들면, 하부-케이트형 트랜지스터가 제작되는 경우, 상기 제 1 산화물 반도체막(731) 및 상기 제 2 산화물 반도체막(732)의 총 두께가 10nm 이상 200nm 이하이다. 또한, 예를 들면, 트랜지스터가 제작되는 경우, 상기 제 1 산화물 반도체막(731) 및 상기 제 2 산화물 반도체막(732)의 총 두께가 10nm 이상 50nm 이하이다. 상기 제 2 산화물 반도체막(732)은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로, 아르곤)와 산소를 포함하는 분위기에서 스퍼터링 방법에 의해 형성될 수 있다.

[0432] 상기 산화물 반도체는 상기 제 2 산화물 반도체막(732)에 이용될 수 있다.

[0433] 상기 제 1 산화물 반도체막(731) 및 상기 제 2 산화물 반도체막(732)이 동일한 구성성분들을 함유한 재료들을 이용하여 형성되거나, 동일한 결정 구조 및 가까운 격자 상수들(격자 부정합은 1% 이하임)을 가지는 것이 바람직하다. 동일한 구성성분들을 함유한 상기 재료들이 이용되는 경우에, 결정 성장은 또한 나중에 수행되는 상기 결정에서 상기 제 1 산화물 반도체막(731)의 상기 단결정층으로부터 촉진된다. 또한, 상기 재료들이 동일한 구성성분들을 함유할 때, 부착 또는 전기 특성들과 같은 계면의 물리적 특성들은 양호하다. 상기 제 2 산화물 반도체막(732)은 전기 특성들(예를 들면, 이동도, 임계 전압 또는 밴드 갭)이, 결정도가 증가될 때 상기 제 1 산화물 반도체막(731)보다 더욱 개선되는 재료를 이용하여 형성되는 것이 바람직함을 유념한다.

[0434] 다음에, 제 2 열 처리가 수행되어, 결정들이 상기 제 1 산화물 반도체막(731)에서 상기 제 2 산화물 반도체막(732)쪽으로 성장된다. 상기 제 2 열 처리는 450°C 이상 850°C 이하, 바람직하게 550°C 이상 650°C 이하에서 수행된다. 가열 시간은 1분 이상 24시간 이하이다. 상기 제 2 열 처리에 의해, 도 15d에 도시된 바와 같이, 상기 결정화된 제 1 산화물 반도체막(731) 및 결정화된 제 2 산화물 반도체막(735)을 포함하는 산화물 반도체막(733)이 획득될 수 있다.

[0435] 상기 제 1 산화물 반도체막(731) 및 상기 제 2 산화물 반도체막(735)에 이용되는 산화물 반도체 재료들이 동일한 구성요소들을 함유하는 경우에, 상기 제 1 산화물 반도체막(731) 및 상기 제 2 산화물 반도체막(735)은 동일한 결정 구조를 가진다. 상기 제 2 산화물 반도체막(735)은 축 성장 또는 상기 제 1 산화물 반도체막(731)으로부터의 에피택셜 성장을 통해 형성되고, 따라서 상기 제 2 산화물 반도체막(735) 및 상기 제 1 산화물 반도체막(731)의 c-축들은 서로 동일하다. 결과적으로, 상기 산화물 반도체막(733)에서, 실제로 상기 제 1 산화물 반도체막(731)은 상기 제 2 산화물 반도체막(735)과 동일한 결정 구조를 가진다.

체막(731)과 상기 제 2 산화물 반도체막(735) 사이의 경계는 불명확하다.

[0436] 일부 경우들에서, 상기 산화물 반도체막(733)은 상기 게이트 절연막의 평탄하지 않은 부분과 중첩된 영역에서 다결정들을 포함하고, 그에 의해 결정 경계를 포함한다. 또한, 채널 형성 영역의 역할을 하는 상기 산화물 반도체막(733)의 영역은 상기 게이트 절연막의 적어도 평탄한 부분과 중첩하고, 따라서 상기 제 1 산화물 반도체막(731) 및 상기 제 2 산화물 반도체막(735)이 c-축-배향된 단결정들을 포함하는 경우가 존재한다. 상기 제 1 산화물 반도체막(731) 및 상기 제 2 산화물 반도체막(735)이 c-축-배향되는 경우에, 상기 제 1 산화물 반도체막(731) 및 상기 제 2 산화물 반도체막(735)은 동일한 a-b 면들, a-축들 또는 q-축들을 가지는 것이 바람직하다; 그러나, 상기 a-축들 또는 b-축들의 방향은 일부 경우들에서 상이할 수 있다.

[0437] 또한 상기 제 열 처리에서, 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에 수분, 수소 등이 함유되지 않는 것이 바람직함을 유념한다. 대안적으로, 열 처리 장치에 도입되는 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스는 6N 이상, 더욱 바람직하게는 7N 이상(즉, 상기 불순물들의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하)의 순도를 가지는 것이 바람직하다. 또한, 상기 제 2 열 처리는 20ppm 이하의 H₂O 농도로 초건조 대기 분위기에서 수행될 수 있다. 또한, 상기 제 2 열 처리에서 온도를 증가시킬 때, 화로의 분위기는 질소 분위기일 수 있고, 상기 분위기는 냉각을 수행할 때 산소 분위기로 전환될 수 있다.

[0438] 상기 제 2 열 처리를 위한 상기 열 처리 장치는 특정 장치에 제한되지 않고, 상기 장치에는 내열성 소자와 같은 가열 소자로부터 열 전도 또는 열 복사에 의해 처리된 대상을 가열하기 위한 장치가 구비될 수 있음을 유념한다. 예를 들면, 전기로, 또는 GRTA 장치나 LRTA 장치와 같은 RTA 장치가 이용될 수 있다.

[0439] 다음에, 상기 산화물 반도체막(733)의 형상이 포토리소그래피 방법에 의해 가공되어, 섬형 산화물 반도체막(734) 및 섬형 산화물 반도체막(736)이 각각 상기 게이트 전극(701) 및 상기 게이트 전극(702)과 중첩하도록 형성된다. 상기 섬형 산화물 반도체막들을 형성하기 위한 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있음을 유념한다. 잉크젯 방법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않는다; 따라서, 제작 비용이 감소될 수 있다.

[0440] 실시예 4의 도 11a에 도시된 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계 후의 단계들에 따라, 메모리셀의 스위칭 소자의 역할을 하는 트랜지스터가 제작될 수 있다.

[0441] 이 실시예는 상술된 실시예들 중 어느 것과 적합하게 조합되어 구현될 수 있다.

[0442] (실시예 8)

[0443] 이 실시예에서, 각각이 본 발명의 일 실시예인 반도체 장치들 중 하나인 CPU의 구조가 기술될 것이다.

[0444] 도 17에서, 이 실시예의 상기 CPU의 구조가 도시된다. 도 17에 도시된 상기 CPU는 기판(900) 위에, 산술 논리 장치(ALU)(901), ALU 제어기(902), 명령 디코더(903), 인터럽트 제어기(904), 타이밍 제어기(905), 레지스터(906), 레지스터 제어기(907), 버스 인터페이스(버스 I/F)(908), 채기록 가능한 ROM(909) 및 ROM 인터페이스(ROM I/F)(920)를 주로 포함한다. 또한, 상기 ROM(909) 및 ROM I/F(920)는 다른 기판 위에 제공될 수 있다. 말할 필요도 없이, 도 17에 도시된 상기 CPU는 상기 구성이 단순화되는 예일 뿐이고, 실제 CPU는 이용들에 의존하여 다양한 구성을 가질 수 있다.

[0445] 상기 버스 I/F(908)을 통한 상기 CPU에 입력되는 명령이 상기 명령 디코더(903)에 입력되어 거기서 디코딩되고, 그 후에 상기 ALU 제어기(902), 상기 인터럽트 제어기(904), 상기 레지스터 제어기(907) 및 상기 타이밍 제어기(905)에 입력된다.

[0446] 상기 ALU 제어기(902), 상기 인터럽트 제어기(904), 상기 레지스터 제어기(907) 및 상기 타이밍 제어기(905)는 상기 디코딩된 명령에 기초하여 다양한 제어들을 행한다. 특히, 상기 ALU 제어기(902)는 상기 ALU(901)의 구동을 제어하기 위한 신호들을 생성한다. 상기 CPU가 프로그램을 실행하고 있는 동안, 상기 인터럽트 제어기(904)는 그 우선순위 또는 마스크 상태에 기초하여 외부 입력/출력 장치 또는 주변 회로로부터의 인터럽트 요청을 판단하고, 상기 요청을 처리한다. 상기 레지스터 제어기(907)는 상기 레지스터(906)의 어드레스를 생성하고, 상기 CPU의 상태에 따라 상기 레지스터(906)에/로부터 데이터를 판독/기록한다.

[0447] 상기 타이밍 제어기(905)는 상기 ALU(901), 상기 ALU 제어기(902), 상기 명령 디코더(903), 상기 인터럽트 제어기(904) 및 상기 레지스터 제어기(907)의 구동 시간을 제어하기 위한 신호들을 생성한다. 예를 들면, 상기 타이밍 제어기(905)에는 기준 클록 신호 CLK1에 기초하여 내부 클록 신호 CLK2를 생성하기 위한 내부 클록 생성기가

제공되고, 상기 클록 신호 CLK2를 다양한 상기 회로들에 공급한다.

[0448] 이 실시예의 상기 CPU에서, 상기 실시예들 중 어느 것에 기술된 상기 구조를 가진 메모리 소자가 상기 레지스터(906)에 제공된다. 상기 레지스터 제어기(907)는 상기 ALU(901)로부터의 명령에 따라 상기 레지스터(906)에서 유지 동작을 선택한다. 즉, 상기 레지스터(906)에 포함된 상기 메모리 소자에서, 데이터가 위상-반전 소자 또는 커페시터에서 유지되는지가 선택된다. 데이터가 상기 위상-반전 소자에서 유지되도록 선택이 이루어지는 경우에, 상기 레지스터(906)에서의 상기 메모리 소자에 전원 전압이 인가된다. 데이터가 상기 커페시터에서 유지되도록 선택이 이루어지는 경우에, 상기 데이터가 상기 커페시터에 기록되고, 상기 레지스터(906)에서의 상기 메모리 소자로의 상기 전원 전압의 인가가 중단될 수 있다. 상기 전원은 메모리 소자군과, 도 13a 또는 도 13b에 도시된 바와 같이 전원 전위 VDD 또는 전원 전위 VSS가 공급되는 노드 사이에 스위칭 소자를 제공함으로써 중단될 수 있다.

[0449] 이러한 방식으로, 상기 CPU의 상기 동작이 일시적으로 중단되고 상기 전원 전압의 상기 인가가 중단되는 경우에도, 데이터가 유지될 수 있고 전력 소비가 감소될 수 있다. 특히, 예를 들면, 개인용 컴퓨터의 사용자가 키보드와 같은 입력 장치에 데이터를 입력하지 않으면, 상기 CPU의 상기 동작이 중단될 수 있어서, 상기 전력 소비가 감소될 수 있다.

[0450] 상기 CPU가 이 실시예에서 예로서 주어지지만, 본 발명의 상기 반도체 장치는 상기 CPU에 제한되는 것이 아니라, DSP, 주문형 LSI 또는 필드 프로그래밍 가능한 게이트 어레이(FPGA)와 같은 LSI에 인가될 수 있다.

[0451] 이 실시예는 상술된 실시예들 중 어느 것에 따라 적합하게 조합되어 구현될 수 있다.

[예 1]

[0453] 본 발명의 일 실시예인 반도체 장치가 이용되어, 매우 신뢰 가능한 전자 장치 및 저전력 소비의 전자 장치가 제공될 수 있다. 특히, 전력을 연속으로 수신하는 것에 어려움을 가지는 휴대용 전자 장치의 경우에, 본 발명의 일 실시예인 저전력 소비의 반도체 장치는 상기 장치의 구성요소에 추가되고, 그에 의해 연속 동작 시간을 증가시키는 이점이 얻어질 수 있다. 또한, 낮은 오프-상태 전류를 가진 트랜지스터를 이용하여, 높은 오프-상태 전류에 의해 유발되는 고장을 커버할 필요가 있는 리던던트 회로 설계가 불필요하다; 따라서, 상기 반도체 장치에 이용된 집적 회로의 밀도가 증가되고, 상기 반도체 장치가 고성능을 가질 수 있다.

[0454] 본 발명의 일 실시예인 반도체 장치는 표시 장치들, 개인용 컴퓨터들, 또는 기록 매체들이 구비된 화상 재생 장치들(통상적으로, 디지털 다기능 디스크들(DVD들)과 같은 기록 매체들의 컨텐트를 재생하고 상기 재생된 화상들을 표시하기 위한 디스플레이들을 가지는 장치들)에 이용될 수 있다. 또한, 본 발명의 일 실시예인 상기 반도체 장치를 포함할 수 있는 전자 장치로서, 모바일 폰들, 휴대용 게임기들을 포함하는 게임기들, 휴대 정보 단말기들, 전자 서적들, 비디오 카메라들, 디지털 스틸 카메라들, 고글형 디스플레이들(헤드 장착된 디스플레이들), 네비게이션 시스템들, 오디오 재생 장치들(예를 들면, 차량 오디오 시스템들 및 디지털 오디오 플레이어들), 복사기들, 팩시밀리들, 프린터들, 다기능 프린터들, 현금 자동 입출금기(ATM), 자동 판매기들 등이 주어질 수 있다. 이를 전자 장치들의 특정 예들은 도 18a 내지 도 18f에 도시된다.

[0455] 도 18a는 하우징(7001), 표시부(7002) 등을 포함하는 전자 서적을 도시한다. 본 발명의 일 실시예인 반도체 장치는 상기 전자 서적의 구동을 제어하는 집적 회로에 이용될 수 있다. 상기 전자 서적의 구동을 제어하는 상기 집적 회로에 대해 본 발명의 일 실시예인 상기 반도체 장치를 이용하여, 매우 신뢰 가능한 전자 서적 및 저전력 소비의 전자 서적이 제공될 수 있다. 플렉시블 기판이 이용될 때, 반도체 장치 및 반도체 표시 장치가 유연성을 가질 수 있고, 그에 의해 유연하고 경량인 사용자 친숙한 전자 서적이 제공될 수 있다.

[0456] 도 18b는 하우징(7011), 표시부(7012), 지지 베이스(7013) 등을 포함하는 표시 장치를 도시한다. 본 발명의 일 실시예인 반도체 장치가 상기 표시 장치의 구동을 제어하는 집적 회로에 이용될 수 있다. 상기 표시 장치의 구동을 제어하는 상기 집적 회로에 대해 본 발명의 일 실시예인 상기 반도체 장치를 이용하여, 매우 신뢰 가능한 표시 장치 및 저전력 소비의 표시 장치가 제공될 수 있다. 표시 장치가 개인용 컴퓨터들용 표시 장치들과 같이, 정보를 표시하고, 텔레비전 방송을 수신하고, 광고를 표시하기 위한 모든 표시 장치들을 그 범주에 포함함을 유념한다.

[0457] 도 18c는 하우징(7021), 표시부(7022) 등을 포함하는 표시 장치를 도시한다. 본 발명의 일 실시예인 반도체 장치는 상기 표시 장치의 구동을 제어하는 집적 회로에 이용될 수 있다. 상기 표시 장치의 구동을 제어하는 상기 집적 회로에 대해 본 발명의 일 실시예인 상기 반도체 장치를 이용하여, 매우 신뢰 가능한 표시 장치 및 저전력 소비의 표시 장치가 제공될 수 있다. 플렉시블 기판이 이용될 때, 반도체 장치 및 반도체 표시 장치가 유연성을

가질 수 있고, 그에 의해 유연하고 경량인 사용자 친숙한 표시 장치가 제공될 수 있다. 따라서, 도 18c에 도시된 바와 같이, 표시 장치는 섬유 등에 고정되어 이용될 수 있고, 상기 반도체 표시 장치의 적용 범위는 극적으로 넓어진다.

[0458] 도 18d는 하우징(7031), 하우징(7032), 표시부(7033), 표시부(7034), 마이크로폰(7035), 스피커들(7036), 조작 키들(7037), 스타일러스(7038) 등을 포함하는 휴대용 게임기를 도시한다. 본 발명의 일 실시예인 반도체 장치는 상기 휴대용 게임기의 구동을 제어하는 집적 회로에 이용될 수 있다. 상기 휴대용 게임기의 구동을 제어하는 상기 집적 회로에 대해 본 발명의 일 실시예인 상기 반도체 장치를 이용하여, 매우 신뢰 가능한 휴대용 게임기 및 저전력 소비의 휴대용 게임기가 제공될 수 있다. 도 18d에 도시된 상기 휴대용 게임기가 상기 2개의 표시부들(7033 및 7034)을 가지지만, 상기 휴대용 게임기들에 포함된 표시부들의 수는 이에 제한되지 않는다.

[0459] 도 18e는 하우징(7041), 표시부(7042), 오디오-입력부(7043), 오디오-출력부(7044), 조작 키들(7045), 수광부(7046) 등을 포함하는 모바일 폰을 도시한다. 상기 수광부(7046)에서 수신된 광은 전기 신호들로 변환되고, 그에 의해 외부 화상들이 로딩될 수 있다. 본 발명의 일 실시예인 반도체 장치는 상기 모바일 폰의 구동을 제어하는 집적 회로에 이용될 수 있다. 상기 모바일 폰의 구동을 제어하는 상기 집적 회로에 대해 본 발명의 일 실시예인 상기 반도체 장치를 이용하여, 매우 신뢰 가능한 모바일 폰 및 저전력 소비의 모바일 폰이 제공될 수 있다.

[0460] 도 18f는 하우징(7051), 표시부(7052), 조작 키들(7053) 등을 포함하는 휴대 정보 단말기를 도시한다. 도 18f에 도시된 상기 휴대 정보 단말기에서, 모뎀은 상기 하우징(7051)에 일체화될 수 있다. 본 발명의 일 실시예인 반도체 장치는 상기 휴대 정보 단말기의 구동을 제어하는 집적 회로에 이용될 수 있다. 상기 휴대 정보 단말기의 구동을 제어하는 상기 집적 회로에 대해 본 발명의 일 실시예인 상기 반도체 장치를 이용하여, 매우 신뢰 가능한 휴대 정보 단말기 및 저전력 소비의 휴대 정보 단말기가 제공될 수 있다.

[0461] 예 1은 상술된 실시예들 중 어느 것과 적합하게 조합되어 구현될 수 있다.

[0462] 이 출원은 2009년 12월 25일 일본 특허청에 출원된 일본 특허 출원 일련번호 제2009-293982호에 기초하며, 그 전체 내용들은 참조로서 본 명세서에 포함된다.

부호의 설명

100 : 메모리 소자	101 : 위상-반전 소자
102 : 위상-반전 소자	103 : 스위칭 소자
104 : 스위칭 소자	105 : 커패시터
106 : 커패시터 스위칭 소자	107 : p-채널 트랜지스터
108 : n-채널 트랜지스터	109 : p-채널 트랜지스터
110 : n-채널 트랜지스터	200 : 메모리 소자
201 : 위상-반전 소자	202 : 위상-반전 소자
203 : 스위칭 소자	204 : 스위칭 소자
205 : 커패시터	206 : 커패시터 스위칭 소자
207 : 위상-반전 소자	208 : 스위칭 소자
209 : 스위칭 소자	210 : p-채널 트랜지스터
211 : n-채널 트랜지스터	212 : p-채널 트랜지스터
213 : n-채널 트랜지스터	214 : p-채널 트랜지스터
215 : n-채널 트랜지스터	300 : 메모리 소자
301 : 위상-반전 소자	302 : 위상-반전 소자
303 : 스위칭 소자	304 : 스위칭 소자

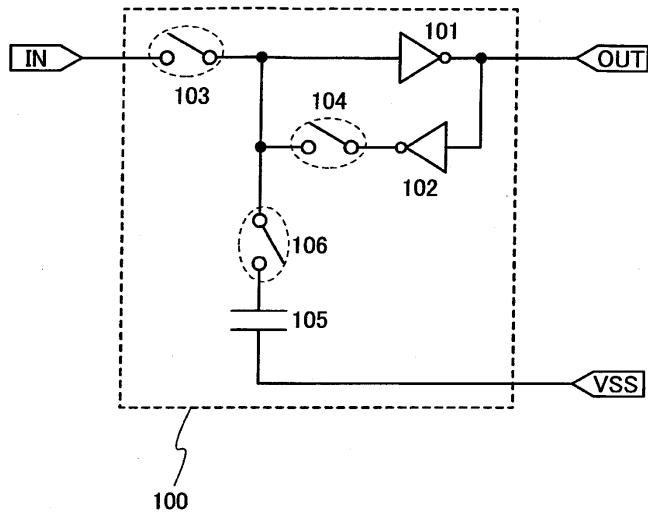
305 : 커패시터	306 : 커패시터 스위칭 소자
307 : 커패시터	308 : 커패시터 스위칭 소자
309 : p-채널 트랜지스터	310 : n-채널 트랜지스터
311 : p-채널 트랜지스터	312 : n-채널 트랜지스터
401 : 스위칭 소자	402 : 메모리 소자
403 : 메모리 소자군	420 : 트랜지스터
421 : 제 1 전극	422 : 산화물 반도체막
423 : 제 2 전극	424 : 게이트 절연막
425 : 게이트 전극	426 : 절연막
431 : 콘택트 홀	432 : 콘택트 홀
433 : 콘택트 홀	434 : 배선
435 : 배선	436 : 배선
440 : 배선	441 : 콘택트 홀
500 : 본드 기판	501 : 절연막
502 : 취화층	503 : 베이스 기판
504 : 반도체막	505 : 반도체막
506 : 반도체막	507 : 반도체막
508 : 게이트 절연막	509 : 전극
510 : 불순물 영역	511 : 불순물 영역
512 : 측벽	513 : 고-농도 불순물 영역
514 : 저-농도 불순물 영역	515 : 채널 형성 영역
516 : 고-농도 불순물 영역	517 : 저-농도 불순물 영역
518 : 채널 형성 영역	520 : n-채널 트랜지스터
521 : p-채널 트랜지스터	530 : 절연막
531 : 절연막	532 : 절연막
601 : 게이트 전극	602 : 전극
603 : 게이트 절연막	605 : 산화물 반도체막
607 : 소스 전극	608 : 드레인 전극
609 : 배선	610 : 배선
611 : 배선	612 : 절연막
620 : 트랜지스터	623 : 커패시터
630 : 트랜지스터	631 : 게이트 전극
632 : 게이트 절연막	633 : 산화물 반도체막
634 : 채널 보호막	635 : 소스 전극
636 : 드레인 전극	637 : 절연막
640 : 트랜지스터	641 : 게이트 전극

642 : 게이트 절연막	643 : 소스 전극
644 : 드레인 전극	645 : 산화물 반도체막
646 : 절연막	650 : 트랜지스터
651 : 소스 전극	652 : 드레인 전극
653 : 산화물 반도체막	654 : 게이트 절연막
655 : 게이트 전극	656 : 절연막
660 : 반도체 기판	661 : n-채널 트랜지스터
662 : p-채널 트랜지스터	663 : 절연막
664 : 트랜지스터	665 : 커패시터
666 : 소자 분리 절연막	701 : 게이트 전극
702 : 게이트 전극	703 : 게이트 절연막
730 : 산화물 반도체막	731 : 산화물 반도체막
732 : 산화물 반도체막	733 : 산화물 반도체막
734 : 산화물 반도체막	735 : 산화물 반도체막
736 : 산화물 반도체막	900 : 기판
901 : ALU	902 : ALU 제어기
903 : 명령 디코더	904 : 인터럽트 제어기
905 : 타이밍 제어기	906 : 레지스터
907 : 레지스터 제어기	908 : 버스 I/F
909 : ROM	920 : ROM I/F
1300 : 레지스터	1301 : 인버터
1302 : 인버터	1303 : 스위칭 소자
1304 : 스위칭 소자	1310 : p-채널 트랜지스터
1311 : n-채널 트랜지스터	1312 : p-채널 트랜지스터
1313 : n-채널 트랜지스터	7001 : 하우징
7002 : 표시부	7011 : 하우징
7012 : 표시부	7013 : 지지대
7021 : 하우징	7022 : 표시부
7031 : 하우징	7032 : 하우징
7033 : 표시부	7034 : 표시부
7035 : 마이크로폰	7036 : 스피커
7037 : 조작 키	7038 : 스타일러스
7041 : 하우징	7042 : 표시부
7043 : 오디오-입력부	7044 : 오디오-출력부
7045 : 조작 키	7046 : 수광부
7051 : 하우징	7052 : 표시부

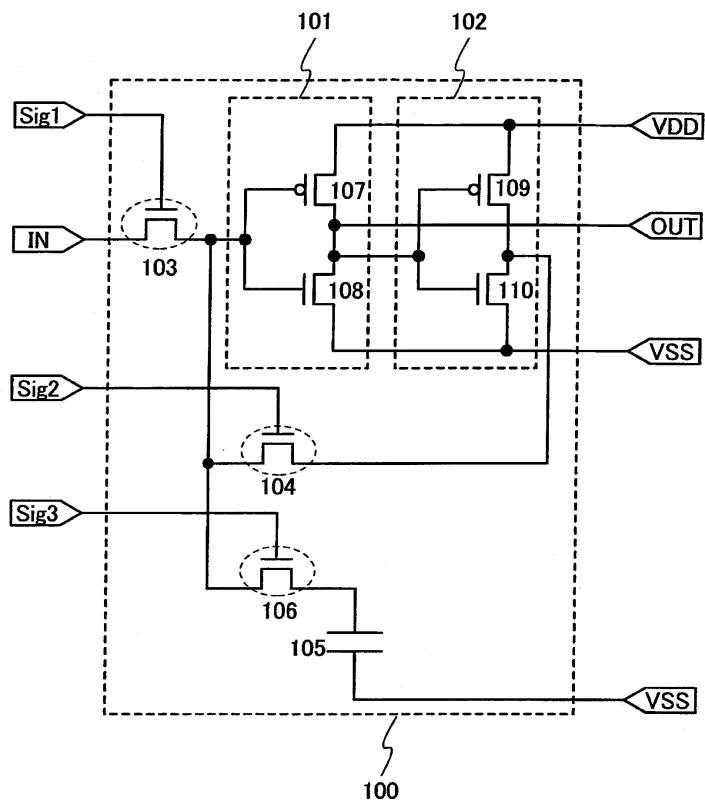
7053 : 조작 키

도면

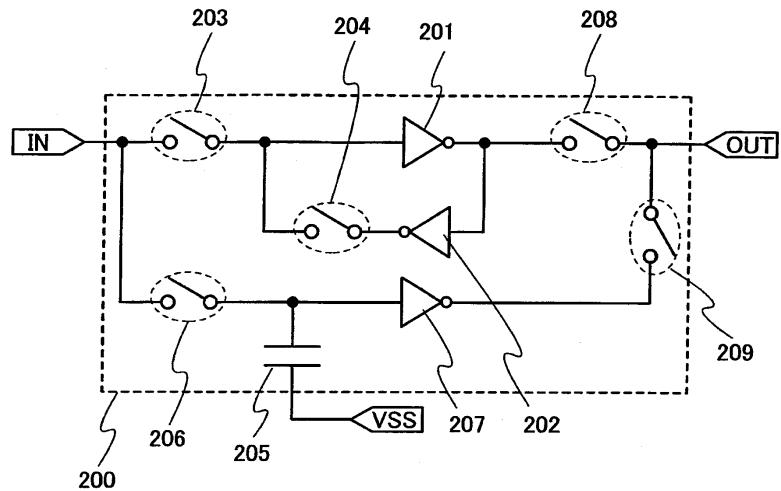
도면1



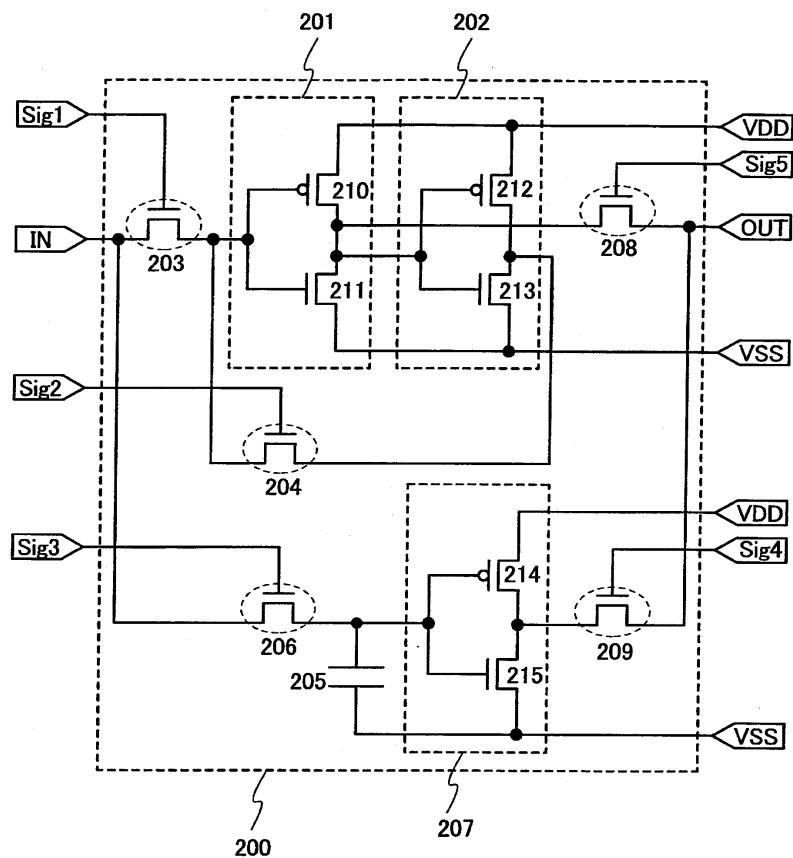
도면2



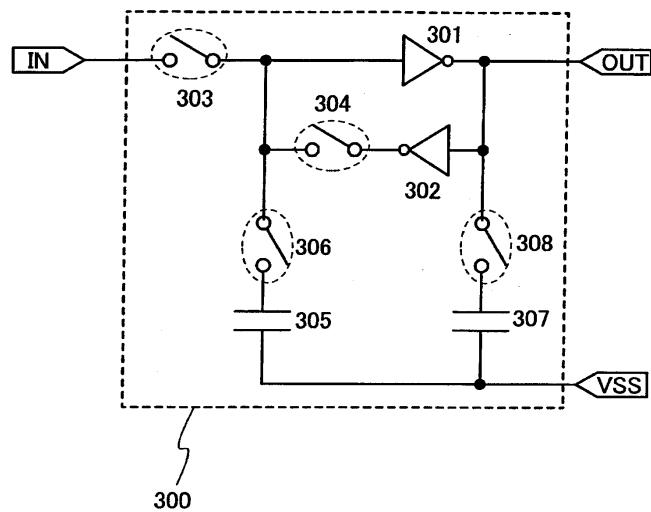
도면3



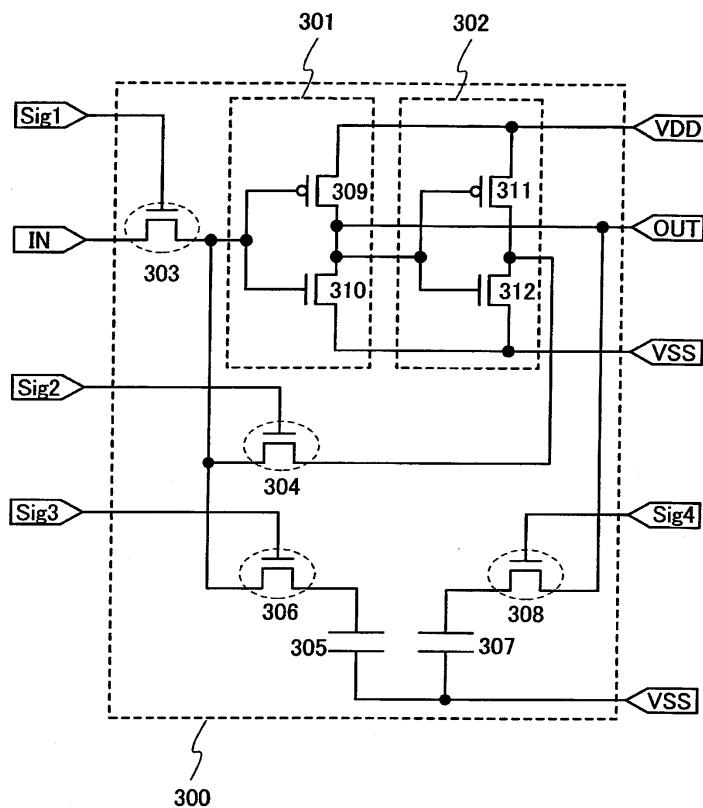
도면4



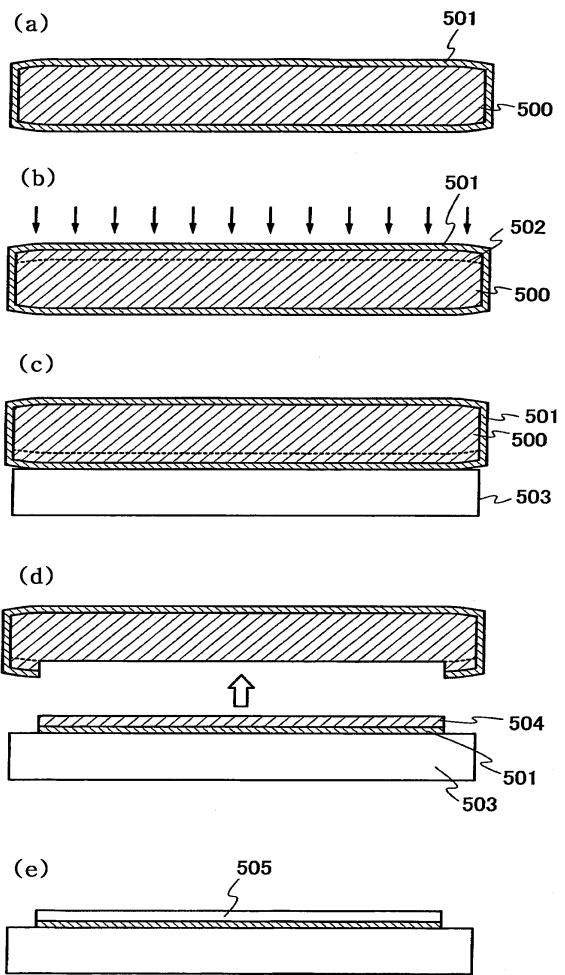
도면5



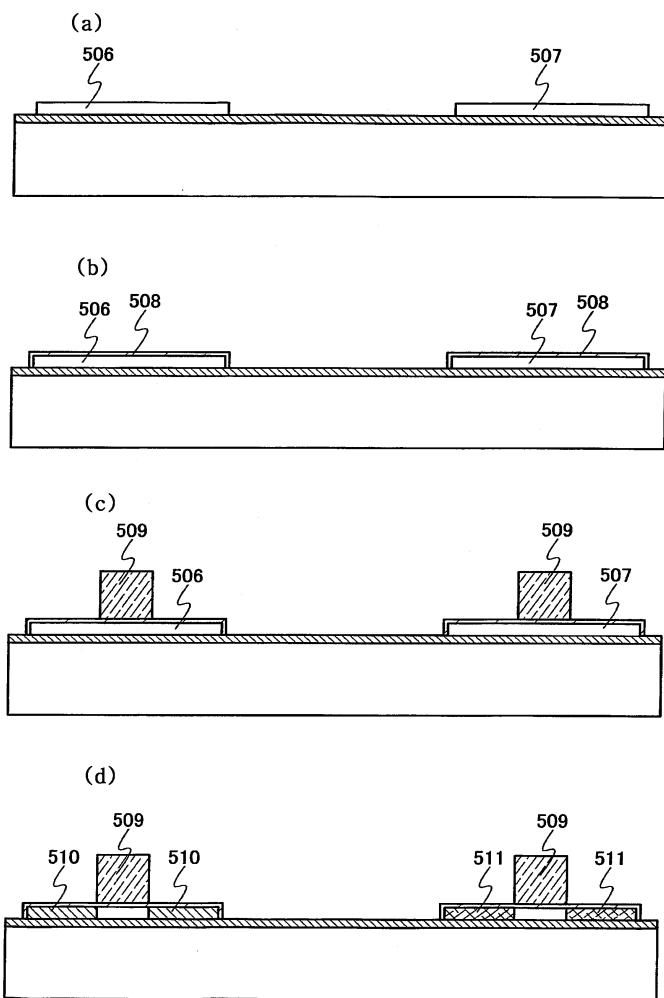
도면6



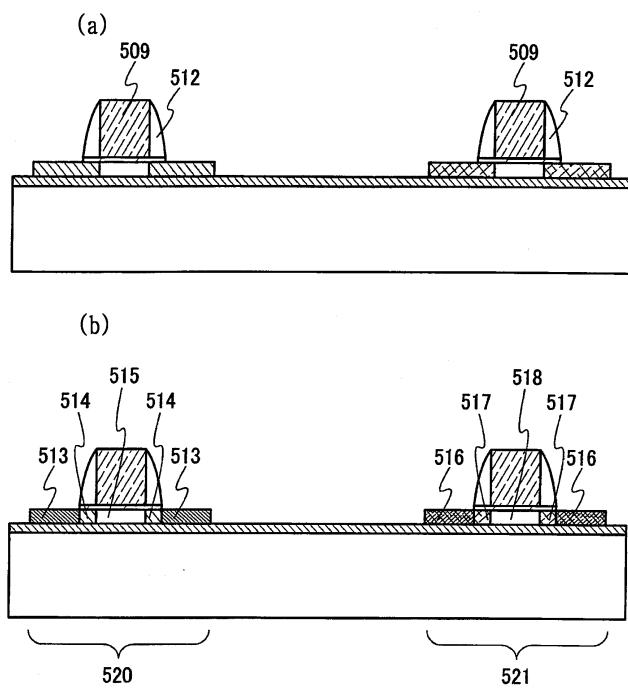
도면7



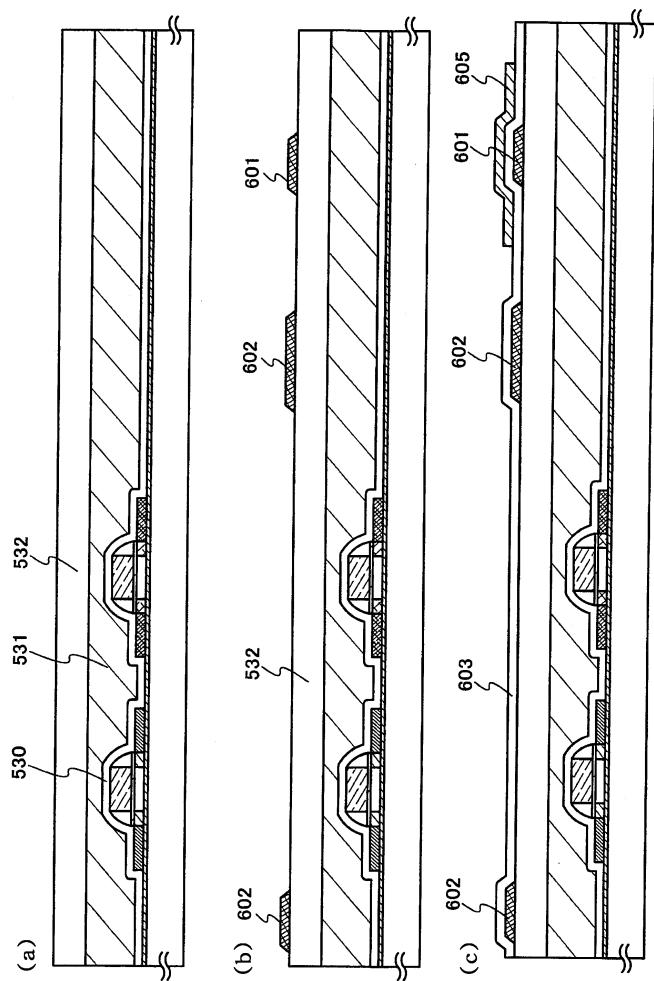
도면8



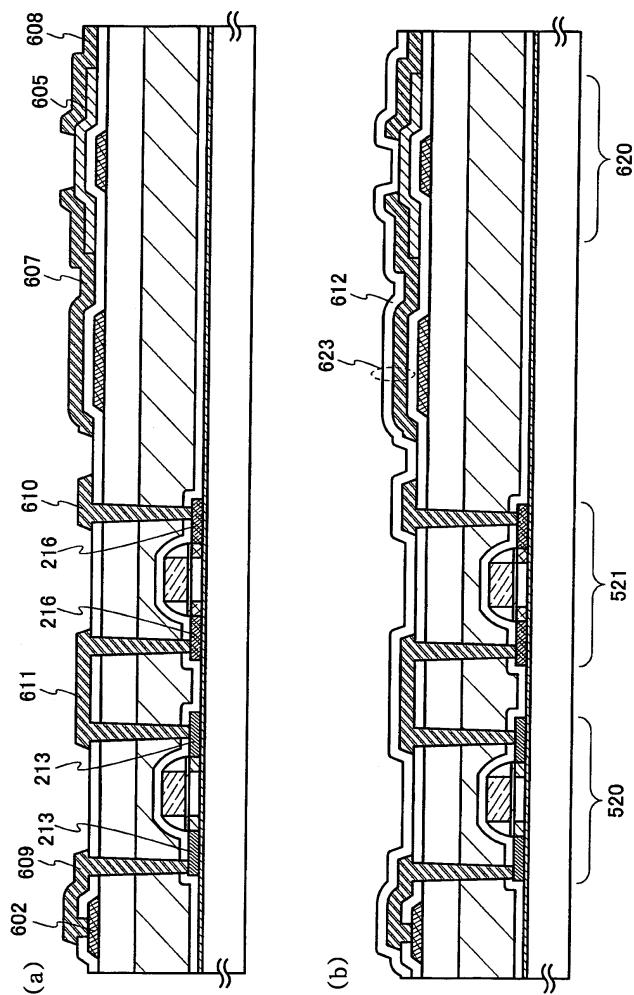
도면9



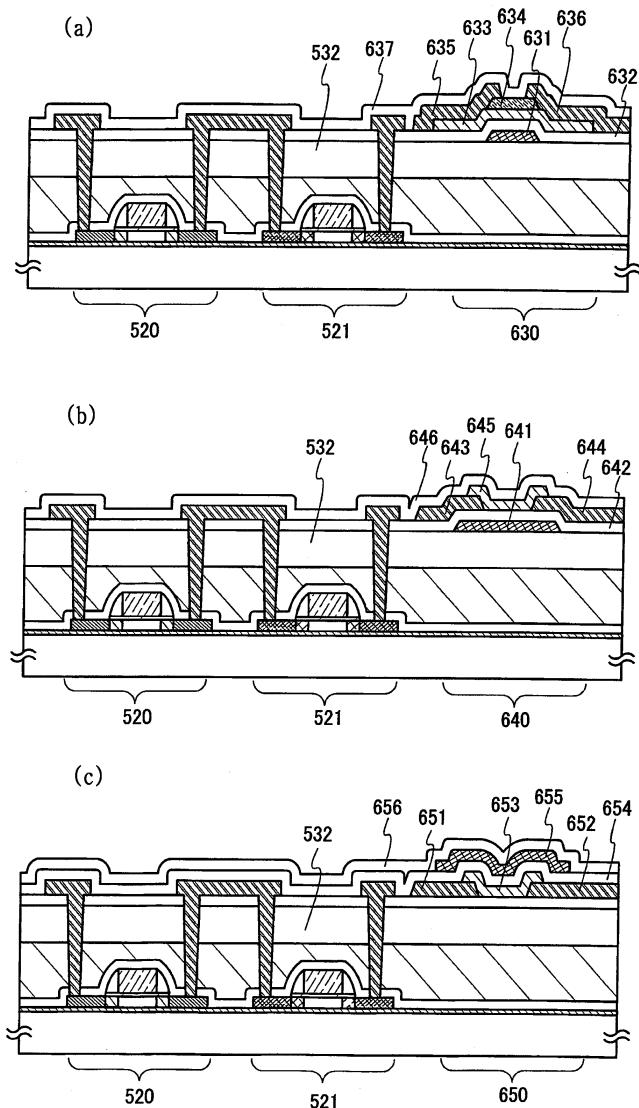
도면 10



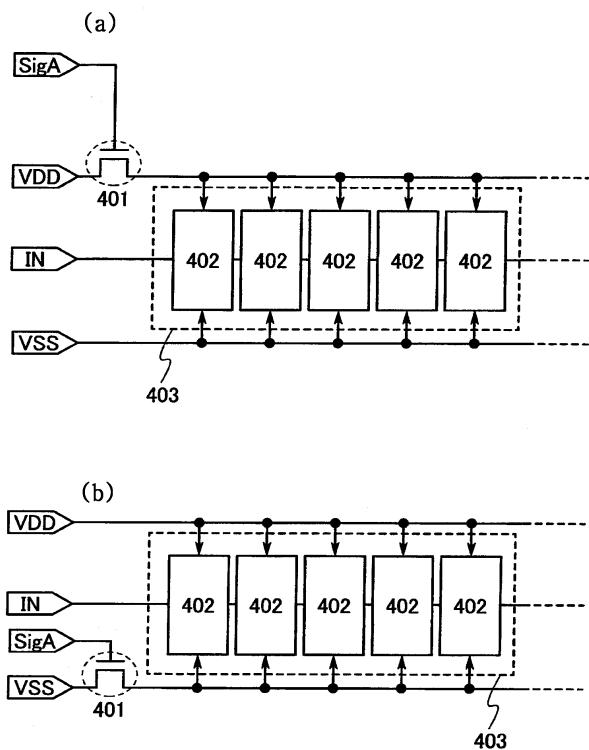
도면 11



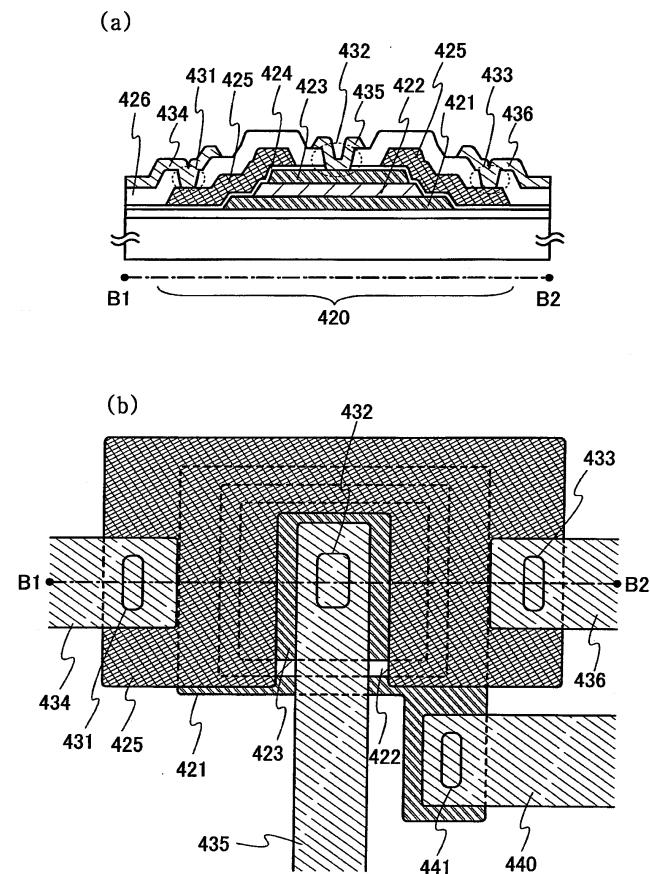
도면12



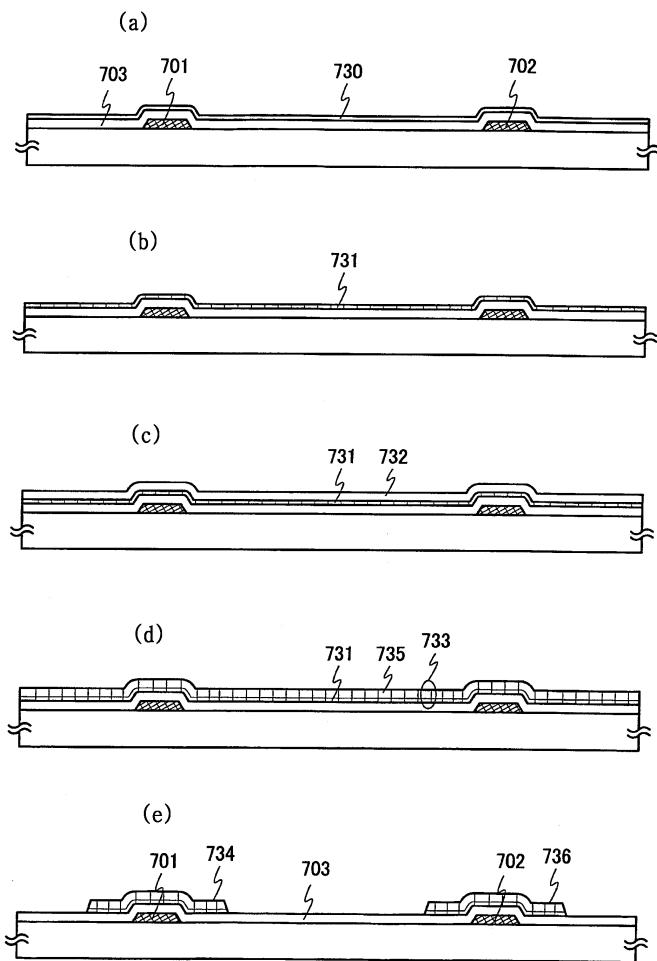
도면13



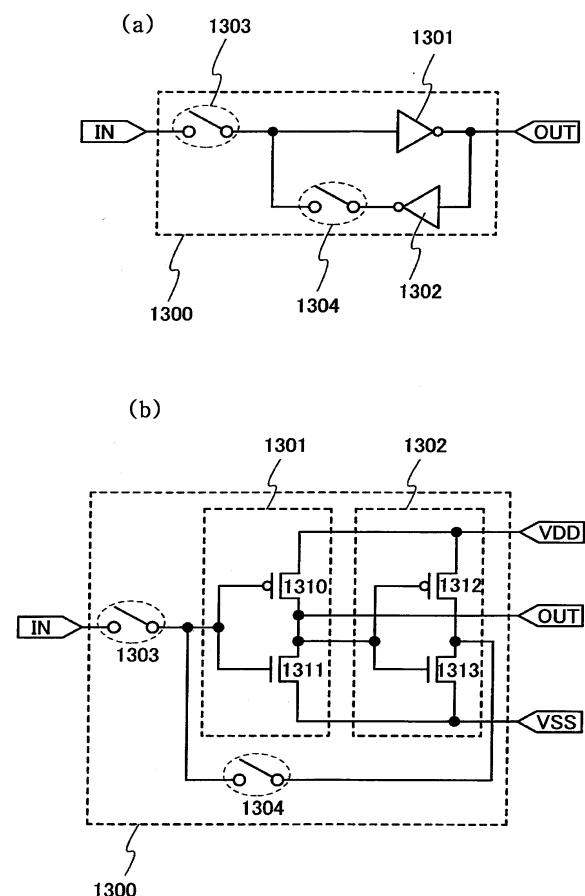
도면14



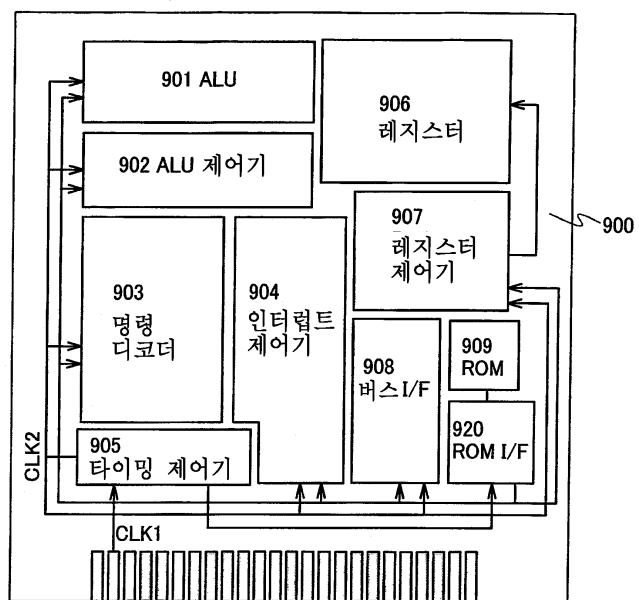
도면15



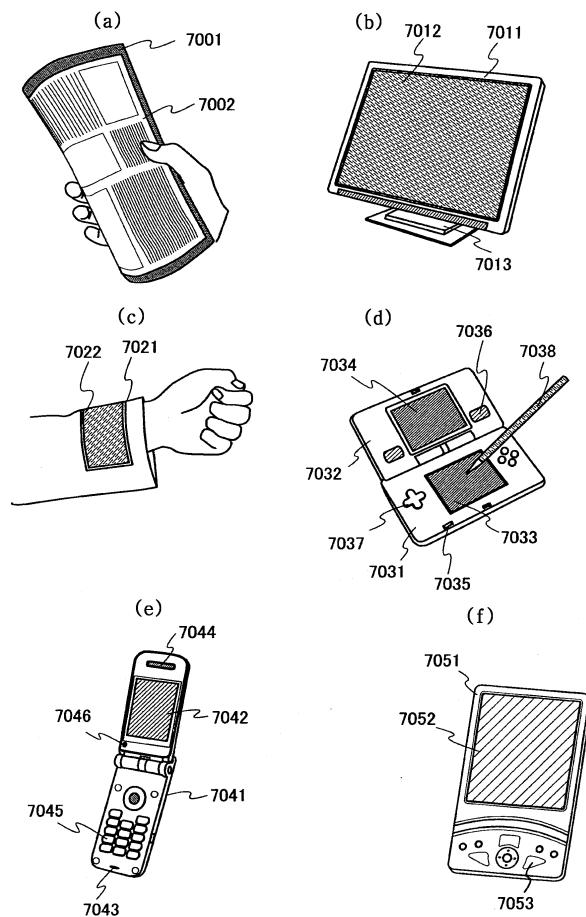
도면16



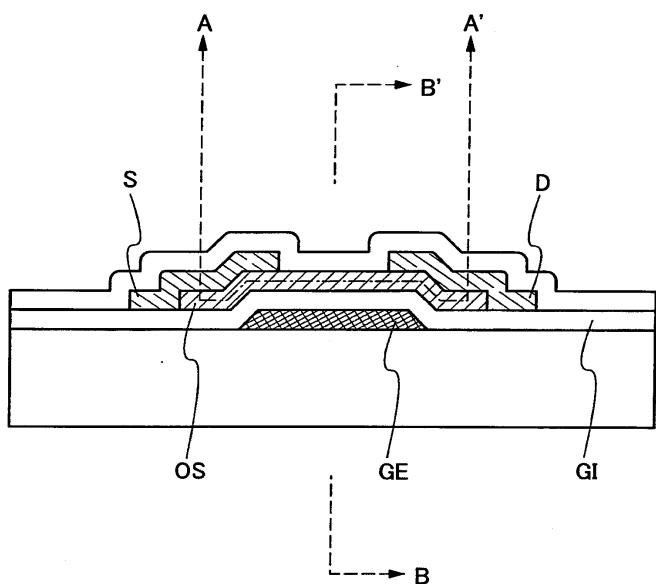
도면17



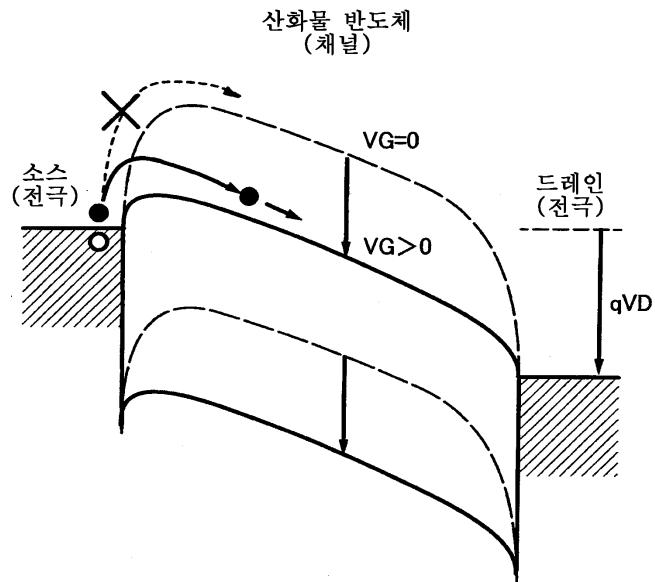
도면18



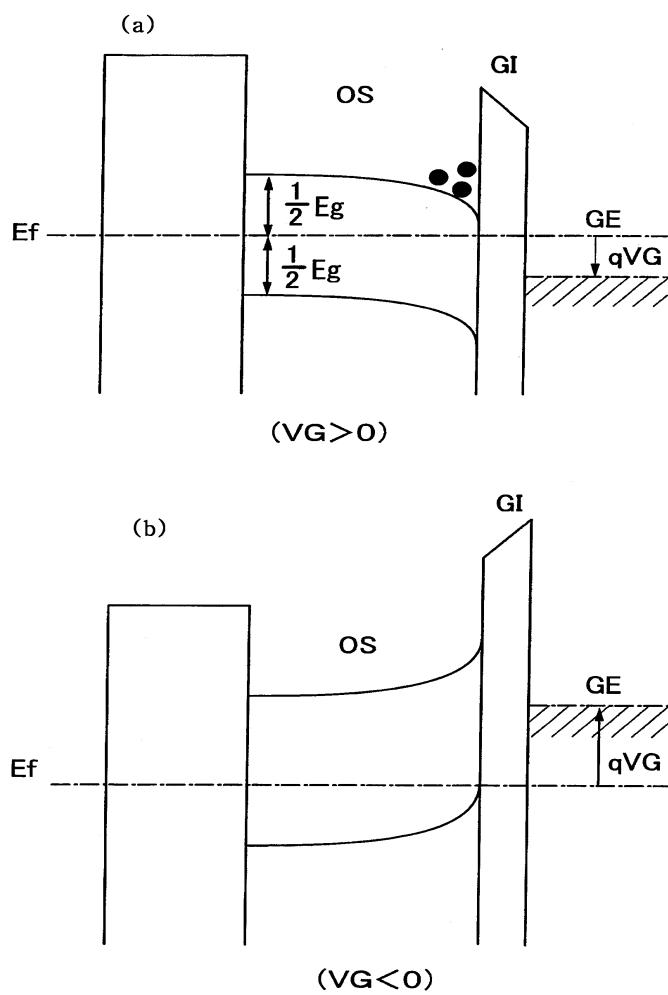
도면19



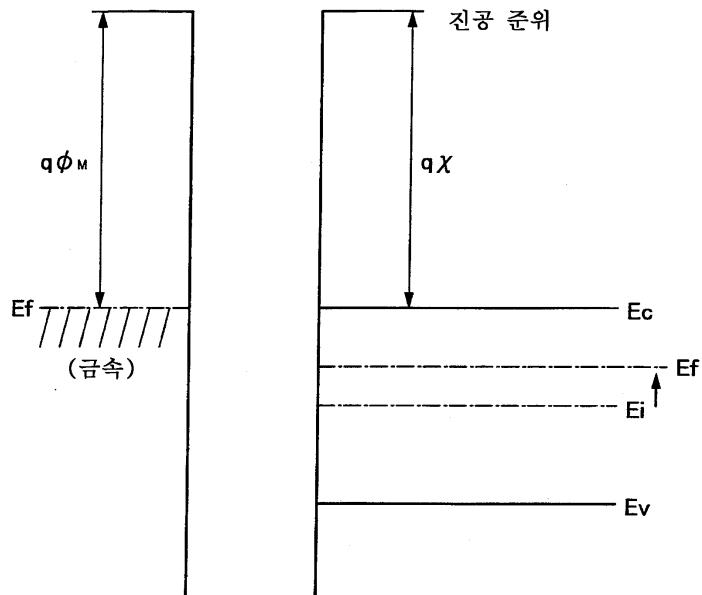
도면20



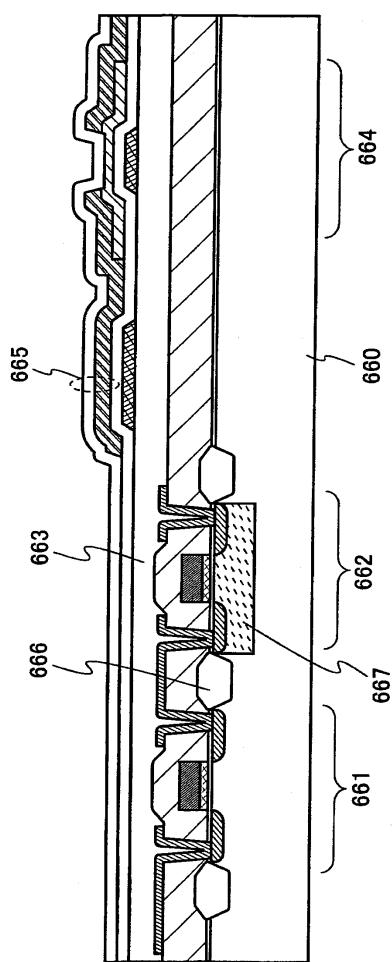
도면21



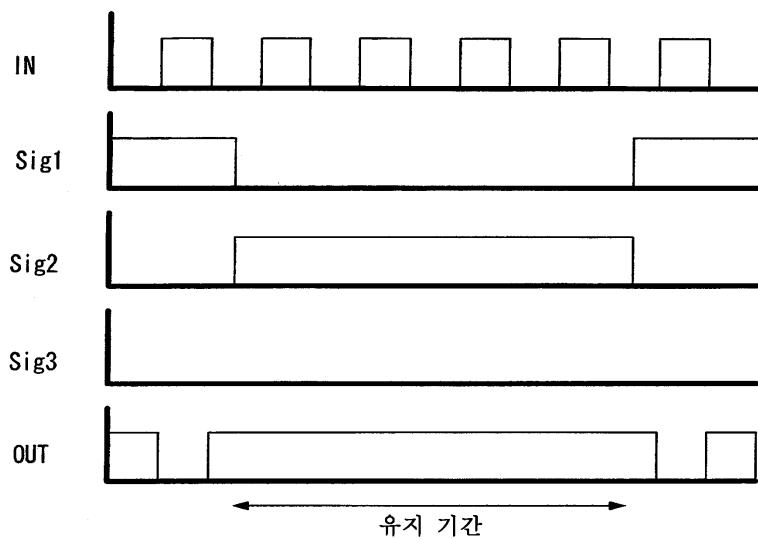
도면22



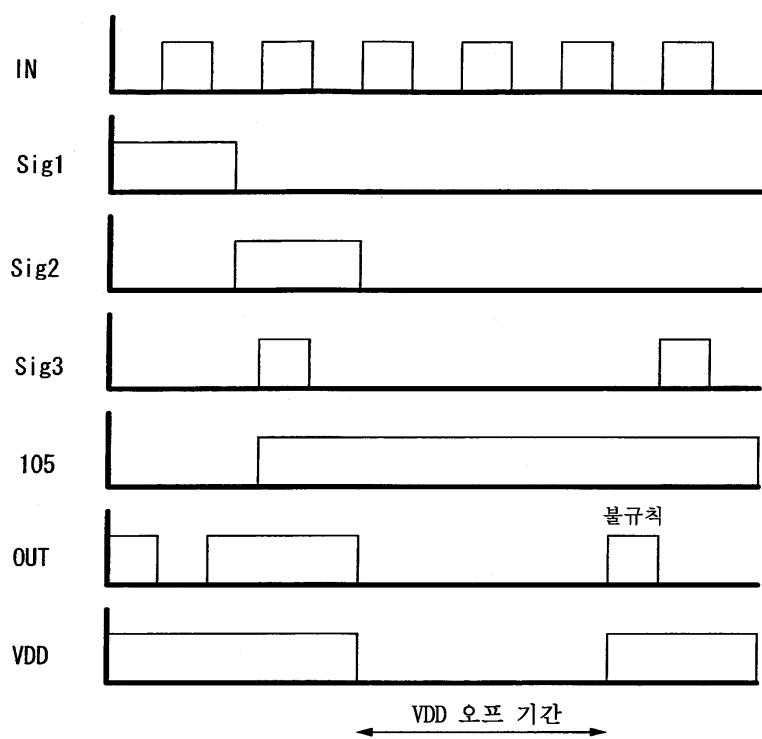
도면23



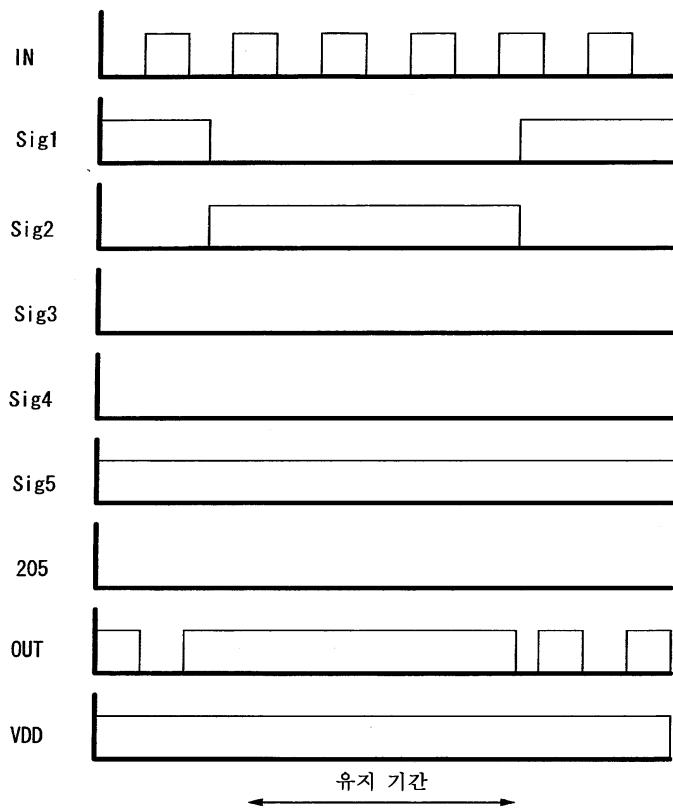
도면24



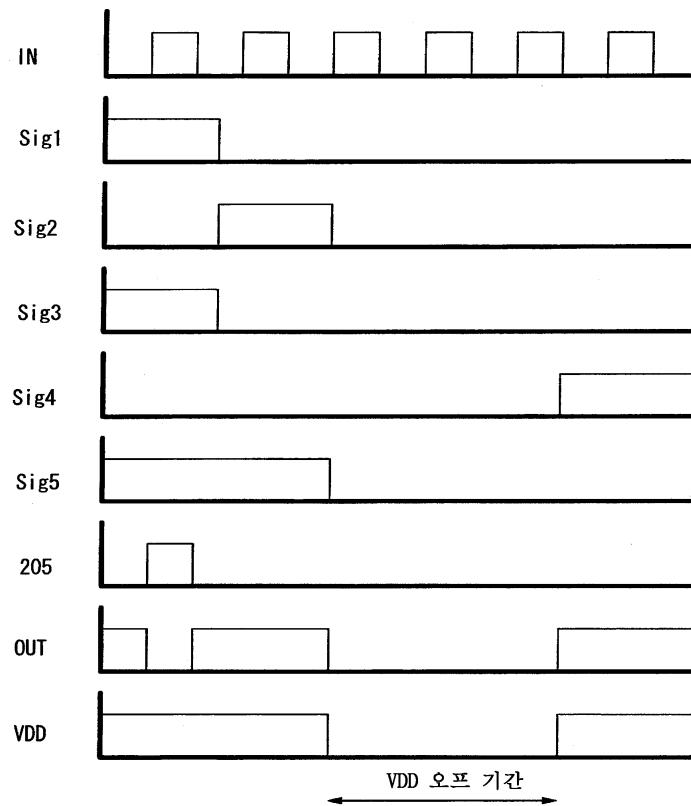
도면25



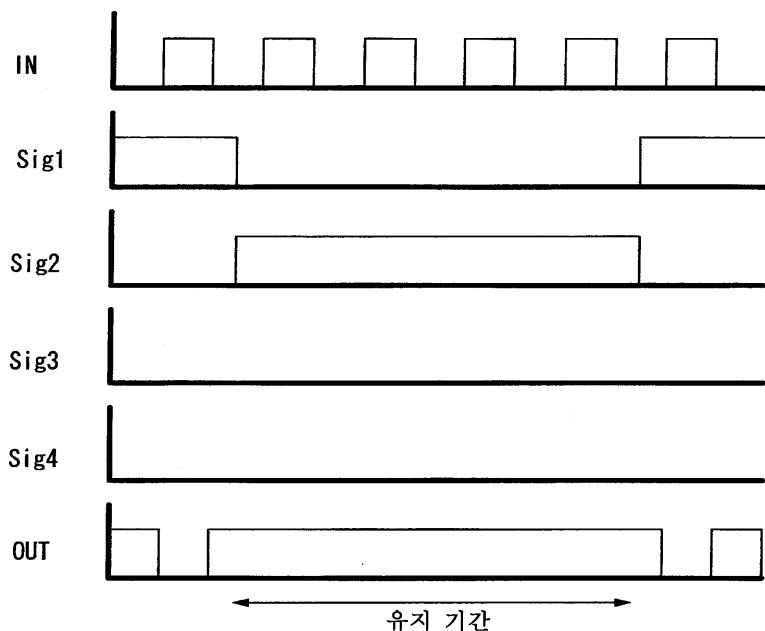
도면26



도면27



도면28



도면29

