(19) Deutsches Patent- und Markenamt

(10) **DE 11 2017 002 718 T5** 2019.02.28

(12) # Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2017/207390**
in der deutschen Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2017 002 718.7**
(86) PCT-Aktenzeichen: **PCT/EP2017/062556**
(86) PCT-Anmeldetag: **24.05.2017**
(87) PCT-Veröffentlichungstag: **07.12.2017**
(43) Veröffentlichungstag der PCT Anmeldung in deutscher Übersetzung: **28.02.2019**

(51) Int Cl.: ***H01L 21/48*** (2006.01)
H01L 21/60 (2006.01)
H01L 21/683 (2006.01)
H01L 21/762 (2006.01)
H01L 21/56 (2006.01)
H01L 25/065 (2006.01)
H01L 21/98 (2006.01)
H01L 23/485 (2006.01)

(30) Unionspriorität:
1654831 **30.05.2016** **FR**

(71) Anmelder:
Soitec, Bernin, FR

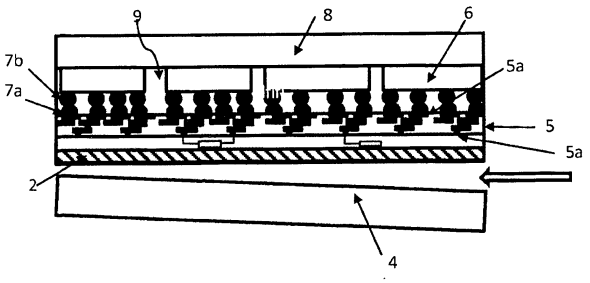
(74) Vertreter:
Grünecker Patent- und Rechtsanwälte PartG mbB, 80802 München, DE

(72) Erfinder:
Nguyen, Bich-Yen, Austin, Tex., US; Ecarnot, Ludovic, Vaulnaveys-le-Haut, FR; Ben Mohamed, Nadia, Echirolles, FR; Malville, Christophe, La Terrasse, FR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Verfahren zur Herstellung einer Halbleiterstruktur mit einer Zwischenlage, die keine Kontaktdurchführung aufweist**

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiterstruktur, mit: Einführen einer Wasserstoffsorte und Heliumsorte (beispielsweise Ionen) in einen temporären Träger (1) unter ausgewählten Bedingungen, um eine geschwächte Ebene (2) an einer vorbestimmten Tiefe darin herzustellen und um eine oberflächliche Schicht (3) und einen restlichen Teil (4) des temporären Trägers (1) abzugrenzen; Bilden einer Zwischenverbindungsschicht (5) auf dem temporären Träger (1); Anordnen mindestens eines Halbleiterchips (6) auf der Zwischenverbindungsschicht (5); Montieren eines Versteifungselements (8) auf einer Rückseite des mindestens einen Halbleiterchips (6) ; und Zuführen von Wärmeenergie zu dem temporären Träger (1), um den restlichen Teil (4) abzulösen und die Halbleiterstruktur bereitzustellen. Die Zwischenverbindungsschicht (5) bildet eine Zwischenlage, die keine Kontaktdurchführung aufweist.



Beschreibung

GEBIET DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiterstruktur mit einer Zwischenschicht bzw. Zwischenlage.

HINTERGRUND DER ERFINDUNG

[0002] Zwischenschichten bzw. Zwischenlagen werden üblicherweise als passive Elemente verwendet, die ein Aneinanderreihen von Halbleiterchips oder Halbleitergebieten nebeneinander ermöglichen, um sie miteinander und mit der äußeren Umgebung zu verbinden. Zwischenlagen erlauben eine Mischung von Chips oder Gebieten mit unterschiedlichen Funktionen (Verarbeitungseinheiten, Speicher, Eingabe/Ausgabe), um Halbleiterbauelemente mit Gehäuse zu bilden, die Konfigurationen mit hoher Bandbreite und kompakten Formfaktoren bieten. Dadurch wird die Integration aller funktionalen Elemente auf Chipebene vermieden und es wird die Entwicklungszeit für die Bauelemente beschleunigt.

[0003] US2013/0214423 beschreibt, dass eine Zwischenlage für gewöhnlich eine ausreichend dicke Schicht aus Material ist, so dass sie starr (beispielsweise ungefähr 200 Mikrometer oder mehr) ist, wobei auf ihren gegenüberliegenden Flächen Anschlussflächen zur Anbindung an die Halbleiterchips und/oder externe Verbinder bereitgestellt sind. Eine Zwischenlage umfasst ferner leitende Kontaktdurchführungen, die sich durch sie hindurch erstrecken, so dass Anschlussflächen auf ihren gegenüberliegenden Flächen elektrisch verbunden werden.

[0004] Für gewöhnlich ist es schwierig, Kontaktdurchführungen mit einem hohen Aspektverhältnis (das als die Länge einer Kontaktdurchführung, geteilt durch die Abmessung ihres Querschnitt definiert ist) herzustellen, beispielsweise mit einem Verhältnis, das größer als 5 ist.

[0005] Daher besitzen Kontaktdurchführungen eine minimale Querschnittsabmessung, die für gewöhnlich größer als 20 Mikrometer ist. Diese Abmessung begrenzt die Anzahl an Kontaktdurchführungen, die auf einer gegebenen Oberfläche der Zwischenlage hergestellt werden können, und begrenzt damit die Integrationsdichte des fertigen Halbleiterbauelements im Gehäuse. Weniger kompakte Bauelemente sind an sich problematisch, da sie nicht in Einrichtungen mit kleinen Abmessungen angeordnet werden können (intelligente Telefone, angeschlossene Armbanduhren und dergleichen). Weniger kompakte Bauelemente begrenzen auch das Leistungsvermögen, da die erforderlichen längeren Verbindungsleitungen die Bandbreite und die Verzögerung der sich ausbreitenden Signale beeinflussen.

[0006] Neue Vorgehensweisen für Zwischenlagen, wie sie etwa in US2014/0191419 beschrieben sind, wonach keine Kontaktdurchführung erforderlich ist, gewinnen daher zunehmend an Aufmerksamkeit.

[0007] Beispielsweise offenbart US20030219969 ein Herstellungsverfahren für ein Halbleiterbauelement, das mit einer feinstrukturierten Zwischenlage versehen ist, die unter Anwendung eines Siliziumsubstrats hergestellt wird. Das Verfahren umfasst die Schritte des Herstellens einer ablösbaren Harzschicht auf einem Siliziumsubstrat, die Herstellung der Verdrahtungsschicht auf der ablösbaren Harzschicht, das Montieren von Halbleiterchips auf dem Verdrahtungssubstrat, die Herstellung von Halbleiterbauelementen durch Einschluss der mehreren Halbleiterchips mittels eines abdichtenden Harzes, das Vereinzeln der Halbleiterbauelemente durch Schneiden der Halbleiterbauelemente aus der Seite mit dem einschließenden Harz unter Beibehaltung des Siliziumsubstrats, und Ablösen jedes der vereinzelten Halbleiterbauelemente aus dem Siliziumsubstrat.

[0008] Dieser Herstellungsvorgang ist besonders schwierig zu implementieren. Er erfordert eine genaue Steuerung der Klebemittelkräfte an den aneinanderfolgenden Grenzflächen in der Struktur, so dass bei Ausüben von Traktionskräften auf die Bauelemente es möglich ist, das vollständige Bauelement aus dem Substrat genau an der Harzschicht zu entfernen. Gleichzeitig sollte die Harzschicht eine ausreichende Haftung bieten, um die unterschiedlichen Schichten auf dem Siliziumsubstrat während der anfänglichen Phase des Herstellungsvorganges zusammenzuhalten.

AUFGABE DER ERFINDUNG

[0009] Die vorliegende Erfindung zielt darauf ab, ein Halbleiterbauelement herzustellen mit mindestens einem Halbleiterchip oder Halbleitergebiet und einer Zwischenlage, um die elektrischen Signale von/zu leitenden Strukturelementen des mindestens einen Halbleiterchips zu führen. Der Zwischenlage hat keine Kontaktdurchführung und der Herstellungsprozess ist einfach zu implementieren.

ÜBERBLICK ÜBER DIE ERFINDUNG

[0010] Dazu betrifft die Erfindung ein Verfahren zur Herstellung einer Halbleiterstruktur, das aufweist:

- Implantieren von Wasserstoff- und Heliumionen in einen temporären Träger mit ausgewählten Implantationsbedingungen, so dass eine geschwächte Ebene an einer vorbestimmten Tiefe darin erzeugt wird, und eine oberflächliche Schicht und ein restlicher Teil des temporären Trägers abgegrenzt werden;

• Bilden einer Zwischenverbindungsschicht auf dem temporären Träger, wobei die Zwischenverbindungsschicht Kontaktflächen und elektrisch leitende Bahnen zwischen den Kontaktflächen aufweist;

• Anordnen mindestens eines Halbleiterchips auf der Zwischenverbindungsschicht, so dass leitende Strukturelemente des Chips mit Kontaktflächen der Zwischenverbindungsschicht elektrisch gekoppelt werden;

• Montieren eines Versteifungselements auf einer Rückseite des mindestens einen Halbleiterchips;

• Zuführen von Wärmeenergie und optional von mechanischer Energie zu dem temporären Träger, so dass der restliche Teil abgelöst wird, und die Halbleiterstruktur bereitgestellt wird.

[0011] Der Schritt des Zuführens von Wärmeenergie zu dem temporären Träger führt zu einer weiteren Schwächung der geschwächten Ebene und kann gleichzeitig die Haftung des Versteifungselements an dem Rest der Struktur erhöhen. Er ermöglicht das Ablösen des restlichen Teils des Trägers und seine Entfernung durch die Anwendung moderater Kräfte und ohne die Gefahr einer Ablösung des Versteifungselements von dem Rest der Struktur.

[0012] Gemäß weiterer nicht beschränkender Merkmale der Erfindung, die für sich alleine genommen oder in beliebiger technisch möglicher Kombination verwendet sind, gilt:

• Die ausgewählten Bedingungen des Einführens der Heliumsorte umfasst: Implantieren von Heliumionen mit einer Dosis, die zwischen 1 bis 2 10^16 at/cm^3 liegt; und mit einer Implantationsenergie zwischen 40 keV bis 200 keV;

• die ausgewählten Bedingungen des Einführens der Wasserstoffsorte umfassen: Implantieren von Wasserstoffionen mit einer Dosis zwischen 0,5 bis 1,5 10^16 at/cm^3; und mit einer Implantationsenergie zwischen 25 keV bis 200 keV;

• die Zwischenverbindungsschicht bietet eine erste Oberfläche auf Seite des Halbleiterchips und eine zweite Oberfläche, gegenüberliegend zu der ersten Oberfläche, und wobei die Kontaktflächen sowohl auf der ersten als auch der zweiten Oberfläche angeordnet sind;

• das Verfahren umfasst: Entfernen der oberflächlichen Schicht nach dem Ablösen des restlichen Teils, so dass zumindest einige Kontaktflächen der zweiten Oberfläche der Zwischenverbindungsschicht freigelegt werden;

• das Verfahren umfasst: Bilden von entstehenden Strukturelementen, etwa von Mikro-Höckern oder Metallstiften, auf den Kontaktflächen der ersten Oberfläche zu Ermöglichung der elektrischen Verbindung leitender Strukturelemente des Halbleiterchips mit den Kontaktflächen;

• das Verfahren umfasst: ein Bilden elementarer Bauelemente auf und/oder in der oberflächlichen Schicht;

• die oberflächliche Schicht hat eine Dicke von weniger als ungefähr 10 Mikrometer, vorzugsweise von weniger als 1 Mikrometer und noch bevorzugterweise zwischen 50 und 600 nm;

• der Abstand, der zwei nebeneinanderliegende Kontaktflächen trennt, liegt zwischen 0,2 Mikrometer bis 2 Mikrometer;

• der Montageschritt wird nach oder vor dem Schritt des Anordnens des mindestens einen Halbleiterchips auf der Zwischenverbindungsschicht ausgeführt;

• der Montageschritt umfasst ferner einen Schritt zum Unterfüllen, so dass ein Füllmaterial den freien Zwischenraum, der den mindestens einen Chip umgibt; ausfüllt;

• das Verfahren umfasst einen Schritt zum Schneiden der Halbleiterstruktur derart, dass mindestens ein Rohhalbleiterbauelement bereitgestellt wird, und umfasst einen Schritt zum Einbringen des mindestens einen Rohhalbleiterbauelements in ein Gehäuse, so dass ein fertiges Halbleiterbauelement gebildet wird;

• die Zwischenverbindungsschicht hat eine Dicke zwischen 200 nm und 20 Mikrometer.

• das thermische Budget, das mit der Herstellung der Zwischenverbindungsschicht in Zusammenhang steht, ist kleiner als 250° C für 4 Stunden oder ist kleiner als 20 Minuten bei 350° C;

• der Schritt des Zuführens von Wärmeenergie umfasst das Anwenden einer Temperatur zwischen 200° C und 450° C für eine Zeitdauer, die zwischen 10 Minuten und 2 Stunden liegt.

Figurenliste

[0013] Viele weitere Merkmale und Vorteile der vorliegenden Erfindung ergeben sich aus dem Studium der folgenden detaillierten Beschreibung, wenn diese in Verbindung mit den begleitenden Zeichnungen betrachtet wird, in denen:

- **Fig. 1** und **Fig. 2** Halbleiterstrukturen repräsentieren, die durch das erfindungsgemäße Verfahren hergestellt werden können;

- **Fig. 3** einen Schritt zur Einführung von Wasserstoff- und Heliumsorten in einen temporären Träger repräsentiert;

- **Fig. 4** einen Schritt zur Herstellung einer Zwischenverbindungsschicht repräsentiert;

- **Fig. 5** einen Schritt zur Anordnung mindestens eines Halbleiterchips auf der Zwischenverbindungsschicht repräsentiert;

- **Fig. 6** einen Schritt zum Montieren eines Versteifungselements repräsentiert;

- **Fig. 7** einen Schritt zur Zuführung von Energie zu dem temporären Träger zum Ablösen eines restlichen Teils repräsentiert;

- **Fig. 8** die Halbleiterstruktur nach dem Entfernen des restlichen Teils des temporären Trägers repräsentiert.

DETAILLIERTE BESCHREIBUNG SPEZIELLER AUSFÜHRUNGSFORMEN DER ERFINDUNG

[0014] Zur Vereinfachung der folgenden Beschreibung werden für identische Elemente oder Elemente, die in den unterschiedlichen Ausführungsformen der Erfindung, die beschrieben wird, die gleiche Funktion entfalten, die gleichen Bezugszeichen verwendet.

[0015] **Fig. 1** repräsentiert eine Halbleiterstruktur **10**, die durch das erfindungsgemäße Verfahren hergestellt werden kann.

[0016] Die Halbleiterstruktur **10** umfasst eine Zwischenschicht bzw. Zwischenlage, die aus einer Zwischenverbindungsschicht **5** besteht. Die Zwischenverbindungsschicht **5** umfasst Kontaktflächen **5a**, die vorzugsweise auf beiden Oberflächen angeordnet sind; und umfasst elektrisch leitende Bahnen **5b** zwischen den Kontaktflächen **5a**. Die Zwischenverbindungsschicht **5** repräsentiert eine Dicke zwischen 200 nm und 20 Mikrometer und typischerweise zwischen 5 und 10 Mikrometer. Einige Kontaktflächen **5a** sind elektrisch mit leitenden Strukturelementen **6a** mindestens eines Halbleiterchips **6** verbunden. Andere Kontaktflächen **5a**, insbesondere diejenigen, die auf der freigelegten Oberfläche der Zwischenverbindungsschicht **5** angeordnet sind, können eine Eingangs-/Ausgangsverbindung der Halbleiterstruktur **10** nach außen bereitstellen.

[0017] Wie in **Fig. 1** dargestellt ist, können die Kontaktflächen **5a** auf allen Oberflächen der Zwischenverbindungsschicht **5** mit hoher Dichte angeordnet werden. Beispielsweise liegt der Abstand, der zwei nebeneinanderliegende Flächen **5a** trennt, zwischen 0,2 bis 2 Mikrometer.

[0018] Vorzugsweise sind mehrere Halbleiterchips **6** angeordnet und elektrisch mit der Zwischenverbindungsschicht **5** verbunden. Die Chips **6** können von unterschiedlicher Größe sein, können unterschiedliche Funktionen haben und können gemäß unterschiedlichen Techniken hergestellt sein. Beispielsweise kann ein Chip **6** eine CPU der 14-nm-Technologie sein, während ein weiterer Chip **6** ein Eingangs-/Ausgangs-Chip mit einer 0,25-Mikrometer-Technologie sein kann. Jeder Chip **6** kann beispielsweise ein DRAM- oder ein SRAM-Speicherchip, eine CPU, eine GPU, eine Mikrosteuerung oder ein Eingabe-/Ausgabe-Chip sein.

[0019] Optional kann die Halbleiterstruktur **10** weitere Chips **6** aufweisen, die auf der freiliegenden Oberfläche der Zwischenverbindungsschicht **5** (in **Fig. 1** nicht dargestellt) angeordnet sind.

[0020] Die Zwischenverbindungsschicht **5** ermöglicht eine gemeinsame Integration dieser unterschiedlichen Chips mit unterschiedlicher Funktion, um ein funktionales Halbleiterbauelement zu realisieren. Elektrisch leitende Bahnen **5b** der Zwischenverbindungsschicht **5** ermöglichen eine elektrische Verbindung der leitenden Strukturelemente **6a** der unterschiedlichen Chips **6** miteinander, so dass sie in funktionaler Weise zusammenarbeiten können. Um aufwändige Zwischenverbindungsschemata zu ermöglichen, kann die Zwischenverbindungsschicht **5** aus mehreren gestapelten Zwischenverbindungsunterschichten, beispielsweise 2 bis 4 Unterschichten, aufgebaut sein.

[0021] Um die elektrische Verbindung der leitenden Strukturelemente **6a** der Chips **6** mit den Kontaktflächen **5a** der Zwischenverbindungsschicht **5** zu ermöglichen, können die Kontaktflächen und/oder die leitenden Strukturelemente **6a** mit erhabenen Strukturelementen **7a**, **7b**, etwa Mikro-Höckern, versehen sein.

[0022] Die Halbleiterstruktur **10** der **Fig. 1** umfasst ferner ein Versteifungselement **8**, das auf der Rückseite der Chips **6** angeordnet ist, so dass eine steife Halterung für die Struktur bereitgestellt wird. Das Versteifungselement **8** kann aus einem beliebigen geeigneten Material, etwa Silizium oder Epoxidmaterial, hergestellt sein. Der freie Zwischenraum zwischen den Chips **6**, dem Versteifungselement **8** und der Zwischenverbindungsschicht **5** kann mit isolierendem Füllmaterial, etwa Siliziumdioxid, gefüllt werden, um die Halbleiterstruktur **10** zu schützen und ihre Steifigkeit zu erhöhen.

[0023] Optional und wie in **Fig. 2** dargestellt ist, kann die Halbleiterstruktur **10** eine oberflächliche Schicht **3** über oder teilweise über der Zwischenverbindungsschicht **5** auf ihrer Oberfläche gegenüberliegend zu den Chips **6** aufweisen. Die oberflächliche Schicht **3** kann elementare Bauelemente **11** aufweisen, die mit einigen der Kontaktflächen **5a** der Zwischenverbindungsschicht **5** verbunden sind. Die elementaren Bauelemente bzw. Grundbauelemente **11** können zusätzliche Funktionen für den Chip **6** bereitstellen. Sie können Dünnschichttransistoren, PN-Di-

oden oder opto-elektronischen Bauelementen entsprechen, um Beispiele zu nennen.

[0024] Die Halbleiterstruktur **10** der **Fig. 1** oder **Fig. 2** kann so geschnitten werden, dass Rohhalbleiterbauelemente gebildet werden, die dann verpackt werden, so dass sie fertige Halbleiterbauelemente bilden, wie dies im Stand der Technik bekannt ist. Das Einbringen in ein Gehäuse kann die Herstellung von Drahtverbindungen auf einigen der Kontaktflächen **5a**, die auf der freiliegenden Oberfläche der Zwischenverbindungsschicht **5** angeordnet sind, beinhalten, so dass eine Verbindung nach außen für die Bauelemente bereitgestellt wird.

[0025] Die vorliegende Erfindung richtet sich an ein Verfahren zur Herstellung der Halbleiterstruktur **10**, wie sie etwa in **Fig. 1** oder **Fig. 2** dargestellt ist.

[0026] Gemäß **Fig. 3** umfasst das Verfahren einen Schritt zur Einführung von Wasserstoff- und Heliumsorten, etwa Wasserstoffionen und Heliumionen, in einen temporären Träger **1**, so dass eine geschwächte Ebene **2** an einer vorbestimmten Tiefe in dem Träger **1** gebildet wird. Die Wasserstoff- und Heliumsorte kann durch Implantation eingeführt werden. Die geschwächte Ebene **2** grenzt eine oberflächliche Schicht **3** und einen restlichen Teil **4** des temporären Trägers **1** ab.

[0027] Aus Kostengründen und aus Gründen der Verfügbarkeit kann der Träger einer Siliziumscheibe mit runder Form und normierten Abmessungen entsprechen. Beispielsweise kann die Siliziumscheibe einen Durchmesser von 200 oder 300 mm und eine Dicke im Bereich zwischen 300 bis 900 Mikrometer aufweisen. Jedoch ist das erfindungsgemäße Verfahren nicht auf ein derartiges Material und eine derartige Form und Größe des temporären Trägers beschränkt. Allgemein wird der temporäre Träger so ausgewählt, dass er ein kostengünstiges, steifes, selbsttragendes Materialstück bereitstellt. Der temporäre Träger **1** kann mit einer oder mehreren Oberflächenschichten aus Material beschichtet sein, etwa aus einem Halbleitermaterial, einem leitenden Material oder einem isolierenden Material. Folglich kann die oberflächliche Schicht **3** auch eine oder mehrere der Oberflächenschichten des temporären Trägers **1** aufweisen.

[0028] Abhängig von den Implantationsbedingungen, die detailliert im folgenden Teil der Beschreibung dargelegt sind, kann die oberflächliche Schicht **3** eine Dicke von weniger als ungefähr 10 Mikrometer oder weniger als 1 Mikrometer aufweisen. Vorzugsweise liegt diese Dicke zwischen 50 und 600 nm. In einigen Fällen wird die oberflächliche Schicht **3** vollständig von der endgültigen Struktur entfernt, so dass deren Dicke von keiner besonderen Bedeutung ist. Eine dünnere oberflächliche Schicht **3** vereinfacht dennoch das Ablösen.

[0029] Die Dicke der oberflächlichen Schicht ist typischerweise eine oder zwei Größenordnungen kleiner als die Dicke des restlichen Teils **4**. Daher ist die Dicke des restlichen Teils **4** ähnlich der Dicke des temporären Trägers **1**.

[0030] Die geschwächte Ebene **2** wird vorgesehen, um das Entfernen des temporären Trägers zu ermöglichen und zu erleichtern (insbesondere, genauer gesagt, des restlichen Teils **4** des temporären Trägers **1**), wenn ein nachfolgender Ablöseschritt des Verfahrens zur Herstellung der Halbleiterstruktur **10** ausgeführt wird.

[0031] Die geschwächte Ebene **2** sollte daher in genauer Weise derart gesteuert werden, dass sie in dem folgenden Schritt des Prozesses vor dem Entfernen des restlichen Teils **4** ausreichend stabil bleibt. Die Schwächung der Ebene **2** kann insbesondere durch die thermischen Budgets beeinflusst sein, die in diesen folgenden Schritten beteiligt sind. Durch „ausreichend stabil“ ist gemeint, dass die Schwächung der Ebene **2** oder jede Entwicklung der geschwächten Ebene **2** während der folgenden Schritte des Verfahrens vor dem Ablösen sich nicht in eine Verformung der oberflächlichen Schicht **3** (beispielsweise durch Blasenbildung der implantierten Oberfläche) entwickelt oder dass damit nicht ein vorzeitiges Ablösen des restlichen Teils **4** gefördert wird.

[0032] Die geschwächte Ebene **2** sollte jedoch ausreichend geschwächt sein, so dass eine vernünftige Energiemenge bei dem Ablöseschritt das Entfernen des restlichen Teils **4** ermöglicht.

[0033] Erfindungsgemäß wird der Grad der Schwächung der Ebene **2** in genauer Weise gesteuert, indem die Bedingungen des Einführens (das heißt, Implantation) der Wasserstoff- und Heliumsorte gesteuert werden. Die Auswahl sollte das Material des temporären Trägers **1**, das die Ausbildung der Schwächung der Ebene **2** beeinflussen kann, berücksichtigen und sollte auch die thermischen Budgets (oder allgemein die Energiebudgets) berücksichtigen, die mit den Verarbeitungsschritten einhergehen, die vor dem Ablöseschritt auf dem temporären Träger angewendet werden. Beispielsweise kann die Implantation von Wasserstoff- und Heliumionen unter den folgenden Implantationsbedingungen insbesondere für einen temporären Siliziumträger ausgeführt werden:

- eine Wasserstoffdosis liegt zwischen 0,5 bis 1, 5 10^16 at bzw. Atome/cm^3; und es wird eine Implantationsenergie von 25 keV oder allgemeiner gesagt, zwischen 10 keV und 200 keV oder zwischen 10 keV und 80 keV angewendet.

• eine Heliumdosis liegt zwischen 1 bis 2 10^16 at/cm^3; und eine Implantationsenergie liegt bei 40 keV, oder allgemeiner gesagt, zwischen 10 keV und 200 keV oder zwischen 10 keV und 80 keV.

[0034] Die Wasserstoffionen und die Heliumionen können nachfolgend in den temporären Träger **1** implantiert werden, indem beispielsweise zuerst die Heliumionen implantiert werden. Es ist auch möglich, die Wasserstoffionen zuerst zu implantieren. Allgemein gesagt, werden die Implantationsenergien der Heliumsorte und der Wasserstoffsorte in den vorgeschlagenen Bereichen derart ausgewählt, dass ihre Höchstwerte ihrer entsprechenden Verteilungsprofile entlang der Tiefe des temporären Trägers nahe beieinander liegen, das heißt, um weniger als 150 nm differieren.

[0035] Mit diesen implantierten Substanzen und den Implantationsbedingungen wurde gezeigt, dass der temporäre Träger ein thermisches Budget aufnimmt, das äquivalent ist zu ungefähr 4 Stunden einer Behandlung bei 250° C, ohne dass er eine Oberflächenverformung zeigt oder ein Ablösen des restlichen Teils **4** in Gang setzt. Durch „äquivalentes thermisches Budget“ ist gemeint, dass eine höhere Temperatur während einer kürzeren Zeitdauer; oder eine niedrigere Temperatur für eine längere Zeitdauer ebenfalls zur Einwirkung auf den temporären Träger **1** anwendbar sind.

[0036] Es ist ferner zu beachten, dass dieses thermische Budget auf den temporären Träger angewendet wird, ohne dass ein Versteifungselement an der implantierten Oberfläche vorgesehen ist. Daher und für die gleichen Implantationsbedingungen und das gleiche angelegte thermische Budget ist die Dynamik der Blasenentwicklung unterschiedlich zu der Bruchdynamik von implantierten Substraten, die mit einem Versteifungselement versehen sind.

[0037] Die Erfinder der vorliegenden Erfindung haben erkannt, dass das akzeptierbare thermische Budget (das heißt, eines, durch das keine Oberflächenverformung und/oder eine vorzeitige Ablösung hervorgerufen wird) größer ist als dasjenige, das für einen temporären Träger angewendet werden könnte, der mit einer Schwächungsebene versehen ist, die durch Wasserstoff alleine, durch Helium alleine oder durch andere Substanzen gebildet worden wäre. Insbesondere wurde beachtenswerterweise erkannt, dass es möglich ist, ein thermisches Budget von 4 Stunden einer Behandlung bei 250° C (oder weniger) oder ein thermisches Budget von 350° C für 20 Minuten (oder weniger) anzuwenden, ohne dass eine Oberflächenverformung auftritt oder ein Ablösen des restlichen Teils **4** hervorgerufen wird.

[0038] In einigen Ausführungsformen kann das Verfahren gemäß der Erfindung einen Schritt zur Herstellung von elementaren Bauelementen bzw. Grundbauelementen **11** in und/oder auf der oberflächlichen Schicht **3** umfassen. Dieser Schritt kann vor oder nach der Herstellung der geschwächten Ebene **2** ausgeführt werden. Die Grundbauelemente **11** können Dünnschichttransistoren, PN-Dioden oder opto-elektronischen Bauelementen entsprechen, um ein Beispiel zu nennen. Vorzugsweise führen die Grundbauelemente einfache elektrische oder lichtführende Funktionen aus, die keine hohe Stufe an Leistungsfähigkeit erfordern, da die Materialqualität der oberflächlichen Schicht **3** aufgrund der Ausbildung der geschwächten Ebene **2** beeinträchtigt ist.

[0039] Grundbauelemente können durch alle Techniken hergestellt werden, die in der Halbleiterindustrie bekannt sind, etwa Abscheiden, Ätzen, Dotierstoffimplantation oder Diffusion, und dergleichen.

[0040] Die Grundbauelemente **11** können nach der Ausbildung der geschwächten Ebene **2** hergestellt werden, vorzugsweise werden die Grundbauelemente **11** jedoch hergestellt, bevor ihre Herstellung einen Beitrag zu dem akzeptablen thermischen Budget liefert, mit welchem der temporäre Träger **1** beaufschlagt wird.

[0041] Das thermische Budget, das mit der Herstellung der Grundbauelemente **11** in Zusammenhang steht, wenn diese nach dem Erzeugen der geschwächten Ebene **2** gebildet werden, sollte wesentlich kleiner sein als das akzeptable thermische Budget, das heißt, wesentlich kleiner als ungefähr 250° C für 4 Stunden oder wesentlich kleiner als ungefähr 350° C für 20 Minuten, um ein Beispiel zu nennen.

[0042] Wie in der **Fig. 4** dargestellt ist, umfasst das erfindungsgemäße Verfahren ferner einen Schritt zur Herstellung der Zwischenverbindungsschicht **5** auf dem temporären Träger **1**, wobei die Schicht Kontaktflächen **5a** und eine elektrisch leitende Bahn **5b** zwischen den Kontaktflächen **5a** aufweist.

[0043] In dieser Phase des Prozesses hat die Zwischenverbindungsschicht **5** eine erste Oberfläche, die mit dem temporären Träger **1** in Kontakt ist, und eine zweite freigelegte Oberfläche. Vorzugsweise sind die Kontaktflächen **5a** auf beiden Oberflächen der Zwischenverbindungsschicht **5** angeordnet.

[0044] Die Zwischenverbindungsschicht **5** kann unter Anwendung einer konventionellen Technik, etwa Metallisierung oder eine duale Damaszener-Technik, hergestellt werden. Diese kann aufeinanderfolgende Schritte beim Abscheiden eines Dielektrikums, zum Ätzen entsprechend zu durch Fotolack definierten Strukturmustern, zum Abscheiden von Barrierenmaterial, zum Abscheiden von Aluminium- oder

Kupfer (beispielsweise durch Elektroplattieren) und zum Einebnen (beispielsweise durch chemisch-mechanisches Einebnen) umfassen. Die Zwischenverbindungsschicht **5** kann aus mehreren gestapelten miteinander verbundenen Unterschichten, beispielsweise **2** bis **4** Unterschichten, aufgebaut sein, so dass ein komplexeres Zwischenverbindungsschema erzeugt wird. Das Zwischenverbindungsschema wird so gestaltet, dass die Chips **6** der Halbleiterstruktur **10** funktionsmäßig miteinander verbunden und auch mit Verbindungen nach außen verbunden sind.

[0045] Das mit der Herstellung der Zwischenverbindungsschicht **5** einhergehende thermische Budget liegt typischerweise unter 250° C für einige Stunden, wobei dies von der Anzahl an Unterschichten abhängt, die in der Zwischenverbindungsschicht **5** vorgesehen sind. In Kombination mit allen anderen thermischen Budgets, die vor dem Ablöseschritt einwirkten, sollte es das akzeptable thermische Budget von beispielsweise 4 Stunden einer Behandlung bei 250° C nicht übersteigen.

[0046] Da die Kontaktflächen **5a** und die leitenden Bahnen **5b** im Wesentlichen durch eine Abscheidetechnik hergestellt sind, erfordert die Zwischenverbindungsschicht **5** keine Herstellung von Kontaktdurchführungen in einem dicken und steifen Material. Die Dichte von Kontaktflächen **5a** auf der ersten oder der zweiten Oberfläche kann besonders hoch sein. Beispielsweise kann der Abstand, der zwei nebeneinander liegende Kontaktflächen **5a** trennt, zwischen 0,2 Mikrometer und 2 Mikrometer liegen. Die Abmessung jeder Fläche (jedes Oberflächenabschnitts) kann von der gleichen Größe zwischen 0,2 Mikrometer und 2 Mikrometer liegen. Das ist mindestens fünfmal kleiner als die Abmessung einer typischen Kontaktdurchführung, die in herkömmlichen Verfahren mit Zwischenschichten erforderlich ist.

[0047] Dieser Schritt der Herstellung der Zwischenverbindungsschicht **5** kann auch die Ausbildung erhabener Strukturelemente **7a** auf zumindest einigen der Kontaktflächen **5a** der freigelegten Oberfläche beinhalten, um die Verbindung mit den leitenden Strukturelementen **6a** der Chips **6** zu ermöglichen. Die erhabenen Strukturelemente **7a** auf den Kontaktflächen **5a** können aus Mikro-Höckern bestehen. Derartige Mikro-Höcker **7a** können durch selektives Metallaufwachsen auf den Kontaktflächen **6a** hergestellt werden. Alternativ können Metallstifte hergestellt werden, indem das isolierende Material, das die Flächen **6a** umgibt, so geätzt wird, dass sich der Aufbau über der freigelegten Oberfläche ergibt, woran sich das Schmelzen des aufbauenden Metalls anschließt, um die Stifte zu bilden.

[0048] Wenn der Vorgang der Herstellung der erhabenen Strukturelemente **7a** ein ausgeprägtes thermisches Budget beinhaltet, dann sollte das gesamte auf die geschwächte Ebene einwirkende thermische Budget, das vor dem Ablöseschritt zur Wirkung kam, das akzeptable thermische Budget von beispielsweise 4 Stunden bei Behandlung bei 250° C oder 20 Minuten bei 350° C nicht übersteigen.

[0049] Wie in **Fig. 5** dargestellt, umfasst das Verfahren zur Herstellung der Halbleiterstruktur **10** ferner einen Schritt zum Anordnen mindestens eines Chips **6** auf der Zwischenverbindungsschicht **5** und des elektrischen Verbindens des leitenden Strukturelements **8a** des Chips **8** mit den Kontaktflächen **5a**.

[0050] Der Chip **6** kann erhabene Strukturelemente **7b** ähnlich zu jenen aufweisen, die mit Bezug auf die erhabenen Strukturelemente **7a** beschrieben sind, die auf den Kontaktflächen **5a** angeordnet sind, etwa Mikro-Höcker oder Metallstifte, um ihre elektrische Verbindung mit der Zwischenverbindungsschicht **5** zu ermöglichen. Die erhabenen Strukturelemente **7b** der Chips **6** können die erhabenen Strukturelemente **7a** der Zwischenverbindungsschichten (wie sie in **Fig. 5** dargestellt sind) kontaktieren oder können direkt mit den Anschlussflächen **5a** in Verbindung treten.

[0051] Alternativ kann ein direkter Kontakt zwischen den leitenden Strukturelementen **8a** der Chips **6** und den Anschlussflächen **5a** hergestellt werden, etwa durch direkte „molekulare“ Verbindung oder Klebeverbindung der beiden Elemente.

[0052] Vorzugsweise beinhaltet der Schritt des Anordnens mindestens eines Chips **6** das Anordnen mehrerer Chips **6**. Dies kann durch gut bekannte Techniken mit „Aufnehmen und Platzieren“ erreicht werden.

[0053] Dieser Schritt wird vorzugsweise bei Raumtemperatur ausgeführt, so dass er nicht wesentlich zu dem akzeptablen thermischen Budget beiträgt, das bislang vor dem Ablöseschritt aufgelaufen ist.

[0054] Wie zuvor erläutert ist, können sich die Chips **6** in der Größe, in der Technik und in den Funktionen unterscheiden. Jeder Chip **6** kann ein DRAM- oder ein SRAM-Speicher, eine CPU, eine GPU, eine Mikrosteuerung, eine Eingabe-/Ausgabeeinheit sein.

[0055] Eine ausgewählte Gruppe aus Chips, beispielsweise ein DRAM-Chip, ein GPU-Chip und ein I/O-Chip, kann an einer beabsichtigten Position auf der Zwischenverbindungsschicht **5** angeordnet und elektrisch durch die Zwischenverbindungsschicht **5** in funktionaler Weise verbunden werden.

[0056] Die Halbleiterstruktur **10** kann aus mehreren derartigen Gruppen aufgebaut sein, so dass nach dem Schneiden und Ins-Gehäuse-Einbringen meh-

rere Halbleiterbauelemente gemeinsam hergestellt werden können.

[0057] Sobald der Chip **6** auf der Zwischenverbindungsschicht **5** angeordnet ist, kann der freie Zwischenraum, der die Chips **6** umgibt, über der Zwischenverbindungsschicht **5** mit einem isolierenden Füllmaterial **9** gefüllt werden, um die Anordnung zu schützen und zu versteifen. Das Füllmaterial kann aus Siliziumoxid bestehen, das auf der Zwischenverbindungsschicht **5** und um die Chips **6** herum durch eine Aufschleudertechnik für Siliziumoxid hergestellt ist. Das Abscheiden und das Unterfüllen des Materials werden vereinfacht, wenn es mit geringer Dichte aufgebracht wird.

[0058] Vorzugsweise umfasst, wie dies in **Fig. 6** dargestellt ist, der Prozess gemäß der Erfindung ferner einen Schritt zum Montieren eines Versteifungselements **8** auf der Rückseite der Chips **6**. Das Versteifungselement **8** ist aus einem ausreichend dicken und starren Material hergestellt, so dass die Halbleiterstruktur **10** selbsttragend ist, sobald das temporäre Substrat **1** entfernt wird.

[0059] Das Versteifungselement **8** kann beispielsweise aus einer Siliziumscheibe oder einem Stück aus Epoxidmaterial hergestellt sein. Seine Abmessungen sollten zumindest der Abmessung des temporären Trägers **1** entsprechen.

[0060] Die Anordnung kann durch Klebeverbindung, durch direktes Verbinden oder durch eine andere Technik hergestellt werden. Vorzugsweise beinhaltet die ausgewählte Technik keine Einwirkung einer Temperatur, die höher als Raumtemperatur ist, um eine Beeinflussung der geschwächten Ebene **2** zu vermeiden und um ein vorzeitiges Ablösen des restlichen Teils **4** des Trägers **1** nicht zu veranlassen.

[0061] In einer alternativen Vorgehensweise wird die Rückseite der Chips **6** zunächst an einer vorbestimmten Position auf dem Versteifungselement **8** angeordnet und fixiert, und anschließend wird die Anordnung, die aus den Chips **6** und dem Versteifungselement **8** gebildet ist, über einer Verbindungsschicht **6** angeordnet, und es werden alle leitenden Strukturelemente **6a** der Chips **6** mit den Kontaktflächen **5a** elektrisch verbunden.

[0062] Unabhängig von der ausgewählten Vorgehensweise zum Anordnen der Chips **6** auf der Zwischenverbindungsschicht **5** und der Montage des Versteifungselements **8** führt der Prozess zu einem Aufbau, der in **Fig. 6** dargestellt ist.

[0063] Wenn der Vorgang des Montierens des Versteifungselements oder der Schritt des Unterfüllens des Zwischenraums um den Chip **6** herum mit isolierendem Material **9** ein größeres thermisches Budget beinhaltet, dann sollte das gesamte thermische Budget, das auf die geschwächte Ebene **2** vor dem Ablöseschritt einwirkt, jedoch das akzeptable thermische Budget von beispielsweise 4 Stunden Behandlung bei 250° C nicht übersteigen.

[0064] Das Verfahren zur Herstellung der Halbleiterstruktur **10** umfasst ferner einen Schritt zur Zuführung von Energie zu dem temporären Träger **1** und insbesondere zur geschwächten Ebene **2**, um den restlichen Teil **4** abzulösen und um damit die Halbleiterstruktur **10** bereitzustellen. Dieser Schritt ist in **Fig. 7** dargestellt.

[0065] Die zugeführte Energie kann Wärmeenergie, etwa ein Ausheizen bei ungefähr 400° C sein, oder kann allgemeiner zwischen 200° C und 450° C für eine Zeitdauer von 10 Minuten bis ungefähr 2 Stunden erfolgen. Eine andere thermische Behandlung, die zum Ablösen des restlichen Teils **4** von dem temporären Träger **1** führt, kann ebenfalls geeignet sein. Zusätzlich zu der thermischen Behandlung (und in einer Ausführungsform alternativ zu der Wärmeenergie) ist die zugeführte Energie mechanische Energie, etwa das Einführen einer Klinge auf der Höhe der geschwächten Ebene **2** des temporären Trägers **1**.

[0066] Unabhängig von der Art führt die zugeführte Energie in Verbindung mit der in der geschwächten Ebene **2** aufgenommenen Energie in den vorhergehenden Schritten zu der Ablösung des restlichen Teils **4** des Trägers **1**, so dass die Halbleiterstruktur **10** bereitgestellt wird, wie sie in **Fig. 8** gezeigt ist.

[0067] Der Schritt des Zuführens von Wärmeenergie zu dem temporären Träger **1** ist besonders vorteilhaft, da er die geschwächte Ebene weiter schwächt und gleichzeitig die Haftung des Versteifungselements **8** an dem Rest der Struktur erhöht. Daher erleichtert er das Ablösen des restlichen Teils **4** des Trägers **1** und seine Entfernung durch Anwenden moderater Kräfte, ohne dass das Risiko eines Ablösens des Versteifungselements **8** von dem Rest der Struktur besteht.

[0068] In einem optionalen folgenden Schritt wird die oberflächliche Schicht **3** entweder vollständig (wenn kein Grundbauelement **11** in einem vorhergehenden Schritt hergestellt worden ist) oder teilweise (um die Grundbauelemente **11** beizubehalten) entfernt. Das Entfernen kann durch selektives Trockenätzen oder Nassätzen beispielsweise unter Verwendung von KOH ausgeführt werden, wenn der temporäre Träger Silizium ist.

[0069] Die Halbleiterstrukturen **10**, die sich aus dem offenbarten Verfahren ergeben, sind in **Fig. 1** und **Fig. 2** dargestellt.

[0070] Selbstverständlich ist die Erfindung nicht auf die spezielle Ausführungsform des Verfahrens be-

schränkt, das hier beschrieben ist. Die Erfindung umfasst ferner alle alternativen Ausführungsformen oder zusätzlichen Schritte, die innerhalb des Bereichs der angefügten Patentansprüche liegen.

[0071] Beispielsweise können Grundbauelemente **11** oder zusätzliche Grundbauelemente **11** in der oberflächlichen Schicht **3** nach dem Schritt der Zuführung von Energie und dem Ablösen des restlichen Teils **4** des temporären Trägers **1** hergestellt werden.

[0072] In einem optionalen Schritt, der nach dem Schritt des Ablösens stattfinden kann, wird ein zusätzlicher Chip **6** über der freigelegten Oberfläche der Zwischenverbindungsschicht **5** angeordnet und mit den Kontaktflächen **5a** elektrisch verbunden.

[0073] Wie zuvor erwähnt ist, kann diese Halbleiterstruktur **10** so geschnitten werden, dass Rohhalbleiterbauelemente erzeugt werden, die dann in ein Gehäuse eingebracht werden, um fertig verarbeitete Halbleiterbauelemente herzustellen, wie dies im Stand der Technik der Fall ist. Das Einbringen in ein Gehäuse kann die Herstellung von Drahtverbindungen auf einigen der Kontaktflächen **5a**, die auf der freigelegten Oberfläche der Zwischenverbindungsschicht **5** angeordnet sind, beinhalten, um eine Verbindung nach außen für die Bauelemente bereitzustellen.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 2013/0214423 [0003]
- US 2014/0191419 [0006]
- US 20030219969 [0007]

Patentansprüche

1. Ein Verfahren zur Herstellung einer Halbleiterstruktur (10), mit:
• Einführen, unter ausgewählten Bedingungen, einer Wasserstoff- und einer Heliumsorte in einen temporären Träger (1) zur Erzeugung einer geschwächten Ebene (2) an einer vorbestimmten Tiefe und zur Abgrenzung einer oberflächlichen Schicht (3) und eines restlichen Teils (4) des temporären Trägers (1);
• Bilden einer Zwischenverbindungsschicht (5) auf dem temporären Träger (1), wobei die Zwischenverbindungsschicht Kontaktflächen (5a) und elektrisch leitende Bahnen (5b) zwischen den Kontaktflächen (5a) aufweist;
• Anordnen mindestens eines Halbleiterchips (6) auf der Zwischenverbindungsschicht (5) zur elektrischen Verbindung von leitenden Strukturelementen des Chips (6a) mit Kontaktflächen (5a) der Zwischenverbindungsschicht (5);
• Montieren eines Versteifungselements (8) auf einer Rückseite des mindestens einen Halbleiterchips (6);
• Zuführen von Wärmeenergie, und optional von mechanischer Energie, zu dem temporären Träger (1) zum Ablösen des restlichen Teils (4) und zur Bereitstellung der Halbleiterstruktur (10).

2. Das Verfahren nach Anspruch 1, wobei die ausgewählten Bedingungen des Einführens der Heliumsorte umfassen: Implantieren von Heliumionen mit einer Dosis zwischen 1 bis 2 10^16 at/cm^3; bei einer Implantationsenergie zwischen 40 keV und 200 keV.

3. Das Verfahren nach einem der vorhergehenden Ansprüche, wobei die ausgewählten Bedingungen des Einführens der Wasserstoffsorte umfassen: Implantieren von Wasserstoffionen bei einer Dosis zwischen 0,5 bis 1,5 10^16 at/cm^3; mit einer Implantationsenergie zwischen 25 keV und 200 keV.

4. Das Verfahren nach einem der vorhergehenden Ansprüche, wobei die Zwischenverbindungsschicht (5) eine erste Oberfläche auf Seite des Halbleiterchips (6) und eine zweite Oberfläche gegenüberliegend zu der ersten Oberfläche hat und wobei die Kontaktflächen (5a) jeweils auf der ersten und der zweiten Oberfläche angeordnet sind.

5. Das Verfahren nach Anspruch 4, das ferner umfasst: zumindest teilweises Entfernen der oberflächlichen Schicht (3) nach dem Ablösen des restlichen Teils (4) zum Freilegen zumindest einiger Kontaktflächen (5a) der zweiten Oberfläche der Zwischenverbindungsschicht (5).

6. Das Verfahren nach Anspruch 4 oder 5, das ferner umfasst: Bilden von erhabenen Strukturelementen (7a), etwa eines Mikro-Höckers oder von Metallstiften, auf den Kontaktflächen (5a) der ersten Oberfläche zur Ermöglichung des elektrischen Verbindens von leitenden Strukturelementen (6a) des Halbleiterchips (6) mit den Kontaktflächen (5a).

7. Das Verfahren nach einem der vorhergehenden Ansprüche, das ferner den Schritt des Herstellens von Grundbauelementen (11) auf und/oder in der oberflächlichen Schicht (3) umfasst.

8. Das Verfahren nach einem der vorhergehenden Ansprüche, wobei die oberflächliche Schicht (3) eine Dicke hat, die kleiner als ungefähr 10 Mikrometer, vorzugsweise kleiner als 1 Mikrometer ist, und noch bevorzugter zwischen 50 und 600 nm liegt.

9. Das Verfahren nach einem der vorhergehenden Ansprüche, wobei der Abstand, der zwei nebeneinander liegende Kontaktflächen (5a) trennt, zwischen 0,2 Mikrometer bis 2 Mikrometer liegt.

10. Das Verfahren nach Anspruch 1, wobei der Schritt des Montierens nach dem Schritt des Anordnens des mindestens einen Halbleiterchips (6) auf der Zwischenverbindungsschicht (5) ausgeführt wird.

11. Das Verfahren nach Anspruch 1, wobei der Schritt des Montierens nach dem Schritt des Anordnens des mindestens einen Halbleiterchips (6) auf der Zwischenverbindungsschicht (5) ausgeführt wird.

12. Das Verfahren nach einem der beiden vorhergehenden Ansprüche, wobei der Schritt des Montierens ferner einen Schritt zur Unterfüllung umfasst, um ein Füllmaterial (9) in dem freien Zwischenraum vorzusehen, der den mindestens einen Chip (6) umgibt.

13. Das Verfahren nach einem der vorhergehenden Ansprüche, das ferner einen Schritt umfasst: Schneiden der Halbleiterstrukturen (10) zur Bereitstellung mindestens eines Rohhalbleiterbauelements, und Einbringen des mindestens einen Rohhalbleiterbauelements in ein Gehäuse, um ein fertig produziertes Halbleiterbauelement zu bilden.

14. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Zwischenverbindungsschicht (5) eine Dicke hat, die zwischen 200 nm und 20 Mikrometer liegt.

15. Verfahren nach einem der vorhergehenden Ansprüche, wobei das thermische Budget, das mit der Herstellung der Zwischenverbindungsschicht (5) in Zusammenhang steht, kleiner als 250° C für 4 Stunden oder kleiner gleich 20 Minuten bei 350° C ist.

16. Verfahren nach einem der vorhergehenden Ansprüche, wobei der Schritt des Zuführens von Wärmeenergie umfasst: Anwenden einer Temperatur, die

zwischen 200° C und 450° C liegt, für eine Zeitdauer,
die zwischen 10 Minuten und 2 Stunden liegt.

Es folgen 3 Seiten Zeichnungen

Anhängende Zeichnungen

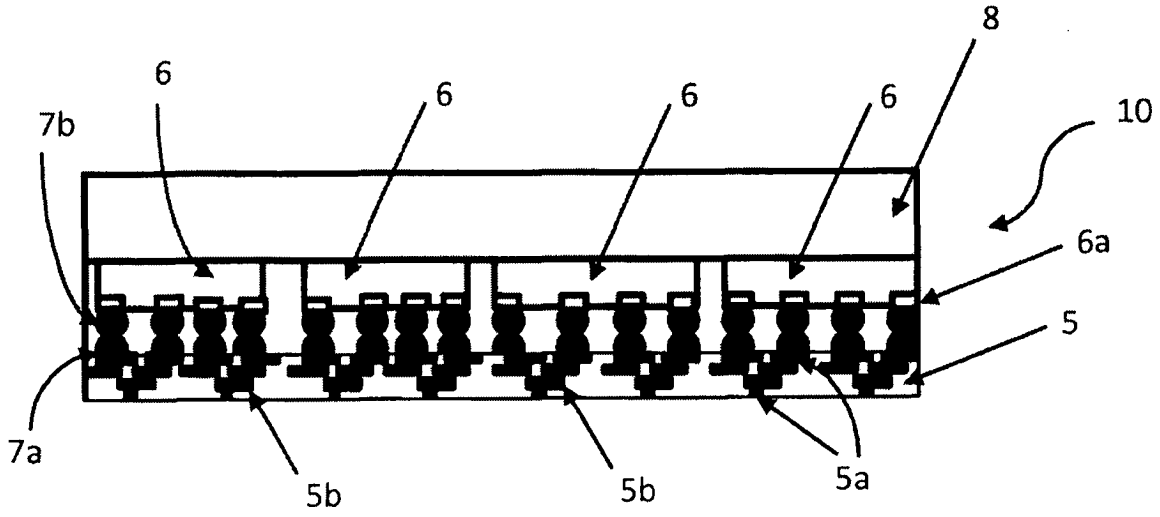


FIG.1

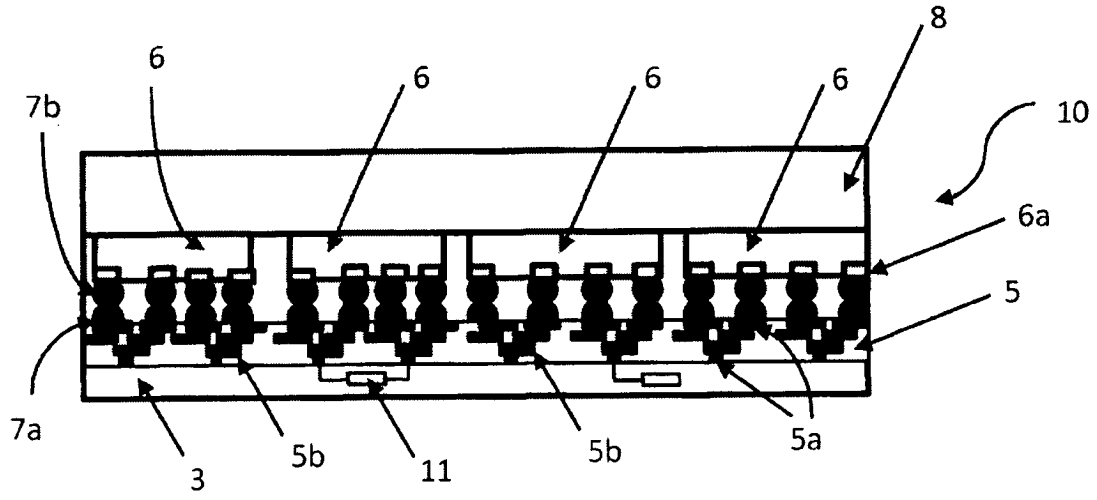
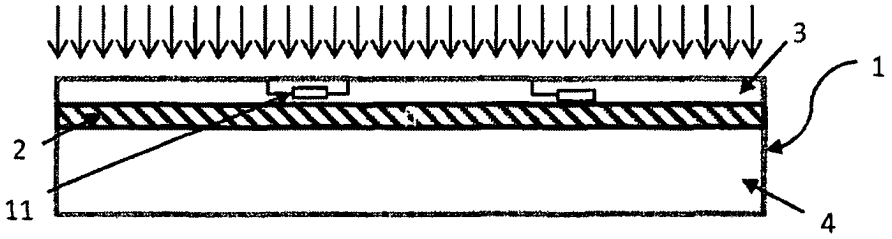
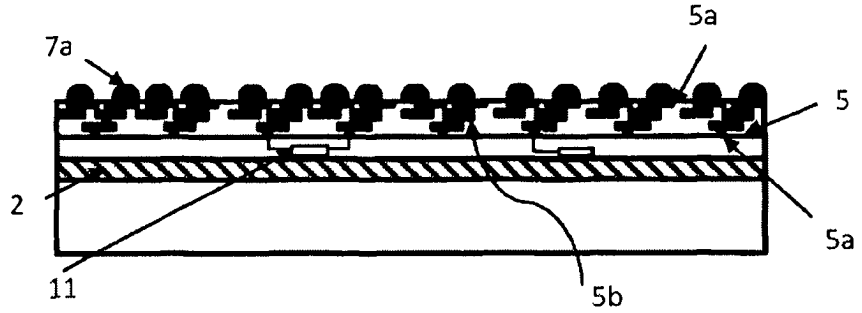


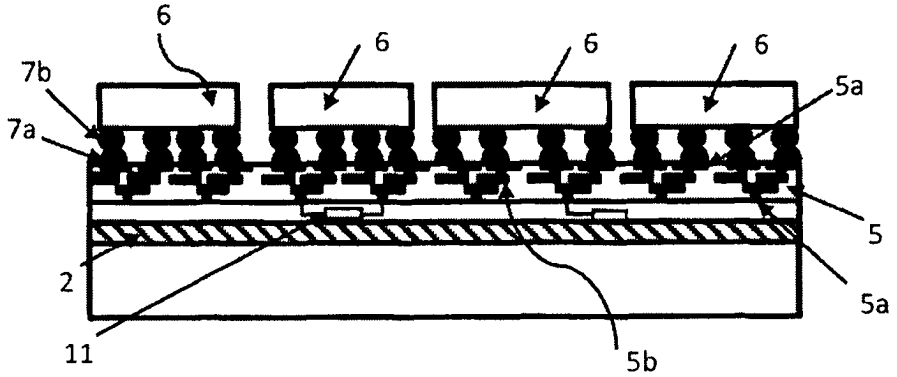
FIG.2



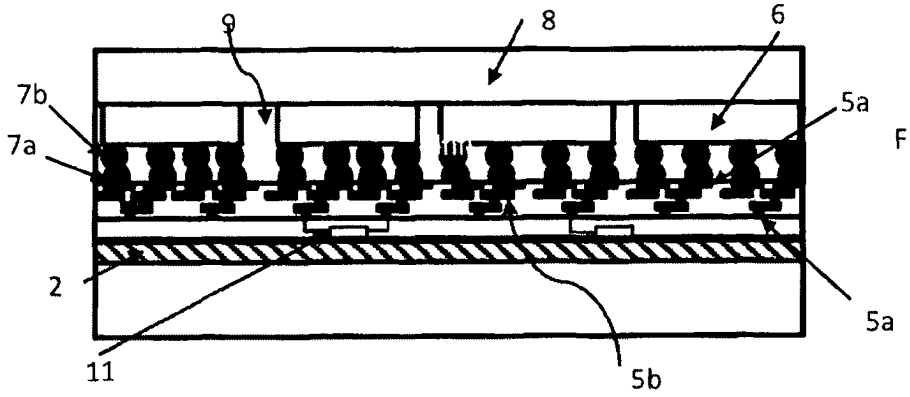
Figur 3



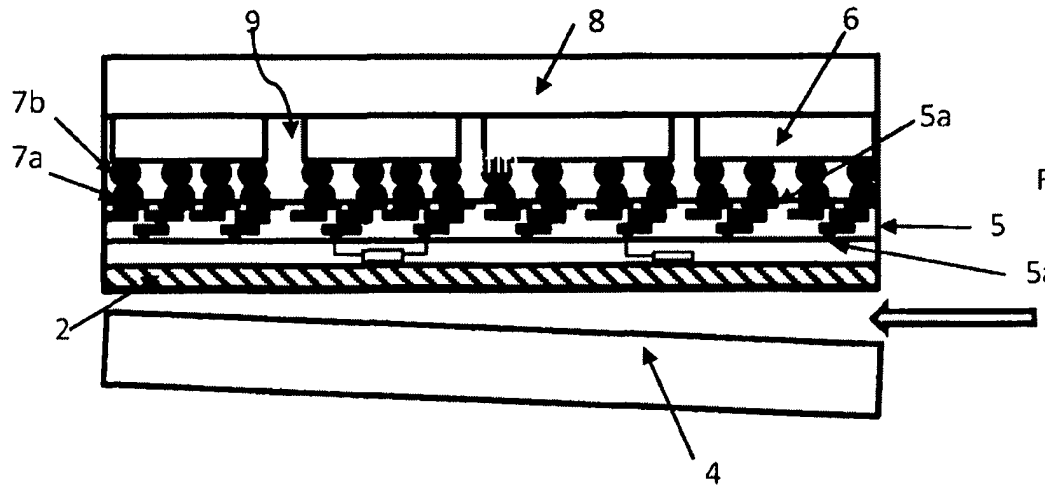
Figur 4



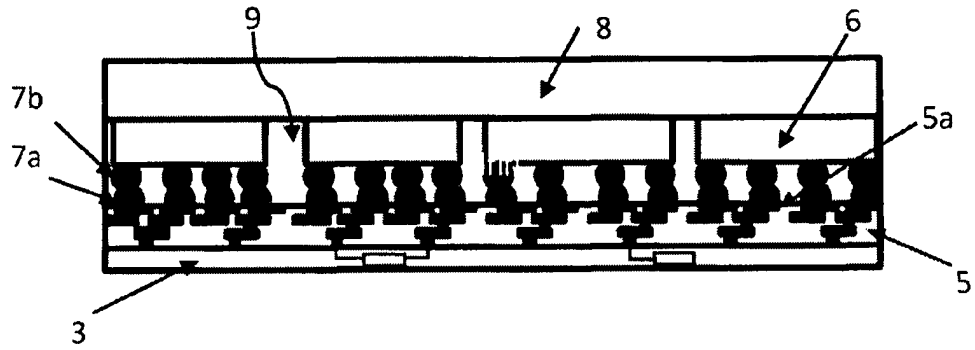
Figur 5



Figur 6



Figur 7



Figur 8