



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년01월18일  
(11) 등록번호 10-2352407  
(24) 등록일자 2022년01월13일

(51) 국제특허분류(Int. Cl.)  
H01L 21/82 (2006.01) H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 21/82 (2013.01)  
H01L 29/7869 (2013.01)  
(21) 출원번호 10-2015-0070902  
(22) 출원일자 2015년05월21일  
심사청구일자 2020년05월20일  
(65) 공개번호 10-2015-0135128  
(43) 공개일자 2015년12월02일  
(30) 우선권주장  
JP-P-2014-105748 2014년05월22일 일본(JP)  
(56) 선행기술조사문헌  
JP2012256821 A  
(뒷면에 계속)

(73) 특허권자  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
다무라 히카루  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 17 항

심사관 : 오순영

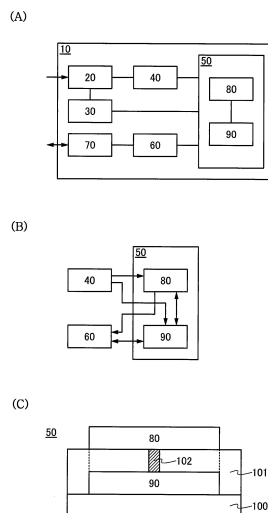
(54) 발명의 명칭 반도체 장치, 건강 관리 시스템

(57) 요약

[과제] 면적의 축소, 고속 동작, 소비 전력의 저감이 가능한 반도체 장치의 제공.

[해결수단] 회로(50)를, 연산을 행하는 기능을 구비한 기억 회로로서 사용한다. 또한, 회로(80) 또는 회로(90)의 한쪽이, 다른쪽의 적어도 일부와 중첩되는 영역을 갖는 구성으로 한다. 이것에 의해, 본래 회로(60)에 있어서 행해야 하는 연산을 회로(50)에 있어서 행할 수 있어, 회로(60)에 있어서의 연산의 부담을 저감시킬 수 있다. 또한, 회로(50)와 회로(60) 사이에 있어서 행해지는 데이터의 송수신 횟수를 감소시킬 수 있다. 또한, 회로(50)의 면적 증가를 억제하면서, 기억 회로로서 기능하는 회로(50)에 연산을 행하는 기능을 부가할 수 있다.

대표도 - 도1



(56) 선행기술조사문헌

JP2011519704 A

JP2006308301 A\*

JP2012256837 A

JP2011119672 A\*

JP2012151453 A\*

KR1020130107285 A

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치에 있어서:

외부로부터의 데이터를 획득하는 제 1 회로;

상기 데이터를 디지털 신호로 변환하는 제 2 회로;

기억 회로 및 연산 회로를 포함하는 제 3 회로; 및

데이터 처리의 기능을 갖는 회로를 포함하고,

상기 기억 회로는 상기 연산 회로의 적어도 일부와 중첩되고,

상기 기억 회로는 채널 형성 영역에 산화물 반도체를 포함하는 제 1 트랜지스터를 포함하고,

상기 연산 회로는 상기 연산 회로의 연산의 결과를 상기 데이터 처리의 기능을 갖는 상기 회로로 출력하는 기능을 갖는, 반도체 장치.

#### 청구항 2

제 1 항에 있어서,

상기 기억 회로는 용량 소자 및 인버터를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 용량 소자 및 상기 인버터의 입력 단자와 전기적으로 접속되고,

상기 인버터의 출력 단자는 상기 연산 회로와 전기적으로 접속되는, 반도체 장치.

#### 청구항 3

제 1 항에 있어서,

제 2 트랜지스터를 더 포함하고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 기억 회로와 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 상기 연산 회로와 전기적으로 접속되고,

상기 제 2 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하는, 반도체 장치.

#### 청구항 4

제 3 항에 있어서,

상기 제 2 트랜지스터의 상기 산화물 반도체는 상기 제 1 트랜지스터의 상기 산화물 반도체와 동일한 층에 제공되는, 반도체 장치.

#### 청구항 5

제 1 항에 있어서,

무선 신호를 송수신하는 제 4 회로를 더 포함하는, 반도체 장치.

#### 청구항 6

반도체 장치에 있어서:

생체 데이터를 획득하는 제 1 회로;

상기 생체 데이터를 디지털 신호로 변환하는 제 2 회로; 및  
 제 1 기억 회로, 제 2 기억 회로 및 연산 회로를 포함하는 제 3 회로를 포함하고,  
 상기 제 1 기억 회로 및 상기 제 2 기억 회로 중 한쪽은 상기 연산 회로의 적어도 일부와 중첩되고,  
 상기 제 1 기억 회로는 채널 형성 영역에 산화물 반도체를 포함하는 제 1 트랜지스터를 포함하고,  
 상기 제 2 기억 회로는 채널 형성 영역에 산화물 반도체를 포함하는 제 2 트랜지스터를 포함하고,  
 상기 제 1 기억 회로는 상기 생체 데이터를 기억하고,  
 상기 제 2 기억 회로는 기준값을 기억하고,  
 상기 연산 회로는 상기 생체 데이터와 상기 기준값을 비교하는, 반도체 장치.

**청구항 7**

제 6 항에 있어서,  
 상기 제 1 기억 회로는 제 1 용량 소자를 포함하고,  
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 용량 소자와 전기적으로 접속되고,  
 상기 제 2 기억 회로는 제 2 용량 소자 및 인버터를 포함하고,  
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 용량 소자 및 상기 인버터의 입력 단자와 전기적으로 접속되고,  
 상기 인버터의 출력 단자는 상기 연산 회로와 접속되는, 반도체 장치.

**청구항 8**

제 6 항에 있어서,  
 제 3 트랜지스터를 더 포함하고,  
 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 기억 회로와 전기적으로 접속되고,  
 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 상기 연산 회로와 전기적으로 접속되고,  
 상기 제 3 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하는, 반도체 장치.

**청구항 9**

제 6 항에 있어서,  
 상기 제 2 트랜지스터의 상기 산화물 반도체는 상기 제 1 트랜지스터의 상기 산화물 반도체와 동일한 층에 제공되는, 반도체 장치.

**청구항 10**

제 8 항에 있어서,  
 상기 제 3 트랜지스터의 상기 산화물 반도체는 상기 제 1 트랜지스터의 상기 산화물 반도체와 동일한 층에 제공되는, 반도체 장치.

**청구항 11**

제 6 항에 있어서,  
 무선 신호를 송수신하는 제 4 회로를 더 포함하는, 반도체 장치.

**청구항 12**

반도체 장치에 있어서:

생체 데이터를 획득하는 제 1 회로;

상기 생체 데이터를 디지털 신호로 변환하는 제 2 회로; 및

복수의 제 1 기억 회로들, 복수의 제 2 기억 회로들, 연산 회로, 제 1 구동 회로, 제 2 구동 회로, 복수의 제 1 배선들, 복수의 제 2 배선들, 및 복수의 제 3 배선들을 포함하는 제 3 회로를 포함하고,

상기 복수의 제 1 기억 회로들 및 상기 복수의 제 2 기억 회로들은 상기 연산 회로의 적어도 일부와 중첩되고,

상기 복수의 제 1 기억 회로들의 각각은 채널 형성 영역에 산화물 반도체를 포함하는 복수의 제 1 트랜지스터들 중 하나를 포함하고,

상기 복수의 제 2 기억 회로들의 각각은 채널 형성 영역에 산화물 반도체를 포함하는 복수의 제 2 트랜지스터들 중 하나를 포함하고,

상기 복수의 제 1 기억 회로들의 각각은 상기 복수의 제 1 배선들 중 하나 및 상기 복수의 제 3 배선들 중 하나와 전기적으로 접속되고,

상기 복수의 제 2 기억 회로들의 각각은 상기 복수의 제 2 배선들 중 하나 및 상기 복수의 제 3 배선들 중 하나와 전기적으로 접속되고,

상기 제 1 구동 회로는 상기 복수의 제 1 배선들의 각각 및 상기 복수의 제 3 배선들의 각각과 전기적으로 접속되고,

상기 제 2 구동 회로는 상기 복수의 제 3 배선들의 각각과 전기적으로 접속되고,

상기 복수의 제 1 기억 회로들의 각각은 상기 생체 데이터를 기억하고,

상기 복수의 제 2 기억 회로들의 각각은 기준값을 기억하고,

상기 연산 회로는 상기 생체 데이터와 상기 기준값을 비교하는, 반도체 장치.

### 청구항 13

제 12 항에 있어서,

상기 복수의 제 1 기억 회로들의 각각은 복수의 제 1 용량 소자들 중 하나를 포함하고,

상기 복수의 제 1 트랜지스터들의 각각의 소스 및 드레인 중 한쪽은 상기 복수의 제 1 용량 소자들 중 하나와 전기적으로 접속되고,

상기 복수의 제 2 기억 회로들의 각각은 복수의 제 2 용량 소자들 중 하나 및 복수의 인버터들 중 하나를 포함하고,

상기 복수의 제 2 트랜지스터들의 각각의 소스 및 드레인 중 한쪽은 상기 복수의 제 2 용량 소자들 중 하나 및 상기 복수의 인버터들 중 하나의 입력 단자와 전기적으로 접속되고,

상기 복수의 인버터들 중 하나의 출력 단자는 상기 연산 회로와 접속되는, 반도체 장치.

### 청구항 14

제 12 항에 있어서,

복수의 제 3 트랜지스터들을 더 포함하고,

상기 복수의 제 3 트랜지스터들의 각각의 소스 및 드레인 중 한쪽은 상기 복수의 제 3 배선들의 각각과 전기적으로 접속되고,

상기 복수의 제 3 트랜지스터들의 각각의 상기 소스 및 상기 드레인 중 다른 쪽은 상기 연산 회로와 전기적으로 접속되고,

상기 복수의 제 3 트랜지스터들의 각각은 채널 형성 영역에 산화물 반도체를 포함하는, 반도체 장치.

### 청구항 15

제 12 항에 있어서,

상기 복수의 제 2 트랜지스터들의 각각의 상기 산화물 반도체는 상기 복수의 제 1 트랜지스터들의 각각의 상기 산화물 반도체와 동일한 층에 제공되는, 반도체 장치.

**청구항 16**

제 14 항에 있어서,

상기 복수의 제 3 트랜지스터들의 각각의 상기 산화물 반도체는 상기 복수의 제 1 트랜지스터들의 각각의 상기 산화물 반도체와 동일한 층에 제공되는, 반도체 장치.

**청구항 17**

제 12 항에 있어서,

무선 신호를 송수신하는 제 4 회로를 더 포함하는, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 일 형태는, 데이터의 기억 및 연산을 행하는 기능을 갖는 반도체 장치, 또는 상기 반도체 장치를 사용한 건강 관리 시스템에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는, 상기 기술 분야로 한정되지 않는다. 본 명세서 등에서 개시하는 발명의 일 형태의 기술 분야는, 물건, 방법, 또는, 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 또는, 본 발명의 일 형태는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는, 이들의 제조 방법에 관한 것이다.

**배경 기술**

[0003] 인간이나 동물의 생체 정보를 감시하기 위해서, 센서에 의해 체온이나 맥박 등을 검출하는 건강 관리 시스템이 널리 사용되고 있다.

[0004] 건강 관리 시스템에는 통상 반도체 장치가 사용되고, 상기 반도체 장치는, 생체 정보를 기억하는 메모리나, 메모리에 기억된 데이터를 처리하기 위한 논리 회로를 구비한 프로세서 등으로 구성되어 있다.

[0005] 특허문헌 1에는, 메모리 어레이와, 메모리 어레이와 접속된 논리 회로를 갖는 집적 회로가 개시되어 있다.

**선행기술문헌**

**특허문헌**

[0006] (특허문헌 0001) 일본 공개특허공보 2011-155264호

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명의 일 형태는, 신규 반도체 장치의 제공을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 면적의 축소가 가능한 반도체 장치의 제공을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 고속 동작이 가능한 반도체 장치의 제공을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 소비 전력의 저감이 가능한 반도체 장치의 제공을 과제의 하나로 한다.

[0008] 또한, 본 발명의 일 형태는, 반드시 상기 과제 전부를 해결할 필요는 없으며, 적어도 하나의 과제를 해결할 수 있는 것이면 된다. 또한, 상기 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 이들 이외의 과제는, 명세서, 도면, 청구항 등의 기재로부터, 스스로 명확해지는 것이며, 명세서, 도면, 청구항 등의

기체로부터, 이들 이외의 과제를 추출하는 것이 가능하다.

**과제의 해결 수단**

- [0009] 본 발명의 일 형태에 따른 반도체 장치는, 제 1 내지 제 3 회로를 가지며, 제 1 회로는, 외부로부터의 정보를 검출할 수 있는 기능을 가지며, 제 2 회로는, 제 1 회로에 있어서 검출한 정보를 디지털 신호로 변환할 수 있는 기능을 가지며, 제 3 회로는, 기억 회로를 갖는 제 4 회로와, 연산 회로를 갖는 제 5 회로를 가지며, 제 4 회로는, 제 5 회로의 상방에 설치되고, 제 4 회로 또는 제 5 회로의 한쪽은, 제 4 회로 또는 제 5 회로의 다른쪽의 적어도 일부와 중첩되는 영역을 가지며, 기억 회로는, 채널 형성 영역에 산화물 반도체를 갖는 트랜지스터를 가진다.
- [0010] 또한, 본 발명의 일 형태에 따른 반도체 장치는, 제 1 내지 제 3 회로를 가지며, 제 1 회로는, 외부로부터의 정보를 검출할 수 있는 기능을 가지며, 제 2 회로는, 제 1 회로에 있어서 검출한 정보를 디지털 신호로 변환할 수 있는 기능을 가지며, 제 3 회로는, 제 1 기억 회로 및 제 2 기억 회로를 갖는 제 4 회로와, 연산 회로를 갖는 제 5 회로를 가지며, 제 4 회로는, 제 5 회로의 상방에 설치되고, 제 4 회로 또는 제 5 회로의 한쪽은, 제 4 회로 또는 제 5 회로의 다른쪽의 적어도 일부와 중첩되는 영역을 가지며, 제 1 기억 회로는, 채널 형성 영역에 산화물 반도체를 갖는 제 1 트랜지스터를 가지며, 제 2 기억 회로는, 채널 형성 영역에 산화물 반도체를 갖는 제 2 트랜지스터를 가지며, 제 1 기억 회로는, 제 1 회로에 의해 검출된 생체 정보를 기억할 수 있는 기능을 가지며, 제 2 기억 회로는, 생체 정보와 비교되는 기준값을 기억할 수 있는 기능을 가지며, 제 5 회로는, 생체 정보와 기준값을 비교할 수 있는 기능을 가진다.
- [0011] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는, 제 1 기억 회로는, 제 1 용량 소자를 가지며, 제 1 트랜지스터의 소스 또는 드레인의 한쪽은, 제 1 용량 소자와 접속되고, 제 2 기억 회로는, 제 2 용량 소자와, 인버터를 가지며, 제 2 트랜지스터의 소스 또는 드레인의 한쪽은, 제 2 용량 소자 및 상기 인버터의 입력 단자와 접속되고, 인버터의 출력 단자는, 제 5 회로와 접속되어 있어도 좋다.
- [0012] 또한, 본 발명의 일 형태에 따른 반도체 장치에서는, 제 3 트랜지스터를 가지며, 제 3 트랜지스터의 소스 또는 드레인의 한쪽은, 제 1 기억 회로와 전기적으로 접속되고, 제 3 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 5 회로와 전기적으로 접속되고, 제 3 트랜지스터는 채널 형성 영역에 산화물 반도체를 가지고 있어도 좋다.
- [0013] 또한, 본 발명의 일 형태에 따른 생체 정보 시스템은, 상기 반도체 장치를 가지며, 무선 신호의 송수신을 행하는 기능을 가진다.

**발명의 효과**

- [0014] 본 발명의 일 형태에 의해, 신규 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의해, 면적의 축소가 가능한 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의해, 고속 동작이 가능한 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의해, 소비 전력의 저감이 가능한 반도체 장치를 제공할 수 있다.
- [0015] 또한, 이들 효과의 기재는, 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 반드시, 이들 효과 전부를 가질 필요는 없다. 또한, 이들 이외의 효과는, 명세서, 도면, 청구항 등의 기재로부터, 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터, 이들 이외의 효과를 추출하는 것이 가능하다.

**도면의 간단한 설명**

- [0016] 도 1은 반도체 장치의 구성의 일례를 설명하는 도면.
- 도 2는 반도체 장치의 구성의 일례를 설명하는 도면.
- 도 3은 반도체 장치의 구성의 일례를 설명하는 도면.
- 도 4는 반도체 장치의 동작을 설명하는 흐름도.
- 도 5는 반도체 장치의 구성의 일례를 설명하는 도면.
- 도 6은 반도체 장치의 구성의 일례를 설명하는 회로도.

- 도 7은 반도체 장치의 구성의 일례를 설명하는 회로도.
- 도 8은 반도체 장치의 구성의 일례를 설명하는 회로도.
- 도 9는 반도체 장치의 구성의 일례를 설명하는 회로도.
- 도 10은 반도체 장치의 구성의 일례를 설명하는 회로도.
- 도 11은 반도체 장치의 구성의 일례를 설명하는 회로도.
- 도 12는 반도체 장치의 구성의 일례를 설명하는 회로도.
- 도 13은 트랜지스터의 구성의 일례를 설명하는 도면.
- 도 14는 트랜지스터의 구성의 일례를 설명하는 도면.
- 도 15는 트랜지스터의 구성의 일례를 설명하는 도면.
- 도 16은 트랜지스터의 구성의 일례를 설명하는 도면.
- 도 17은 트랜지스터의 구성의 일례를 설명하는 도면.
- 도 18은 트랜지스터의 구성의 일례를 설명하는 도면.
- 도 19는 반도체 장치의 사용예를 설명하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 이하, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 실시형태에 있어서의 설명으로 한정되지 않으며, 본 발명의 취지 및 그 범위에서 이탈하지 않고, 그 형태 및 상세사항을 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은, 이하의 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.
- [0018] 또한, 본 발명의 일 형태는, RF(Radio Frequency) 태그, 표시 장치, 집적 회로를 포함하는 모든 장치가, 그 범주에 포함된다. 또한, 표시 장치에는, 액정 표시 장치, 유기 발광 소자로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, 전자 페이퍼, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등, 집적 회로를 갖는 표시 장치가, 그 범주에 포함된다.
- [0019] 또한, 도면을 사용하여 발명의 구성을 설명하는데 있어서, 동일한 것을 가리키는 부호는 상이한 도면간에도 공통적으로 사용한다.
- [0020] 또한, 본 명세서 등에 있어서는, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 그 일부분을 추출하여, 발명의 일 형태를 구성하는 것은 가능하다. 따라서, 어떤 부분을 서술하는 도면 또는 문장이 기재되어 있는 경우, 그 일부분의 도면 또는 문장을 추출한 내용도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 그리고, 그 발명의 일 형태는 명확하다고 말할 수 있다. 이로 인해, 예를 들면, 능동 소자(트랜지스터 등), 배선, 수동 소자(용량 소자 등), 도전층, 절연층, 반도체층, 부품, 장치, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면 또는 문장에 있어서, 그 일부분을 추출하여, 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 예를 들면, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 가지고 구성되는 회로도로부터, M개(M은 정수이고,  $M < N$ )의 회로 소자(트랜지스터, 용량 소자 등)를 뽑아 내어, 발명의 일 형태를 구성하는 것은 가능하다. 다른 예로서는, 「A는, B, C, D, E, 또는, F를 가진다」라고 기재되어 있는 문장으로부터, 일부의 요소를 임의로 뽑아내어, 「A는, B와 E를 가진다」, 「A는, E와 F를 가진다」, 「A는, C와 E와 F를 가진다」, 또는, 「A는, B와 C와 D와 E를 가진다」 등의 발명의 일 형태를 구성하는 것은 가능하다.
- [0021] 또한, 본 명세서 등에 있어서는, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념을 도출하는 것은, 당업자라면 용이하게 이해할 수 있다. 따라서, 어떤 하나의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 적어도 하나의 구체예가 기재되는 경우, 그 구체예의 상위 개념도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 그리고, 그 발명의 일 형태는, 명확하다고 할 수 있다.
- [0022] 또한, 본 명세서 등에 있어서는, 적어도 도면에 기재한 내용(도면 중의 일부라도 좋다)은, 발명의 일 형태로서

개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 따라서, 어떤 내용에 관해서, 도면에 기재되어 있으면, 문장을 사용하여 말하지 않아도, 그 내용은, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 마찬가지로, 도면의 일부를 추출한 도면에 관해서도, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 그리고, 그 발명의 일 형태는 명확하다고 말할 수 있다.

[0023] 또한, 명세서 중의 문장이나 도면에 있어서 규정되어 있지 않은 내용에 관해서, 그 내용을 제외한 것을 규정한 발명의 일 형태를 구성할 수 있다. 또는, 어떤 값에 관해서, 상한값과 하한값 등으로 나타내는 수치 범위가 기재되어 있는 경우, 그 범위를 임의로 좁힘으로써, 또는, 그 범위 내의 한점을 제외함으로써 그 범위를 일부 제외한 발명의 일 형태를 규정할 수 있다. 이들에 의해, 예를 들면, 종래 기술이 본 발명의 일 형태의 기술적 범위 내에 들어가지 않는 것을 규정할 수 있다.

[0024] 또한, 본 명세서 등에 있어서는, 능동 소자(트랜지스터 등), 수동 소자(용량 소자 등) 등이 갖는 모든 단자에 관해서, 그 접속처를 특정하지 않아도, 당업자라면, 발명의 일 형태를 구성하는 것은 가능한 경우가 있다. 즉, 접속처를 특정하지 않아도, 발명의 일 형태가 명확하다고 말할 수 있다. 그리고, 접속처가 특정된 내용이, 본 명세서 등에 기재되어 있는 경우, 접속처를 특정하지 않는 발명의 일 형태가, 본 명세서 등에 기재되어 있는 것으로 판단하는 것이 가능한 경우가 있다. 특히, 단자의 접속처의 후보가 복수 존재하는 경우에는, 그 단자의 접속처를 특정한 부분으로 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터 등), 수동 소자(용량 소자 등) 등이 갖는 일부의 단자에 관해서만, 그 접속처를 특정함으로써, 발명의 일 형태를 구성하는 것이 가능한 경우가 있다.

[0025] 또한, 본 명세서 등에 있어서는, 어떤 회로에 관해서, 적어도 접속처를 특정하면, 당업자라면, 발명을 특정하는 것이 가능한 경우가 있다. 또는, 어떤 회로에 관해서, 적어도 기능을 특정하면, 당업자라면, 발명을 특정하는 것이 가능한 경우가 있다. 즉, 기능을 특정하면, 발명의 일 형태가 명확하다고 말할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가, 본 명세서 등에 기재되어 있다고 판단하는 것이 가능한 경우가 있다. 따라서, 어떤 회로에 관해서, 기능을 특정하지 않아도, 접속처를 특정하면, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다. 또는, 어떤 회로에 관해서, 접속처를 특정하지 않아도, 기능을 특정하면, 발명의 일 형태로서 개시되어 있는 것이며, 발명의 일 형태를 구성하는 것이 가능하다.

[0026] (실시형태 1)

[0027] 본 실시형태에서는, 본 발명의 일 형태에 따른 구성의 일례에 관해서 설명한다.

[0028] 도 1의 (A)에, 본 발명의 일 형태에 따른 반도체 장치(10)의 구성의 일례를 도시한다. 반도체 장치(10)는, 회로(20), 회로(30), 회로(40), 회로(50), 회로(60), 회로(70)를 가진다.

[0029] 본 발명의 일 형태에 있어서는, 회로(50)를, 연산을 행하는 기능을 구비한 기억 회로로서 사용할 수 있다. 이로 인해, 회로(50)는, 회로(50)에 기억된 데이터나 회로(40)로부터 입력된 데이터에 더하여, 이들 데이터를 입력 신호로 하여 연산을 행한 결과를 회로(60)로 출력할 수 있다. 이것에 의해, 본래 회로(60)에 있어서 행해야 하는 연산을 회로(50)에 있어서 행할 수 있어, 회로(60)에 있어서의 연산의 부담을 저감시킬 수 있다. 또한, 회로(50)와 회로(60) 사이에 있어서 행해지는 데이터의 송수신 횟수를 감소시킬 수 있다. 따라서, 반도체 장치(10)의 동작 속도를 향상시킬 수 있다. 이하, 도 1의 (A)에 도시하는 각 회로에 관해서 설명한다.

[0030] 회로(20)는, 외부로부터의 정보를 검출하는 기능을 가진다. 회로(20)는, 소정의 물리량 또는 화학량을 검출하는 기능을 갖는 센서 등에 의해 구성할 수 있다.

[0031] 여기에서 말하는 물리량이란, 온도, 압력, 유량, 광, 자기, 음파, 가속도, 습도 등을 가리키고, 화학량이란, 가스 등의 기체 성분이나 이온 등의 액체 성분의 화학 물질 등을 가리킨다. 또한, 화학량에는, 혈액, 땀, 오줌 등에 함유되는 특정한 생체 물질 등의 유기 화합물도 포함된다. 특히, 화학량을 검출하고자 하는 경우에는, 어떤 특정한 물질을 선택적으로 검출하게 되기 때문에, 미리 회로(20)에, 검출하고자 하는 특정한 물질과 반응하는 물질을 마련해 두는 것이 바람직하다. 예를 들면, 생체 물질의 검출을 행하는 경우에는, 회로(20)에, 검출하고자 하는 생체 물질과 반응하는 효소, 항체 분자, 미생물 세포 등을 고분자 등에 고정화하여 마련해 두는 것이 바람직하다.

[0032] 여기에서, 회로(20)는, 인간이나 동물의 생체 정보를 검출하는 기능을 갖는 것이 바람직하다. 이 생체 정보로서는, 체온, 혈압, 맥박수, 발한량, 폐활량, 혈당값, 백혈구수, 적혈구수, 혈소판수, 헤모글로빈 농도, 헤마토크릿값, GOT(AST) 함유량, GPT(ALT) 함유량,  $\gamma$ -GTP 함유량, LDL 콜레스테롤값, HDL 콜레스테롤값, 중성 지방값

등을 들 수 있다. 회로(20)가 생체 정보를 검출하는 기능을 가짐으로써, 반도체 장치(10)를 건강 관리 시스템으로서 사용할 수 있다.

- [0033] 회로(30)는, 회로(20)에 있어서의 정보의 검출을 제어하는 기능을 가진다. 회로(30)는, 회로(20)가 외부로부터의 정보를 검출하는 빈도나 타이밍을 제어하는 기능을 갖는 타이머 등에 의해 구성할 수 있다. 또한, 회로(30)는, 회로(20)가 외부로부터의 정보를 검출한 시각을 계측하고, 그 시각을 회로(50)로 출력할 수 있다.
- [0034] 회로(40)는, 회로(20)에 있어서 검출한 정보를 디지털 신호로 변환하는 기능을 가진다. 회로(40)는, 회로(20)로부터 입력된 생체 정보에 대응하는 아날로그 신호를 디지털 신호로 변환하는 기능을 갖는 AD 컨버터 등에 의해 구성할 수 있다.
- [0035] 회로(50)는, 회로(40)로부터 입력된 데이터를 기억하는 기능을 가진다. 또한, 회로(50)는, 회로(40)로부터 입력된 데이터, 또는 회로(50)에 기억된 데이터를 입력 신호로 하여 연산을 행하는 기능을 가진다. 즉, 회로(50)는, 연산을 행하는 기능을 구비한 기억 회로로서 사용할 수 있다.
- [0036] 구체적으로는, 회로(50)는, 회로(80), 회로(90)를 가진다. 회로(80)는, 데이터를 기억하는 기능을 갖는 회로(이하, 기억 회로라고도 한다)를 가진다. 회로(80)는, 복수의 기억 회로를 구비한 셀 어레이에 의해 구성할 수 있다. 기억 회로는, DRAM 셀, SRAM 셀 등의 휘발성의 메모리 셀이나, EPROM 셀, MRAM 셀 등의 비휘발성의 메모리 셀에 의해 구성할 수 있지만, 특히, 채널 형성 영역에 산화물 반도체를 갖는 트랜지스터(이하, OS 트랜지스터라고도 한다)를 갖는 구성으로 하는 것이 바람직하다.
- [0037] 산화물 반도체는, 실리콘 등보다도 밴드 갭이 넓고, 진성 캐리어 밀도가 낮다. 이로 인해, OS 트랜지스터의 오프 전류는 매우 작다. 따라서, 회로(80)가 갖는 기억 회로를 OS 트랜지스터에 의해 구성함으로써, 기억 회로에 기억된 데이터를 장기간에 걸쳐 유지할 수 있다.
- [0038] 또한, OS 트랜지스터는 미세화에 의해 고속 동작이 가능해진다. 이로 인해, 회로(80)가 갖는 기억 회로를 OS 트랜지스터에 의해 구성함으로써, 회로(80)가 갖는 기억 회로의 동작 속도를 향상시킬 수 있다.
- [0039] 회로(90)는, 연산을 행하는 기능을 갖는 회로(이하, 연산 회로라고도 한다)를 가진다. 연산 회로는, NOT 회로, AND 회로, OR 회로, NAND 회로, NOR 회로, XOR 회로, XNOR 회로 등의 논리 회로에 의해 구성할 수 있다. 또한, 이들 논리 회로를 조합하여, 비교 회로, 가산 회로, 감산 회로, 승산 회로, 제산 회로 등 구성해도 좋다.
- [0040] 회로(90)는, 회로(40)로부터 입력된 데이터, 또는 회로(80)에 기억된 데이터를 입력 신호로 하여, 연산을 행하는 기능을 가진다. 예를 들면, 회로(90)가 비교 회로를 갖는 경우, 회로(40)로부터 입력된 데이터와 회로(80)에 기억된 데이터의 비교를 행할 수 있다. 여기서, 회로(40)로부터 입력된 데이터가 회로(20)에 있어서 검출된 생체 정보이며, 회로(80)에 기억된 데이터가 소정의 기준값인 경우, 생체 정보와 기준값을 회로(90)에 있어서 비교하여, 생체 정보가 정상값인지 이상값인지를 판별할 수 있다. 또한, 회로(40)로부터 입력된 데이터를 한번 회로(80)에 기억하고, 이 데이터를 입력 신호로 하는 연산을 행하는 구성으로 해도 좋다.
- [0041] 또한, 회로(90)가 감산 회로를 갖는 경우, 회로(40)로부터 입력된 데이터와 회로(80)에 기억된 데이터의 차분을 산출할 수 있다. 또한, 회로(90)가 가산 회로 및 제산 회로를 갖는 경우, 회로(40)로부터 입력된 데이터와 회로(80)에 기억된 데이터의 평균값을 산출할 수 있다. 여기에서, 회로(40)로부터 입력된 데이터가 회로(20)에 있어서 검출한 생체 정보이며, 회로(80)에 기억된 데이터가 이전에 검출한 생체 정보인 경우, 회로(90)에 있어서, 생체 정보의 변동이나 평균값을 산출할 수 있다.
- [0042] 회로(80)는, 도 1의 (B)에 도시하는 바와 같이, 회로(40)로부터 입력된 데이터나, 회로(90)에 있어서의 연산에 의해 얻어진 데이터를 기억하는 기능을 가진다. 또한, 회로(80)는, 회로(80)에 기억된 데이터를 회로(90)나 회로(60)에 출력하는 기능을 가진다. 회로(90)는, 회로(40)로부터 입력된 데이터나 회로(80)에 기억된 데이터를 입력 신호로 하여, 연산을 행하는 기능을 가진다. 또한, 회로(90)는, 연산의 결과를 회로(80)나 회로(60)로 출력하는 기능을 가진다.
- [0043] 회로(60)는, 정보 처리나 다른 회로의 제어 등을 행하는 기능을 가진다. 회로(60)는, 복수의 트랜지스터에 의해 구성된 순서 회로나 조합 회로 등의 각종 논리 회로를 갖는 프로세서 등에 의해 구성할 수 있다. 또한, 본 발명의 일 형태에 있어서는, 회로(50)가 연산 회로를 갖는 회로(90)를 가진다. 이로 인해, 본래는 회로(60)에 있어서 행해야 하는 연산(특히, 회로(80)에 기억된 데이터를 입력 신호로 하는 연산)을, 회로(50)의 내부에서 행할 수 있다. 따라서, 회로(60)로부터 회로(50)에 기억된 데이터로의 액세스나, 회로(60)에 있어서의 연산 결

과의 회로(50)로의 기록 등을 생략할 수 있어, 회로(50)와 회로(60) 사이에 있어서 행해지는 데이터의 송수신 횟수를 감소시킬 수 있다.

[0044] 회로(70)는, 신호의 송수신을 행하는 기능을 갖는 통신 회로이다. 회로(70)는 회로(60)에 의해 제어되고, 회로(80)에 기억된 데이터나 회로(90)에 있어서의 연산의 결과를 반도체 장치(10)의 외부로 송신할 수 있다. 회로(70)로부터 송신된 정보는, 반도체 장치의 외부에 설치된 컴퓨터나 리더/라이터 등에 의해 판독할 수 있다.

[0045] 또한, 회로(70)에 있어서의 신호의 송수신은, 유선으로 행해도 좋고 무선으로 행해도 좋다. 회로(70)에 있어서의 신호의 송수신을 무선 신호로 행하는 구성으로 한 경우, 반도체 장치(10)를 의복이나 몸에 지니는 것이 가능한 웨어러블 건강 관리 시스템으로서 사용할 수 있다.

[0046] 이상과 같이, 본 발명의 일 형태에 있어서는, 회로(50)를, 연산을 행하는 기능을 구비한 기억 회로로서 사용할 수 있다. 이로 인해, 회로(50)는, 회로(50)에 기억된 데이터나 회로(40)로부터 입력된 데이터에 더하여, 이들 데이터를 입력 신호로 하여 연산을 행한 결과를 회로(60)로 출력할 수 있다. 이것에 의해, 본래 회로(60)에 있어서 행해야 하는 연산을 회로(50)에 있어서 행할 수 있어, 회로(60)에 있어서의 연산의 부담을 저감시킬 수 있다. 또한, 회로(50)와 회로(60) 사이에 있어서 행해지는 데이터의 송수신 횟수를 감소시킬 수 있다. 따라서, 반도체 장치(10)의 동작 속도를 향상시킬 수 있다.

[0047] 도 1의 (C)에, 회로(50)의 단면 구조의 개요도를 도시한다. 회로(50)는, 기판(100) 위의 회로(90)와, 회로(90) 위의 절연층(101)과, 절연층(101) 위의 회로(80)를 가진다. 즉, 회로(50)는, 회로(90)와 회로(80)가 적층된 구조를 가진다. 절연층(101)은 개구부를 가지며, 상기 개구부에는 도전층(102)이 설치되어 있다. 그리고, 회로(90)는 도전층(102)을 개재하여 회로(80)와 접속되어 있다.

[0048] 여기에서, 회로(80) 또는 회로(90)의 한쪽은, 다른쪽의 적어도 일부와 중첩되는 영역을 갖는 것이 바람직하다. 이것에 의해, 회로(50)의 면적의 증가를 억제하면서, 기억 회로로서 기능하는 회로(50)에 연산을 행하는 기능을 부가할 수 있다. 따라서, 반도체 장치(10)의 면적의 축소를 도모할 수 있다. 또한, 회로(80) 또는 회로(90)의 한쪽이, 다른쪽의 전면과 중첩되는 영역을 가짐으로써, 회로(50)의 면적을 더욱 축소시킬 수 있다.

[0049] 또한, 본 명세서 등에 있어서, X와 Y가 접속되어 있다, 라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 또는 문장에 나타난 접속 관계로 한정되지 않으며, 도면 또는 문장에 나타난 접속 관계 이외의 것도 포함하는 것으로 한다. 여기에서, X, Y는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)인 것으로 한다.

[0050] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가, X와 Y 사이에 1개 이상 접속되는 것이 가능하다. 또한, 스위치는, 온 오프가 제어되는 기능을 가지고 있다. 즉, 스위치는, 도통 상태(온 상태), 또는, 비도통 상태(오프 상태)가 되어, 전류를 흘려보낼지 흘려보내지 않을지를 제어하는 기능을 가지고 있다. 또는, 스위치는, 전류를 흘려보내는 경로를 선택하여 전환하는 기능을 가지고 있다.

[0051] 또한, X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들면, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가, X와 Y 사이에 1개 이상 접속되는 것이 가능하다. 또한, 일례로서, X와 Y 사이에 다른 회로를 개재하고 있어도, X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되어 있는 것으로 한다.

[0052] 또한, X와 Y가 전기적으로 접속되어 있다, 라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 개재하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 회로를 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, 전기적으로 접속되어 있다, 라고 명시적으로 기재하는 경우에는, 단순히, 접속되어 있다, 라고만 명시적으로 기재되어 있는 경우와 동일한 것으로 한다.

[0053] 또한, 예를 들면, 트랜지스터의 소스(또는 제 1 단자 등)가, Z1을 개재하여(또는 개재하지 않고), X와 전기적으로

로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이, Z2를 개재하여(또는 개재하지 않고), Y와 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가, Z1의 일부에 직접적으로 접속되고, Z1의 다른 일부가 X와 직접적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이, Z2의 일부에 직접적으로 접속되고, Z2의 다른 일부가 Y와 직접적으로 접속되어 있는 경우에는, 이하와 같이 표현할 수 있다.

[0054] 예를 들면, 「X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)은, 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다.」라고 표현할 수 있다. 또는, 「트랜지스터의 소스(또는 제 1 단자 등)는, X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는, 이 순서로 전기적으로 접속되어 있다」라고 표현할 수 있다. 또는, 「X는, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 개재하여, Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는, 이 접속 순서로 설치되어 있다」라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여, 회로 구성에 있어서의 접속 순서에 관해서 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)을, 구별하여, 기술적 범위를 결정할 수 있다. 또한, 이들 표현 방법은, 일례이며, 이들 표현 방법으로 한정되지 않는다. 여기에서, X, Y, Z1, Z2는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)인 것으로 한다.

[0055] 또한, 도면상 독립되어 있는 구성 요소들이 전기적으로 접속하고 있는 것처럼 도시되어 있는 경우라도, 1개의 구성 요소가, 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 있다. 예를 들면, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이, 배선의 기능, 및 전극의 기능 양쪽의 구성 요소의 기능을 함께 가지고 있다. 따라서, 본 명세서에 있어서의 접속이란, 이러한, 하나의 도전막이, 복수의 구성 요소의 기능을 함께 가지고 있는 경우도, 그 범주에 포함시킨다.

[0056] 여기에서, 회로(90)는, 채널 형성 영역이 기판(100)의 일부에 형성되는 트랜지스터에 의해 구성할 수 있다. 이 경우, 기판(100)은 단결정 반도체를 갖는 기판으로 하는 것이 바람직하다. 이러한 기판(100)으로서는, 단결정 실리콘 기판이나 단결정 게르마늄 기판 등을 사용할 수 있다. 기판(100)을 단결정 반도체를 갖는 기판으로 함으로써, 회로(90)를, 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터를 사용하여 형성할 수 있다. 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터는 전류 공급 능력이 높기 때문에, 이러한 트랜지스터를 사용하여 회로(90)를 구성함으로써, 회로(90)에 있어서의 연산의 속도를 향상시킬 수 있다.

[0057] 다음에, 회로(50)의 구성의 일례를, 도 2를 사용하여 설명한다.

[0058] 도 2의 (A)는, 도 1에 있어서의 회로(50)의 구성의 일례를 도시하는 사시도이다. 회로(50)는, 기판(100) 위의 회로(90), 회로(110), 회로(120)와, 회로(90), 회로(110), 회로(120) 위의 절연층(101)과, 절연층(101) 위의 회로(80)를 가진다. 또한, 회로(80)는, 복수의 기억 회로(81)를 가진다.

[0059] 회로(90)는, 연산 회로를 갖는 회로이며, 기억 회로(81)와 접속되어 있다. 회로(90)는, 기억 회로(81)에 기억된 데이터를 입력 신호로 하여 연산을 행하고, 연산의 결과를 회로(60)(도 1의 (B) 참조)로 출력할 수 있다. 또한, 회로(90)는, 회로(50)의 외부(예를 들면 도 1의 (B)에 있어서의 회로(40))로부터 입력된 데이터를 입력 신호로 하여 연산을 행할 수도 있다.

[0060] 회로(110)는, 복수의 기억 회로(81) 중, 특정한 기억 회로(81)를 선택하는 기능을 갖는 구동 회로이다. 구체적으로는, 회로(110)는, 특정한 기억 회로(81)와 접속된 배선에, 상기 특정 기억 회로(81)를 선택하기 위한 신호(이하, 선택 신호라고도 한다)를 공급하는 기능을 가진다.

[0061] 회로(120)는, 기억 회로(81)로의 데이터의 기록, 또는 기억 회로(81)에 기억된 데이터의 판독을 행하는 기능을 갖는 구동 회로이다. 구체적으로는, 회로(120)는, 특정 기억 회로(81)와 접속된 배선에, 상기 특정 기억 회로(81)에 기록하는 데이터에 대응하는 전위(이하, 기록 전위라고도 한다)를 공급하는 기능을 가진다. 또한, 회로(120)는, 특정 기억 회로(81)와 접속된 배선의 전위에 기초하여, 상기 특정 기억 회로(81)에 기억된 데이터를 판독하는 기능을 가진다. 또한, 회로(120)는, 기억 회로(81)와 접속된 배선에 소정의 전위를 공급하는 프리차지 기능을 가지고 있어도 좋다.

[0062] 여기에서, 기판(100)은, 단결정 반도체를 갖는 기판인 것이 바람직하다. 이것에 의해, 회로(90), 회로(110), 회로(120)를, 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터에 의해 구성할 수 있다. 따라서, 회로(90), 회로(110), 회로(120)의 동작 속도를 향상시킬 수 있다.

- [0063] 회로(80)는, 복수의 기억 회로(81)를 메모리 셀로 한 셀 어레이에 의해 구성할 수 있다. 또한, 복수의 기억 회로(81)는 각각, 회로(90), 회로(110), 회로(120)와 접속되어 있다.
- [0064] 여기에서, 기억 회로(81)는, 반도체막에 채널 형성 영역이 형성되는 트랜지스터에 의해 구성할 수 있다. 예를 들면, 기억 회로(81)는, 채널 형성 영역에 비단결정 반도체를 갖는 트랜지스터에 의해 구성할 수 있다. 비단결정 반도체로서는, 비정질 실리콘, 미결정 실리콘, 다결정 실리콘 등의 비단결정 실리콘이나, 비정질 게르마늄, 미결정 게르마늄, 다결정 게르마늄 등의 비단결정 게르마늄 등을 사용할 수 있다. 또한, 기억 회로(81)는, OS 트랜지스터에 의해 구성할 수 있다. 상기와 같은 반도체막에 채널 형성 영역이 형성되는 트랜지스터는, 절연층(101) 위에 형성하는 것이 가능하기 때문에, 기억 회로(81)를 절연층(101) 위에 형성하는 것이 가능해진다. 이것에 의해, 회로(50)를 회로(80)와 회로(90)가 적층된 구성으로 할 수 있다.
- [0065] 여기에서, 기억 회로(81)는, 특히 OS 트랜지스터를 사용하여 형성하는 것이 바람직하다. OS의 오프 전류는 매우 작기 때문에, 기억 회로(81)에 OS 트랜지스터를 사용함으로써, 회로(80)로의 전력 공급이 정지된 기간에 있어서도 기억 회로(81)에 기억된 데이터를 장기간에 걸쳐 유지할 수 있다. 따라서, 기억 회로(81)를, 비휘발성의 메모리 셀, 또는 리프레시 동작의 빈도가 매우 낮은 메모리 셀로서 사용할 수 있다.
- [0066] 또한, OS 트랜지스터는 미세화에 의해 고속 동작이 가능해진다. 이로 인해, 기억 회로(81)에 OS 트랜지스터를 사용함으로써, 기억 회로(81)의 동작 속도를 향상시킬 수 있다. 구체적으로는, 기억 회로(81)의 기록 속도 및 판독 속도를 10ns 이하, 보다 바람직하게는 5ns 이하, 더욱 바람직하게는 1ns 이하로 할 수 있다. 또한, OS 트랜지스터의 채널 길이는, 100nm 이하, 바람직하게는 60nm 이하, 보다 바람직하게는 40nm 이하, 더욱 바람직하게는 30nm 이하로 할 수 있다.
- [0067] 여기에서, 회로(90)는, 회로(80)와 중첩되는 영역을 갖는 것이 바람직하다. 구체적으로는, 회로(90)는, 적어도 복수의 기억 회로(81) 중 어느 하나와 중첩되는 영역을 갖는 것이 바람직하다. 이것에 의해, 회로(50)의 면적 증가를 억제하면서, 기억 회로로서 기능하는 회로(50)에 연산을 행하는 기능을 부가할 수 있다. 또한, 회로(90)를, 복수의 기억 회로(81) 전부와 중첩되는 영역을 갖도록 배치함으로써, 회로(50)의 면적을 더욱 축소시킬 수 있다. 또한, 회로(110) 또는 회로(120)를, 적어도 복수의 기억 회로(81) 중 어느 하나와 중첩되는 영역을 갖도록 배치할 수도 있다.
- [0068] 또한, 도 2의 (A)에 있어서는, 기억 회로(81)를 갖는 회로(80)를 1층 설치한 구성으로 했지만, 이러한 회로를 2층 이상 설치한 구성으로 해도 좋다. 예를 들면, 회로(80) 위에 절연층을 설치하고, 상기 절연층 위에 기억 회로(81)를 갖는 회로를 추가로 설치해도 좋다. 이러한 구성으로 함으로써, 회로(50)의 면적 증가를 억제하면서, 기억 회로의 대용량화를 도모할 수 있다.
- [0069] 또한, 도 2의 (A)에 있어서는, 회로(110) 및 회로(120)가 기판(100) 위에 설치된 예를 도시했지만, 이것으로 한정되지 않으며, 회로(110) 및 회로(120)를 절연층(101) 위에 설치해도 좋다(도 2의 (B)). 이 경우, 회로(110) 및 회로(120)는, 반도체막에 채널 형성 영역이 형성되는 트랜지스터에 의해 구성할 수 있지만, 특히, 오프 전류가 작고, 고속 동작이 가능한 OS 트랜지스터에 의해 구성하는 것이 바람직하다.
- [0070] 다음에, 회로(50)의 상면도의 예를 도 3에 도시한다. 또한, 도 3의 (C)는, 회로(110), 회로(120)가 기판(100) 위에 설치된 구조(도 2의 (A) 참조)의 상면도에 대응하고, 도 3의 (D)는, 회로(110), 회로(120)가 절연층(101) 위에 설치된 구조(도 2의 (B) 참조)의 상면도에 대응한다.
- [0071] 도 3의 (A)에 도시하는 바와 같이, 회로(80)를, 회로(90)의 전면과 중첩되는 영역을 갖도록 배치할 수 있다. 이것에 의해, 회로(80)를 회로(90)와 동일 평면에 형성하는 경우와 비교하여, 회로(50)의 면적 증가를 억제할 수 있다. 또한, 회로(80)는, 회로(90)의 일부와 중첩되는 영역을 갖도록 배치해도 좋다.
- [0072] 또한, 도 3의 (B)에 도시하는 바와 같이, 회로(90)를, 회로(80)의 전면과 중첩되는 영역을 갖도록 배치할 수도 있다. 또한, 회로(90)는, 회로(80)의 일부와 중첩되는 영역을 갖도록 배치해도 좋다.
- [0073] 또한, 도 3의 (C)에 도시하는 바와 같이, 회로(80)를, 회로(90)의 전면과 중첩되는 영역, 회로(110)의 전면과 중첩되는 영역, 및 회로(120)의 전면과 중첩되는 영역을 갖도록 배치할 수도 있다. 이 경우, 회로(50)의 면적 증가를 억제하면서, 도 3의 (A), (B)에 도시하는 구성보다도 회로(80)의 면적을 크게 할 수 있다. 이것에 의해, 기억 회로로서 기능하는 회로(80)의 대용량화를 도모할 수 있다. 또한, 회로(80)는, 회로(110)의 일부와 중첩되도록 배치해도 좋고, 회로(120)의 일부와 중첩되는 영역을 갖도록 배치해도 좋다.
- [0074] 또한, 도 3의 (D)에 도시하는 바와 같이, 회로(90)를, 회로(80)의 전면과 중첩되는 영역, 회로(110)의 전면과

중첩되는 영역, 및 회로(120)의 전면과 중첩되는 영역을 갖도록 배치할 수도 있다. 이 경우, 회로(50)의 면적 증가를 억제하면서, 도 3의 (A), (B)에 도시하는 구성보다도 회로(90)의 면적을 크게 할 수 있다. 이것에 의해, 회로(90)가 갖는 연산 회로의 수 및 종류를 늘릴 수 있어, 회로(90)에 있어서의 연산 속도의 향상, 또는 회로(90)에 있어서의 연산 종류의 증가를 도모할 수 있다. 또한, 회로(90)는, 회로(110)의 일부와 중첩되도록 배치해도 좋고, 회로(120)의 일부와 중첩되는 영역을 갖도록 배치해도 좋다.

- [0075] 다음에, 도 1에 있어서의 반도체 장치(10)의 동작의 일례를, 도 4의 흐름도를 사용하여 설명한다. 여기에서는 일례로서, 반도체 장치(10)를, 검출한 생체 정보가 정상값인지 이상값인지를 판별하는 것이 가능한 건강 관리 시스템으로서 사용하는 경우에 관해서 설명한다.
- [0076] 우선, 회로(30)에 의해 회로(20)를 제어하여, 생체 정보를 검출한다(스텝 S1). 그 후, 검출한 생체 정보에 대응하는 아날로그 신호를, 회로(40)에 있어서 디지털 신호로 변환한다(스텝 S2).
- [0077] 다음에, 회로(50)에 있어서, 생체 신호가 정상값인지 이상값인지를 판별한다(스텝 S3). 이 판별은, 회로(40)로부터 회로(50)에 입력된 생체 정보의 값과, 미리 회로(80)에 기억된 기준값을, 회로(90)에 있어서 비교함으로써 행한다. 예를 들면, 생체 정보로서 혈당값(BS)을 검출하는 경우에는, 소정의 혈당값(예를 들면, BS=126(mg/dl))을 기준값으로 하여 회로(80)에 기억해 둔다. 그리고, 회로(40)로부터 입력된 혈당값의 값을 기준값과 비교하여, 혈당값이 기준값 미만이면 정상값, 기준값 이상인 경우에는 이상값이라고 판단한다.
- [0078] 스텝 S3에 있어서의 판별 결과, 생체 정보가 정상값이라고 판단된 경우에는, 회로(90)에 있어서 데이터 처리를 행한다(스텝 S4). 회로(90)에 있어서의 데이터 처리로서는, 예를 들면, 생체 정보의 변동량이나 평균값의 산출을 들 수 있다.
- [0079] 생체 정보의 변동량은, 어떤 시각에 있어서 검출한 생체 정보의 값과, 그 시각 이전에 검출한 생체 정보의 값의 차분을 산출함으로써 얻을 수 있다. 이 차분의 산출은, 회로(90)에 연산 회로로서 감산 회로를 설치함으로써 행할 수 있다.
- [0080] 또한, 생체 정보의 평균값은, 어떤 시각까지 검출한 생체 정보의 값의 총합을 산출하고, 그 값을, 검출한 생체 정보의 개수로 나눔으로써 얻을 수 있다. 또한, 평균값의 산출은, 회로(90)에 연산 회로로서 가산 회로 및 제산 회로를 설치함으로써 행할 수 있다.
- [0081] 그 후, 데이터 처리에 의해 얻어진 결과를 회로(80)에 기억한다(스텝 S5). 또한, 회로(80)에 기억된 데이터는, 회로(60)를 제어함으로써, 회로(70)로부터 외부로 송신할 수 있다.
- [0082] 또한, 회로(90)에 있어서의 데이터 처리를 행하지 않으며, 회로(40)로부터 입력된 생체 정보를 그대로 회로(80)에 기억, 또는 회로(60)로 출력하는 경우에는, 스텝 S4의 데이터 처리를 생략할 수 있다.
- [0083] 스텝 S3에 있어서의 판별 결과, 생체 정보가 이상값이라고 판단된 경우, 이상값인 것을 알리는 신호(이하, 인터럽트 신호라고도 한다)가 회로(50)로부터 회로(60)로 출력된다(스텝 S6). 그리고, 인터럽트 신호를 수신한 회로(60)는 회로(70)를 제어하고, 회로(70)는 이상값을 검출한 신호를 외부로 송신한다(스텝 S7).
- [0084] 또한, 생체 정보가 이상값인 경우도, 정상값인 경우와 같은 데이터 처리(스텝 S8) 및 회로(80)로의 데이터의 기억(스텝 S9)을 행할 수 있다. 이 때, 회로(80)에는, 이상값이라고 판단된 생체 정보의 값이나, 이상값을 검출한 시각 등을 기억할 수 있다. 이들 정보는, 회로(70)로부터 외부로 송신할 수 있다.
- [0085] 이상과 같이, 본 발명의 일 형태에 있어서는, 회로(50)를, 연산을 행하는 기능을 구비한 기억 회로로서 사용할 수 있다. 이로 인해, 회로(50)는, 회로(50)에 기억된 데이터나 회로(40)로부터 입력된 데이터에 더하여, 이들 데이터를 입력 신호로 하여 연산을 행한 결과를 회로(60)로 출력할 수 있다. 이것에 의해, 본래 회로(60)에 있어서 행해야 하는 연산을 회로(50)에 있어서 행할 수 있어, 회로(60)에 있어서의 연산의 부담을 저감시킬 수 있다. 또한, 회로(50)와 회로(60) 사이에 있어서 행해지는 데이터의 송수신 횟수를 감소시킬 수 있다. 따라서, 반도체 장치(10)의 동작 속도를 향상시킬 수 있다.
- [0086] 또한, 본 발명의 일 형태에 있어서는, 회로(80) 또는 회로(90)의 한쪽이, 다른쪽의 적어도 일부와 중첩되는 영역을 갖는 구성으로 할 수 있다. 이것에 의해, 회로(50)의 면적 증가를 억제하면서, 기억 회로로서 기능하는 회로(50)에 연산을 행하는 기능을 부가할 수 있다. 따라서, 반도체 장치(10)의 면적 축소를 도모할 수 있다.
- [0087] 또한, 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다. 따라서, 본 실시형태 중에서 서술하는

내용(일부 내용이라도 좋다)은, 그 실시형태에서 서술하는 다른 내용(일부 내용이라도 좋다), 및/또는, 하나 또는 복수의 다른 실시형태에서 서술하는 내용(일부 내용이라도 좋다)에 대해, 적용, 조합, 또는 전환 등을 행할 수 있다. 또한, 실시형태 중에서 서술하는 내용이란, 각각의 실시형태에 있어서, 여러가지 도면을 사용하여 서술하는 내용, 또는 명세서에 기재되는 문장을 사용하여 서술하는 내용을 말한다. 또한, 어떤 하나의 실시형태에 있어서 서술하는 도면(일부라도 좋다)은, 그 도면의 다른 부분, 그 실시형태에 있어서 서술하는 다른 도면(일부라도 좋다), 및/또는, 하나 또는 복수의 다른 실시형태에 있어서 서술하는 도면(일부라도 좋다)에 대해, 조합함으로써, 더 많은 도면을 구성시킬 수 있다. 이것은, 이하의 실시형태에 있어서도 마찬가지이다.

- [0088] (실시형태 2)
- [0089] 본 실시형태에서는, 본 발명의 일 형태에 따른 구성의 구체예에 관해서 설명한다. 여기에서는 특히, 반도체 장치(10)가, 검출된 생체 정보가 정상값인지 이상값인지를 판별하는 건강 관리 시스템으로서의 기능을 갖는 구성에 관해서 설명한다.
- [0090] 도 5에, 회로(50)의 구성의 일례를 도시한다. 회로(50)는, 회로(80), 회로(90), 회로(110), 회로(120), 복수의 회로(83)를 가진다. 또한, 도 5에 있어서는 설명의 편의상, 회로(80)와 회로(90)를 동일한 평면에 도시하고 있지만, 실제로는 도 1 내지 도 3에 도시하는 바와 같이, 회로(80)와 회로(90)는 서로 중첩되도록 적층되어 있다.
- [0091] 회로(80)는, 복수의 기억 회로(81) 및 복수의 기억 회로(82)를 가진다. 여기에서는, 회로(80)가 n행 m열(n, m은 자연수)의 기억 회로(81)(기억 회로(81) [1,1] 내지 [n, m])와, 1행 m열의 기억 회로(82)(기억 회로(82) [1] 내지 [m])를 갖는 구성을 나타낸다. 또한, 기억 회로(82)는 2행 이상 설치되어 있어도 좋다. 기억 회로(81) 및 기억 회로(82)는 메모리 셀로서 기능하고, 회로(80)는 복수의 메모리 셀에 의해 구성된 셀 어레이로서 기능한다.
- [0092] 여기에서, 회로(80)는 n행 m열의 기억 회로(81)를 갖기 때문에, m 비트의 데이터를 n종류 기억할 수 있다. 따라서, 상이한 시각이나 조건에 있어서 검출한 m 비트의 생체 정보의 값을 n종류 기억할 수 있다. 또한, 기억 회로(81)의 열의 수(m)는, 검출하는 생체 정보에 맞춰서 자유롭게 결정할 수 있다. 예를 들면, 생체 정보로서 혈당값을 검출하는 경우, m=8로서, BS=0 내지 255(mg/dl)의 범위의 수치를 기억하는 구성으로 할 수 있다.
- [0093] 또한, 기억 회로(81)는, OS 트랜지스터를 사용하여 구성하는 것이 바람직하다. 이것에 의해, 기억 회로(81)에 기억된 생체 정보를 장기간에 걸쳐 유지하는 것이 가능해져, 기억 회로(81)를 비휘발성의 메모리 셀, 또는 리프래시 동작의 빈도가 매우 낮은 메모리 셀로서 사용할 수 있다.
- [0094] 또한, 회로(80)가 갖는 1행 m열의 기억 회로(82)에는, m 비트의 데이터를 1종류 기억할 수 있다. 여기에서, 기억 회로(82) [1] 내지 [m]에는, 생체 정보의 기준값이 되는 m 비트의 데이터를 기억할 수 있다. 이 기준값은, 예를 들면, 생체 정보의 정상값과 이상값의 경계가 되는 값(정상값의 상한값 또는 하한값)으로 할 수 있다. 예를 들면, 생체 정보로서 혈당값을 검출하는 경우, 혈당값의 정상값의 상한값으로서 BS=126(mg/dl)을 기억할 수 있다.
- [0095] 또한, 여기에서는 기억 회로(82)가 1행 설치된 예에 관해서 서술하지만, 복수행 설치되어 있어도 좋다. 이 경우, 복수의 기준값을 기억할 수 있기 때문에, 기억 회로(82)에는, 생체 정보의 상한값 및 하한값을 기억하는 것이나, 복수의 상한값, 또는 복수의 하한값을 기억하는 것이 가능해진다. 또한, 기억 회로(82)의 행수는 특별히 한정되지 않으며, 1 이상의 임의의 수를 선택할 수 있다.
- [0096] 예를 들면, 생체 정보로서 혈당값을 검출하는 경우, m열의 기억 회로(82)를 3행 설치하고, 1행째의 기억 회로(82)에는 제 1 상한값(예를 들면, BS=110(mg/dl))을 기억하고, 2행째의 기억 회로(82)에는 제 2 상한값(예를 들면, BS=116(mg/dl))을 기억하고, 3행째의 기억 회로(82)에는 제 3 상한값(예를 들면, BS=126(mg/dl))을 기억할 수 있다. 이것에 의해, 검출된 혈당값과 제 1 내지 제 3 상한값을 비교할 수 있어, 생체 정보의 이상을 단계적으로 판별할 수 있다.
- [0097] 여기에서, 기억 회로(82)는, 특히 OS 트랜지스터를 사용하여 형성하는 것이 바람직하다. OS의 오프 전류는 매우 작기 때문에, 기억 회로(82)에 OS 트랜지스터를 사용함으로써, 회로(80)로의 전력 공급이 정지된 기간에 있어서도 기억 회로(82)에 기억된 데이터를 장기간에 걸쳐 유지할 수 있다. 따라서, 기억 회로(82)를 비휘발성의 메모리 셀, 또는 리프래시 동작의 빈도가 매우 낮은 메모리 셀로서 사용할 수 있다. 이로 인해, 한번 기억 회로(82)에 기준값의 기록을 행한 후에는, 회로(80)로의 전력 공급이 정지된 기간에 있어서도, 상기 기준값을 장

기간 유지할 수 있다.

- [0098] 회로(110)는, 복수의 배선(111)(배선(111) [1] 내지 [n])을 개재하여 기억 회로(81)와 접속되어 있다. 또한, 회로(110)는, 배선(112)을 개재하여 기억 회로(82)와 접속되어 있다. 회로(110)는, 선택 신호를 배선(111) 또는 배선(112)에 공급하는 기능을 갖는 구동 회로이다.
- [0099] 회로(120)는, 복수의 배선(121)(배선(121) [1] 내지 [m])을 개재하여, 기억 회로(81) 및 기억 회로(82)와 접속되어 있다. 회로(120)는, 기억 회로(81) 또는 기억 회로(82)에 기록하는 데이터에 대응하는 전위를 배선(121)에 공급하는 기능과, 배선(121)의 전위에 기초하여, 기억 회로(81) 또는 기억 회로(82)에 기억된 데이터를 판독하는 기능을 갖는 구동 회로이다. 또한, 회로(120)는, 배선(121)에 소정의 전위를 공급하는 프리차지 기능을 가지고 있어도 좋다.
- [0100] 복수의 회로(83)(회로(83) [1] 내지 [m])는, 각각 배선(113), 배선(121), 회로(90)와 접속되어 있다. 회로(83)는, 기억 회로(81)에 기억된 데이터의 회로(90)로의 출력을 제어하는 스위치로서의 기능을 가진다. 회로(83)는, 배선(113)의 전위에 의해 도통 상태가 제어되어, 회로(90)에 있어서 연산을 행할 때에 도통 상태가 된다.
- [0101] 회로(83)는, 예를 들면 트랜지스터 등에 의해 구성할 수 있다. 회로(83)를 트랜지스터로 하는 경우, 상기 트랜지스터의 게이트가 배선(113)과 접속되고, 소스 또는 드레인의 한쪽이 배선(121)과 접속되고, 소스 또는 드레인의 다른쪽이 회로(90)와 접속된 구성으로 하면 좋다. 이 경우, 배선(113)의 전위에 의해 트랜지스터의 도통 상태가 제어된다. 트랜지스터를 도통 상태로 함으로써, 기억 회로(81)에 기억된 데이터를 회로(90)로 출력하여, 회로(90)에 있어서의 연산을 실행할 수 있다.
- [0102] 또한, 회로(83)로서 트랜지스터를 사용하는 경우에는, OS 트랜지스터를 사용할 수 있다. OS 트랜지스터는 오프 전류가 매우 낮기 때문에, 회로(90)에 있어서의 연산을 실행하지 않는 기간, 즉 OS 트랜지스터가 비도통 상태인 기간에 있어서, 배선(121)과 회로(90) 사이의 전하의 이동을 대폭 억제할 수 있다.
- [0103] 또한, 본 명세서 등에 있어서, 트랜지스터의 소스란, 활성층으로서 기능하는 반도체의 일부인 소스 영역, 또는 상기 반도체에 접속된 소스 전극을 의미한다. 마찬가지로, 트랜지스터의 드레인이란, 상기 반도체의 일부인 드레인 영역, 또는 상기 반도체에 접속된 드레인 전극을 의미한다. 또한, 게이트는 게이트 전극을 의미한다.
- [0104] 또한, 트랜지스터가 갖는 소스와 드레인은, 트랜지스터의 도전형 및 각 단자에 부여되는 전위의 고저에 의해, 그 호칭이 교체된다. 일반적으로, n채널형 트랜지스터에서는, 낮은 전위가 부여되는 단자가 소스라고 불리고, 높은 전위가 부여되는 단자가 드레인이라고 불린다. 또한, p채널형 트랜지스터에서는, 낮은 전위가 부여되는 단자가 드레인이라고 불리고, 높은 전위가 부여되는 단자가 소스라고 불린다. 본 명세서에서는, 편의상, 소스와 드레인이 고정되어 있는 것으로 가정하고, 트랜지스터의 접속 관계를 설명하는 경우가 있지만, 실제로는 상기 전위의 관계에 따라 소스와 드레인의 호칭이 교체된다.
- [0105] 회로(90)는, 회로(91), 회로(92)를 가진다. 회로(91)는, 연산을 행하는 기능을 갖는 회로이고, 1 이상의 연산 회로를 가진다. 연산 회로는, NOT 회로, AND 회로, OR 회로, NAND 회로, NOR 회로, XOR 회로, XNOR 회로 등의 논리 회로에 의해 구성할 수 있다. 또한, 이러한 논리 회로를 조합하여, 비교 회로, 가산 회로, 감산 회로, 승산 회로, 제산 회로 등으로 구성해도 좋다. 여기에서는, 회로(91)가 비교 회로를 갖는 경우에 관해서 설명한다.
- [0106] 회로(91)는, 기억 회로(82), 회로(83), 회로(92)와 접속되어 있다. 회로(91)에는, 기억 회로(81)에 기억된 데이터가 회로(83)를 개재하여 입력되는 동시에, 기억 회로(82)에 기억된 데이터가 입력된다. 그리고, 회로(91)는, 이들 데이터의 대소를 비교하여, 그 비교 결과에 대응하는 신호를 회로(92)로 출력하는 기능을 가진다. 예를 들면, 회로(91)는, 기억 회로(81) [1,1] 내지 [n,1] 중 어느 하나에 기억된 데이터와, 기억 회로(82) [1]에 기억된 데이터를 비교할 수 있다.
- [0107] 여기에서, 기억 회로(81)에는 회로(20)(도 1의 (A), (B) 참조)에 의해 검출된 생체 정보의 값이 기억되어 있고, 기억 회로(82)에는 소정의 기준값이 기억되어 있다. 그리고, 회로(91)는, 특정한 행의 기억 회로(81)에 기억된 m 비트의 생체 정보의 값과, 기억 회로(82)에 기억된 m 비트의 기준값을 비교할 수 있다. 이것에 의해, 검출된 생체 정보가 정상값인지 이상값인지를 판별할 수 있다. 예를 들면, 기억 회로(81)에 기억된 생체 정보의 값이 기억 회로(82)에 기억된 기준값 이상일 때, 이상값이라고 판단한다.
- [0108] 회로(92)는, 회로(91)에 있어서의 비교 결과, 생체 정보가 이상값이라고 판단되었을 때에, 회로(60)(도 1 참조)

조)에 인터럽트 신호를 출력하는 기능을 가진다. 예를 들면, 회로(92)는, 생체 정보가 정상값인 경우에는 데이터 " 1" 을 출력하고, 이상값인 경우에는 인터럽트 신호로서 데이터 " 0" 을 출력하는 기능을 가진다. 그리고, 데이터 " 0" 이 회로(60)로 출력되면, 회로(60)에 의해 회로(70)가 제어되어, 회로(70)로부터 외부로 이상값인 신호가 송신된다.

[0109] 또한, 복수의 회로(83)는, 회로(90)와 동일한 층(도 1의 (C), 도 2의 (A), (B)에 있어서의 기판(100) 위)에 설치되어 있어도 좋고, 회로(80)와 동일한 층(도 1의 (C), 도 2의 (A), (B)에 있어서의 절연층(101) 위)에 설치되어 있어도 좋다. 여기에서, 회로(83)로서 OS 트랜지스터를 사용하는 경우에는, 회로(83)를 회로(80)와 동일한 층에 설치하는 것이 바람직하다. 이 경우, 회로(83)를 구성하는 OS 트랜지스터를 기억 회로(81) 및 기억 회로(82)가 갖는 OS 트랜지스터와 동일 공정으로 제작할 수 있다.

[0110] 다음에, 기억 회로(81) 및 기억 회로(82)의 구체적인 구성의 일례를, 도 6에 도시한다.

[0111] 도 6의 (A)에, 기억 회로(81)의 구성예를 도시한다. 기억 회로(81)는, 트랜지스터(201), 용량 소자(202)를 가진다. 트랜지스터(201)의 게이트는 배선(111)과 접속되고, 소스 또는 드레인의 한쪽은 배선(121)과 접속되고, 소스 또는 드레인의 다른쪽은 노드(M1)와 접속되어 있다. 용량 소자(202)의 한쪽의 전극은 노드(M1)와 접속되고, 다른쪽의 전극은 소정의 전위가 공급되는 배선(203)과 접속되어 있다. 또한, 여기에서는, 트랜지스터(201)가 n채널형인 경우를 나타내지만, 이것으로 한정되지 않으며, 트랜지스터(201)는 n채널형 트랜지스터라도 p채널형 트랜지스터라도 좋다. 또한, 배선(203)은, 고전위 전원선이라도 저전위 전원선(접지선 등)이라도 좋다. 기억 회로(81)에는, 생체 정보를 기억할 수 있다.

[0112] 여기에서, 트랜지스터(201)로서 OS 트랜지스터를 사용한다. 도면 중, 「OS」의 기호를 붙인 트랜지스터는 OS 트랜지스터이다(이하 동일). OS 트랜지스터는 오프 전류가 매우 낮기 때문에, 트랜지스터(201)가 비도통 상태인 기간에 있어서, 노드(M1)의 전위를 장시간에 걸쳐 유지할 수 있다. 이로 인해, 기억 회로(81)를, 비휘발성의 메모리 셀, 또는 리프레시 동작의 빈도가 현저하게 낮은 메모리 셀로서 사용할 수 있다.

[0113] 또한, OS 트랜지스터는 미세화에 의해 고속 동작이 가능해진다. 이로 인해, 트랜지스터(201)로서 OS 트랜지스터를 사용함으로써, 기억 회로(81)의 동작 속도를 향상시킬 수 있다.

[0114] 다음에, 도 6의 (A)에 도시하는 기억 회로(81)의 동작에 관해서 설명한다.

[0115] 우선, 배선(121)에 기록 전위를 공급한다. 그리고, 배선(203)의 전위를 일정한 전위로 유지한 후, 배선(111)의 전위를 트랜지스터(201)가 도통 상태가 되는 전위로 하여, 트랜지스터(201)를 도통 상태로 한다. 이것에 의해, 배선(121)의 전위가 노드(M1)에 공급된다(데이터의 기록).

[0116] 다음에, 배선(111)의 전위를 트랜지스터(201)가 비도통 상태가 되는 전위로 하여, 트랜지스터(201)를 비도통 상태로 한다. 이것에 의해, 노드(M1)가 부유 상태가 되어, 노드(M1)의 전위가 유지된다(데이터의 유지). 여기에서, 트랜지스터(201)는 OS 트랜지스터이고, 오프 전류가 매우 작기 때문에, 노드(M1)의 전위를 장시간에 걸쳐 유지할 수 있다.

[0117] 다음에, 배선(121)을 부유 상태로 하고, 배선(203)의 전위를 일정한 전위로 유지한 후, 배선(111)의 전위를 트랜지스터(201)가 도통 상태가 되는 전위로 하여, 트랜지스터(201)를 도통 상태로 한다. 이것에 의해, 노드(M1)의 전위가 배선(121)에 공급된다. 이 때, 배선(121)의 전위는, 노드(M1)의 전위에 따라 상이한 전위가 된다. 이 때의 배선(121)의 전위를 판독함으로써, 기억 회로(81)에 기억되어 있는 데이터의 판독이 가능해진다.

[0118] 또한, 데이터의 재기록은, 상기 데이터의 기록 및 유지와 같은 동작에 의해 행할 수 있다.

[0119] 또한, 도 6의 (B)에, 기억 회로(82)의 구성예를 도시한다. 기억 회로(82)는, 트랜지스터(211), 용량 소자(212), 회로(214)를 가진다. 트랜지스터(211)의 게이트는 배선(112)과 접속되고, 소스 또는 드레인의 한쪽은 배선(121)과 접속되고, 소스 또는 드레인의 다른쪽은 노드(M2)와 접속되어 있다. 용량 소자의 한쪽의 전극은 노드(M2)와 접속되고, 다른쪽의 전극은 소정의 전위가 공급되는 배선(213)과 접속되어 있다. 회로(214)의 입력 단자는 노드(M2)와 접속되고, 출력 단자는 회로(90)와 접속되어 있다. 또한, 트랜지스터(211)는 OS 트랜지스터로 한다. 여기에서는, 트랜지스터(211)가 n채널형인 경우를 나타내지만, 이것으로 한정되지 않고, 트랜지스터(211)는 n채널형 트랜지스터라도 p채널형 트랜지스터라도 좋다. 또한, 배선(213)은, 고전위 전원선이라도 저전위 전원선(접지선 등)이라도 좋다.

[0120] 기억 회로(82)는, 도 6의 (A)에 있어서의 기억 회로(81)와 같은 동작에 의해, 데이터의 기록, 유지, 재기록을

행할 수 있다. 기억 회로(82)에는, 기억 회로(81)에 기억된 생체 정보의 값과 비교하기 위한 기준값을 기억할 수 있다.

- [0121] 또한, 기억 회로(82)는, 노드(M2)에 유지된 전위에 대응하는 데이터를, 회로(214)를 개재하여 회로(90)로 출력할 수 있다. 여기에서, 회로(214)는, 노드(M2)의 전위를 유지하면서, 노드(M2)의 전위에 대응한 신호를 출력하는 기능을 갖는 것이면, 특별히 한정되지 않는다. 회로(214)로서는, 예를 들면 인버터나 아날로그 스위치 등의 논리 소자를 사용할 수 있다. 회로(214)로서 인버터를 사용하는 경우에는, 상기 인버터의 입력 단자는 노드(M2)와 접속되고, 출력 단자는 회로(90)와 접속된다. 그리고, 회로(90)에 있어서의 연산에는, 인버터의 출력 단자로부터 출력된 신호의 반전 신호를 사용할 수 있다.
- [0122] 또한, 도 6의 (C)에 도시하는 바와 같이, 기억 회로(82)는 트랜지스터(215)를 가지고 있어도 좋다. 트랜지스터(215)의 게이트는 배선(216)과 접속되고, 소스 또는 드레인의 한쪽은 노드(M2)와 접속되고, 소스 또는 드레인의 다른쪽은 회로(214)의 입력 단자와 접속되어 있다. 또한, 트랜지스터(215)는 OS 트랜지스터이다.
- [0123] 배선(216)은, 회로(90)에 있어서의 비교 연산이 행해질 때, 트랜지스터(215)를 도통 상태로 하기 위한 신호가 공급되는 배선이다. 이로 인해, 배선(216)에는, 도 5에 있어서의 배선(113)에 공급되는 신호와 동기한 신호를 공급할 수 있다. 예를 들면, 배선(216)을 배선(113)과 접속해도 좋고, 트랜지스터(215)의 게이트에 직접 배선(113)을 접속해도 좋다. 또한, 배선(216)에 배선(113)의 반전 신호가 공급되는 구성으로 해도 좋다.
- [0124] 회로(90)에 있어서의 비교 연산이 실행될 때, 트랜지스터(215)는 도통 상태가 된다. 한편, 회로(90)에 있어서의 비교 연산이 행해지지 않는 기간에 있어서는, 트랜지스터(215)는 비도통 상태가 된다. 여기에서, OS 트랜지스터인 트랜지스터(215)는 오프 전류가 매우 낮기 때문에, 노드(M2)의 전위가 회로(214)를 개재하여 회로(90)로 리크되는 것을 방지할 수 있다. 따라서, 노드(M2)에 유지된 전위를 장기간 유지할 수 있다.
- [0125] 다음에, 기억 회로(81) 및 기억 회로(82)의 다른 구성예를, 도 7에 도시한다.
- [0126] 도 7의 (A)에, 기억 회로(81)의 구성예를 도시한다. 기억 회로(81)는, 트랜지스터(221), 트랜지스터(222), 용량 소자(223)를 가진다. 트랜지스터(221)의 게이트는 배선(111)과 접속되고, 소스 또는 드레인의 한쪽은 배선(121)과 접속되고, 소스 또는 드레인의 다른쪽은 노드(M3)와 접속되어 있다. 트랜지스터(222)의 게이트는 노드(M3)와 접속되고, 소스 또는 드레인의 한쪽은 배선(121)과 접속되고, 소스 또는 드레인의 다른쪽은 배선(122)과 접속되어 있다. 용량 소자(223)의 한쪽의 전극은 노드(M3)와 접속되고, 다른쪽의 전극은 소정의 전위가 공급되는 배선(224)과 접속되어 있다. 여기에서는, 트랜지스터(221)로서 OS 트랜지스터를 사용한다. 또한, 배선(122)은, 회로(120)(도 5 참조)와 접속되어 있다.
- [0127] 또한, 여기에서는 트랜지스터(221) 및 트랜지스터(222)가 n채널형인 경우를 나타내지만, 이것으로 한정되지 않으며, 트랜지스터(221), 트랜지스터(222)는 각각, n채널형 트랜지스터라도 p채널형 트랜지스터라도 좋다. 또한, 배선(224)은, 일정한 전위가 공급되는 배선이라도, 2종류 이상의 전위가 공급되는 배선이라도 좋다. 또한, 일정한 전위가 공급되는 배선은, 고전위 전원선이라도 저전위 전원선(접지선 등)이라도 좋다.
- [0128] 여기에서, 트랜지스터(222)에는, 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터를 사용할 수 있다. 이 경우, 트랜지스터(222)의 전류 공급 능력을 향상시킬 수 있어, 기억 회로(81)의 고속 동작이 가능해진다. 또한, 트랜지스터(222)에는, OS 트랜지스터를 사용할 수 있다. 이 경우, 트랜지스터(222)를 트랜지스터(221)와 동일 공정으로 제작할 수 있다.
- [0129] 다음에, 도 7의 (A)에 도시하는 기억 회로(81)의 동작에 관해서 설명한다.
- [0130] 우선, 배선(111)의 전위를, 트랜지스터(221)가 도통 상태가 되는 전위로 하여, 트랜지스터(221)를 도통 상태로 한다. 이것에 의해, 배선(121)의 전위가 노드(M3)에 부여된다. 즉, 트랜지스터(222)의 게이트 전극에는 소정의 전하가 부여된다(데이터의 기록).
- [0131] 그 후, 배선(111)의 전위를 트랜지스터(221)가 비도통 상태가 되는 전위로 하여, 트랜지스터(221)를 비도통 상태로 함으로써, 노드(M3)가 부유 상태가 되어, 노드(M3)의 전위가 유지된다(데이터의 유지).
- [0132] 다음에, 배선(122)의 전위를 일정한 전위로 유지한 후, 배선(224)의 전위를 소정의 전위(판독 전위)로 하면, 노드(M3)에 유지된 전하량에 따라, 배선(121)은 상이한 전위가 된다. 일반적으로, 트랜지스터(222)를 n채널형으로 하면, 트랜지스터(222)의 게이트의 전위가 하이 레벨인 경우의 걸보기 임계값( $V_{th,H}$ )은, 트랜지스터(222)의 게이트의 전위가 로우 레벨인 경우의 걸보기 임계값( $V_{th,L}$ )보다 낮아지기 때문이다. 여기에서, 걸보기 임계값 전

압이란, 트랜지스터(222)를 도통 상태로 하기 위해서 필요한 배선(224)의 전위를 말하는 것으로 한다. 따라서, 배선(224)의 전위를  $V_{thH}$ 와  $V_{thL}$  사이의 전위( $V_0$ )로 함으로써, 노드(M3)의 전위를 판별할 수 있다. 예를 들면, 노드(M3)의 전위가 하이 레벨인 경우에는, 배선(224)의 전위가  $V_0(>V_{thH})$ 가 되면, 트랜지스터(222)는 도통 상태가 된다. 한편, 노드(M3)의 전위가 로우 레벨인 경우에는, 배선(224)의 전위가  $V_0(<V_{thL})$ 가 되어도, 트랜지스터(222)는 비도통 상태 그대로가 된다. 이로 인해, 배선(121)의 전위를 판독함으로써, 기억 회로(81)에 기억되어 있는 데이터의 판독이 가능해진다.

[0133] 또한, 데이터의 판독을 행하지 않는 경우에는, 노드(M3)의 전위에 관계없이 트랜지스터(222)가 비도통 상태가 되는 전위, 즉,  $V_{thH}$ 보다 작은 전위를 배선(224)에 부여하면 좋다.

[0134] 또한, 데이터의 재기록은, 상기 데이터의 기록 및 유지와 같은 동작에 의해 행할 수 있다.

[0135] 여기에서, 트랜지스터(221)의 소스 또는 드레인의 한쪽은, 트랜지스터(222)의 게이트와 접속됨으로써, 비휘발성 메모리로서 사용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 같은 기능을 가진다. 이로 인해, 노드(M3)를, 플로팅 게이트부(FG)라고 부르는 경우가 있다. 트랜지스터(221)가 비도통 상태인 경우, 플로팅 게이트부(FG)는 절연체 중에 매설된 것으로 간주할 수 있고, 플로팅 게이트부(FG)에는 전하가 유지된다. 트랜지스터(221)의 오프 전류는, 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터의 오프 전류의 10만분의 1 이하이기 때문에, 트랜지스터(221)의 리크에 의해 플로팅 게이트부(FG)에 축적된 전하가 소실되는 양은 매우 작다. 또는, 장기간에 걸쳐, 플로팅 게이트부(FG)에 축적된 전하의 소실을 무시하는 것이 가능하다. 그 결과, OS 트랜지스터인 트랜지스터(221)에 의해, 비휘발성의 기억 장치, 또는, 전원의 공급없이 데이터를 대단히 장기간 유지할 수 있는 기억 장치를 실현하는 것이 가능하다.

[0136] 또한, 기억 회로(81)는, 다시 데이터의 기록에 의해 직접적으로 데이터를 재기록하는 것이 가능하다. 이로 인해, 플래시 메모리 등에 있어서 필요로 하는 소거 동작이 불필요하여, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.

[0137] 또한, 이 경우, 종래의 플로팅 게이트형 트랜지스터에 있어서 지적되고 있는 게이트 절연막(터널 절연막)의 열화라고 하는 문제가 존재하지 않는다. 즉, 종래 문제가 되고 있던, 전자를 플로팅 게이트에 주입할 때 게이트 절연막의 열화라고 하는 문제를 해소할 수 있다. 이것은, 원리적인 기록 횟수의 제한이 존재하지 않는 것을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에 있어서 기록이나 소거시에 필요했던 고전압도 불필요하다.

[0138] 또한, OS 트랜지스터는 미세화에 의해 고속 동작이 가능해진다. 이로 인해, 트랜지스터(201)로서 OS 트랜지스터를 사용함으로써, 기억 회로(81)의 동작 속도를 향상시킬 수 있다.

[0139] 도 7의 (B)에, 기억 회로(82)의 구성예를 도시한다. 기억 회로(82)는, 트랜지스터(231), 트랜지스터(232), 용량 소자(233), 트랜지스터(234)를 가진다. 트랜지스터(231)의 게이트는 배선(112)과 접속되고, 소스 또는 드레인의 한쪽은 배선(121)과 접속되고, 소스 또는 드레인의 다른쪽은 노드(M4)와 접속되어 있다. 트랜지스터(232)의 게이트는 노드(M4)와 접속되고, 소스 또는 드레인의 한쪽은 배선(122)과 접속되고, 소스 또는 드레인의 다른쪽은 트랜지스터(234)의 소스 또는 드레인의 한쪽과 접속되어 있다. 용량 소자(233)의 한쪽의 전극은 노드(M4)와 접속되고, 다른쪽의 전극은 배선(122)과 접속되어 있다. 트랜지스터(234)의 게이트는 배선(235)과 접속되고, 소스 또는 드레인의 다른쪽은 노드(M5)와 접속되어 있다. 여기에서는, 트랜지스터(231)로서 OS 트랜지스터를 사용한다. 또한, 배선(122)은, 회로(120)(도 5 참조)와 접속되어 있다.

[0140] 다음에, 도 7의 (B)에 도시하는 기억 회로(82)의 동작에 관해서 설명한다.

[0141] 우선, 배선(112)의 전위를, 트랜지스터(231)가 도통 상태가 되는 전위로 하여, 트랜지스터(231)를 도통 상태로 한다. 이것에 의해, 배선(121)의 전위가 노드(M4)에 부여된다. 즉, 트랜지스터(232)의 게이트 전극에는 소정의 전하가 부여된다(데이터의 기록).

[0142] 그 후, 배선(112)의 전위를 트랜지스터(231)가 비도통 상태가 되는 전위로 하여, 트랜지스터(231)를 비도통 상태로 함으로써, 노드(M4)가 부유 상태가 되어, 노드(M4)의 전위가 유지된다(데이터의 유지).

[0143] 그 후, 배선(122)에 일정한 전위를 부여한 상태에서, 배선(235)에 트랜지스터(234)가 도통 상태가 되는 전위(이하, 판독 전위라고도 한다)를 공급하여, 트랜지스터(234)를 도통 상태로 한다. 이 때, 노드(M5)의 전위는, 노드(M4)에 유지된 전하량에 따라 상이한 전위가 된다. 이것은, 노드(M4)의 전위가 하이 레벨인 경우에는 트랜지

스터(234)는 도통 상태가 되고, 노드(M4)의 전위가 로우 레벨인 경우에는 트랜지스터(234)는 비도통 상태가 되기 때문이다. 이와 같이, 노드(M4)의 전위에 따른 노드(M5)의 전위가, 회로(90)에 공급된다.

- [0144] 또한, 기억 회로(82)에 있어서, 노드(M5)가 배선(121)과 접속된 구성으로 변경하면, 상기 구성을 기억 회로(81)에 사용할 수 있다.
- [0145] 배선(235)에는, 회로(90)에 있어서의 비교 연산이 행해질 때, 판독 전위가 공급된다. 이 판독 전위는, 도 5에 있어서의 배선(113)의 전위와 동기시킬 수 있다. 예를 들면, 배선(235)을 배선(113)과 접속해도 좋고, 트랜지스터(234)의 게이트에 직접 배선(113)을 접속해도 좋다. 또한, 배선(235)에 배선(113)의 반전 신호가 공급되는 구성으로 해도 좋다.
- [0146] 회로(90)에 있어서의 비교 연산이 실행될 때, 배선(235)에는 판독 전위가 공급되어, 트랜지스터(234)는 도통 상태가 된다. 그리고, 트랜지스터(234)가 도통 상태가 되면, 노드(M4)의 전위에 대응하는 전위가 노드(M5)로부터 회로(90)에 공급된다. 한편, 회로(90)에 있어서의 비교 연산이 행해지지 않는 기간에는, 배선(235)에는 트랜지스터(234)는 비도통 상태가 되는 전위를 공급한다.
- [0147] 또한, 기억 회로(82)는, 도 7의 (C)에 도시하는 바와 같은 구성으로 할 수도 있다. 도 7의 (C)는, 기억 회로(82)가 트랜지스터(236)를 갖는 점에 있어서, 도 7의 (B)와 상이하다.
- [0148] 트랜지스터(236)의 게이트는 배선(237)과 접속되고, 소스 또는 드레인의 한쪽은 노드(M6)와 접속되고, 소스 또는 드레인의 다른쪽은 배선(121)과 접속되어 있다.
- [0149] 배선(235)에는, 도 7의 (B)에 있어서의 배선(235)과 같은 전위가 공급된다. 또한, 배선(237)에는, 트랜지스터(236)의 도통 상태를 제어하는 전위가 공급된다. 이것에 의해, 기억 회로(82)에 유지된 데이터를, 회로(90)뿐만 아니라 배선(121)으로 출력도 할 수 있다. 그리고, 트랜지스터(236)를 도통 상태로 했을 때의 배선(121)의 전위를 판독함으로써, 기억 회로(82)에 기억된 데이터의 판독이 가능해진다.
- [0150] 상기와 같은 구성으로 함으로써, 기억 회로(82)로의 전원의 공급이 정지된 기간에 있어서도, 기억 회로(82)에 기억된 기준값을 장기간 유지할 수 있다. 이로 인해, 한번 기억 회로(82)에 기준값의 기록을 행한 후에는, 기억 회로(82)로의 전력 공급이 정지된 기간에 있어서도, 기준값을 장기간 유지할 수 있다. 또한, 회로(90)에 있어서의 비교 연산을 행할 때는, 기억 회로(82)에 기억된 기준값을 회로(90)로 출력할 수 있다.
- [0151] 또한, 회로(80)에 있어서, 기억 회로(81)를 도 6의 (A)에 도시하는 구성으로 하고, 기억 회로(82)를 도 7의 (B)에 도시하는 구성으로 할 수도 있다. 또한, 기억 회로(81)를 도 7의 (A)에 도시하는 구성으로 하고, 기억 회로(82)를 도 6의 (B) 또는 도 6의 (C)에 도시하는 구성으로 할 수도 있다.
- [0152] 다음에, 회로(90)의 구체적인 구성의 일례에 관해서 설명한다.
- [0153] 도 8에, 회로(90)의 구성의 구체예를 도시한다. 여기에서는, 회로(90)가, 입력된 2개의 데이터를 비교하는 기능을 갖는 구성에 관해서 설명한다.
- [0154] 회로(90)는, 회로(91), 회로(92)를 가진다. 회로(91)는, XNOR 회로(301), NOR 회로(302)를 가진다. XNOR 회로(301)의 제 1 입력 단자는 회로(83)와 접속되고, 제 2 입력 단자는 기억 회로(82)와 접속되어 있다. 또한, NOR 회로(302)의 제 1 입력 단자는 회로(83)와 접속되고, 제 2 입력 단자는 XNOR 회로(301)의 출력 단자와 접속되어 있다. XNOR 회로(301)의 출력 단자 및 NOR 회로(302)의 출력 단자는, 회로(92)와 접속되어 있다.
- [0155] 회로(91)는, 비교 회로를 구성하고 있다. 따라서, 기억 회로(81)로부터 회로(83)를 개재하여 입력된 생체 정보의 값과, 기억 회로(82)에 기억된 기준값을 비교하여, 그 결과를 회로(92)로 출력할 수 있다.
- [0156] 회로(92)는, 인버터(303), AND 회로(304)를 가진다. 인버터(303)의 입력 단자는, XNOR 회로(301)의 출력 단자와 접속되어 있다. AND 회로(304)의 제 1 입력 단자는 NOR 회로(302)의 출력 단자와 접속되고, 제 2 입력 단자는 인버터(303)의 출력 단자와 접속되어 있다.
- [0157] 회로(92)는, 회로(91)에 있어서의 생체 정보의 값과 기준값의 비교 결과, 생체 정보의 값이 기준값 미만인 경우에는 데이터 "1" 을 회로(60)로 출력하고, 생체 정보의 값이 기준값 이상인 경우에는 인터럽트 신호로서 데이터 "0" 을 회로(60)로 출력한다. 그리고, 인터럽트 신호가 회로(60)에 입력되면, 회로(70)가 회로(60)에 의해 제어되어, 생체 정보가 이상값인 신호가 회로(70)로부터 외부로 송신된다.
- [0158] 이와 같이, 회로(90)는, 생체 정보가 정상값인지 이상값인지를 판별하고, 그 판별 결과를 회로(60)로 출력할 수

있다.

- [0159] 다음에, 도 9에, 회로(50)의 보다 구체적인 구성을 도시한다. 또한, 도 9에 있어서의 기억 회로(82)는 도 6의 (B)의 구성에 대응하고, 도 9에 있어서의 회로(91) 및 회로(92)는, 도 8의 구성에 대응한다. 또한, 여기에서는 회로(83)로서 n채널형의 트랜지스터를 사용하고, 회로(214)로서 인버터를 사용하고 있다. 또한, 여기에서는 도시하지 않지만, 배선(121)과 접속되어 있는 기억 회로(81)에는, 도 6의 (A)에 도시하는 구성 등을 적용할 수 있다.
- [0160] 도 9에 도시하는 바와 같이, 기억 회로(82), 회로(91), 회로(92)는, 각각 n채널형 트랜지스터 및 p채널형 트랜지스터를 가지고 있다.
- [0161] 여기에서, n채널형 트랜지스터인 트랜지스터(312, 322, 324, 333, 334, 342, 351, 352)는 OS 트랜지스터로 하고, p채널형 트랜지스터인 트랜지스터(311, 321, 323, 331, 332, 341, 353, 354)는, 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터로 할 수 있다. 이러한 구성으로 함으로써, 회로(50)가 갖는 n채널형 트랜지스터를 OS 트랜지스터인 트랜지스터(211)와 동일한 공정에 의해 제작할 수 있다. 또한, 회로(50)의 제작에 있어서, 채널 형성 영역에 단결정 반도체를 갖는 n채널형 트랜지스터를 형성할 필요가 없어져, 제작 공정의 삭감을 도모할 수 있다.
- [0162] 여기에서, 도 1 내지 도 3에 있어서, 회로(50)가, 회로(90)와 회로(80)가 적층된 구성을 갖는 예를 설명했지만, 회로(50)는, p채널형 트랜지스터와 n채널형 트랜지스터가 적층된 구성을 가지고 있어도 좋다. 구체적으로는, p채널형 트랜지스터인 트랜지스터(311, 321, 323, 331, 332, 341, 353, 354)는, 채널 형성 영역이 도 1 내지 도 3에 있어서의 기관(100)의 일부에 형성되는 트랜지스터로 할 수 있다. 한편, n채널형 트랜지스터인 트랜지스터(211, 312, 322, 324, 333, 334, 342, 351, 352)는, OS 트랜지스터로 하고, p채널형 트랜지스터 위에 설치한 절연층(101)(도 1, 도 2 참조) 위에 형성할 수 있다. 이것에 의해, 회로(50)의 면적을 축소시키고, 또한, 채널 형성 영역에 단결정 반도체를 갖는 n채널형 트랜지스터의 제작을 생략할 수 있다.
- [0163] 또한, 도 8, 도 9에 있어서, 회로(90)가 1비트의 비교 회로를 갖는 구성에 관해서 설명했지만, 회로(90)에 있어서 복수 비트의 데이터끼리를 비교하는 경우에는, 회로(90)가 복수 비트의 비교 회로를 갖는 구성으로 하면 좋다. 일례로서, 회로(90)가, 4비트의 데이터를 입력 신호로 하는 비교 회로를 갖는 경우의 구성을 도 10에 도시한다.
- [0164] 회로(90)는, 인버터(401 내지 405), XOR 회로(411 내지 413), AND 회로(421 내지 424), NOR 회로(431, 432)를 가진다. 또한, 이들 회로간의 접속 관계는 도 10으로부터 명확하기 때문에, 상세한 설명은 생략한다.
- [0165] 여기에서, 배선 A에는, 동일한 행에 속하는 복수의 기억 회로(81)(도 5 참조) 중 4개의 기억 회로(81)에 기억된 데이터가, 4비트의 생체 정보로서 입력된다. 또한, 배선 B에는, 복수의 기억 회로(82) 중 4개의 기억 회로(82)에 기억된 데이터가, 4비트의 기준값으로서 입력된다.
- [0166] 그리고, 회로(90)에 있어서 생체 정보의 값과 기준값이 비교된다. 생체 정보의 값이 기준값 미만인 경우에는 배선 C로부터 데이터 "0" 이 출력되고, 생체 정보가 기준값 이상인 경우에는 배선 C로부터 데이터 "1" 이 출력된다. 이와 같이, 도 10에 도시하는 회로(90)에 있어서, 복수 비트의 생체 정보와 복수 비트의 기준값의 비교를 행할 수 있다.
- [0167] 또한, 도 8 내지 도 10에 있어서, 회로(90)가 비교 회로를 갖는 예에 관해서 설명했지만, 이것으로 한정되지 않는다. 예를 들면, 회로(90)는, 비교 회로 대신에, 또는 비교 회로에 더하여, 다른 연산 회로를 가지고 있어도 좋다. 도 11에, 회로(90)에 사용할 수 있는 다른 연산 회로의 예를 도시한다.
- [0168] 도 11의 (A)는, XOR 회로(501), AND 회로(502)에 의해 구성된 가산 회로이다. 도 11의 (B)는, 인버터(511, 512), AND 회로(513, 514), OR 회로(515)에 의해 구성된 감산 회로이다. 또한, 회로(90)는, 도 11에 도시하는 가산 회로 또는 감산 회로를 조합하여 구성된 전 가산 회로 또는 전 감산 회로를 가지고 있어도 좋다. 또한, 회로(90)는, 전 가산 회로 또는 전 감산 회로를 사용하여 구성한 제산 회로를 가지고 있어도 좋다.
- [0169] 회로(90)가 가산 회로 및 제산 회로를 가짐으로써, 기억 회로(81)에 기억된 생체 정보의 평균값을 산출할 수 있다. 또한, 회로(90)가 감산 회로를 가짐으로써, 기억 회로(81)에 기억된 생체 정보의 차분을 산출하여, 생체 정보의 변동을 관찰할 수 있다.
- [0170] 또한, 도 8 내지 도 11에 있어서, 회로(90)가 디지털 연산 회로를 갖는 경우에 관해서 설명했지만, 회로(90)는 아날로그 연산 회로를 가지고 있어도 좋다. 도 12에, 회로(90)에 사용할 수 있는, 연산 증폭기(520)를 사용

한 아날로그 연산 회로의 구성예를 도시한다.

- [0171] 도 12의 (A)는 비교 회로이며, 도 12의 (B)는 가산 회로이며, 도 12의 (C)는 감산 회로이며, 도 12의 (D)는 제산 회로이다. 또한, 도 12의 (D)에 있어서, 저항(R)의 저항값이 전위(V)에 의해 제어된다.
- [0172] 이상과 같이, 본 발명의 일 형태에 있어서는, 회로(50)를, 연산을 행하는 기능을 구비한 기억 회로로서 사용할 수 있다. 이로 인해, 회로(50)는, 회로(50)에 기억된 데이터나 회로(40)로부터 입력된 데이터에 더하여, 이들 데이터를 입력 신호로 하여 연산을 행한 결과를 회로(60)로 출력할 수 있다. 이것에 의해, 본래 회로(60)에 있어서 행해야 하는 연산을 회로(50)에 있어서 행할 수 있어, 회로(60)에 있어서의 연산의 부담을 저감시킬 수 있다. 또한, 회로(50)와 회로(60) 사이에 있어서 행해지는 데이터의 송수신 횟수를 감소시킬 수 있다. 따라서, 반도체 장치(10)의 동작 속도를 향상시킬 수 있다.
- [0173] 또한, 본 발명의 일 형태에 있어서는, 회로(80) 또는 회로(90)의 한쪽이, 다른쪽의 적어도 일부와 중첩되는 영역을 갖는 구성으로 할 수 있다. 이것에 의해, 회로(50)의 면적의 증가를 억제하면서, 기억 회로로서 기능하는 회로(50)에 연산을 행하는 기능을 부가할 수 있다. 따라서, 반도체 장치(10)의 면적 축소를 도모할 수 있다.
- [0174] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0175] (실시형태 3)
- [0176] 본 실시형태에서는, 회로(50)에 사용할 수 있는 트랜지스터의 구성에 관해서 설명한다.
- [0177] 도 13에, 트랜지스터(620)와 트랜지스터(630)를 적층한 구조를 갖는 반도체 장치의 제작 방법의 일례를 도시한다. 여기에서는, 트랜지스터(620)가 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터이며, 트랜지스터(630)가 OS 트랜지스터인 경우에 관해서 설명한다.
- [0178] 우선, 단결정 반도체를 갖는 기판(600)에, 소자 분리용의 절연물(601)과 N형의 웰(602)을 형성한다(도 13의 (A)).
- [0179] 다음에, 게이트 절연막(603)과 게이트 전극(604)을 형성하고, 또한, 웰(602)에 P형의 불순물 영역(605)을 마련한다. 불순물 영역(605) 위에는, 불순물 영역(605)보다도 도전성이 높은 재료(실리사이드 등)를 갖는 층을 적층해도 좋다. 또한, 불순물 영역(605)은 확장 영역을 가져도 좋다.
- [0180] 다음에, 절연층(606)을 형성한다. 절연층(606)은 단층이라도 다층이라도 좋다. 또한, 절연층(606)은, 절연층(606) 위에 설치되는 층에 산소를 공급하는 기능과, 절연층(606) 아래에 설치된 층으로부터 절연층(606) 위에 설치되는 층으로의 수소나 물의 침입을 차단하는 기능을 갖는 층인 것이 바람직하다. 그리고, 절연층(606)을 에칭하여, 평탄화한다. 상기 에칭 및 평탄화는, 게이트 전극(604)이 노출된 단계에서 정지한다. 또한, 절연층(606)의 평탄화는, 화학 기계 연마(CMP: Chemical Mechanical Polishing) 처리 등에 의해 행할 수 있다.
- [0181] 다음에, 절연층(606) 위에 산화물 반도체층(607)을 형성한다(도 13의 (B)). 산화물 반도체층(607)은, 실시형태 4에 기재된 재료 등을 사용하여 형성할 수 있다.
- [0182] 다음에, 절연층(606) 및 산화물 반도체층(607) 위에 도전막을 형성한다. 도전막은, 단층이라도 다층이라도 좋다. 그리고, 도전막을 에칭하고 가공하여, 도전층(608)을 형성한다. 도전층(608)은, 산화물 반도체층(607)에 채널 형성 영역을 갖는 트랜지스터의 소스 전극 또는 드레인 전극으로서의 기능을 가진다. 또한, 도전층(608)은, 단층이라도 다층이라도 좋다.
- [0183] 다음에, 도전층(608)을 피복하는 게이트 절연막(609)을 형성한다. 또한, 게이트 절연막(609) 위에 도전막을 형성한다. 도전성막은, 단층이라도 다층이라도 좋다. 또한, 도전막은, 도전막 위에 설치되는 층으로부터 도전막 아래에 설치된 층으로의 수소나 물의 침입을 차단하는 기능을 갖는 것이 바람직하다. 그리고, 도전막을 에칭하고 가공하여, 게이트 전극(610)을 형성한다(도 13의 (C)).
- [0184] 다음에, 절연층(611)을 형성한다. 그리고, 절연층(611)에, 도전층(608)에 도달하는 콘택트 홀을 형성하고, 이 콘택트 홀을 도전성 재료로 메우고, 배선(612)을 형성한다(도 13의 (D)). 또한, 콘택트 홀에 도전층(608)과 접하는 도전층을 형성하고, 상기 도전층과 배선(612)이 접하는 구조로 해도 좋다. 또한, 배선(612)은, 단층이라도 다층이라도 좋다.
- [0185] 이와 같이 하여, 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터(620)와, OS 트랜지스터인 트랜지스터(630)

0)가 적층된 구성을 갖는 반도체 장치를 제작할 수 있다.

- [0186] 또한, 도 13의 (D)에 있어서, 게이트 전극(604)과 도전층(608)이 접속되어 있다. 즉, 트랜지스터(620)의 게이트와 트랜지스터(630)의 소스 또는 드레인의 한쪽이 접속되어 있다. 이러한 구성은, 도 7, 도 9에 도시하는 회로 등에 적절히 사용할 수 있다. 예를 들면, 트랜지스터(620)는 도 7에 있어서의 트랜지스터(222, 232) 등에 대응하고, 트랜지스터(630)는 도 7에 있어서의 트랜지스터(221, 231) 등에 대응한다. 또한, 트랜지스터(620)는 도 9에 있어서의 트랜지스터(321) 등에 대응하고, 트랜지스터(630)는 도 9에 있어서의 회로(트랜지스터)(83) 등에 대응한다.
- [0187] 또한, 트랜지스터(620)와 트랜지스터(630)의 접속 관계는, 도 13의 (D)에 도시하는 것으로 한정되지 않는다. 예를 들면, 도 14의 (A)에 도시하는 바와 같이, 불순물 영역(605)과 게이트 전극(610)이 배선(612)을 개재하여 접속된 구성으로 할 수도 있다. 이것에 의해, 트랜지스터(620)의 소스 또는 드레인의 한쪽과 트랜지스터(630)의 게이트가 접속된 구성을 얻을 수 있다. 이러한 구성은, 도 9에 도시하는 회로 등에 적절히 사용할 수 있다. 예를 들면, 트랜지스터(620)는 도 9에 있어서의 트랜지스터(311, 332) 등에 대응하고, 트랜지스터(630)는 도 9에 있어서의 트랜지스터(324, 352) 등에 대응한다.
- [0188] 또한, 도 14의 (B)에 도시하는 바와 같이, 불순물 영역(605)과 도전층(608)이 접속된 구성으로 할 수도 있다. 이것에 의해, 트랜지스터(620)의 소스 또는 드레인의 한쪽과 트랜지스터(630)의 소스 또는 드레인의 한쪽이 접속된 구성을 얻을 수 있다. 이러한 구성은, 도 9에 도시하는 회로 등에 적절히 사용할 수 있다. 예를 들면, 트랜지스터(620)는 도 9에 있어서의 트랜지스터(311) 등에 대응하고, 트랜지스터(630)는 도 9에 있어서의 트랜지스터(312) 등에 대응한다.
- [0189] 또한, 도 14의 (C)에 도시하는 바와 같이, 게이트 전극(604)과 게이트 전극(610)이 배선(612)을 개재하여 접속된 구성으로 할 수도 있다. 이것에 의해, 트랜지스터(620)의 게이트와 트랜지스터(630)의 게이트가 접속된 구성을 얻을 수 있다. 이러한 구성은, 도 9에 도시하는 회로 등에 적절히 사용할 수 있다. 예를 들면, 트랜지스터(620)는 도 9에 있어서의 트랜지스터(311) 등에 대응하고, 트랜지스터(630)는 도 9에 있어서의 트랜지스터(312) 등에 대응한다. 이러한 구성은, 채널 형성 영역에 단결정 반도체를 갖는 트랜지스터와 OS 트랜지스터를 사용하여 인버터를 형성하는 경우 등에 유익하다.
- [0190] 또한, 도 13의 (D), 도 14에 있어서, 트랜지스터(620)와 트랜지스터(630)는, 절연층(606)을 개재하여, 서로 중첩되는 영역을 가지고 있어도 좋다. 예를 들면, 도 13의 (D), 도 14의 (C)에 도시하는 바와 같이, 트랜지스터(620)의 불순물 영역(605)과 트랜지스터(630)의 채널 형성 영역은, 절연층(606)을 개재하여, 서로 중첩되는 영역을 가지고 있어도 좋다. 또한, 도 14의 (A), (B)에 도시하는 바와 같이, 트랜지스터(620)의 채널 형성 영역과 트랜지스터(630)의 채널 형성 영역은, 절연층(606)을 개재하여, 서로 중첩되는 영역을 가지고 있어도 좋다. 또한, 트랜지스터(620)의 게이트 전극(604)과 트랜지스터(630)의 게이트 전극(610)은, 절연층(606)을 개재하여, 서로 중첩되는 영역을 가지고 있어도 좋다. 이러한 구성을 취함으로써, 트랜지스터의 집적도를 향상시킬 수 있다.
- [0191] 또한, 도 13의 (D) 및 도 14에 도시하는 트랜지스터의 적층 구조는, 도 1 내지 도 12에 도시하는 각종 회로에 자유롭게 사용할 수 있다.
- [0192] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0193] (실시형태 4)
- [0194] 본 실시형태에서는, 기억 회로 또는 논리 회로에 사용할 수 있는 트랜지스터의 구성에 관해서 설명한다.
- [0195] <반도체 장치의 단면 구조의 예>
- [0196] 도 15에, 트랜지스터(620, 630)의 구성의 일례를 도시한다. 또한, 도 15에서는, OS 트랜지스터인 트랜지스터(630)가, 채널 형성 영역에 산화물 반도체 이외의 재료를 갖는 트랜지스터인 트랜지스터(620) 위에 형성되어 있는 경우를 예시하고 있다.
- [0197] 또한, 이와 같이 채널 형성 영역에 산화물 반도체 이외의 재료를 갖는 트랜지스터와 OS 트랜지스터가 적층된 구성은, 도 1 내지 도 3, 도 5 내지 도 12에 도시하는 각종 회로가 갖는 트랜지스터에 적절히 사용할 수 있다.
- [0198] 또한, 본 실시형태에서는, 도 13의 (D)와 같이, 트랜지스터(620)의 게이트와 트랜지스터(630)의 소스 또는 드레인의 한쪽이 접속된 구성을 나타내지만, 이것으로 한정되지 않는다. 트랜지스터(620)의 소스 또는 드레인의 한

쪽과 트랜지스터(630)의 게이트가 접속되어 있어도 좋고(도 14의 (A) 참조), 트랜지스터(620)의 소스 또는 드레인의 한쪽과 트랜지스터(630)의 소스 또는 드레인의 한쪽이 접속되어 있어도 좋고(도 14의 (B) 참조), 트랜지스터(620)의 게이트와 트랜지스터(630)의 게이트가 접속되어 있어도 좋다(도 14의 (C) 참조).

- [0199] 트랜지스터(620)는, 비정질, 미결정, 다결정 또는 단결정인, 실리콘 또는 게르마늄 등의 반도체막 또는 반도체 기판에, 채널 형성 영역을 가지고 있어도 좋다. 또는, 트랜지스터(620)는, 산화물 반도체막 또는 산화물 반도체 기판에, 채널 형성 영역을 가지고 있어도 좋다. 모든 트랜지스터가 산화물 반도체막 또는 산화물 반도체 기판에, 채널 형성 영역을 가지고 있는 경우, 트랜지스터(630)는 트랜지스터(620) 위에 적층되어 있지 않아도 좋고, 트랜지스터(630)와 트랜지스터(620)는, 동일한 층에 형성되어 있어도 좋다.
- [0200] 실리콘의 박막을 사용하여 트랜지스터(620)를 형성하는 경우, 상기 박막에는, 플라즈마 CVD(Chemical Vapor Deposition)법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 비정질 실리콘에 레이저를 조사하는 등의 처리에 의해 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.
- [0201] 트랜지스터(620)가 형성되는 반도체 기판(801)은, 예를 들면, 실리콘 기판, 게르마늄 기판, 실리콘 게르마늄 기판 등을 사용할 수 있다. 도 15에서는, 단결정 실리콘 기판을 반도체 기판(801)으로서 사용하는 경우를 예시하고 있다.
- [0202] 또한, 트랜지스터(620)는, 소자 분리법에 의해 전기적으로 분리되어 있다. 소자 분리법으로서, 선택 산화법(LOCOS법: Local Oxidation of Silicon법), 트렌치 분리법(STI법: Shallow Trench Isolation) 등을 사용할 수 있다. 도 14에서는, 트렌치 분리법을 사용하여 트랜지스터(620)를 전기적으로 분리하는 경우를 예시하고 있다. 구체적으로, 도 15에서는, 반도체 기판(801)에 에칭 등에 의해 트렌치를 형성한 후, 산화 규소 등을 함유하는 절연물을 상기 트렌치에 매립함으로써 형성되는 소자 분리 영역(810)에 의해, 트랜지스터(620)를 소자 분리시키는 경우를 예시하고 있다.
- [0203] 트랜지스터(620) 위에는, 절연막(811)이 설치되어 있다. 절연막(811)에는 개구부가 형성되어 있다. 그리고, 상기 개구부에는, 트랜지스터(620)의 소스 및 드레인에 각각 전기적으로 접속되어 있는 도전막(825) 및 도전막(826)과, 트랜지스터(620)의 게이트에 전기적으로 접속되어 있는 도전막(827)이, 형성되어 있다.
- [0204] 그리고, 도전막(825)은, 절연막(811) 위에 형성된 도전막(834)에 전기적으로 접속되어 있고, 도전막(826)은, 절연막(811) 위에 형성된 도전막(835)에 전기적으로 접속되어 있고, 도전막(827)은, 절연막(811) 위에 형성된 도전막(836)에 전기적으로 접속되어 있다.
- [0205] 도전막(834) 내지 도전막(836) 위에는, 절연막(812)이 형성되어 있다. 절연막(812)에는 개구부가 형성되어 있고, 상기 개구부에, 도전막(836)에 전기적으로 접속된 도전막(837)이 형성되어 있다. 그리고, 도전막(837)은, 절연막(812) 위에 형성된 도전막(851)에, 전기적으로 접속되어 있다.
- [0206] 또한, 도전막(851) 위에는, 절연막(813)이 형성되어 있다. 절연막(813)에는 개구부가 형성되어 있고, 상기 개구부에, 도전막(851)에 전기적으로 접속된 도전막(852)이 형성되어 있다. 그리고, 도전막(852)은, 절연막(813) 위에 형성된 도전막(853)에, 전기적으로 접속되어 있다. 또한, 절연막(813) 위에는, 도전막(844)이 형성되어 있다.
- [0207] 도전막(853) 및 도전막(844) 위에는 절연막(861)이 형성되어 있다. 그리고, 도 15에서는, 절연막(861) 위에 트랜지스터(630)가 형성되어 있다.
- [0208] 트랜지스터(630)는, 절연막(861) 위에, 산화물 반도체를 포함하는 반도체막(901)과, 반도체막(901) 위의, 소스 또는 드레인으로서 기능하는 도전막(921) 및 도전막(922)과, 반도체막(901), 도전막(921) 및 도전막(922) 위의 게이트 절연막(862)과, 게이트 절연막(862) 위에 위치하고, 도전막(921)과 도전막(922) 사이에 있어서 반도체막(901)과 중첩되어 있는 게이트 전극(931)을 가진다. 또한, 도전막(922)은, 절연막(861)에 설치된 개구부에 있어서, 도전막(853)에 전기적으로 접속되어 있다.
- [0209] 그리고, 트랜지스터(630)에서는, 반도체막(901)에 있어서, 도전막(921)에 중첩되는 영역과, 게이트 전극(931)에 중첩되는 영역 사이에, 영역(910)이 존재한다. 또한, 트랜지스터(630)에서는, 반도체막(901)에 있어서, 도전막(922)에 중첩되는 영역과, 게이트 전극(931)에 중첩되는 영역 사이에, 영역(911)이 존재한다. 영역(910) 및 영역(911)에, 도전막(921), 도전막(922), 및 게이트 전극(931)을 마스크로 하여 아르곤, p형의 도전형을 반도체막(901)에 부여하는 불순물, 또는, n형의 도전형을 반도체막(901)에 부여하는 불순물을 첨가함으로써, 반도체막

(901) 중 게이트 전극(931)에 중첩되는 영역보다도, 영역(910) 및 영역(911)의 저항율을 낮출 수 있다.

- [0210] 그리고, 트랜지스터(630) 위에, 절연막(863)이 설치되어 있다.
- [0211] 또한, 도 15에 있어서, 트랜지스터(630)는, 게이트 전극(931)을 반도체막(901)의 편측에 있어서 적어도 가지고 있으면 좋지만, 반도체막(901)을 사이에 개재하여 존재하는 한 쌍의 게이트 전극을 가지고 있어도 좋다.
- [0212] 트랜지스터(630)가, 반도체막(901)을 사이에 개재하여 존재하는 한 쌍의 게이트 전극을 가지고 있는 경우, 한쪽의 게이트 전극에는 도통 상태 또는 비도통 상태를 제어하기 위한 신호가 부여되고, 다른쪽의 게이트 전극은, 전위가 다른 배선으로부터 부여되어 있는 상태라도 좋다. 이 경우, 한 쌍의 게이트 전극에, 동일한 높이의 전위가 부여되어 있어도 좋고, 다른쪽의 게이트 전극에만 접지 전위 등의 고정 전위가 부여되어 있어도 좋다. 다른쪽의 게이트 전극에 부여하는 전위의 높이를 제어함으로써, 트랜지스터의 임계값 전압을 제어할 수 있다.
- [0213] 또한, 도 15에서는, 트랜지스터(630)가, 하나의 게이트 전극(931)에 대응한 하나의 채널 형성 영역을 갖는, 싱글 게이트 구조인 경우를 예시하고 있다. 그러나, 트랜지스터(630)는, 전기적으로 접속된 복수의 게이트 전극을 가짐으로써, 하나의 활성층에 복수의 채널 형성 영역을 갖는 멀티 게이트 구조라도 좋다.
- [0214] <트랜지스터에 관해서>
- [0215] 이어서, OS 트랜지스터의 구성예에 관해서 설명한다.
- [0216] 도 16에, OS 트랜지스터인 트랜지스터(2000)의 구성을, 일례로서 도시한다. 도 16의 (A)에는, 트랜지스터(2000)의 상면도를 도시한다. 또한, 도 16의 (A)에서는, 트랜지스터(2000)의 레이아웃을 명확히 하기 위해서, 각종 절연막을 생략하고 있다. 또한, 도 16의 (A)에 도시한 상면도의, 일점쇄선 A1-A2에 있어서의 단면도를 도 16의 (B)에 도시하고, 일점쇄선 A3-A4에 있어서의 단면도를 도 16의 (C)에 도시한다.
- [0217] 도 16에 도시하는 바와 같이, 트랜지스터(2000)는, 기판(2007)에 형성된 절연막(2001) 위에 있어서 순차적으로 적층된 산화물 반도체막(2002a) 및 산화물 반도체막(2002b)과, 산화물 반도체막(2002b)에 전기적으로 접속되고, 소스 전극 또는 드레인 전극으로서의 기능을 갖는 도전막(2003) 및 도전막(2004)과, 산화물 반도체막(2002b), 도전막(2003) 및 도전막(2004) 위의 산화물 반도체막(2002c)과, 게이트 절연막으로서의 기능을 가지며, 또한 산화물 반도체막(2002c) 위에 위치하는 절연막(2005)과, 게이트 전극으로서의 기능을 가지며, 또한 절연막(2005) 위에 있어서 산화물 반도체막(2002a) 내지 산화물 반도체막(2002c)과 중첩되는 도전막(2006)을 가진다. 또한, 기판(2007)은, 유리 기판이나 반도체 기판 등이라도 좋고, 유리 기판이나 반도체 기판 위에 반도체 소자가 형성된 소자 기판이라도 좋다.
- [0218] 또한, 트랜지스터(2000)의, 구체적인 구성의 다른 일례를, 도 17에 도시한다. 도 17의 (A)에는, 트랜지스터(2000)의 상면도를 도시한다. 또한, 도 17의 (A)에서는, 트랜지스터(2000)의 레이아웃을 명확히 하기 위해서, 각종 절연막을 생략하고 있다. 또한, 도 17의 (A)에 도시한 상면도의, 일점쇄선 A1-A2에 있어서의 단면도를 도 17의 (B)에 도시하고, 일점쇄선 A3-A4에 있어서의 단면도를 도 17의 (C)에 도시한다.
- [0219] 도 17에 도시하는 바와 같이, 트랜지스터(2000)는, 절연막(2001) 위에 있어서 순차적으로 적층된 산화물 반도체막(2002a) 내지 산화물 반도체막(2002c)과, 산화물 반도체막(2002c)에 전기적으로 접속되고, 소스 전극 또는 드레인 전극으로서의 기능을 갖는 도전막(2003) 및 도전막(2004)과, 게이트 절연막으로서의 기능을 가지며, 또한 산화물 반도체막(2002c), 도전막(2003) 및 도전막(2004) 위에 위치하는 절연막(2005)과, 게이트 전극으로서의 기능을 가지며, 또한 절연막(2005) 위에 있어서 산화물 반도체막(2002a) 내지 산화물 반도체막(2002c)과 중첩되는 도전막(2006)을 가진다.
- [0220] 또한, 도 16 및 도 17에서는, 적층된 산화물 반도체막(2002a) 내지 산화물 반도체막(2002c)을 사용하는 트랜지스터(2000)의 구성을 예시하고 있다. 트랜지스터(2000)가 갖는 산화물 반도체막은, 적층된 복수의 산화물 반도체막으로 구성되어 있다고는 한정되지 않으며, 단막의 산화물 반도체막으로 구성되어 있어도 좋다.
- [0221] 산화물 반도체막(2002a) 내지 산화물 반도체막(2002c)이 순차적으로 적층되어 있는 반도체막을 트랜지스터(2000)가 갖는 경우, 산화물 반도체막(2002a) 및 산화물 반도체막(2002c)은, 산화물 반도체막(2002b)을 구성하는 금속 원소의 적어도 1개를, 그 구성 요소에 포함하고, 전도대 하단의 에너지가 산화물 반도체막(2002b)보다도 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하, 진공 준위에 가까운 산화물막이다. 또한, 산화물 반도체막(2002b)은, 적어도 인듐을 함유하면, 캐리어 이동도가 높아지기 때문에 바람직하다.

- [0222] 상기 구성의 반도체막을 트랜지스터(2000)가 갖는 경우, 게이트 전극에 전압을 인가함으로써, 반도체막에 전계가 가해지면, 반도체막 중, 전도대 하단의 에너지가 작은 산화물 반도체막(2002b)에 채널 영역이 형성된다. 즉, 산화물 반도체막(2002b)과 절연막(2005) 사이에 산화물 반도체막(2002c)이 설치되어 있으므로, 절연막(2005)과 격리되어 있는 산화물 반도체막(2002b)에, 채널 영역을 형성할 수 있다.
- [0223] 또한, 산화물 반도체막(2002c)은, 산화물 반도체막(2002b)을 구성하는 금속 원소의 적어도 1개를 그 구성 요소에 포함하기 때문에, 산화물 반도체막(2002b)과 산화물 반도체막(2002c)의 계면에서는, 계면 산란이 일어나기 어렵다. 따라서, 상기 계면에 있어서 캐리어의 움직임이 저해되기 어렵기 때문에, 트랜지스터(2000)의 전계 효과 이동도가 높아진다.
- [0224] 또한, 산화물 반도체막(2002b)과 산화물 반도체막(2002a)의 계면에 계면 준위가 형성되면, 계면 근방의 영역에도 채널 영역이 형성되기 때문에, 트랜지스터(2000)의 임계값 전압이 변동되어 버린다. 그러나, 산화물 반도체막(2002a)은, 산화물 반도체막(2002b)을 구성하는 금속 원소의 적어도 1개를 그 구성 요소에 포함하기 때문에, 산화물 반도체막(2002b)과 산화물 반도체막(2002a)의 계면에는, 계면 준위가 형성되기 어렵다. 따라서, 상기 구성에 의해, 트랜지스터(2000)의 임계값 전압 등의 전기적 특성의 불균일을, 저감시킬 수 있다.
- [0225] 또한, 산화물 반도체막간에 불순물이 존재함으로써, 각 막의 계면에 캐리어의 흐름을 저해하는 계면 준위가 형성되지 않도록, 복수의 산화물 반도체막을 적층시키는 것이 바람직하다. 적층된 산화물 반도체막의 막 사이에 불순물이 존재하고 있으면, 산화물 반도체막 사이에 있어서의 전도대 하단의 에너지의 연속성이 소실되고, 계면 근방에 있어서, 캐리어가 트랩되거나, 또는 재결합에 의해 소멸되어 버리기 때문이다. 막 사이에 있어서의 불순물을 저감시킴으로써, 주성분인 하나의 금속을 적어도 모두 갖는 복수의 산화물 반도체막을, 단순히 적층시키는 것보다도, 연속 접합(여기에서는 특히 전도대 하단의 에너지가 각 막 사이에서 연속적으로 변화되는 U자형의 우물 구조를 가지고 있는 상태)이 형성되기 쉬워진다.
- [0226] 연속 접합을 형성하기 위해서는, 로드록실을 구비한 멀티 챔버 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기에 접촉시키지 않고 연속적으로 적층하는 것이 필요해진다. 스퍼터링 장치에 있어서의 각 챔버는, 산화물 반도체에 있어서 불순물이 되는 물 등을 가능한 한 제거하기 위해 크라이오 펌프와 같은 흡착식의 진공 배기 펌프를 사용하여 고진공 배기( $5 \times 10^{-7}$  Pa 내지  $1 \times 10^{-4}$  Pa)하는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 챔버 내에 기체가 역류하지 않도록 해 두는 것이 바람직하다.
- [0227] 고순도의 진성 산화물 반도체를 얻기 위해서는, 각 챔버 내를 고진공 배기할뿐만 아니라, 스퍼터링에 사용하는 가스의 고순도화도 중요하다. 상기 가스로서 사용하는 산소 가스나 아르곤 가스의 이슬점을,  $-40^{\circ}\text{C}$  이하, 바람직하게는  $-80^{\circ}\text{C}$  이하, 보다 바람직하게는  $-100^{\circ}\text{C}$  이하로 하여 사용하는 가스의 고순도화를 도모함으로써, 산화물 반도체막에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다. 구체적으로, 산화물 반도체막(2002b)이 In-M-Zn 산화물(M은, Al, Ti, Ga, Y, Zr, La, Ce, Nd 또는 Hf)인 경우, 산화물 반도체막(2002b)을 성막하기 위해서 사용하는 타깃에 있어서, 금속 원소의 원자수비를 In:M:Zn= $x_1:y_1:z_1$ 로 하면,  $x_1/y_1$ 은, 1/3 이상 6 이하, 또한 1 이상 6 이하이며,  $z_1/y_1$ 은, 1/3 이상 6 이하, 또는 1 이상 6 이하인 것이 바람직하다. 또한,  $z_1/y_1$ 을 1 이상 6 이하로 함으로써, 산화물 반도체막(2002b)으로서 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막이 형성되기 쉬워진다. 타깃의 금속 원소의 원자수비의 대표예로서는, In:M:Zn=1:1:1, In:M:Zn=3:1:2 등이 있다. 또한, CAAC-OS에 관한 상세사항은 후술한다.
- [0228] 구체적으로, 산화물 반도체막(2002a), 산화물 반도체막(2002c)이 In-M-Zn 산화물(M은, Al, Ti, Ga, Y, Zr, La, Ce, Nd 또는 Hf)인 경우, 산화물 반도체막(2002a), 산화물 반도체막(2002c)을 성막하기 위해서 사용하는 타깃에 있어서, 금속 원소의 원자수비를 In:M:Zn= $x_2:y_2:z_2$ 로 하면,  $x_2/y_2 < x_1/y_1$ 이며,  $z_2/y_2$ 는, 1/3 이상 6 이하, 또한 1 이상 6 이하인 것이 바람직하다. 또한,  $z_2/y_2$ 를 1 이상 6 이하로 함으로써, 산화물 반도체막(2002a), 산화물 반도체막(2002c)으로서 CAAC-OS막이 형성되기 쉬워진다. 타깃의 금속 원소의 원자수비의 대표예로서는, In:M:Zn=1:3:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6, In:M:Zn=1:3:8 등이 있다.
- [0229] 또한, 산화물 반도체막(2002a) 및 산화물 반도체막(2002c)의 두께는, 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 산화물 반도체막(2002b)의 두께는, 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하이며, 더욱 바람직하게는 3nm 이상 50nm 이하이다.
- [0230] 3층 구조의 반도체막에 있어서, 산화물 반도체막(2002a) 내지 산화물 반도체막(2002c)은, 비정질 또는 결정질의 양쪽 형태를 취할 수 있다. 단, 채널 영역이 형성되는 산화물 반도체막(2002b)이 결정질인 것에 의해, 트랜지스터(2000)에 안정된 전기적 특성을 부여할 수 있기 때문에, 산화물 반도체막(2002b)은 결정질인 것이 바람직하다.

다.

- [0231] 또한, 채널 형성 영역이란, 트랜지스터(2000)의 반도체막 중, 게이트 전극과 중첩되고, 또한 소스 전극과 드레인 전극 사이에 개재되는 영역을 의미한다. 또한, 채널 형성 영역이란, 채널 형성 영역에 있어서, 전류가 주로 흐르는 영역을 말한다.
- [0232] 예를 들면, 산화물 반도체막(2002a) 및 산화물 반도체막(2002c)으로서, 스퍼터링법에 의해 형성한 In-Ga-Zn 산화물막을 사용하는 경우, 산화물 반도체막(2002a) 및 산화물 반도체막(2002c)의 성막에는, In-Ga-Zn 산화물(In:Ga:Zn=1:3:2[원자수비])인 타깃을 사용할 수 있다. 성막 조건은, 예를 들면, 성막 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력 0.4Pa로 하고, 기판 온도를 200℃로 하고, DC 전력을 0.5kW로 하면 좋다.
- [0233] 또한, 산화물 반도체막(2002b)을 CAAC-OS막으로 하는 경우, 산화물 반도체막(2002b)의 성막에는, In-Ga-Zn 산화물(In:Ga:Zn=1:1:1[원자수비])을 함유하는 다결정 타깃을 사용하는 것이 바람직하다. 성막 조건은, 예를 들면, 성막 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 300℃로 하고, DC 전력을 0.5kW로 할 수 있다. 또한, 산화물 반도체막(2002b)을 CAAC-OS막으로 하는 경우, 산화물 반도체막(2002b)의 성막에는, In-Ga-Zn 산화물(In:Ga:Zn=2:1:3[원자수비])을 타깃에 사용해도 좋다. 이러한 타깃을 사용하여 성막된 CAAC-OS막은, 일정한 범위에 있어서의 CAAC-OS의 회절 패턴이 관측되는 영역의 비율(CAAC 화율이라고도 한다)을 높게 할 수 있기 때문에, 상기 CAAC-OS막에 채널 형성 영역을 갖는 트랜지스터의 주파수 특성(f 특성)을 높일 수 있다.
- [0234] 또한, 산화물 반도체막(2002a 내지 2002c)은, 스퍼터링법에 의해 형성할 수 있다.
- [0235] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또한 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)는, 캐리어 발생원이 적기 때문에, i형(진성 반도체) 또는 i형에 한없이 가깝게 할 수 있다. 이로 인해, 고순도화된 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터는, 오프 전류가 현저하게 작아, 신뢰성이 높다. 그리고, 상기 산화물 반도체막에 채널 형성 영역이 형성되는 트랜지스터는, 임계값 전압이 플러스가 되는 전기적 특성(노멀리 오프 특성이라고도 한다.)이 되기 쉽다.
- [0236] 구체적으로, 고순도화된 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터의 오프 전류가 작은 것은, 여러 가지 실험에 의해 증명할 수 있다. 예를 들면, 채널 폭이  $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가  $10 \mu\text{m}$ 인 소자라도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V에서 10V의 범위에 있어서, 오프 전류가, 반도체 파라미터 애널라이저의 측정 한계 이하, 즉  $1 \times 10^{-13} \text{A}$  이하라는 특성을 얻을 수 있다. 이 경우, 트랜지스터의 채널 폭으로 규격화한 오프 전류는,  $100 \text{zA}/\mu\text{m}$  이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여, 오프 전류의 측정을 행하였다. 상기 측정에서는, 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V인 경우에, 수십  $\text{yA}/\mu\text{m}$ 라는, 더 작은 오프 전류가 얻어지는 것을 알 수 있었다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 채용한 트랜지스터는, 오프 전류가, 결정성을 갖는 실리콘을 사용한 트랜지스터에 비해 현저하게 작다.
- [0237] 또한, 반도체막으로서 산화물 반도체막을 사용하는 경우, 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 불균일을 감소시키기 위한 스테빌라이저로서, 이들에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 함유하는 것이 바람직하다.
- [0238] 산화물 반도체 중에서도 In-Ga-Zn 산화물, In-Sn-Zn 산화물 등은, 탄화 실리콘, 질화 갈륨, 또는 산화 갈륨과는 달리, 스퍼터링법이나 습식법에 의해 전기적 특성이 우수한 트랜지스터를 제작하는 것이 가능하여, 양산성이 우수한 것과 같은 이점이 있다. 또한, 탄화 실리콘, 질화 갈륨, 또는 산화 갈륨과는 달리, 상기 In-Ga-Zn 산화물은, 유리 기판 위에, 전기적 특성이 우수한 트랜지스터를 제작하는 것이 가능하다. 또한, 기판의 대형화에도 대응이 가능하다.
- [0239] 또한, 다른 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨

(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 호르븀(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 함유하고 있어도 좋다.

[0240] 예를 들면, 산화물 반도체로서, 산화 인듐, 산화 갈륨, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물(IGZO라고도 표기한다), In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Ce-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 사용할 수 있다.

[0241] 또한, 예를 들면, In-Ga-Zn 산화물이란, In과 Ga와 Zn을 함유하는 산화물이라는 의미이고, In과 Ga와 Zn의 비율은 상관없다. 또한, In과 Ga와 Zn 이외의 금속 원소를 함유하고 있어도 좋다. In-Ga-Zn 산화물은, 무전계 시의 저항이 충분히 높고 오프 전류를 충분히 작게 하는 것이 가능하며, 또한, 이동도도 높다.

[0242] 예를 들면, In-Sn-Zn 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn 산화물에서도, 벌크내 결합 밀도를 저감시킴으로써, 이동도를 높일 수 있다.

[0243] 또한, 트랜지스터(2000)에 있어서, 소스 전극 및 드레인 전극에 사용되는 도전성 재료에 따라서는, 소스 전극 및 드레인 전극 중의 금속이, 산화물 반도체막으로부터 산소를 추출하는 경우가 있다. 이 경우, 산화물 반도체막 중, 소스 전극 및 드레인 전극에 접하는 영역이, 산소 결손의 형성에 의해 n형화된다. n형화된 영역은, 소스 영역 또는 드레인 영역으로서 기능하기 때문에, 산화물 반도체막과 소스 전극 및 드레인 전극 사이에 있어서의 콘택트 저항을 낮출 수 있다. 따라서, n형화된 영역이 형성됨으로써, 트랜지스터(2000)의 이동도 및 온 전류를 높일 수 있고, 그것에 의해, 트랜지스터(2000)를 사용한 반도체 장치의 고속 동작을 실현할 수 있다.

[0244] 또한, 소스 전극 및 드레인 전극 중의 금속에 의한 산소의 추출은, 소스 전극 및 드레인 전극을 스퍼터링법에 의해 형성할 때에 일어날 수 있고, 소스 전극 및 드레인 전극을 형성한 후에 행해지는 가열 처리에 의해서도 일어날 수 있다. 또한, n형화되는 영역은, 산소와 결합하기 쉬운 도전성 재료를 소스 전극 및 드레인 전극에 사용함으로써, 보다 형성되기 쉬워진다. 상기 도전성 재료로서는, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W 등을 들 수 있다.

[0245] 복수의 적층된 산화물 반도체막을 갖는 반도체막을 트랜지스터(2000)에 사용하는 경우, n형화되는 영역은, 채널 영역이 되는 산화물 반도체막(2002b)에까지 도달하고 있는 것이, 트랜지스터(2000)의 이동도 및 온 전류를 높여, 반도체 장치의 고속 동작을 실현하는데 있어서 바람직하다.

[0246] 절연막(2001)은, 가열에 의해 상기 산소의 일부를 산화물 반도체막(2002a) 내지 산화물 반도체막(2002c)에 공급하는 기능을 갖는 절연막인 것이 바람직하다. 또한, 절연막(2001)은, 결합이 적은 것이 바람직하며, 대표적으로는, ESR 측정에 의해 얻어지는, 실리콘의 맵글링 본드에 유래하는  $g=2.001$ 을 갖는 스핀의 밀도가  $1 \times 10^{18}$  spins/cm<sup>3</sup> 이하인 것이 바람직하다.

[0247] 절연막(2001)은, 가열에 의해 상기 산소의 일부를 산화물 반도체막(2002a) 내지 산화물 반도체막(2002c)에 공급하는 기능을 갖기 때문에, 산화물인 것이 바람직하며, 예를 들면, 산화 알루미늄, 산화 마그네슘, 산화 규소, 산화 질화 규소, 질화 산화 규소, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈럼 등을 사용할 수 있다. 절연막(2001)은, 플라즈마 CVD법 또는 스퍼터링법에 의해, 형성할 수 있다.

[0248] 또한, 본 명세서 중에 있어서, 산화 질화물은, 그 조성으로서, 질소보다도 산소의 함유량이 많은 재료를 가리키고, 질화 산화물은, 그 조성으로서, 산소보다도 질소의 함유량이 많은 재료를 가리킨다.

[0249] 또한, 도 16 및 도 17에 도시하는 트랜지스터(2000)는, 채널 영역이 형성되는 산화물 반도체막(2002b)의 단부 중, 도전막(2003) 및 도전막(2004)과는 중첩되지 않는 단부, 바꿔 말하면, 도전막(2003) 및 도전막(2004)이 위치하는 영역과는 상이한 영역에 위치하는 단부와, 도전막(2006)이, 중첩되는 구성을 가진다. 산화물 반도체막(2002b)의 단부는, 상기 단부를 형성하기 위한 에칭으로 플라즈마에 노출될 때에, 에칭 가스로부터 발생한 염소 라디칼, 불소 라디칼 등이, 산화물 반도체를 구성하는 금속 원소와 결합하기 쉽다. 따라서, 산화물 반도체막의 단부에서는, 상기 금속 원소와 결합하고 있던 산소가 탈리되기 쉬운 상태에 있기 때문에, 산소 결손이 형성되어, n형화되기 쉽다. 그러나, 도 16 및 도 17에 도시하는 트랜지스터(2000)에서는, 도전막(2003) 및 도

전막(2004)과는 중첩되지 않는 산화물 반도체막(2002b)의 단부와, 도전막(2006)이 중첩되기 때문에, 도전막(2006)의 전위를 제어함으로써, 상기 단부에 가해지는 전계를 제어할 수 있다. 따라서, 산화물 반도체막(2002b)의 단부를 개재하여 도전막(2003)과 도전막(2004) 사이에 흐르는 전류를, 도전막(2006)에 부여하는 전위에 의해 제어할 수 있다. 이러한 트랜지스터(2000)의 구조를, surrounded channel(s-channel) 구조라고 부른다.

[0250] 구체적으로, s-channel 구조인 경우, 트랜지스터(2000)가 오픈 되는 전위를 도전막(2006)에 부여했을 때는, 상기 단부를 개재하여 도전막(2003)과 도전막(2004) 사이에 흐르는 오픈 전류를 작게 억제할 수 있다. 이로 인해, 트랜지스터(2000)에서는, 큰 온 전류를 얻기 위해서 채널 길이를 짧게 하고, 그 결과, 산화물 반도체막(2002b)의 단부에 있어서의 도전막(2003)과 도전막(2004) 사이의 길이가 짧아져도, 트랜지스터(2000)의 오픈 전류를 작게 억제할 수 있다. 따라서, 트랜지스터(2000)는, 채널 길이를 짧게 함으로써, 온일 때에는 큰 온 전류를 얻을 수 있고, 오프일 때에는 오픈 전류를 작게 억제할 수 있다.

[0251] 또한, 구체적으로, s-channel 구조인 경우, 트랜지스터(2000)가 온이 되는 전위를 도전막(2006)에 부여했을 때는, 상기 단부를 개재하여 도전막(2003)과 도전막(2004) 사이에 흐르는 전류를 크게 할 수 있다. 상기 전류는, 트랜지스터(2000)의 전계 효과 이동도와 온 전류의 증대에 기여한다. 그리고, 산화물 반도체막(2002b)의 단부와, 도전막(2006)이 중첩됨으로써, 산화물 반도체막(2002b)에 있어서 캐리어가 흐르는 영역이, 절연막(2005)에 가까운 산화물 반도체막(2002b)의 계면 근방뿐만 아니라, 산화물 반도체막(2002b)의 넓은 범위에 있어서 캐리어가 흐르기 때문에, 트랜지스터(2000)에 있어서의 캐리어의 이동량이 증가한다. 이 결과, 트랜지스터(2000)의 온 전류가 커지는 동시에, 전계 효과 이동도가 높아지고, 대표적으로는 전계 효과 이동도가  $10\text{cm}^2/\text{V}\cdot\text{s}$  이상, 또한  $20\text{cm}^2/\text{V}\cdot\text{s}$  이상이 된다. 또한, 여기에서의 전계 효과 이동도는, 산화물 반도체막의 물질값으로서의 이동도의 근사값이 아니라, 트랜지스터의 포화 영역에 있어서의 전류 구동력의 지표이며, 결보기의 전계 효과 이동도이다.

[0252] <산화물 반도체막의 구조>

[0253] 이하에서는, 산화물 반도체막의 구조에 관해서 설명한다. 또한, 이하의 설명에 있어서, 「평행」이란, 두개의 직선이  $-10^\circ$  이상  $10^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서,  $-5^\circ$  이상  $5^\circ$  이하인 경우도 포함된다. 또한, 「수직」이란, 두개의 직선이  $80^\circ$  이상  $100^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서,  $85^\circ$  이상  $95^\circ$  이하인 경우도 포함된다. 또한, 본 명세서에 있어서, 결정이 삼방정 또는 능면체정인 경우, 육방정계로서 나타낸다.

[0254] 산화물 반도체막은, 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0255] <CAAC-OS막>

[0256] 우선은, CAAC-OS막에 관해서 설명한다.

[0257] CAAC-OS막은, c축 배향한 복수의 결정부를 갖는 산화물 반도체막의 하나이다.

[0258] 투과형 전자현미경(TEM: Transmission Electron Microscope)에 의해, CAAC-OS막의 명시야상 및 회절 패턴의 복합 해석상(고분해능 TEM상이라고도 한다.)을 관찰함으로써 복수의 결정부를 확인할 수 있다. 한편, 고분해능 TEM상에 의해서도 명확한 결정부끼리의 경계, 즉 결정립계(그레인 바운더리라고도 한다.)를 확인할 수 없다. 이로 인해, CAAC-OS막은, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0259] 시료면과 개략 평행한 방향에서, CAAC-OS막의 단면의 고분해능 TEM상을 관찰하면, 결정부에 있어서, 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은, CAAC-OS막의 막을 형성하는 면(피형성면이라고도 한다.) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열한다.

[0260] 한편, 시료면과 개략 수직인 방향에서, CAAC-OS막의 평면의 고분해능 TEM상을 관찰하면, 결정부에 있어서, 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부간에, 금속 원자의 배열에 규칙성은 나타나지 않는다.

[0261] CAAC-OS막에 대해, X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 행하면, 예를 들면

InGaZnO<sub>4</sub>의 결정을 갖는 CAAC-OS막의 아웃-오브-플레인(out-of-plane)법에 의한 해석에서는, 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO<sub>4</sub> 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 가지며, c축이 피형성면 또는 상면에 개략 수직인 방향을 향하고 있는 것을 확인할 수 있다.

[0262] 또한, InGaZnO<sub>4</sub>의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방인 피크 이외에, 2θ가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ가 36° 근방인 피크는, CAAC-OS막 중의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 나타내고 있다. CAAC-OS막은, 2θ가 31° 근방에 피크를 나타내고, 2θ가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.

[0263] CAAC-OS막은, 불순물 농도가 낮은 산화물 반도체막이다. 불순물은, 수소, 탄소, 실리콘, 전이금속원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등의, 산화물 반도체막을 구성하는 금속 원소보다도 산소와의 결합력이 강한 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 포함되면, 산화물 반도체막의 원자 배열을 흐트러, 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 함유되는 불순물은, 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0264] 또한, CAAC-OS막은, 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들면, 산화물 반도체막 중의 산소 결손은, 캐리어 트랩이 되는 경우나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0265] 불순물 농도가 낮고, 결합 준위 밀도가 낮은(산소 결손이 적은) 것을, 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는, 임계값 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 한다.)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 트랩이 적다. 이로 인해, 상기 산화물 반도체막을 사용한 트랜지스터는, 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는, 방출할 때까지 요하는 시간이 길어, 마치 고정 전하와 같이 행동하는 경우가 있다. 이로 인해, 불순물 농도가 높고, 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는, 전기 특성이 불안정해지는 경우가 있다.

[0266] 또한, CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0267] <미결정 산화물 반도체막>

[0268] 다음에, 미결정 산화물 반도체막에 관해서 설명한다.

[0269] 미결정 산화물 반도체막은, 고분해능 TEM상에 있어서, 결정부를 확인할 수 있는 영역과, 명확한 결정부를 확인할 수 없는 영역을 가진다. 미결정 산화물 반도체막에 포함되는 결정부는, 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을, nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은, 예를 들면, 고분해능 TEM상에서는, 결정립계를 명확하게 확인할 수 없는 경우가 있다.

[0270] nc-OS막은, 미소한 영역(예를 들면, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에 있어서 원자 배열에 주기성을 가진다. 또한, nc-OS막은, 상이한 결정부간에 결정 방위에 규칙성이 나타나지 않는다. 이로 인해, 막 전체에서 배향성이 나타나지 않는다. 따라서, nc-OS막은, 분석 방법에 따라서는, 비정질 산화물 반도체막과 구별이 되지 않는 경우가 있다. 예를 들면, nc-OS막에 대해, 결정부보다도 큰 직경의 X선을 사용하는 XRD 장치를 사용하여 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대해, 결정부보다도 큰 프로브 직경(예를 들면 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 한다.)을 행하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대해, 결정부의 크기와 가깝거나 결정부보다 작은 프로브 직경의 전자선을 사용하는 나노 빔 전자 회절을 행하면, 스폿이 관측된다. 또한, nc-OS막에 대해 나노 빔 전자 회절을 행하면, 원을 그리듯이(링 상으로) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대해 나노 빔 전자 회절을 행하면, 링상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.

- [0271] nc-OS막은, 비정질 산화물 반도체막보다도 규칙성이 높은 산화물 반도체막이다. 이로 인해, nc-OS막은, 비정질 산화물 반도체막보다도 결함 준위 밀도가 낮아진다. 단, nc-OS막은, 상이한 결정부간에 결정 방위에 규칙성이 나타나지 않는다. 이로 인해, nc-OS막은, CAAC-OS막과 비교하여 결함 준위 밀도가 높아진다.
- [0272] <비정질 산화물 반도체막>
- [0273] 다음에, 비정질 산화물 반도체막에 관해서 설명한다.
- [0274] 비정질 산화물 반도체막은, 막 중에 있어서의 원자 배열이 불규칙하여, 결정부를 갖지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체막이 일례이다.
- [0275] 비정질 산화물 반도체막은, 고분해능 TEM상에 있어서 결정부를 확인할 수 없다.
- [0276] 비정질 산화물 반도체막에 대해, XRD 장치를 사용한 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막에 대해, 전자 회절을 행하면, 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막에 대해, 나노 빔 전자 회절을 행하면, 스폿이 관측되지 않고, 헤일로 패턴이 관측된다.
- [0277] 또한, 산화물 반도체막은, nc-OS막과 비정질 산화물 반도체막 사이의 물성을 나타내는 구조를 갖는 경우가 있다. 그러한 구조를 갖는 산화물 반도체막을, 특히 비정질-유사 산화물 반도체(amorphous-like OS: amorphous-like Oxide Semiconductor)막이라고 부른다.
- [0278] amorphous-like OS막은, 고분해능 TEM상에 있어서 공동(보이드라고도 한다.)이 관찰되는 경우가 있다. 또한, 고분해능 TEM상에 있어서, 명확하게 결정부를 확인할 수 있는 영역과, 결정부를 확인할 수 없는 영역을 가진다. amorphous-like OS막은, TEM에 의한 관찰 정도가 미량인 전자 조사에 의해, 결정화가 일어나, 결정부의 성장이 나타나는 경우가 있다. 한편, 양질의 nc-OS막이면, TEM에 의한 관찰 정도가 미량인 전자 조사에 의한 결정화는 거의 나타나지 않는다.
- [0279] 또한, amorphous-like OS막 및 nc-OS막의 결정부인 크기의 측정은, 고분해능 TEM상을 사용하여 행할 수 있다. 예를 들면, InGaZnO<sub>4</sub> 결정은 층상 구조를 가지며, In-O층 사이에, Ga-Zn-O층을 2층 가진다. InGaZnO<sub>4</sub> 결정의 단위 격자는, In-O층을 3층 가지며, 또한 Ga-Zn-O층을 6층 갖는, 합계 9층이 c축 방향으로 층상으로 중첩된 구조를 가진다. 따라서, 이들 근접하는 층끼리의 간격은, (009)면의 격자면 간격(d값이라고도 한다.)과 동일한 정도이며, 결정 구조 해석으로부터 그 값은 0.29nm로 구해지고 있다. 이로 인해, 고분해능 TEM상에 있어서의 격자줄무늬에 주목하여, 격자줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 부분에 있어서는, 각각의 격자줄무늬가 InGaZnO<sub>4</sub> 결정의 a-b면에 대응한다.
- [0280] 또한, 산화물 반도체막은, 예를 들면, 비정질 산화물 반도체막, amorphous-like OS막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종 이상을 갖는 적층막이라도 좋다.
- [0281] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0282] (실시형태 5)
- [0283] 본 실시형태에서는, 도 15와는 상이한 구조를 갖는 반도체 장치의 구조의 일례에 관해서 설명한다.
- [0284] 도 18에, 반도체 장치의 단면 구조를, 일례로서 도시한다. 또한, 파선 A1-A2로 나타내는 영역에서는 트랜지스터(620) 및 트랜지스터(630)의 채널 길이 방향에 있어서의 구조를 나타내고 있으며, 파선 A3-A4로 나타내는 영역에서는, 트랜지스터(620) 및 트랜지스터(630)의 채널 폭 방향에 있어서의 구조를 나타내고 있다. 단, 본 발명의 일 형태에서는, 트랜지스터(620)의 채널 길이 방향과 트랜지스터(630)의 채널 길이 방향이, 반드시 일치하고 있지 않아도 좋다.
- [0285] 또한, 채널 길이 방향이란, 소스(소스 영역 또는 소스 전극) 및 드레인(드레인 영역 또는 드레인 전극) 사이에 있어서, 캐리어가 이동하는 방향을 의미하고, 채널 폭 방향은, 기판과 수평한 면 내에 있어서, 채널 길이 방향에 대해 수직 방향을 의미한다.
- [0286] 또한, 도 18에서는, OS 트랜지스터인 트랜지스터(630)가, 채널 형성 영역에 산화물 반도체 이외의 재료를 갖는 트랜지스터인 트랜지스터(620) 위에 형성되어 있는 경우를 예시하고 있다.
- [0287] 또한, 이와 같이 채널 형성 영역에 산화물 반도체 이외의 재료를 갖는 트랜지스터와 OS 트랜지스터가 적층된 구

성은, 도 1 내지 도 3, 도 5 내지 도 12에 도시하는 각종 회로가 갖는 트랜지스터에 적절히 사용할 수 있다.

- [0288] 또한, 본 실시형태에서는, 도 13의 (D)와 같이, 트랜지스터(620)의 게이트와 트랜지스터(630)의 소스 또는 드레인의 한쪽이 접속된 구성을 나타내지만, 이것으로 한정되지 않는다. 트랜지스터(620)의 소스 또는 드레인의 한쪽과 트랜지스터(630)의 게이트가 접속되어 있어도 좋고(도 14의 (A) 참조), 트랜지스터(620)의 소스 또는 드레인의 한쪽과 트랜지스터(630)의 소스 또는 드레인의 한쪽이 접속되어 있어도 좋고(도 14의 (B) 참조), 트랜지스터(620)의 게이트와 트랜지스터(630)의 게이트가 접속되어 있어도 좋다(도 14의 (C) 참조).
- [0289] 트랜지스터(620)는, 비정질, 미결정, 다결정 또는 단결정인, 실리콘 또는 게르마늄 등의 반도체막 또는 반도체 기판에, 채널 형성 영역을 가지고 있어도 좋다. 또는, 트랜지스터(620)는, 산화물 반도체막 또는 산화물 반도체 기판에, 채널 형성 영역을 가지고 있어도 좋다. 모든 트랜지스터가 산화물 반도체막 또는 산화물 반도체 기판에, 채널 형성 영역을 가지고 있는 경우, 트랜지스터(630)는 트랜지스터(620) 위에 적층되어 있지 않아도 좋고, 트랜지스터(630)와 트랜지스터(620)는, 동일한 층에 형성되어 있어도 좋다.
- [0290] 실리콘의 박막을 사용하여 트랜지스터(620)를 형성하는 경우, 상기 박막에는, 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저의 조사 등의 처리에 의해 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.
- [0291] 트랜지스터(620)가 형성되는 기판(1000)은, 예를 들면, 실리콘 기판, 게르마늄 기판, 실리콘 게르마늄 기판 등을 사용할 수 있다. 도 18에서는, 단결정 실리콘 기판을 기판(1000)으로서 사용하는 경우를 예시하고 있다.
- [0292] 또한, 트랜지스터(620)는, 소자 분리법에 의해 전기적으로 분리되어 있다. 소자 분리법으로서, 트렌치 분리법(STI법: Shallow Trench Isolation) 등을 사용할 수 있다. 도 18에서는, 트렌치 분리법을 사용하여 트랜지스터(620)를 전기적으로 분리하는 경우를 예시하고 있다. 구체적으로, 도 18에서는, 에칭 등에 의해 기판(1000)에 형성된 트렌치에, 산화 규소 등이 함유되는 절연물을 매립한 후, 상기 절연물을 에칭 등에 의해 부분적으로 제거함으로써 형성되는 소자 분리 영역(1001)에 의해, 트랜지스터(620)를 소자 분리시키는 경우를 예시하고 있다.
- [0293] 또한, 트렌치 이외의 영역에 존재하는 기판(1000)의 볼록부에는, 트랜지스터(620)의 불순물 영역(1002) 및 불순물 영역(1003)과, 불순물 영역(1002) 및 불순물 영역(1003) 사이에 개재된 채널 형성 영역(1004)이 설치되어 있다. 또한, 트랜지스터(620)는, 채널 형성 영역(1004)을 피복하는 절연막(1005)과, 절연막(1005)을 사이에 개재하여 채널 형성 영역(1004)과 중첩되는 게이트 전극(1006)을 가진다.
- [0294] 트랜지스터(620)에서는, 채널 형성 영역(1004)에 있어서의 볼록부의 측부 및 상부와, 게이트 전극(1006)이 절연막(1005)을 사이에 개재하여 중첩됨으로써 채널 형성 영역(1004)의 측부와 상부를 포함한 넓은 범위에 있어서 캐리어가 흐른다. 이로 인해, 트랜지스터(620)의 기판 위에 있어서의 전류 면적을 작게 억제하면서, 트랜지스터(620)에 있어서의 캐리어의 이동량을 증가시킬 수 있다. 그 결과, 트랜지스터(620)는, 온 전류가 커지는 동시에, 전계 효과 이동도가 높아진다. 특히, 채널 형성 영역(1004)에 있어서의 볼록부의 채널 폭 방향의 길이(채널 폭)를  $W$ , 채널 형성 영역(1004)에 있어서의 볼록부의 막 두께를  $T$ 로 하면, 채널 폭( $W$ )에 대한 막 두께( $T$ )의 비에 상당하는 종횡비가 높은 경우, 캐리어가 흐르는 범위는 보다 넓어지기 때문에, 트랜지스터(620)의 온 전류를 보다 크게 할 수 있어, 전계 효과 이동도도 보다 높아진다.
- [0295] 또한, 벌크의 반도체 기판을 사용한 트랜지스터(620)인 경우, 종횡비는 0.5 이상인 것이 바람직하고, 1 이상인 것이 보다 바람직하다.
- [0296] 트랜지스터(620) 위에는, 절연막(1011)이 설치되어 있다. 절연막(1011)에는 개구부가 형성되어 있다. 그리고, 상기 개구부에는, 불순물 영역(1002), 불순물 영역(1003)에 각각 전기적으로 접속되어 있는 도전막(1012), 도전막(1013)과, 게이트 전극(1006)에 전기적으로 접속되어 있는 도전막(1014)이, 형성되어 있다.
- [0297] 그리고, 도전막(1012)은, 절연막(1011) 위에 형성된 도전막(1016)에 전기적으로 접속되어 있고, 도전막(1013)은, 절연막(1011) 위에 형성된 도전막(1017)에 전기적으로 접속되어 있고, 도전막(1014)은, 절연막(1011) 위에 형성된 도전막(1018)에 전기적으로 접속되어 있다.
- [0298] 도전막(1016) 내지 도전막(1018) 위에는, 절연막(1020)이 설치되어 있다. 그리고, 절연막(1020) 위에는, 산소, 수소, 물의 확산을 방지하는 차단 효과를 갖는 절연막(1021)이 설치되어 있다. 절연막(1021)은, 밀도가 높아 치밀할수록, 또한 미결합수가 적어 화학적으로 안정될수록, 보다 높은 차단 효과를 나타낸다. 산소, 수소, 물

의 확산을 방지하는 차단 효과를 나타내는 절연막(1021)으로서, 예를 들면, 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄 등을 사용할 수 있다. 수소, 물의 확산을 방지하는 차단 효과를 나타내는 절연막(1021)으로서, 예를 들면, 질화 실리콘, 질화 산화 실리콘 등을 사용할 수 있다.

[0299] 절연막(1021) 위에는 절연막(1022)이 설치되어 있고, 절연막(1022) 위에는, 트랜지스터(630)가 설치되어 있다.

[0300] 트랜지스터(630)는, 절연막(1022) 위에, 산화물 반도체를 포함하는 반도체막(1030)과, 반도체막(1030)에 전기적으로 접속된, 소스 전극 또는 드레인 전극으로서 기능하는 도전막(1032) 및 도전막(1033)과, 반도체막(1030)을 피복하고 있는 게이트 절연막(1031)과, 게이트 절연막(1031)을 사이에 개재하여 반도체막(1030)과 중첩되는 게이트 전극(1034)을 가진다. 또한, 절연막(1020) 내지 절연막(1022)에는 개구부가 설치되어 있고, 도전막(1033)은, 상기 개구부에 있어서 도전막(1018)에 접속되어 있다.

[0301] 또한, 도 18에 있어서, 트랜지스터(630)는, 게이트 전극(1034)을 반도체막(1030)의 편측에 있어서 적어도 가지고 있으면 좋지만, 절연막(1022)을 사이에 개재하여 반도체막(1030)과 중첩되는 게이트 전극을, 추가로 가지고 있어도 좋다.

[0302] 트랜지스터(630)가, 한 쌍의 게이트 전극을 가지고 있는 경우, 한쪽의 게이트 전극에는 도통 상태 또는 비도통 상태를 제어하기 위한 신호가 부여되고, 다른쪽의 게이트 전극은, 전위가 다른 배선으로부터 부여되어 있는 상태라도 좋다. 이 경우, 한 쌍의 게이트 전극에, 동일한 높이의 전위가 부여되어 있어도 좋고, 다른쪽의 게이트 전극에만 접지 전위 등의 고정 전위가 부여되어 있어도 좋다. 다른쪽의 게이트 전극에 부여하는 전위의 높이를 제어함으로써, 트랜지스터의 임계값 전압을 제어할 수 있다.

[0303] 또한, 도 18에서는, 트랜지스터(630)가, 하나의 게이트 전극(1034)에 대응한 하나의 채널 형성 영역을 갖는, 싱글 게이트 구조인 경우를 예시하고 있다. 그러나, 트랜지스터(630)는, 전기적으로 접속된 복수의 게이트 전극을 가짐으로써, 하나의 활성층에 복수의 채널 형성 영역을 갖는 멀티 게이트 구조라도 좋다.

[0304] 또한, 도 18에 도시하는 바와 같이, 트랜지스터(630)는, 반도체막(1030)이, 절연막(1022) 위에 있어서 순차적으로 적층된 산화물 반도체막(1030a) 내지 산화물 반도체막(1030c)을 갖는 경우를 예시하고 있다. 단, 본 발명의 일 형태에서는, 트랜지스터(630)가 갖는 반도체막(1030)이, 단막의 금속 산화물막으로 구성되어 있어도 좋다.

[0305] 또한, 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0306] (실시형태 6)

[0307] 다른 실시형태에서 개시된, 도전막, 반도체막, 절연막 등 여러가지 막은 스퍼터링법이나 플라즈마 CVD법에 의해 형성할 수 있지만, 다른 방법, 예를 들면, 열 CVD법에 의해 형성해도 좋다. 열 CVD법의 예로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법을 사용해도 좋다.

[0308] 열 CVD법은, 플라즈마를 사용하지 않는 성막 방법이기 때문에, 플라즈마 대미지에 의해 결함이 생성되지 않는다고 하는 이점을 가진다.

[0309] 열 CVD법은, 원료 가스와 산화제를 동시에 챔버 내로 보내어, 챔버 내를 대기압 또는 감압하로 하고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 성막을 행해도 좋다.

[0310] 또한, ALD법은, 챔버 내를 대기압 또는 감압하로 하고, 반응을 위한 원료 가스가 순차적으로 챔버에 도입되고, 그 가스 도입의 순서를 반복함으로써 성막을 행해도 좋다. 예를 들면, 각각의 스위칭 밸브(고속 밸브라고도 부른다)를 전환하여 2종류 이상의 원료 가스를 순서대로 챔버에 공급하고, 복수종의 원료 가스가 혼합되지 않도록 제 1 원료 가스와 동시 또는 그 후에 불활성 가스(아르곤, 또는 질소 등) 등을 도입하고, 제 2 원료 가스를 도입한다. 또한, 동시에 불활성 가스를 도입하는 경우에는, 불활성 가스는 캐리어 가스가 되고, 또한, 제 2 원료 가스의 도입시에도 동시에 불활성 가스를 도입해도 좋다. 또한, 불활성 가스를 도입하는 대신에 진공 배기에 의해 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입해도 좋다. 제 1 원료 가스가 기판의 표면에 흡착되어 제 1 층을 성막하고, 나중에 도입되는 제 2 원료 가스와 반응하여, 제 2 층이 제 1 층 위에 적층되어 박막이 형성된다. 이 가스 도입 순서를 제어하면서 원하는 두께가 될 때까지 복수회 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는, 가스 도입 순서를 반복하는 횟수에 의해 조절할 수 있기 때문에,

정밀한 막 두께 조절이 가능하며, 미세한 FET를 제작하는 경우에 적합하다.

- [0311] MOCVD법이나 ALD법 등의 열 CVD법은, 지금까지 기재한 실시형태에 개시된 도전막, 반도체막, 절연막 등 여러가지 막을 형성할 수 있고, 예를 들면, In-Ga-Zn-O막을 성막하는 경우에는, 트리메틸인듐, 트리메틸갈륨, 및 디메틸아연을 사용한다. 또한, 트리메틸인듐의 화학식은,  $\text{In}(\text{CH}_3)_3$ 이다. 또한, 트리메틸갈륨의 화학식은,  $\text{Ga}(\text{CH}_3)_3$ 이다. 또한, 디메틸아연의 화학식은,  $\text{Zn}(\text{CH}_3)_2$ 이다. 또한, 이러한 조합으로 한정되지 않으며, 트리메틸갈륨 대신 트리에틸갈륨(화학식  $\text{Ga}(\text{C}_2\text{H}_5)_3$ )을 사용할 수도 있고, 디메틸아연 대신 디에틸아연(화학식  $\text{Zn}(\text{C}_2\text{H}_5)_2$ )을 사용할 수도 있다.
- [0312] 예를 들면, ALD를 이용하는 성막 장치에 의해 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 함유하는 액체(하프늄알콕사이드나, 테트라키스디메틸아미드하프늄(TDMAH) 등의 하프늄아미드)를 기화시킨 원료 가스, 산화제로서 오존( $\text{O}_3$ )의 2종류의 가스를 사용한다. 또한, 테트라키스디메틸아미드하프늄의 화학식은  $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 이다. 또한, 기타 재료액으로서, 테트라키스(에틸메틸아미드)하프늄 등이 있다.
- [0313] 예를 들면, ALD를 이용하는 성막 장치에 의해 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 함유하는 액체(트리메틸알루미늄(TMA)등)를 기화시킨 원료 가스, 산화제로서  $\text{H}_2\text{O}$ 의 2종류의 가스를 사용한다. 또한, 트리메틸알루미늄의 화학식은  $\text{Al}(\text{CH}_3)_3$ 이다. 또한, 기타 재료액으로서, 트리스(디메틸아미드)알루미늄, 트리아이소부틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵탄디오네이트) 등이 있다.
- [0314] 예를 들면, ALD를 이용하는 성막 장치에 의해 산화 실리콘막을 형성하는 경우에는, 헥사클로로디실란을 피성막면에 흡착시키고, 흡착물에 함유되는 염소를 제거하고, 산화성 가스( $\text{O}_2$ , 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.
- [0315] 예를 들면, ALD를 이용하는 성막 장치에 의해 텅스텐막을 성막하는 경우에는,  $\text{WF}_6$  가스와  $\text{B}_2\text{H}_6$  가스를 순차 반복 도입하여 초기 텅스텐막을 형성하고, 그 후,  $\text{WF}_6$  가스와  $\text{H}_2$  가스를 동시에 도입하여 텅스텐막을 형성한다. 또한,  $\text{B}_2\text{H}_6$  가스 대신에  $\text{SiH}_4$  가스를 사용해도 좋다.
- [0316] 예를 들면, ALD를 이용하는 성막 장치에 의해 산화물 반도체막, 예를 들면 In-Ga-Zn-O막을 성막하는 경우에는,  $\text{In}(\text{CH}_3)_3$  가스와  $\text{O}_3$  가스를 순차 반복 도입하여 In-O층을 형성하고, 그 후,  $\text{Ga}(\text{CH}_3)_3$  가스와  $\text{O}_3$  가스를 동시에 도입하여 GaO층을 형성하고, 또한 그 후  $\text{Zn}(\text{CH}_3)_2$  가스와  $\text{O}_3$  가스를 동시에 도입하여 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예로 한정되지 않는다. 또한, 이러한 가스를 혼합하여 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성해도 좋다. 또한,  $\text{O}_3$  가스 대신 Ar 등의 불활성 가스로 버블링하여 얻어진  $\text{H}_2\text{O}$  가스를 사용해도 좋지만, H를 함유하지 않는  $\text{O}_3$  가스를 사용하는 편이 바람직하다. 또한,  $\text{In}(\text{CH}_3)_3$  가스 대신,  $\text{In}(\text{C}_2\text{H}_5)_3$  가스를 사용해도 좋다. 또한,  $\text{Ga}(\text{CH}_3)_3$  가스 대신,  $\text{Ga}(\text{C}_2\text{H}_5)_3$  가스를 사용해도 좋다. 또한,  $\text{Zn}(\text{CH}_3)_2$  가스를 사용해도 좋다.
- [0317] 또한, 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0318] (실시형태 7)
- [0319] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치의 사용 형태의 예에 관해서 설명한다.
- [0320] 본 발명의 일 형태에 따른 반도체 장치는, 상기 실시형태에서 나타낸 바와 같이, 소정의 물리량 또는 화학량을 검출할 수 있다. 이로 인해, 인간이나 동물 등에 반도체 장치를 휴대시킴으로써, 생체 정보를 시간·장소를 불문하고 계속적으로 검출할 수 있다.
- [0321] 반도체 장치의 휴대 방법으로서, 인간을 예로 들면, 몸의 표면에 붙이는 방법이나 인체에 매립하는 방법 등이 있지만, 검출하고자 하는 물리량이나 화학량에 따라 적절한 방법을 선택하면 좋다. 본 발명의 반도체 장치의 사용 형태의 구체예를, 도 19에 도시한다.
- [0322] 도 19의 (A)는, 뱅글형의 전자 기기(5001)이며, 하우징(5002)에는 반도체 장치(5003)가 설치되어 있다. 반도체 장치(5003)가 손목이나 팔에 접하도록 전자 기기(5001)를 몸에 장착함으로써, 손목이나 팔로부터 생체 정보를 검출할 수 있다. 또한, 전자 기기(5001)는 허리나 발에 장착할 수도 있다. 또한, 하우징(5002) 대신에 벨트

등을 사용할 수도 있다. 반도체 장치(5003)에 있어서 검출한 생체 정보는, 리더/라이터 등을 사용하여 판독할 수 있다.

[0323] 또한, 반도체 장치는 체내에 매립할 수도 있다. 반도체 장치(5004)를 손목에 매립한 경우의 사용 형태를 도 19의 (B)에 도시한다. 이 경우, 하우징이나 벨트를 사용하지 않고 반도체 장치(5004)를 몸에 장착할 수 있어, 탈착의 번거로움을 피할 수 있다. 또한, 반도체 장치(5004)는 손목으로 한하지 않고, 입안이나 컷볼(도 19의 (C)) 등 인체의 모든 위치에 매립할 수 있다.

[0324] 또한, 도 19의 (D)에 도시하는 바와 같이, 반도체 장치(5004)는 동물에게 붙이고, 또는 매립할 수도 있다. 그리고, 반도체 장치(5004)에 의해 검출되는 동물의 생체 정보를 정기적으로 판독함으로써, 동물의 건강 상태를 감시하고, 관리할 수 있다. 이 경우, 미리, 반도체 장치(5004)에 식별 번호를 기억시켜 둬으로써 복수의 동물을 동시에 관리할 수 있다.

[0325] 또한, 도 19의 (E)에 도시하는 바와 같이, 반도체 장치(5004)를 식물에 붙이고, 또는 매립할 수도 있다. 그리고, 반도체 장치(5004)에 의해 검출되는 식물의 생체 정보를 정기적으로 판독함으로써, 꽃의 개화 시기나 출하 시기 등의 정보를 예상할 수 있다. 또한, 반도체 장치(5004)가 광을 검출하는 소자를 포함하는 경우, 일조 시간의 정보를 얻을 수 있다. 또한, 반도체 장치(5004)가 태양 전지를 포함하는 경우, 외부로부터의 광을 전력으로 변환하여 반도체 장치(5004)에 공급함으로써, 반도체 장치(5004)를 동작시키는 것이 가능해진다.

[0326] 이와 같이, 본 발명의 일 형태에 따른 반도체 장치를 인간, 동물, 식물 등의 생물에 붙이고, 또는 매립함으로써, 개개의 생물의 생체 정보를 용이하게 검출할 수 있다.

[0327] 또한, 본 발명의 사용 형태는 상기로 한정되지 않는다. 본 발명에 따른 반도체 장치는, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치), 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적 단말, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기, 의료 기기 등의 다양한 전자 기기에도 응용할 수 있다.

[0328] 또한, 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.

**부호의 설명**

- [0329] 10 반도체 장치
- 20 회로
- 30 회로
- 40 회로
- 50 회로
- 60 회로
- 70 회로
- 80 회로
- 81 기억 회로
- 82 기억 회로
- 83 회로
- 90 회로
- 91 회로
- 92 회로
- 100 기관

- 101 절연층
- 102 도전층
- 110 회로
- 111 배선
- 112 배선
- 113 배선
- 120 회로
- 121 배선
- 122 배선
- 201 트랜지스터
- 202 용량 소자
- 203 배선
- 211 트랜지스터
- 212 용량 소자
- 213 배선
- 214 회로
- 215 트랜지스터
- 216 배선
- 221 트랜지스터
- 222 트랜지스터
- 223 용량 소자
- 224 배선
- 231 트랜지스터
- 232 트랜지스터
- 233 용량 소자
- 234 트랜지스터
- 235 배선
- 236 트랜지스터
- 237 배선
- 301 XNOR 회로
- 302 NOR 회로
- 303 인버터
- 304 AND 회로
- 311 트랜지스터
- 312 트랜지스터
- 321 트랜지스터

- 322 트랜지스터
- 323 트랜지스터
- 324 트랜지스터
- 331 트랜지스터
- 332 트랜지스터
- 333 트랜지스터
- 334 트랜지스터
- 342 트랜지스터
- 351 트랜지스터
- 352 트랜지스터
- 401 인버터
- 405 인버터
- 411 XOR 회로
- 413 XOR 회로
- 421 AND 회로
- 424 AND 회로
- 431 NOR 회로
- 432 NOR 회로
- 501 XOR 회로
- 502 AND 회로
- 511 인버터
- 512 인버터
- 513 AND 회로
- 514 AND 회로
- 515 OR 회로
- 520 연산 증폭기
- 600 기관
- 601 절연물
- 602 웰
- 603 게이트 절연막
- 604 게이트 전극
- 605 불순물 영역
- 606 절연층
- 607 산화물 반도체층
- 608 도전층
- 609 게이트 절연막

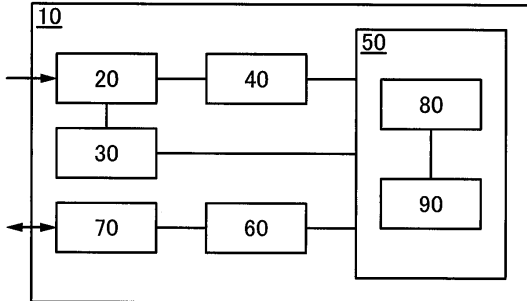
- 610 게이트 전극
- 611 절연층
- 612 배선
- 620 트랜지스터
- 630 트랜지스터
- 801 반도체 기관
- 810 소자 분리 영역
- 811 절연막
- 812 절연막
- 813 절연막
- 825 도전막
- 826 도전막
- 827 도전막
- 834 도전막
- 835 도전막
- 836 도전막
- 837 도전막
- 844 도전막
- 851 도전막
- 852 도전막
- 853 도전막
- 861 절연막
- 862 게이트 절연막
- 863 절연막
- 901 반도체막
- 910 영역
- 911 영역
- 921 도전막
- 922 도전막
- 931 게이트 전극
- 1000 기관
- 1001 소자 분리 영역
- 1002 불순물 영역
- 1003 불순물 영역
- 1004 채널 형성 영역
- 1005 절연막

- 1006 게이트 전극
- 1011 절연막
- 1012 도전막
- 1013 도전막
- 1014 도전막
- 1016 도전막
- 1017 도전막
- 1018 도전막
- 1020 절연막
- 1021 절연막
- 1022 절연막
- 1030 반도체막
- 1030a 산화물 반도체막
- 1030c 산화물 반도체막
- 1031 게이트 절연막
- 1032 도전막
- 1033 도전막
- 1034 게이트 전극
- 2000 트랜지스터
- 2001 절연막
- 2002a 산화물 반도체막
- 2002b 산화물 반도체막
- 2002c 산화물 반도체막
- 2003 도전막
- 2004 도전막
- 2005 절연막
- 2006 도전막
- 2007 기판
- 5001 전자 기기
- 5002 하우징
- 5003 반도체 장치
- 5004 반도체 장치

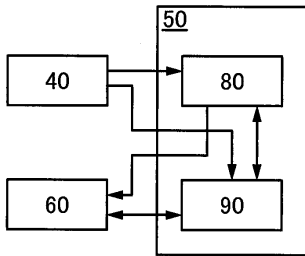
도면

도면1

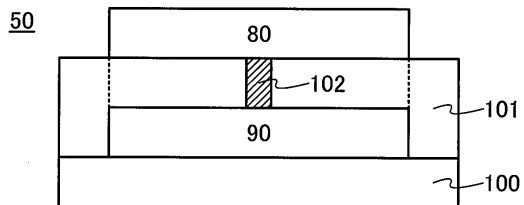
(A)



(B)

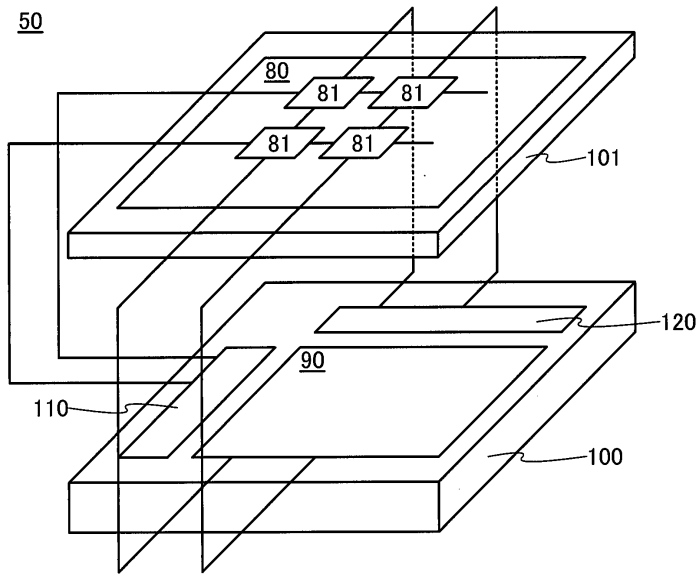


(C)

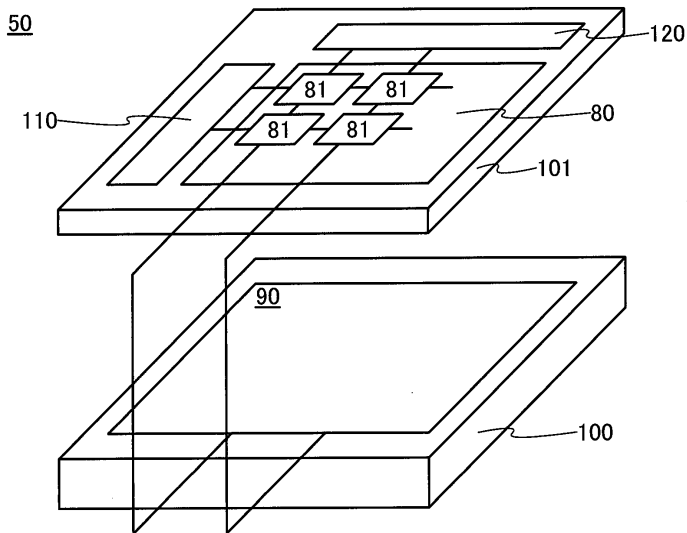


도면2

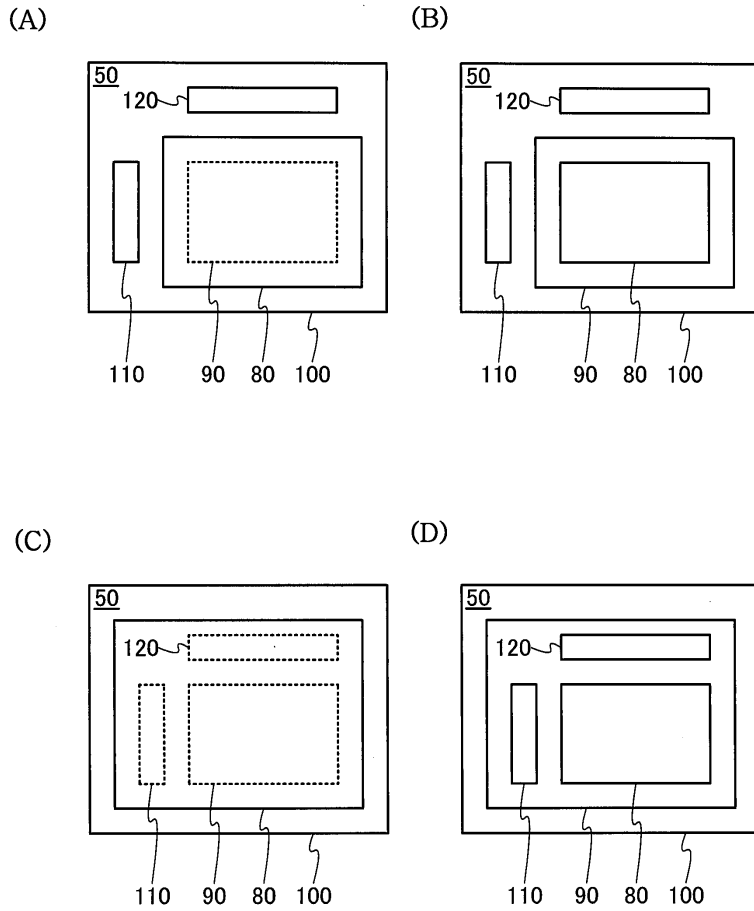
(A)



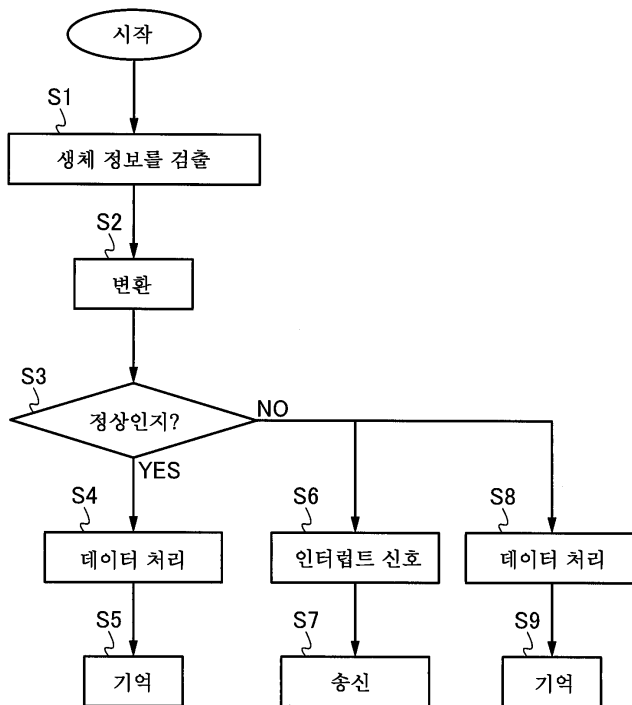
(B)



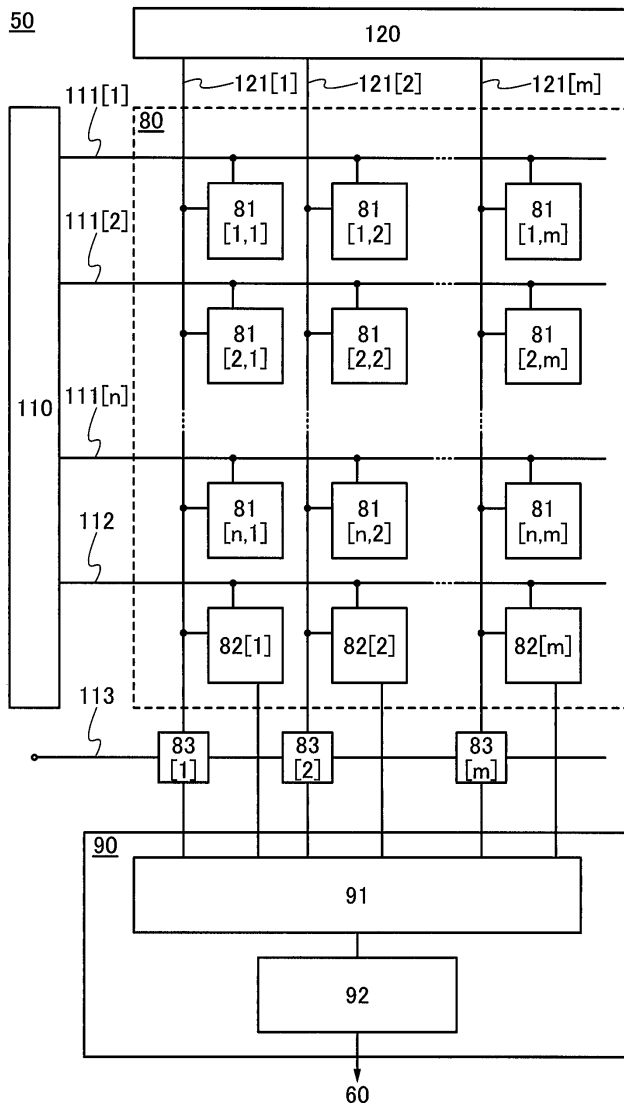
도면3



도면4

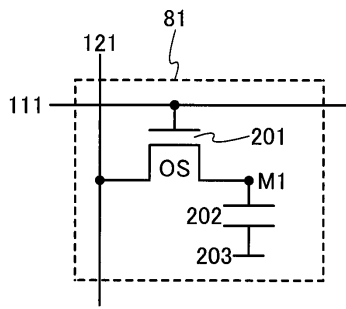


도면5

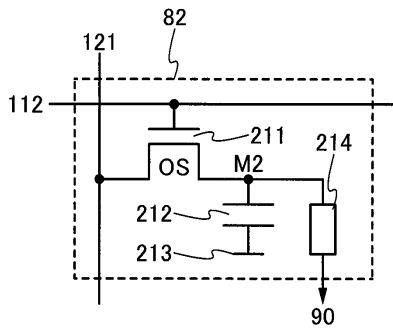


도면6

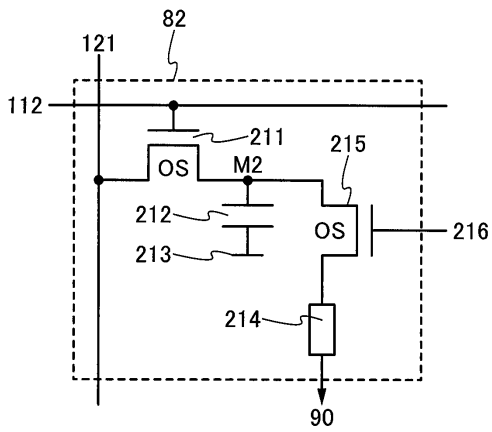
(A)



(B)

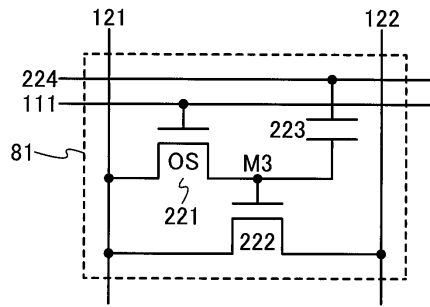


(C)

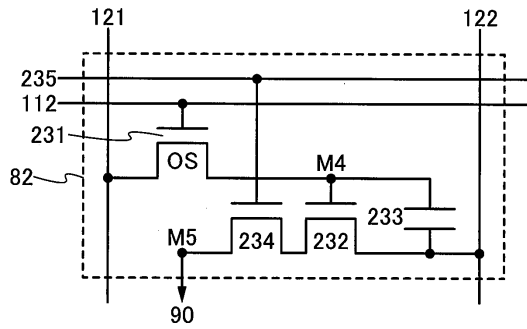


도면7

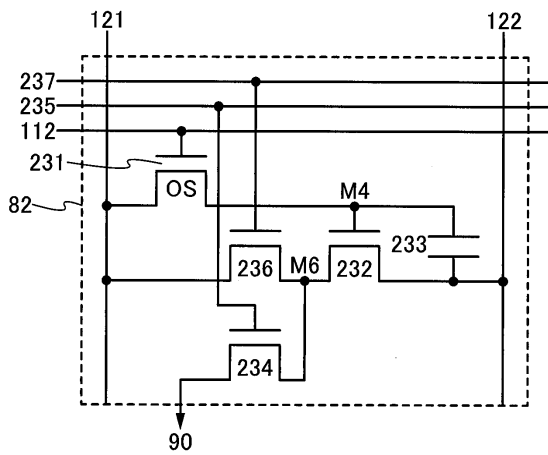
(A)



(B)

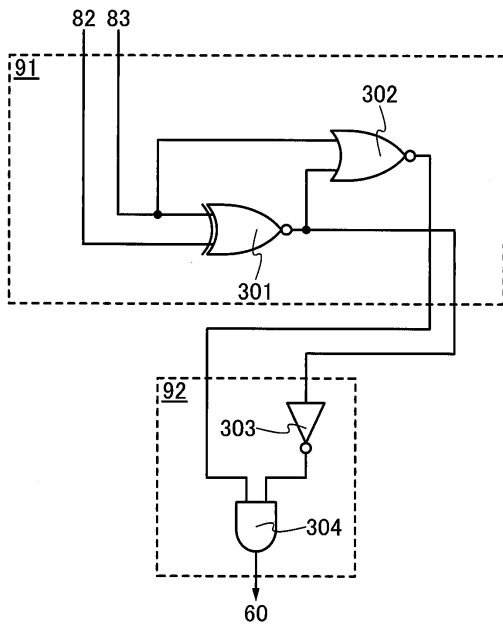


(C)

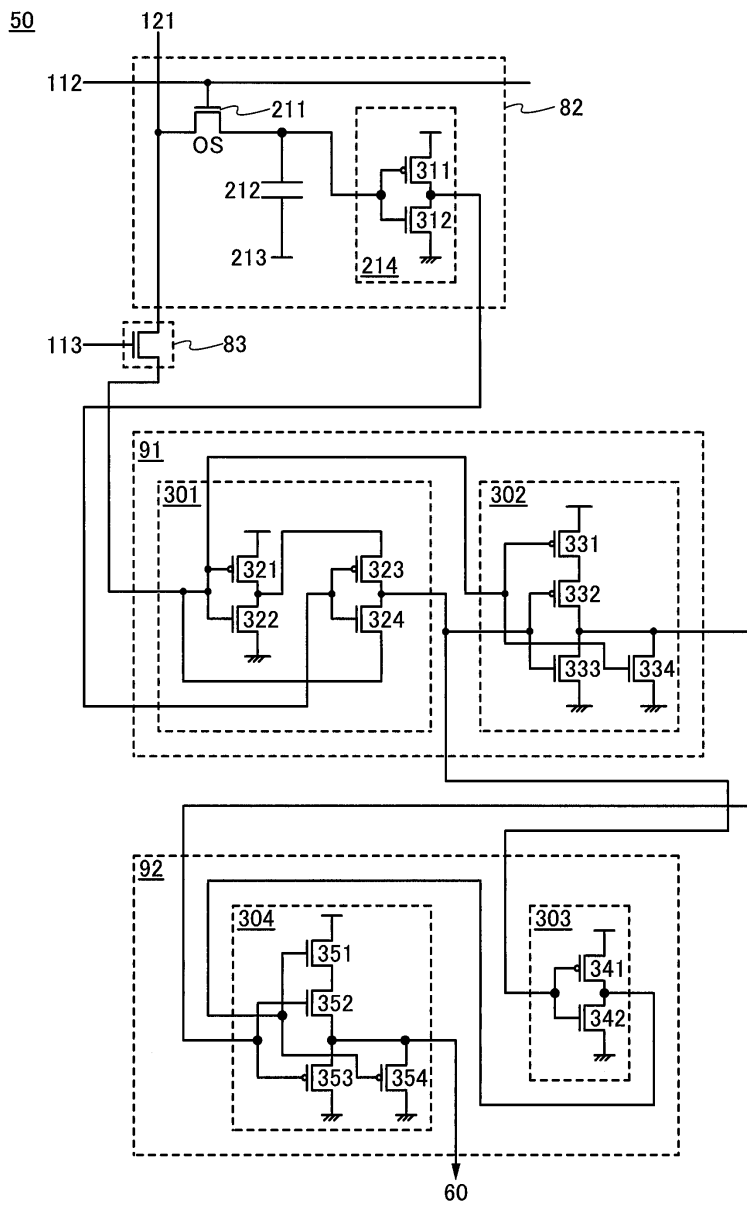


도면8

90

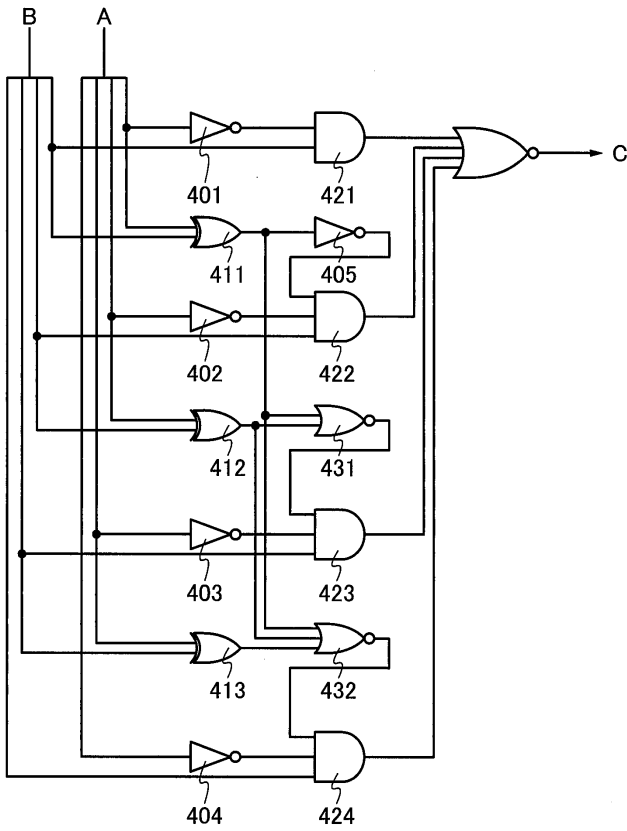


도면9



도면10

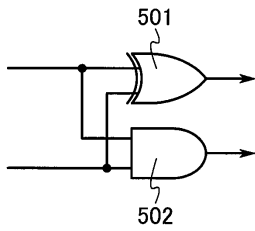
90



도면11

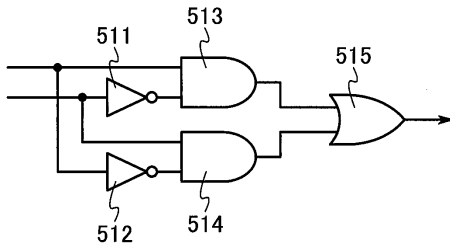
(A)

90



(B)

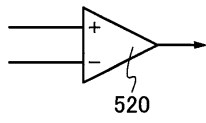
90



도면12

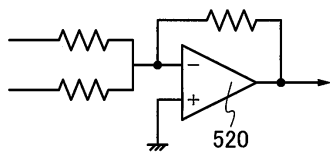
(A)

90



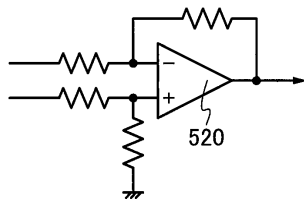
(B)

90



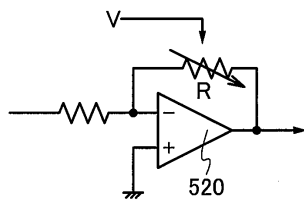
(C)

90

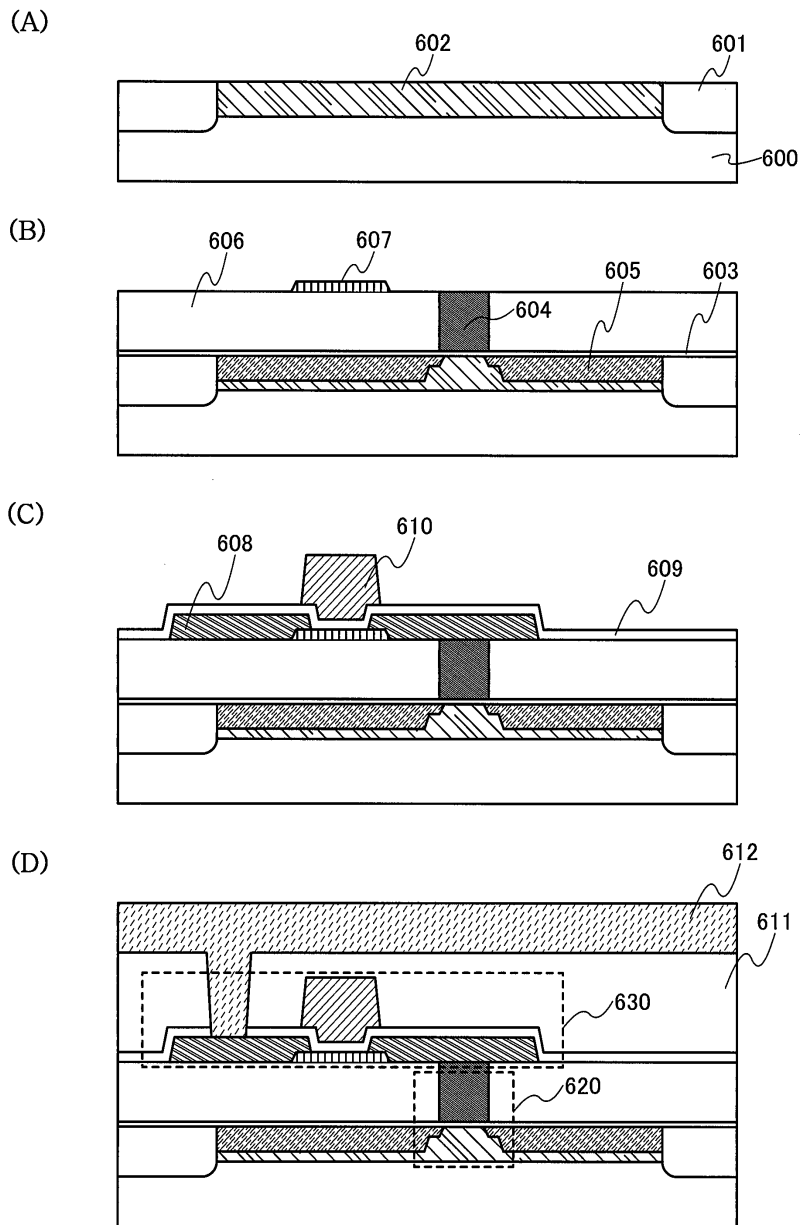


(D)

90

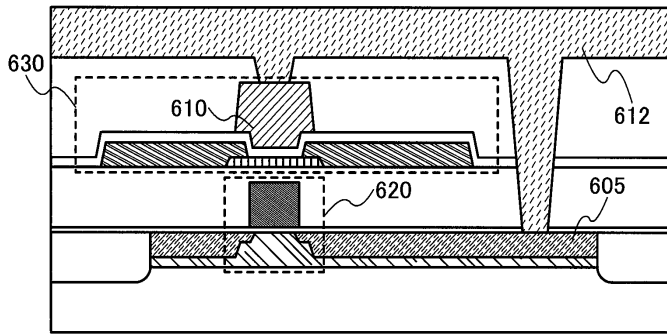


도면13

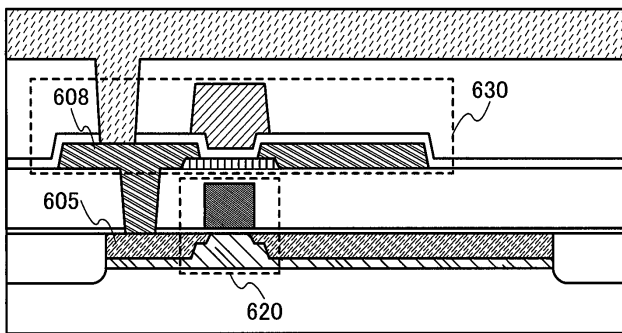


도면14

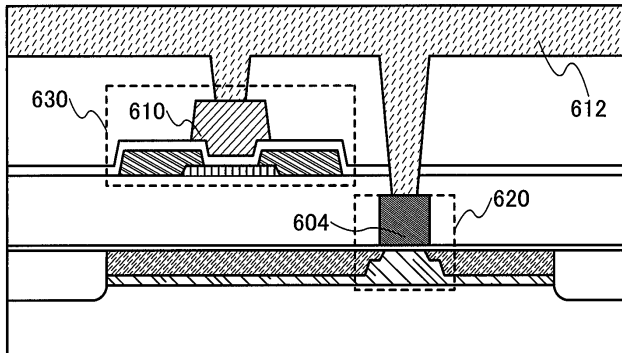
(A)



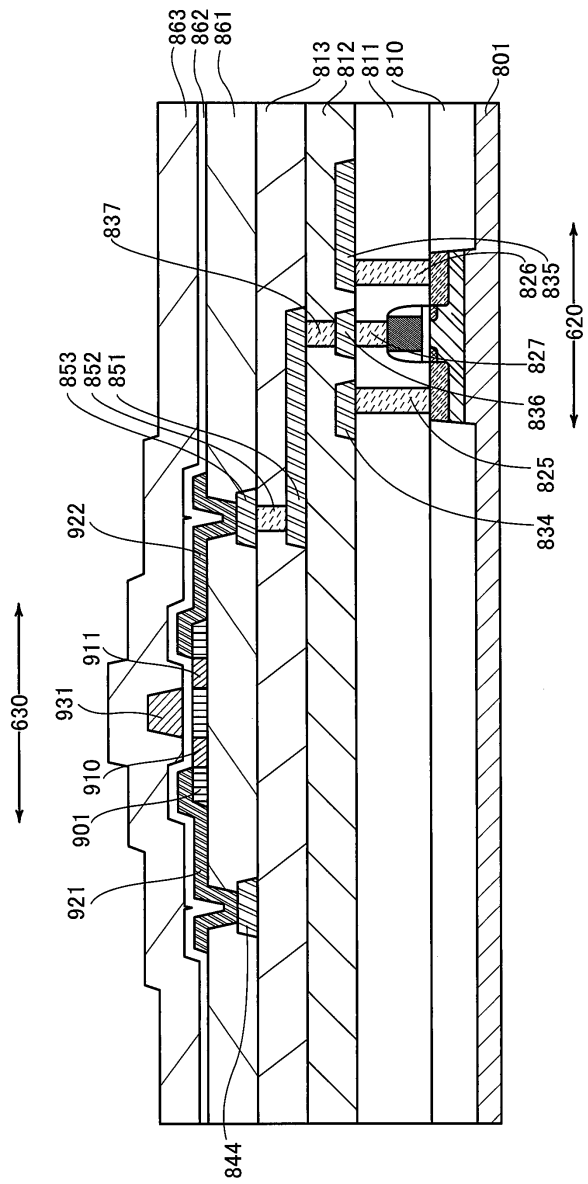
(B)



(C)

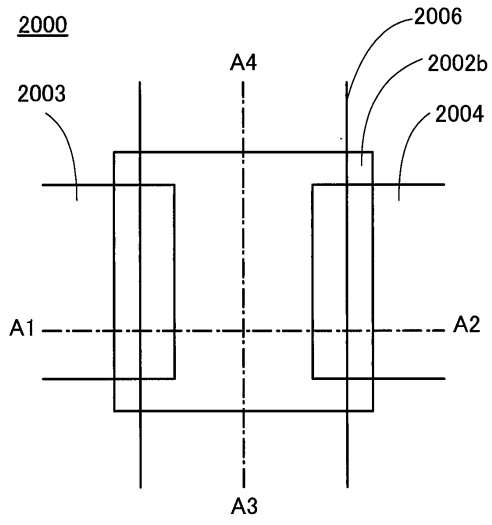


도면15

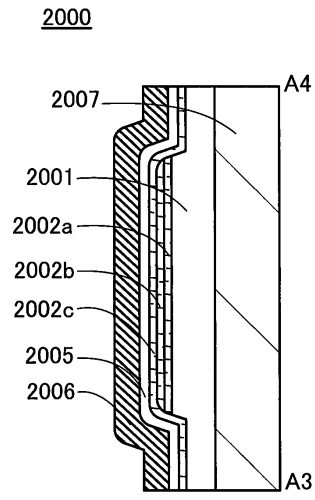


도면16

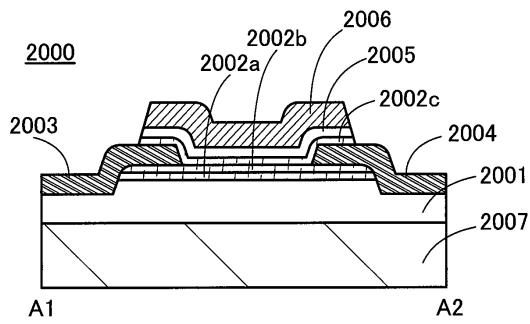
(A)



(C)

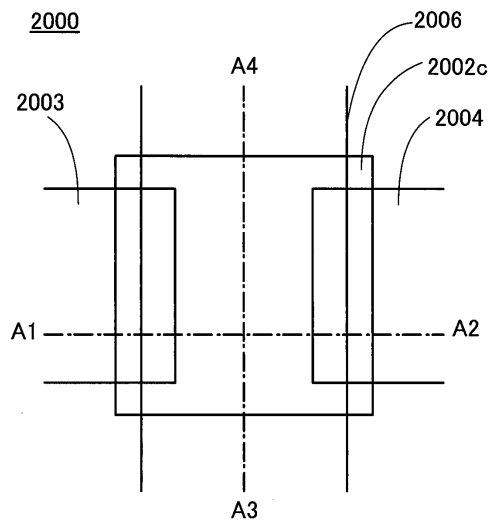


(B)

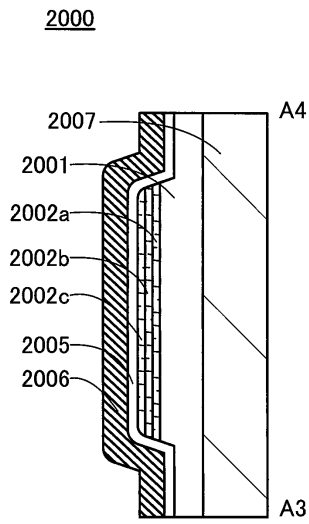


도면17

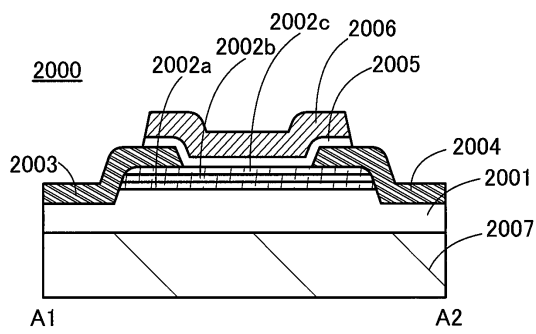
(A)



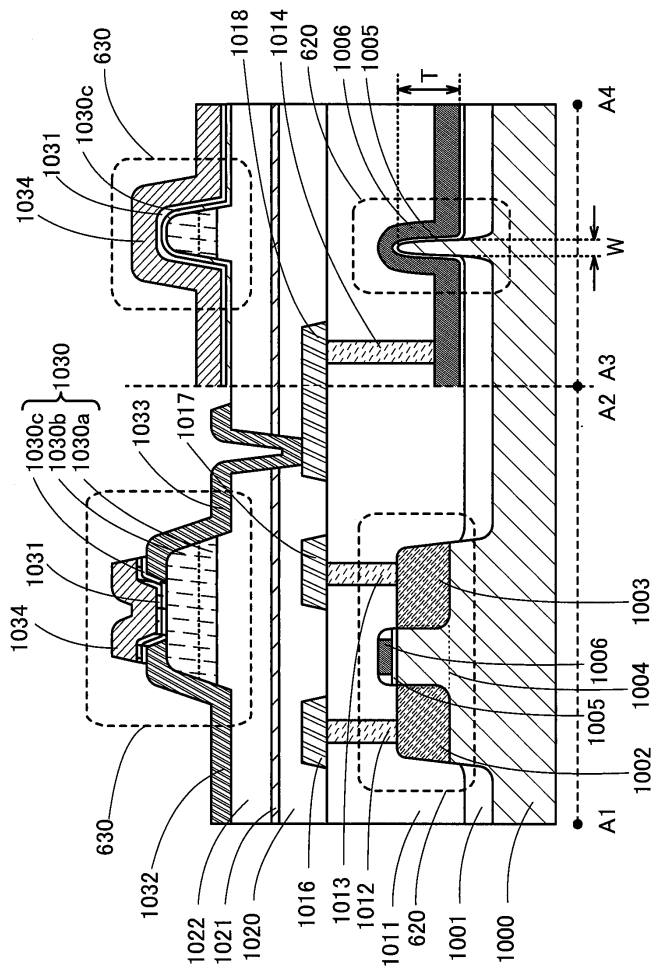
(C)



(B)

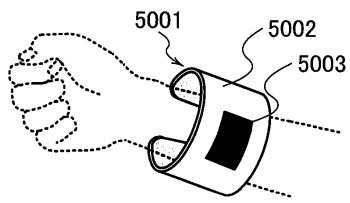


도면18

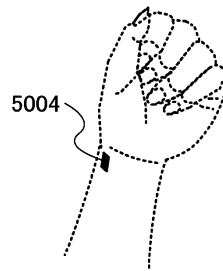


도면19

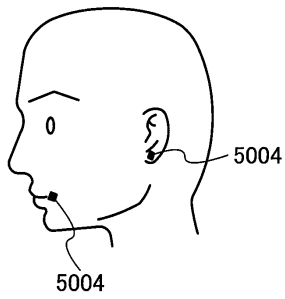
(A)



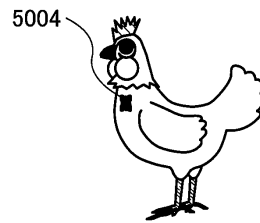
(B)



(C)



(D)



(E)

