(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3926037号
(P3926037)
(45)発行日　平成19年6月6日(2007.6.6)　(24)登録日　平成19年3月9日(2007.3.9)

(51)Int.Cl.　F I
G11C 11/4074 (2006.01)　G11C 11/34 354F

請求項の数 1 (全 25 頁)

(21)出願番号　特願平10-201611
(22)出願日　平成10年7月16日(1998.7.16)
(65)公開番号　特開2000-30443(P2000-30443A)
(43)公開日　平成12年1月28日(2000.1.28)
審査請求日　平成15年3月31日(2003.3.31)

(73)特許権者　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(74)代理人　100123788
弁理士　宮崎　昭夫
(74)代理人　100106138
弁理士　石橋　政幸
(74)代理人　100127454
弁理士　緒方　雅昭
(72)発明者　橋本　剛
東京都青梅市新町六丁目１６番地の３　株式会社　日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】ダイナミック型ＲＡＭ

(57)【特許請求の範囲】
【請求項１】
スタンバイ状態からアクティブ状態に移行されたとき、第１の時点で動作を開始するロウ系回路と、
前記スタンバイ状態のときの入力論理により高電位側ＭＯＳＦＥＴがオフ状態にされ、低電位側ＭＯＳＦＥＴがオン状態にされる第１回路部、及び前記スタンバイ状態のときの入力論理により低電位側ＭＯＳＦＥＴがオフ状態にされ、高電位側ＭＯＳＦＥＴがオン状態にされる第２回路部を備え、前記第１の時点よりも遅い時点で動作を開始するカラム系回路と、
外部端子から供給された高電位側の第１の電源電圧と低電位側の第２の電源電圧を受けて動作し、前記第１の電源電圧と前記第２の電源電圧の間であって、前記第１の電源電圧よりも低い第１の参照電圧、前記第１の参照電圧よりも低い第２の参照電圧、前記第２の参照電圧よりも低い第３の参照電圧、前記第３の参照電圧よりも低い第４の参照電圧をそれぞれ生成する参照電圧生成回路と、
前記第１の電源電圧と前記第２の電源電圧で動作する第１、第２、第３及び第４内部電源回路と、
を有し、
前記第１内部電源回路は、前記第２回路部の高電位側電源端子に前記第１の参照電圧に対応した内部電圧を出力し、
前記第２内部電源回路は、所定の制御信号に従って前記アクティブ状態のときには前記

第１回路部の高電位側電源端子に前記第１の参照電圧に対応した内部電圧を出力し、前記スタンバイ状態のときには前記第１回路部の高電位側電源端子に前記第２の参照電圧に対応した内部電圧を出力し、

前記第３内部電源回路は、前記第１回路部の低電位側電源端子に前記第４の参照電圧に対応した内部電圧を出力し、

前記第４内部電源回路は、前記制御信号に従って前記アクティブ状態のときには前記第２回路部の低電位側電源端子に前記第４の参照電圧に対応した内部電圧を出力し、前記スタンバイ状態のときには前記第２回路部の低電位側電源端子に前記第３の参照電圧に対応した内部電圧を出力するダイナミック型ＲＡＭ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は半導体集積回路装置に関し、例えば、ＣＭＯＳ（相補型ＭＯＳ）論理ゲートを基本素子としかつＳＣＲＣつまりサブスレッショルド電流低減方式を採るダイナミック型ＲＡＭ（ランダムアクセスメモリ）ならびにその高速化，低コスト化，低消費電力化に利用して特に有効な技術に関する。

【０００２】

【従来の技術】

ＰチャンネルおよびＮチャンネルＭＯＳＦＥＴ（金属酸化物半導体型電界効果トランジスタ。この明細書では、ＭＯＳＦＥＴをして絶縁ゲート型電界効果トランジスタの総称とする）が組み合わされてなるＣＭＯＳ論理ゲートがあり、このようなＣＭＯＳ論理ゲートをその基本素子とするダイナミック型ＲＡＭ等の半導体集積回路装置がある。また、ＣＭＯＳ論理ゲートを基本素子とするダイナミック型ＲＡＭ等において、スタンバイ状態におけるサブスレッショルド電流の低減を図りうるいわゆるサブスレッショルド電流低減方式が、例えば、特開平５－３４７５５０号及び特開平６－２３７１６４号等に記載されている。

【０００３】

【発明が解決しようとする課題】

サブスレッショルド電流低減方式を採るダイナミック型ＲＡＭ等では、例えば図１５に示されるように、カラム系回路等の所定の論理回路を構成するＣＭＯＳ論理ゲートつまりインバータＶ１～Ｖ６の高電位側電源ノード、すなわちＰチャンネルＭＯＳＦＥＴＰ１～Ｐ６のソースが、その入力信号のスタンバイ状態時の論理レベルに応じて選択的に電源電圧供給点ＶＤＤ又は内部電圧供給点ＶＤＤＴに結合され、インバータＶ１～Ｖ６の低電位側電源ノード、すなわちＮチャンネルＭＯＳＦＥＴＮ１～Ｎ６のソースは、選択的に接地電位供給点ＶＳＳ又は内部電圧供給点ＶＳＳＴに結合される。

【０００４】

電源電圧供給点ＶＤＤ及び内部電圧供給点ＶＤＤＴ間には、そのゲートに反転ＳＣＲＣ制御信号ＳＷＢ（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にＢを付して表す。以下同様）を受けるＰチャンネル型のスイッチＭＯＳＦＥＴＰ０が設けられ、内部電圧供給点ＶＳＳＴ及び接地電位供給点ＶＳＳ間には、そのゲートに非反転ＳＣＲＣ制御信号ＳＷを受けるＮチャンネル型のスイッチＭＯＳＦＥＴＮ０が設けられる。ＳＣＲＣ制御信号ＳＷは、ダイナミック型ＲＡＭがアクティブ状態つまり通常のアクセス動作を行いうる状態とされるとき電源電圧ＶＤＤのようなハイレベルとされ、スタンバイ状態とされるときは接地電位ＶＳＳのようなロウレベルとされる。また、反転ＳＣＲＣ制御信号ＳＷＢは、ダイナミック型ＲＡＭがアクティブ状態とされるとき接地電位ＶＳＳのようなロウレベルとされ、スタンバイ状態とされるときは電源電圧ＶＤＤのようなハイレベルとされる。

【０００５】

ダイナミック型ＲＡＭがアクティブ状態とされるとき、スイッチＭＯＳＦＥＴＰ０は、反転ＳＣＲＣ制御信号ＳＷＢのロウレベルを受けてオン状態となり、スイッチＭＯＳＦＥＴＮ０も、ＳＣＲＣ制御信号ＳＷのハイレベルを受けてオン状態となる。したがって、内部

電圧供給点ＶＤＤＴの電位はほぼ電源電圧ＶＤＤとなり、内部電圧供給点ＶＳＳＴの電位はほぼ接地電位ＶＳＳとなって、インバータＶ１～Ｖ６を含む論理回路は通常の動作状態とされる。

【０００６】

一方、ダイナミック型ＲＡＭがスタンバイ状態とされるとき、スイッチＭＯＳＦＥＴＰ０は、反転ＳＣＲＣ制御信号ＳＷＢのハイレベルを受けてオフ状態となり、スイッチＭＯＳＦＥＴＮ０も、ＳＣＲＣ制御信号ＳＷのロウレベルを受けてオフ状態となる。このため、内部電圧供給点ＶＤＤＴの電位は、スイッチＭＯＳＦＥＴＰ０のオフ抵抗とインバータＶ１，Ｖ３ならびに Ｖ５等を構成するＭＯＳＦＥＴＰ１，Ｐ３ならびにＰ５等のオフ抵抗との比に応じて例えば電源電圧ＶＤＤより０．２～０．３Ｖ（ボルト）程度低い電位となり、内部電圧供給点ＶＳＳＴの電位は、スイッチＭＯＳＦＥＴＮ０のオフ抵抗とインバータＶ２，Ｖ４ならびにＶ６等を構成するＭＯＳＦＥＴＮ２，Ｎ４ならびにＮ６等のオフ抵抗との比に応じて例えば接地電位ＶＳＳより０．２～０．３Ｖ程度高い電位となる。この結果、インバータＶ１～Ｖ６のオフ状態にあるＭＯＳＦＥＴＰ１，Ｎ２，Ｐ３，Ｎ４，Ｐ５ならびにＮ６は、そのゲート・ソース間に０．２Ｖ～０．３Ｖ程度の逆バイアスが印加された状態となり、これによってダイナミック型ＲＡＭのスタンバイ状態におけるサブスレッショルド電流が低減される。

【０００７】

なお、上記スイッチＭＯＳＦＥＴＰ０及びＮ０は、インバータＶ１～Ｖ６のオフ状態となるＭＯＳＦＥＴのソース電圧を切り換えるための言わばソース電圧切換素子として作用する訳であるが、このソース電圧切換素子は、図１６に例示されるように、抵抗Ｒ１とこの抵抗Ｒ１に並列形態に設けられるスイッチＳ１、あるいはそのソースが接地電位供給点ＶＳＳ又は内部電圧供給点ＶＳＴにそれぞれ結合される二つのスイッチＳ２及びＳ３に置き換えることができる。

【０００８】

ところが、ダイナミック型ＲＡＭの大規模化・大容量化が進む中、上記サブスレッショルド電流低減方式には次の三つの問題点が残されていることが、本願発明者等によって明らかとなった。すなわち、第１には、ダイナミック型ＲＡＭの大規模化・大容量化にともなって内部電圧供給点ＶＤＤＴ及びＶＳＳＴに結合されるＭＯＳＦＥＴの数が増大しその寄生容量が増大して、各供給点の充放電に比較的長い時間が必要となり、これによってダイナミック型ＲＡＭのスタンバイ状態からアクティブ状態への移行時の高速性が阻害される。また、第２には、内部電圧供給点ＶＤＤＴ及びＶＳＳＴに結合される論理素子の数が増大することで、スイッチＭＯＳＦＥＴＰ０及びＮ０のチャネル抵抗による各供給点のアクティブ状態時における電位低下又は上昇が問題となり、これに対処するにはスイッチＭＯＳＦＥＴＰ０及びＮ０のゲート幅を充分に大きくすることが必要となって、ダイナミック型ＲＡＭの低コスト化が阻害される。さらに、第３には、内部電圧供給点ＶＤＤＴ及びＶＳＳＴのスタンバイ状態での電位が、オフ状態にあるスイッチＭＯＳＦＥＴＰ０又はＮ０とＭＯＳＦＥＴＰ１，Ｐ３ならびにＰ５あるいはＮ２，Ｎ４ならびにＮ６のオフ抵抗比により設定されることで、各供給点の電位がプロセスバラツキ等を受けて必要以上に低下し又は上昇する場合が生じ、これをもとの電源電圧ＶＤＤ又は接地電位ＶＳＳに戻すために大きな充放電電流が必要となって、ダイナミック型ＲＡＭの低消費電力化が阻害される。

【０００９】

これらの問題は、ダイナミック型ＲＡＭの微細化・高集積化が進み、その動作電源の低電圧化が進むにしたがって深刻な問題となりつつある。

【００１０】

この発明の目的は、サブスレッショルド電流低減方式を採るダイナミック型ＲＡＭ等の高速化，低コスト化ならびに低消費電力化を図ることにある。

【００１１】

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【００１２】
【課題を解決するための手段】
本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、第１の手段として、ダイナミック型ＲＡＭ等がスタンバイ状態からアクティブ状態に移行されるとき比較的早い時点で動作を開始する例えばＸアドレスバッファ及びＸアドレスデコーダ等のロウ系回路にはサブスレッショルド電流低減方式を適用せず、比較的遅い時点で動作を開始する例えばＹアドレスバッファ及びＹアドレスデコーダを含むカラム系回路ならびにデータ入出力回路等のみにサブスレッショルド電流低減方式を適用する。また、ダイナミック型ＲＡＭ等のロウ系回路及びカラム系回路を含む主たる論理回路のすべてにサブスレッショルド電流低減方式を適用したい場合、スタンバイ状態からアクティブ状態への移行に際して例えば各内部電圧の電位が安定するまでに必要な時間を超える移行時間が仕様条件として設定されたものに限定する。さらに、特殊な応用例として、ダイナミック型ＲＡＭ等のセンスアンプにサブスレッショルド電流低減方式を適用し、センスアンプの駆動ＭＯＳＦＥＴのゲートに供給されるセンスアンプ駆動信号の無効レベルを高電位側コモンソース線の有効レベルより高くしあるいは低電位側コモンソース線の有効レベルより低くする。
【００１３】
次に、第２の手段として、ダイナミック型ＲＡＭ等に、外部供給される電源電圧をもとにサブスレッショルド電流低減方式に必要な各内部電圧供給点のスタンバイ状態時における電位を生成する内部電圧発生回路を設け、電位設定のためのスイッチＭＯＳＦＥＴを削除する。
【００１４】
上記第１の手段によれば、サブスレッショルド電流低減方式が適用される回路のうち、スタンバイ状態からアクティブ状態への移行時に問題となる回路を排除して、ダイナミック型ＲＡＭ等の高速化を図ることができるとともに、スタンバイ状態からアクティブ状態への移行時間が仕様条件として設定されたダイナミック型ＲＡＭ等では、主たる論理回路のすべてに問題なくサブスレッショルド電流低減方式を適用でき、ダイナミック型ＲＡＭ等のスタンバイ状態時におけるサブスレッショルド電流をさらに低減できる。また、ダイナミック型ＲＡＭ等のセンスアンプにサブスレッショルド電流低減方式を適用することで、特にセンスアンプを含むメモリアレイ用動作電源が低電圧化されたダイナミック型ＲＡＭ等のアクティブ状態等におけるサブスレッショルド電流を低減しつつ、そのスタンバイ状態時におけるサブスレッショルド電流を低減することができる。
【００１５】
次に上記第２の手段によれば、スイッチＭＯＳＦＥＴを設けることなく、各内部電圧供給点のスタンバイ状態における電位を常に必要電位に保つことができるため、スイッチＭＯＳＦＥＴが大型化されることによるダイナミック型ＲＡＭ等のチップサイズ増大を抑えてその低コスト化を図り、各内部電圧供給点の不必要な充放電電流をなくしてその低消費電力化を図ることができる。
【００１６】
【発明の実施の形態】
図１には、この発明が適用されたダイナミック型ＲＡＭ（メモリ集積回路装置）の一実施例のブロック図が示されている。同図をもとに、まずこの実施例のダイナミック型ＲＡＭの構成及び動作の概要について説明する。なお、図１の各ブロックを構成する回路素子は、公知のＣＭＯＳ集積回路の製造技術により、単結晶シリコンのような１個の半導体基板面上に形成される。また、以下に示すダイナミック型ＲＡＭのブロック図では、網かけ処理が施されたブロックに対してＳＣＲＣつまりサブスレッショルド電流低減方式が適用される。
【００１７】
図１において、この実施例のダイナミック型ＲＡＭは、そのレイアウト面積の大半を占めて配置されるメモリアレイＭＡＲＹを基本構成要素とする。メモリアレイＭＡＲＹは、図

の垂直方向に平行して配置される所定数のワード線と、水平方向に平行して配置される所定数組の相補ビット線とを含む。これらのワード線及び相補ビット線の交点には、情報蓄積キャパシタ及びアドレス選択ＭＯＳＦＥＴからなる多数のダイナミック型メモリセルが格子状に配置される。

【００１８】

メモリアレイＭＡＲＹを構成するワードは、図の下方においてＸアドレスデコーダＸＤに結合され、択一的に選択状態とされる。このＸアドレスデコーダＸＤには、Ｘアドレスバッファ ＸＢからｉ＋１ビットの内部アドレス信号Ｘ０～Ｘｉが供給されるとともに、タイミング発生回路ＴＧから内部制御信号ＸＤＧが供給され、さらに内部電圧発生回路からワード線選択電位となる内部電圧ＶＰＰ（第１の電圧）が供給される。また、Ｘアドレスバッファ ＸＢには、アドレス入力端子Ａ０～Ａｉを介してＸアドレス信号ＡＸ０～ＡＸｉが供給されるとともに、タイミング発生回路ＴＧから内部制御信号ＸＬが供給される。なお、この実施例のダイナミック型ＲＡＭはいわゆるアドレスマルチプレクス方式を採り、アドレス入力端子Ａ０～Ａｉには、Ｘアドレス信号ＡＸ０～ＡＸｉならびにＹアドレス信号ＡＹ０～ＡＹｉが所定の時間をおいて時分割的に供給される。

【００１９】

Ｘアドレスバッファ ＸＢは、外部のアクセス装置からアドレス入力端子Ａ０～Ａｉを介して供給されるＸアドレス信号ＡＸ０～ＡＸｉを内部制御信号ＸＬに従って取り込み、保持するとともに、これらのＸアドレス信号をもとに内部アドレス信号Ｘ０～Ｘｉを形成して、Ｘアドレスデコーダ ＸＤに供給する。また、Ｘアドレスデコーダ ＸＤは、内部制御信号ＸＤＧのハイレベルを受けて選択的に動作状態とされ、内部アドレス信号Ｘ０～Ｘｉをデコードして、メモリアレイＭＡＲＹの対応するワード線を択一的に有効レベルつまり内部電圧ＶＰＰのようなハイレベルの選択状態とする。なお、ワード線選択電位となる内部電圧ＶＰＰは、特に制限されないが、例えば３．５Ｖのような正電位とされる。

【００２０】

次に、メモリアレイＭＡＲＹを構成する相補ビット線は、図の左方においてセンスアンプ ＳＡに結合され、これを介して８組ずつ選択的に相補共通データ線ＣＤ０＊～ＣＤ７＊（ここで、例えば非反転共通データ線ＣＤ０及び反転共通データ線ＣＤ０Ｂを、合わせて相補共通データ線ＣＤ０＊のように＊を付して表す。以下同様）に接続される。センスアンプ ＳＡには、Ｙアドレスデコーダ ＹＤから図示されない所定ビットのビット線選択信号が供給され、タイミング発生回路ＴＧから反転センスアンプ駆動信号ＰＡＢ（第１のセンスアンプ駆動信号），センスアンプ駆動信号ＰＡ（第２のセンスアンプ駆動信号）ならびにプリチャージ制御信号ＰＣが供給される。また、Ｙアドレスデコーダ ＹＤには、Ｙアドレスバッファ ＹＢから内部アドレス信号Ｙ０～Ｙｉが供給されるとともに、タイミング発生回路ＴＧから内部制御信号ＹＤＧが供給され、さらに反転ＳＣＲＣ制御信号ＳＷＢ（第１の制御信号）及びＳＣＲＣ制御信号ＳＷ（第２の制御信号）が供給される。Ｙアドレスバッファ ＹＢには、外部のアクセス装置からアドレス入力端子Ａ０～Ａｉを介してＹアドレス信号ＡＹ０～ＡＹｉが時分割的に供給されるとともに、タイミング発生回路ＴＧから内部制御信号ＹＬが供給され、さらに上記ＳＣＲＣ制御信号ＳＷ及び反転ＳＣＲＣ制御信号ＳＷＢが供給される。

【００２１】

Ｙアドレスバッファ ＹＢは、アドレス入力端子Ａ０～Ａｉを介して時分割的に供給されるＹアドレス信号ＡＹ０～ＡＹｉを内部制御信号ＹＬに従って取り込み保持するとともに、これらのＹアドレス信号をもとに内部アドレス信号Ｙ０～Ｙｉを形成し、Ｙアドレスデコーダ ＹＤに供給する。また、Ｙアドレスデコーダ ＹＤは、内部制御信号ＹＤＧのハイレベルを受けて選択的に動作状態とされ、内部アドレス信号Ｙ０～Ｙｉをデコードして、その出力信号たるビット線選択信号の対応するビットを択一的にハイレベルの選択状態とする。

【００２２】

なお、この実施例のダイナミック型ＲＡＭでは、上記Ｙアドレスバッファ ＹＢ及びＹアド

レスデコーダＹＤを含むカラム系回路にサブスレッショルド電流低減方式が適用され、そのスタンバイ状態時におけるサブスレッショルド電流はＳＣＲＣ制御信号ＳＷ及び反転ＳＣＲＣ制御信号ＳＷＢに従って抑制されるが、このことについては後で詳細に説明する。

【００２３】

センスアンプＳＡは、メモリアレイＭＡＲＹの各相補ビット線に対応して設けられる所定数の単位回路を含み、これらの単位回路のそれぞれは、一対のＣＭＯＳインバータが交差結合されてなる単位増幅回路と、Ｎチャンネル型の３個のプリチャージＭＯＳＦＥＴが直並列結合されてなるビット線プリチャージ回路と、Ｎチャンネル型の一対のスイッチＭＯＳＦＥＴとをそれぞれ含む。このうち、各単位回路の単位増幅回路は、センスアンプ駆動信号ＰＡがハイレベルとされかつ反転センスアンプ駆動信号ＰＡＢがロウレベルとされることで選択的にかつ一斉に動作状態とされ、メモリアレイＭＡＲＹの選択ワード線に結合される所定数のメモリセルから対応する相補ビット線を介して出力される微小読み出し信号をそれぞれ増幅して、ハイレベル又はロウレベルの２値読み出し信号とする。

【００２４】

一方、センスアンプＳＡの各単位回路のビット線プリチャージ回路を構成する３個のプリチャージＭＯＳＦＥＴは、プリチャージ制御信号ＰＣがハイレベルとされることで選択的にかつ一斉にオン状態となり、メモリアレイＭＡＲＹの対応する相補ビット線の非反転及び反転信号線を１．１Ｖのような中間電圧ＨＶにプリチャージする。さらに、各単位回路のスイッチＭＯＳＦＥＴ対は、ビット線選択信号の対応するビットがハイレベルとされることで８組ずつ選択的にオン状態とされ、メモリアレイＭＡＲＹの対応する８組の相補ビット線と相補共通データ線ＣＤ０＊～ＣＤ７＊との間を選択的に接続状態とする。

【００２５】

なお、この実施例のダイナミック型ＲＡＭでは、センスアンプＳＡにサブスレッショルド電流低減方式が適用され、そのアクティブ状態時及びスタンバイ状態におけるサブスレッショルド電流が低減されるが、このことについては、センスアンプＳＡの具体的構成及び動作を含め、後で詳細に説明する。

【００２６】

相補共通データ線ＣＤ０＊～ＣＤ７＊は、データ入出力回路ＩＯの対応する単位回路に結合される。データ入出力回路ＩＯには、タイミング発生回路ＴＧからＳＣＲＣ制御信号ＳＷ及び反転ＳＣＲＣ制御信号ＳＷＢが供給される。

【００２７】

データ入出力回路ＩＯは、相補共通データ線ＣＤ０＊～ＣＤ７＊に対応して設けられる８個の単位回路を備え、これらの単位回路のそれぞれは、ライトアンプ及びメインアンプならびにデータ入力バッファ及びデータ出力バッファを含む。このうち、各単位回路を構成するライトアンプの出力端子及びメインアンプの入力端子は、対応する相補共通データ線ＣＤ０＊～ＣＤ７＊にそれぞれ共通結合される。また、各単位回路のライトアンプの入力端子は、対応するデータ入力バッファの出力端子にそれぞれ結合され、各単位回路のメインアンプの出力端子は、対応するデータ出力バッファの入力端子に結合される。各単位回路を構成するデータ入力バッファの入力端子及びデータ出力バッファの出力端子は、対応するデータ入出力端子Ｄ０～Ｄ７にそれぞれ共通結合される。

【００２８】

データ入出力回路ＩＯの各単位回路のデータ入力バッファは、ダイナミック型ＲＡＭが書き込みモードで選択状態とされるとき、データ入力端子Ｄ０～Ｄ７を介して供給される８ビットの書き込みデータを取り込み、対応するライトアンプにそれぞれ伝達する。このとき、各単位回路のライトアンプは、対応するデータ入力バッファから伝達される書き込みデータをそれぞれ所定の相補書き込み信号とした後、相補共通データ線ＣＤ０＊～ＣＤ７＊からセンスアンプＳＡを介してメモリアレイＭＡＲＹの選択された８個のメモリセルに書き込む。

【００２９】

一方、データ入出力回路ＩＯの各単位回路のメインアンプは、ダイナミック型ＲＡＭが読

み出しモードで選択状態とされるとき、メモリアレイＭＡＲＹの選択された８個のメモリセルから相補共通データ線ＣＤ０＊～ＣＤ７＊を介して出力される２値読み出し信号をさらに増幅して、対応するデータ出力バッファに伝達する。これらの読み出しデータは、各単位回路のデータ出力バッファからデータ入出力端子Ｄ０～Ｄ７を介して外部のアクセス装置に出力される。

【００３０】

なお、この実施例のダイナミック型ＲＡＭでは、データ入出力回路ＩＯを構成する各回路にサブスレッショルド電流低減方式が適用され、そのスタンバイ状態時におけるサブスレッショルド電流はＳＣＲＣ制御信号ＳＷ及び反転ＳＣＲＣ制御信号ＳＷＢに従って抑制されるが、このことについては後述するカラム系回路の該当する説明から類推されたい。

【００３１】

タイミング発生回路ＴＧは、外部のアクセス装置から起動制御信号として供給されるロウアドレスストローブ信号ＲＡＳＢ，カラムアドレスストローブ信号ＣＡＳＢならびにライトイネーブル信号ＷＥＢをもとに、上記各種の内部制御信号等を選択的に形成して、ダイナミック型ＲＡＭの各部に供給する。

【００３２】

この実施例のダイナミック型ＲＡＭは、さらに、内部電圧発生回路ＶＧを備える。内部電圧発生回路ＶＧは、電源電圧ＶＤＤ（第１の電源電圧）及び接地電位ＶＳＳ（第２の電源電圧）をもとに、Ｘアドレスデコーダ ＸＤによるワード線選択電位となる内部電圧ＶＰＰと、センスアンプＳＡのコモンソース線における高電位側電位となる内部電圧ＶＤＬと、基板電圧ＶＢＢとを生成し、ダイナミック型ＲＡＭの各部に供給する。この実施例において、ダイナミック型ＲＡＭの各部は動作電源の低電圧化が図られ、電源電圧ＶＤＤは、特に制限されないが、２．５Ｖのような比較的絶対値の小さな正電位とされる。また、ワード線選択電位となる内部電圧ＶＰＰは、３．５Ｖのような比較的絶対値の大きな正電位とされ、内部電圧ＶＤＬは、２．２Ｖのような電源電圧ＶＤＤより絶対値の小さい正電位とされる。基板電圧ＶＢＢは、－１．０Ｖのような負電位とされる。

【００３３】

以上のように、この実施例のダイナミック型ＲＡＭではいわゆるサブスレッショルド電流低減方式が採られ、そのスタンバイ状態におけるサブスレッショルド電流の低減が図られるが、本実施例においてサブスレッショルド電流低減方式が適用される回路は、ダイナミック型ＲＡＭがスタンバイ状態からアクティブ状態に移行されたとき比較的遅い時点で動作を開始する第２の回路、すなわちＹアドレスバッファＹＢ及びＹアドレスデコーダＹＤを含むカラム系回路ならびにデータ入出力回路ＩＯに限定され、比較的早い時点で動作を開始する第１の回路、すなわちＸアドレスバッファＸＢ及びＸアドレスデコーダＸＤ等のロウ系回路やタイミング発生回路ＴＧ等には適用されない。サブスレッショルド電流低減方式ならびにその適用方法等については、後で詳細に説明する。

【００３４】

図２には、図１のダイナミック型ＲＡＭの動作タイミングを説明するための一実施例の信号波形図が示されている。同図をもとに、この実施例のダイナミック型ＲＡＭの動作タイミングとその特徴について説明する。

【００３５】

図２において、ダイナミック型ＲＡＭは、特に制限されないが、ロウアドレスストローブ信号ＲＡＳＢ及びカラムアドレスストローブ信号ＣＡＳＢが所定期間を超えて無効レベルつまり電源電圧ＶＤＤのようなハイレベルとされることでスタンバイ状態とされる。このとき、反転ＳＣＲＣ制御信号ＳＷＢは接地電位ＶＳＳのようなロウレベルとされ、ＳＣＲＣ制御信号ＳＷは電源電圧ＶＤＤのようなハイレベルとされる。これにより、サブスレッショルド電流低減方式の適用対象となるダイナミック型ＲＡＭのＹアドレスバッファＹＢ及びＹアドレスデコーダＹＤを含むカラム系回路ならびにデータ入出力回路ＩＯでは、後述するＳＣＲＣ回路が作動状態となり、これらの回路を含むダイナミック型ＲＡＭのスタンバイ状態時におけるサブスレッショルド電流が低減される。

【００３６】
次に、ダイナミック型ＲＡＭは、ロウアドレスストローブ信号ＲＡＳＢがハイレベルからロウレベルに変化されることによりアクティブ状態とされる。カラムアドレスストローブ信号ＣＡＳＢは、ロウアドレスストローブ信号ＲＡＳＢの立ち下がりから所定期間をおいてロウレベルに変化され、ライトイネーブル信号ＷＥＢは、ダイナミック型ＲＡＭの動作モードに応じて選択的に所定のタイミングでロウレベルとされる。アドレス入力端子Ａ０～Ａｉには、ロウアドレスストローブ信号ＲＡＳＢの立ち下がりエッジに同期してＡＸｉに代表されるＸアドレス信号ＡＸ０～ＡＸｉが供給され、カラムアドレスストローブ信号ＣＡＳＢの立ち下がりエッジに同期してＡＹｉに代表されるＹアドレス信号ＡＹ０～ＡＹｉが供給される。データ入出力端子Ｄ０～Ｄ７には、ダイナミック型ＲＡＭが書き込みモードとされるとき、ライトイネーブル信号ＷＥＢのロウレベル期間を包含する所定のタイミングで８ビットの書き込みデータが供給され、読み出しモードとされるときには、メモリアレイＭＡＲＹの指定されたアドレスから読み出された８ビットの読み出しデータが所定のタイミングて出力される。
【００３７】
ＸアドレスバッファＸＢ及びＸアドレスデコーダＸＤを含むロウ系回路は、ロウアドレスストローブ信号ＲＡＳＢの立ち下がりを受けて動作状態とされ、これによってメモリアレイＭＡＲＹのＸアドレス信号ＡＸ０～ＡＸｉにより指定される１本のワード線が択一的に選択レベルとされる。また、ＹアドレスバッファＹＢ及びＹアドレスデコーダＹＤを含むカラム系回路は、カラムアドレスストローブ信号ＣＡＳＢの立ち下がりを受けて動作状態とされ、これによってメモリアレイＭＡＲＹのＹアドレス信号ＡＹ０～ＡＹｉにより指定される８個のメモリセルに対する書き込み又は読み出し動作が行われる。
【００３８】
一方、反転ＳＣＲＣ制御信号ＳＷＢは、ロウアドレスストローブ信号ＲＡＳＢの立ち下がりを受けてハイレベルからロウレベルに変化され、ＳＣＲＣ制御信号ＳＷは、ロウレベルからハイレベルに変化される。サブスレッショルド電流低減方式の適用対象となるカラム系回路及びデータ入出力回路ＩＯでは、後述するように、反転ＳＣＲＣ制御信号ＳＷＢのロウレベル及びＳＣＲＣ制御信号ＳＷのハイレベルを受けてＳＣＲＣ回路の実質的な動作が停止され、カラム系回路及びデータ入出力回路ＩＯは通常の動作状態とされる。しかし、ＳＣＲＣ回路が完全な停止状態となり、カラム系回路及びデータ入出力回路ＩＯが完全な動作状態となるまでには、比較的長い移行時間ｔｓｃが必要となる。
【００３９】
ところが、この実施例の場合、前述のように、ＳＣＲＣ回路を用いたサブスレッショルド電流低減方式が、ダイナミック型ＲＡＭがアクティブ状態に移行されてから比較的遅い時点、つまりカラムアドレスストローブ信号ＣＡＳＢの立ち下がりを受けて動作を開始するＹアドレスバッファＹＢ及びＹアドレスデコーダＹＤを含むカラム系回路ならびにデータ入出力回路ＩＯにのみ適用され、しかもＳＣＲＣ回路の動作が停止状態となってからカラムアドレスストローブ信号ＣＡＳＢがロウレベルとされカラム系回路及びデータ入出力回路ＩＯの動作が開始されるまでの間には充分なセットアップ時間ｔｓｕが確保される。この結果、サブスレッショルド電流低減方式が適用されることによる制約はなくなり、これによってダイナミック型ＲＡＭの高速化を図ることができるものとなる。
【００４０】
図３には、図１のダイナミック型ＲＡＭに含まれるカラム系回路の第１の実施例の基本回路図が示されている。また、図４には、図３のカラム系回路の第１の実施例の信号波形図が示され、図５には、図３のカラム系回路を構成するＮチャンネルＭＯＳＦＥＴの一実施例の動作特性図が示されている。これらの図をもとに、サブスレッショルド電流低減方式が適用されるカラム系回路の基本的構成及び動作ならびにその特徴について説明する。なお、図３は、サブスレッショルド電流低減方式の実現手段となるＳＣＲＣ回路の基本的構成及び動作を例示的に説明するためのものであって、ＹアドレスバッファＹＢ及びＹアドレスデコーダＹＤを含むカラム系回路の実質的な論理構成及び機能等に制約を与えるもの

ではない。また、ＳＣＲＣ回路に関する以下の説明は、カラム系回路と同様サブスレッショルド電流低減方式の適用対象となるデータ入出力回路ＩＯにも該当するものであり、参照して類推されたい。以下の回路図において、そのチャネル（バックゲート）部に矢印が付されるＭＯＳＦＥＴはＰチャンネル型（第１導電型）であって、矢印の付されないＮチャンネル型（第２導電型）と区別される。

【００４１】

図３において、カラム系回路は、特に制限されないが、直列結合される所定数のＣＭＯＳ論理ゲートつまりインバータＶ１ないしＶ６を含む。このうち、初段のインバータＶ１の入力端子には、ダイナミック型ＲＡＭの図示されない前段回路から所定の論理入力信号ＬＳＩが供給され、その出力信号ＶＯ１は、次段のインバータＶ２の入力端子に供給される。以下、インバータＶ２の出力信号ＶＯ２は、インバータＶ３の入力端子に供給され、インバータＶ３ないしＶ５の出力信号ＶＯ３ないしＶＯ５は、それぞれ後段のインバータＶ４ないしＶ６の入力端子に供給される。最終段のインバータＶ６の出力信号は、論理出力信号ＬＳＯとしてダイナミック型ＲＡＭの図示されない後段回路に供給される。

【００４２】

この実施例において、ダイナミック型ＲＡＭがスタンバイ状態とされるとき、インバータＶ１の入力端子に供給される論理入力信号ＬＳＩの論理レベルは、電源電圧ＶＤＤのようなハイレベル（Ｈ）に固定される。したがって、インバータＶ１の出力信号ＶＯ１の論理レベルは、接地電位ＶＳＳのようなロウレベル（Ｌ）に固定され、インバータＶ２ないしＶ６の出力信号ＶＯ２ないしＶＯ５ならびに論理出力信号ＬＳＯの論理レベルは、それぞれハイレベル（Ｈ），ロウレベル（Ｌ），ハイレベル（Ｈ），ロウレベル（Ｌ）ならびにハイレベル（Ｈ）に固定される。この結果、カラム系回路のインバータＶ１ないしＶ６では、ダイナミック型ＲＡＭがスタンバイ状態とされる間、ＰチャンネルＭＯＳＦＥＴＰ２，Ｐ４ならびにＰ６とＮチャンネルＭＯＳＦＥＴＮ１，Ｎ３ならびにＮ５がオン状態とされ、ＰチャンネルＭＯＳＦＥＴＰ１，Ｐ３ならびにＰ５とＮチャンネルＭＯＳＦＥＴＮ２，Ｎ４ならびにＮ６はオフ状態とされるものとなる。

【００４３】

ダイナミック型ＲＡＭがスタンバイ状態とされる間そのＰチャンネルＭＯＳＦＥＴＰ２，Ｐ４ならびにＰ６がオン状態とされるインバータＶ２，Ｖ４ならびにＶ６の高電位側電源ノードつまりＭＯＳＦＥＴＰ２，Ｐ４ならびにＰ６のソースは、電源電圧供給点ＶＤＤ（高電位側動作電源供給点）に共通結合され、そのＮチャンネルＭＯＳＦＥＴＮ１，Ｎ３ならびにＮ５がオン状態とされるインバータＶ１，Ｖ３ならびにＶ５の低電圧側電源ノードつまりＭＯＳＦＥＴＮ１，Ｎ３ならびにＮ５のソースは、接地電位供給点ＶＳＳ（低電圧側動作電源供給点）に共通結合される。また、ダイナミック型ＲＡＭがスタンバイ状態とされる間そのＰチャンネルＭＯＳＦＥＴＰ１，Ｐ３ならびにＰ５がオフ状態とされるインバータＶ１，Ｖ３ならびにＶ５の高電位側電源ノードつまりＭＯＳＦＥＴＰ１，Ｐ３ならびにＰ５のソースは、内部ノードＶＤＤＴに共通結合され、そのＮチャンネルＭＯＳＦＥＴＮ２，Ｎ４ならびにＮ６がオフ状態とされるインバータＶ２，Ｖ４ならびにＶ６の低電圧側電源ノードつまりＭＯＳＦＥＴＮ２，Ｎ４ならびにＮ６のソースは、内部ノードＶＳＳＴに共通結合される。

【００４４】

電源電圧供給点ＶＤＤと内部ノードＶＤＤＴつまりインバータＶ１，Ｖ３ないしＶ５の高電位側電源ノードとの間には、そのゲートに反転ＳＣＲＣ制御信号ＳＷＢ（第１の制御信号）を受けるＰチャンネル型のスイッチＭＯＳＦＥＴＰ０（第１のスイッチＭＯＳＦＥＴ）が設けられる。また、内部ノードＶＳＳＴつまりインバータＶ２，Ｖ４ないしＶ６の低電位側電源ノードと接地電位供給点ＶＳＳとの間には、そのゲートにＳＣＲＣ制御信号ＳＷ（第２の制御信号）を受けるＮチャンネル型のスイッチＭＯＳＦＥＴＮ０（第２のスイッチＭＯＳＦＥＴ）が設けられる。これらのスイッチＭＯＳＦＥＴＰ０及びＮ０は、インバータＶ１ないしＶ６を構成するＭＯＳＦＥＴＰ１ないしＰ６ならびにＮ１ないしＮ６に比較して充分に大きなサイズで形成され、そのオン状態時のコンダクタンスは充分に大き

くされる。また、反転ＳＣＲＣ制御信号ＳＷＢは、図４に示されるように、ダイナミック型ＲＡＭがスタンバイ状態とされるとき電源電圧ＶＤＤのようなハイレベルとされ、ダイナミック型ＲＡＭがアクティブ状態とされるときには接地電位ＶＳＳのようなロウレベルとされる。ＳＣＲＣ制御信号ＳＷは、上記反転ＳＣＲＣ制御信号ＳＷＢの相補信号とされるため、ダイナミック型ＲＡＭがスタンバイ状態とされるとき接地電位ＶＳＳのようなロウレベルとされ、アクティブ状態とされるとき電源電圧ＶＤＤのようなハイレベルとされる。

【００４５】

ダイナミック型ＲＡＭがスタンバイ状態とされ反転ＳＣＲＣ制御信号ＳＷＢ及びＳＣＲＣ制御信号ＳＷがそれぞれハイレベル及びロウレベルとされるとき、カラム系回路では、スイッチＭＯＳＦＥＴＰ０及びＮ０がオフ状態となる。また、インバータＶ１ないしＶ６を構成するＭＯＳＦＥＴＮ１，Ｐ２，Ｎ３，Ｐ４ないし Ｎ５ならびに Ｐ６がオン状態とされ、ＭＯＳＦＥＴＰ１，Ｎ２，Ｐ３，Ｎ４ないし Ｐ５ならびに Ｎ６はオフ状態とされる。このため、内部ノードＶＤＤＴの電位は、オフ状態にあるスイッチＭＯＳＦＥＴＰ０とＭＯＳＦＥＴＰ１，Ｐ３ならびに Ｐ５のオフ抵抗比に応じて設定され、例えば２．３Ｖのような電位ＶＤＴとされる。また、内部ノードＶＳＳＴの電位は、やはりオフ状態にあるスイッチＭＯＳＦＥＴＮ０とＭＯＳＦＥＴＮ２，Ｎ４ならびに Ｎ６のオフ抵抗比に応じて設定され、例えば０．２Ｖのような電位ＶＳＴとされる。この結果、ＭＯＳＦＥＴＰ１，Ｎ２，Ｐ３，Ｎ４ないし Ｐ５ならびに Ｎ６のゲート・ソース間には、それぞれ電源電圧電位ＶＤＤ及び電位ＶＤＴ間あるいは電位ＶＳＴ及び接地電位電位ＶＳＳ間の電位差に相当する０．２Ｖの逆バイアスが印加される。

【００４６】

図５に例示されるように、ＮチャンネルＭＯＳＦＥＴのドレイン電流は、そのゲート・ソース間電圧が小さくなるにしたがって小さくなり、ゲート・ソース間電圧がゼロとなる点Ａにおいて所定のサブスレッショルド電流Ｉｓ０を流す。このサブスレッショルド電流Ｉｓ０は、ダイナミック型ＲＡＭの微細化・低電圧化が進みＭＯＳＦＥＴのしきい値電圧が小さくされるにしたがって大きくなり、このためにダイナミック型ＲＡＭのスタンバイ状態時における低消費電力化が阻害される。本実施例のように、ダイナミック型ＲＡＭがスタンバイ状態とされるときオフ状態にあるＭＯＳＦＥＴのゲート・ソース間に例えば０．２Ｖのような逆バイアス－Ｖｓｔが印加されることで、ＭＯＳＦＥＴのサブスレッショルド電流はＩｓｔのように小さくなり、これによってダイナミック型ＲＡＭのスタンバイ状態時における低消費電力化を図ることができるものとなる。

【００４７】

次に、ダイナミック型ＲＡＭがスタンバイ状態からアクティブ状態に移行し、反転ＳＣＲＣ制御信号ＳＷＢ及びＳＣＲＣ制御信号ＳＷがそれぞれロウレベル及びハイレベルに変化されると、カラム系回路では、スイッチＭＯＳＦＥＴＰ０及びＮ０がオン状態となる。これらのスイッチＭＯＳＦＥＴは、前述のように、充分に大きなサイズで形成され、そのオン抵抗は充分に小さい。したがって、内部ノードＶＤＤＴ及びＶＳＳＴの電位は、ほぼそれぞれ電源電圧ＶＤＤ及び接地電位ＶＳＳに達し、カラム系回路を構成するインバータＶ１ないしＶ６は通常の動作状態となってその動作が高速化され、所定の論理機能を果たす。

【００４８】

ところで、ダイナミック型ＲＡＭの高集積化・大規模化にともなって、カラム系回路の内部ノードＶＤＤＴ及びＶＳＳＴに結合されるＭＯＳＦＥＴの数は多くなり、これを受けて各内部ノードの寄生容量が増大する。このため、ダイナミック型ＲＡＭがスタンバイ状態からアクティブ状態に移行された場合の内部ノードＶＤＤＴ及びＶＳＳＴの電位変化は比較的長い移行時間ｔｖを必要とする。しかし、カラム系回路のスイッチＭＯＳＦＥＴＰ０及びＮ０の動作を制御する反転ＳＣＲＣ制御信号ＳＷＢ及びＳＣＲＣ制御信号ＳＷは、前述のように、ロウアドレスストローブ信号ＲＡＳＢの立ち下がりを受けて、言い換えるならばカラムアドレスストローブ信号ＣＡＳＢの立ち下がりを受けて論理入力信号ＬＳＩの

論理レベルが変化される以前に有効レベルとされるため、上記移行時間ｔｖによってカラム系回路の通常動作が影響を受けることはない。この結果、サブスレッショルド電流低減方式が採用されることの効果を享受しつつ、カラム系回路を含むダイナミック型ＲＡＭの高速化を図ることができるものとなる。

【００４９】

図６には、図３のカラム系回路の第２の実施例の信号波形図が示されている。なお、この実施例の信号波形は、前記図４の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【００５０】

図６において、この実施例のカラム系回路に供給される反転ＳＣＲＣ制御信号ＳＷＢのスタンバイ状態時におけるハイレベルは、ワード線選択電位つまり３．５Ｖの内部電圧ＶＰＰとされ、そのアクティブ状態におけるロウレベルは、－１．０Ｖの基板電圧ＶＢＢとされる。また、ＳＣＲＣ制御信号ＳＷのスタンバイ状態時におけるロウレベルは、上記基板電圧ＶＢＢとされ、そのアクティブ状態時におけるハイレベルは、上記内部電圧ＶＰＰとされる。

【００５１】

前述のように、スイッチＭＯＳＦＥＴＰ０及びＮ０は、比較的大きなサイズをもって形成され、充分に大きなコンダクタンスを持つ。しかし、そのサイズが大きいが故にそのゲート容量も大きくなるため、その動作が遅くなり、サブスレッショルド電流も大きくなる。ところが、上記のように、反転ＳＣＲＣ制御信号ＳＷＢ及びＳＣＲＣ制御信号ＳＷのアクティブ状態時におけるロウレベル及びハイレベルをそれぞれ基板電圧ＶＢＢ及び内部電圧ＶＰＰとすることで、オン状態となるべきスイッチＭＯＳＦＥＴＰ０及びＮ０のゲート・ソース間電圧を大きくしてそのコンダクタンスを充分に大きくし、そのオン状態への遷移を高速化することができるとともに、反転ＳＣＲＣ制御信号ＳＷＢ及びＳＣＲＣ制御信号ＳＷのスタンバイ状態時におけるハイレベル及びロウレベルをそれぞれ内部電圧ＶＰＰ及び基板電圧ＶＢＢとすることで、オフ状態となるべきスイッチＭＯＳＦＥＴＰ０及びＮ０のゲート・ソース間に逆バイアスを印加し、そのサブスレッショルド電流を低減することができるものとなる。これにより、ダイナミック型ＲＡＭのアクティブ状態時におけるさらなる高速化とスタンバイ状態におけるさらなるサブスレッショルド電流の低減を図ることができるものである。

【００５２】

なお、カラム系回路に供給される内部電圧ＶＰＰは、前述のように、ワード線選択電位としてもともと内部電圧発生回路ＶＧによって生成され、基板電圧ＶＢＢも同様にもともと内部電圧発生回路ＶＧによって形成されるものであるため、これらの内部電圧ＶＰＰ及び基板電圧ＶＢＢがカラム系回路に供給されることによって新しい内部電圧発生回路が必要となることはない。

【００５３】

図７には、図１のダイナミック型ＲＡＭに含まれるセンスアンプＳＡの一実施例の部分的な回路図が示され、図８には、その一実施例の信号波形図が示されている。両図をもとに、この実施例のダイナミック型ＲＡＭのセンスアンプＳＡの具体的構成及び動作ならびにその特徴について説明する。

【００５４】

図７において、この実施例のダイナミック型ＲＡＭのセンスアンプＳＡは、メモリアレイＭＡＲＹの相補ビット線Ｂ０＊～Ｂｎ＊に対応して設けられるｎ＋１個の単位回路を備え、これらの単位回路のそれぞれは、図に例示されるように、Ｎチャンネル型の３個のプリチャージＭＯＳＦＥＴＮ１４～Ｎ１６が直並列結合されてなるビット線プリチャージ回路と、ＰチャンネルＭＯＳＦＥＴＰ１２及びＮチャンネルＭＯＳＦＥＴＮ１２あるいはＰチャンネルＭＯＳＦＥＴＰ１３及びＮチャンネルＭＯＳＦＥＴＮ１３からなる一対のＣＭＯＳインバータが交差結合されてなる単位増幅回路とを含む。なお、センスアンプＳＡの各単位回路は、前記のように、Ｎチャンネル型の一対のスイッチＭＯＳＦＥＴをそれぞれ含

むが、その図７における図示及び説明を割愛する。

【００５５】

センスアンプＳＡの各単位回路のビット線プリチャージ回路を構成するプリチャージＭＯＳＦＥＴＮ１４～Ｎ１６のゲートには、タイミング発生回路ＴＧからプリチャージ制御信号ＰＣが共通に供給され、プリチャージＭＯＳＦＥＴＮ１４及びＮ１５のソースには、内部電圧発生回路ＶＧから１．１Ｖの中間電圧ＨＶが供給される。なお、プリチャージ制御信号ＰＣは、図８に示されるように、ダイナミック型ＲＡＭが非切断状態又はスタンバイ状態とされるとき電源電圧ＶＤＤのようなハイレベルとされ、ダイナミック型ＲＡＭが選択状態又はアクティブ状態とされる当初、接地電位ＶＳＳのようなロウレベルとされる。

【００５６】

これにより、センスアンプＳＡの各単位回路のビット線プリチャージ回路を構成するプリチャージＭＯＳＦＥＴＮ１４～Ｎ１６は、ダイナミック型ＲＡＭが非切断状態又はスタンバイ状態とされるとき、プリチャージ制御信号ＰＣのハイレベルを受けて選択的にかつ一斉にオン状態となり、対応する相補ビット線Ｂ０＊～Ｂｎ＊の非反転及び反転信号線を中間電圧ＨＶにプリチャージする。

【００５７】

一方、センスアンプＳＡの各単位回路の単位増幅回路を構成するＰチャンネルＭＯＳＦＥＴＰ１２及びＰ１３のソースは、コモンソース線ＣＳＰ（第１のコモンソース線）に共通結合され、ＮチャンネルＭＯＳＦＥＴＮ１２及びＮ１３のソースは、コモンソース線ＣＳＮ（第２のコモンソース線）に共通結合される。コモンソース線ＣＳＰは、そのゲートに反転センスアンプ駆動信号ＰＡＢ（第１のセンスアンプ駆動信号）を受けるＰチャンネル型の駆動ＭＯＳＦＥＴＰ１（第１の駆動ＭＯＳＦＥＴ）を介して内部電圧供給点ＶＤＬ（高電位側動作電源供給点）に結合される。また、コモンソース線ＣＳＮは、そのゲートにセンスアンプ駆動信号ＰＡ（第２のセンスアンプ駆動信号）を受けるＮチャンネル型の駆動ＭＯＳＦＥＴＮ１１（第２の駆動ＭＯＳＦＥＴ）を介して接地電位供給点ＶＳＳ（低電位側動作電源供給点）に結合される。なお、コモンソース線ＣＳＰ及びＣＳＮには、ｎ＋１個の単位増幅回路を構成するＰチャンネル又はＮチャンネルＭＯＳＦＥＴのソースが共通結合され、比較的大きな寄生容量が結合される。これに対処するため、駆動ＭＯＳＦＥＴＰ１１及びＮ１１は比較的大きなサイズをもって形成され、比較的大きなコンダクタンスを有するものとされる。

【００５８】

この実施例において、反転センスアンプ駆動信号ＰＡＢは、図８に示されるように、ダイナミック型ＲＡＭが非選択状態又はスタンバイ状態とされるとき、内部電圧ＶＰＰのような無効レベルつまりハイレベルとされ、ダイナミック型ＲＡＭがアクティブ状態つまり動作状態とされるとき、メモリアレイＭＡＲＹの選択ワード線に結合されるｎ＋１個のメモリセルの微小読み出し信号が対応する相補ビット線Ｂ０＊～Ｂｎ＊に出力される所定のタイミングで基板電圧ＶＢＢのような有効レベルつまりロウレベルとされる。また、センスアンプ駆動信号ＰＡは、上記反転センスアンプ駆動信号ＰＡＢの相補信号であって、ダイナミック型ＲＡＭが非選択状態又はスタンバイ状態とされるとき、基板電圧ＶＢＢのような無効レベルつまりロウレベルとされ、ダイナミック型ＲＡＭがアクティブ状態つまり動作状態とされるとき、内部電圧ＶＰＰのような有効レベルつまりハイレベルとされる。前記のように、内部電圧ＶＰＰは３．５Ｖのワード線選択電位であり、基板電圧ＶＢＢは－１．１Ｖのような負電位とされる。

【００５９】

これにより、センスアンプＳＡの各単位回路の単位増幅回路は、反転センスアンプ駆動信号ＰＡＢが基板電圧ＶＢＢのようなロウレベルとされ、センスアンプ駆動信号ＰＡが内部電圧ＶＰＰのようなハイレベルとされることで選択的にかつ一斉に動作状態とされ、メモリアレイＭＡＲＹの選択ワード線に結合されるｎ＋１個のメモリセルから相補ビット線Ｂ０＊～Ｂｎ＊を介して出力される微小読み出し信号をそれぞれ増幅して、内部電圧ＶＤＬつまり２．２Ｖをハイレベルとし接地電位ＶＳＳをロウレベルとする２値読み出し信号と

する。

【００６０】

前述のように、駆動ＭＯＳＦＥＴＰ１１及びＮ１１は、比較的大きなサイズをもって形成され、充分に大きなコンダクタンスを持つ。しかし、そのサイズが大きいが故にゲート容量も大きくなるため、その動作が遅くなり、サブスレッショルド電流も大きくなる。ところが、上記のように、反転センスアンプ駆動信号ＰＡＢ及びセンスアンプ駆動信号ＰＡのアクティブ状態時におけるロウレベル及びハイレベルをそれぞれ基板電圧ＶＢＢ及び内部電圧ＶＰＰとすることで、オン状態となるべき駆動ＭＯＳＦＥＴＰ１１及びＮ１１のゲート・ソース間電圧を大きくしてそのコンダクタンスを充分に大きくし、そのオン状態への遷移を高速化することができるとともに、反転ＳＣＲＣ制御信号ＳＷＢ及びＳＣＲＣ制御信号ＳＷのスタンバイ状態時におけるハイレベル及びロウレベルをそれぞれ内部電圧ＶＰＰ及び基板電圧ＶＢＢとすることで、オフ状態となるべき駆動ＭＯＳＦＥＴＰ１１及びＮ１１のゲート・ソース間に逆バイアスを印加し、そのサブスレッショルド電流を低減することができるものとなる。これにより、ダイナミック型ＲＡＭのアクティブ状態時における動作のさらなる高速化とスタンバイ状態時におけるサブスレッショルド電流のさらなる低減を図ることができる。

【００６１】

なお、センスアンプＳＡに供給される内部電圧ＶＰＰは、前述のように、ワード線選択電位としてもともと内部電圧発生回路ＶＧによって生成され、基板電圧ＶＢＢも同様にもともと内部電圧発生回路ＶＧによって形成されるものであるため、これらの内部電圧ＶＰＰ及び基板電圧ＶＢＢがセンスアンプＳＡに供給されることによって新しい内部電圧発生回路が必要となることはない。

【００６２】

図９には、図１のダイナミック型ＲＡＭに含まれるカラム系回路の第３の実施例の部分的な基本回路図が示されている。また、図１０には、図９のカラム系回路に含まれるパワーラインコントロール回路ＰＬＣＴの一実施例の回路図が示されている。さらに、図１１には、図１０のパワーラインコントロール回路ＰＬＣＴに含まれる参照電圧生成回路ＶＲＧの一実施例の出力特性図が示され、図１２には、図９のカラム系回路の一実施例の信号波形図が示されている。これらの図をもとに、この実施例のカラム系回路の基本的構成及び動作ならびにその特徴を説明する。なお、図９のカラム系回路は、前記図３の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【００６３】

図９において、この実施例のカラム系回路は、パワーラインコントロール回路ＰＬＣＴ（内部電圧発生回路）により生成される内部電圧ＶＤＬをその高電位側動作電源とし、内部電圧ＶＳＬをその低電位側動作電源とする。また、このカラム系回路は、前記図３のカラム系回路のスイッチＭＯＳＦＥＴＰ０及びＮ０を含まず、内部ノードＶＤＤＴ及びＶＳＳＴには、パワーラインコントロール回路ＰＬＣＴにより生成される内部電圧ＶＤＤＴ及びＶＳＳＴがそれぞれそのまま供給される。なお、内部電圧ＶＤＬ及びＶＳＬは、図１２に示されるように、ダイナミック型ＲＡＭの動作状態に関係なく常にそれぞれ２．２Ｖ及び０．２Ｖとされる。また、内部電圧ＶＤＤＴ及びＶＳＳＴは、ダイナミック型ＲＡＭがスタンバイ状態とされるとき、それぞれ２．０Ｖの電位ＶＤＴ及び０．４Ｖの電位ＶＳＴとされ、ダイナミック型ＲＡＭがアクティブ状態とされるときには、それぞれ２．２Ｖの内部電圧ＶＤＬ及び０．２Ｖの内部電圧ＶＳＬとされる。

【００６４】

パワーラインコントロール回路ＰＬＣＴには、タイミング発生回路ＴＧからＳＣＲＣ制御信号ＳＷが供給される。このＳＣＲＣ制御信号ＳＷは、図１２に示されるように、ダイナミック型ＲＡＭがスタンバイ状態とされるとき接地電位ＶＳＳのようなロウレベルとされ、ダイナミック型ＲＡＭがアクティブ状態とされるとき電源電圧ＶＤＤのようなハイレベルとされる。パワーラインコントロール回路ＰＬＣＴは、外部端子ＶＤＤ及びＶＳＳを介して供給される電源電圧ＶＤＤ（第１の電源電圧）及び接地電位ＶＳＳ（第２の電源電圧

）をもとに、上記内部電圧ＶＤＬ（第２の電圧），ＶＤＤＴ（第３の電圧），ＶＳＳＴ（第４の電圧）ならびにＶＳＬ（第５の電圧）を生成するとともに、ＳＣＲＣ制御信号ＳＷに従って内部電圧ＶＤＤＴ及びＶＳＳＴの電位を上記のように制御する。

【００６５】

ここで、パワーラインコントロール回路ＰＬＣＴは、特に制限されないが、図１０に示されるように、４個のオペアンプＯＡ１～ＯＡ４ならびに参照電圧生成回路ＶＲＧを含む。このうち、参照電圧生成回路ＶＲＧは、図１１に示されるような出力特性を有し、電源電圧ＶＤＤ及び接地電位ＶＳＳをもとに４種類の参照電圧ＶＲＨ１，ＶＲＨ２，ＶＲＬ２ならびにＶＲＬ１を生成する。なお、参照電圧ＶＲＨ１は、２．２Ｖとされ、参照電圧ＶＲＨ２，ＶＲＬ２ならびにＶＲＬ３はそれぞれ２．０Ｖ，０．４Ｖならびに０．２Ｖとされる。

【００６６】

次に、オペアンプＯＡ１の反転入力端子－には、参照電圧生成回路ＶＲＧから参照電圧ＶＲＨ１が供給され、その非反転出力端子はＰチャンネルＭＯＳＦＥＴＰ２１のゲートに結合される。このＭＯＳＦＥＴＰ２１のソースは、電源電圧ＶＤＤに結合される。また、そのドレインは、オペアンプＯＡ１の非反転入力端子＋に結合されるとともに、ダイオード形態とされるＮチャンネルＭＯＳＦＥＴＮ２１を介して接地電位ＶＳＳに結合される。ＭＯＳＦＥＴＰ２１のドレインつまりオペアンプＯＡ１の反転入力端子における電位は、パワーラインコントロール回路ＰＬＣＴの内部電圧ＶＤＬとなる。なお、ＭＯＳＦＥＴＰ２１は比較的大きなサイズをもって形成されるが、前記図３のカラム系回路のスイッチＭＯＳＦＥＴＰ０に比べれた場合、充分に小さなサイズとされる。

【００６７】

内部電圧ＶＤＬが参照電圧ＶＲＨ１より高い電位とされるとき、オペアンプＯＡ１の非反転出力信号はその参照電圧ＶＲＨ１との電位差に応じて高くされる。このため、ＭＯＳＦＥＴＰ２１のコンダクタンスが小さくされ、これによって内部電圧ＶＤＬの電位は低くされる。一方、内部電圧ＶＤＬが参照電圧ＶＲＨ１より低い電位とされるとき、オペアンプＯＡ１の非反転出力信号はその参照電圧ＶＲＨ１との電位差に応じて低くされる。このため、ＭＯＳＦＥＴＰ２１のコンダクタンスが大きくされ、これによって内部電圧ＶＤＬの電位は高くされる。これらの結果、内部電圧ＶＤＬは、その電位が常に参照電圧ＶＲＨ１と一致すべく制御され、その中心電位は２．２Ｖに向かって収束される。

【００６８】

同様に、オペアンプＯＡ４の反転入力端子－には、参照電圧生成回路ＶＲＧから参照電圧ＶＲＬ１が供給され、その非反転出力端子はＰチャンネルＭＯＳＦＥＴＰ２４のゲートに結合される。ＭＯＳＦＥＴＰ２４のソースは、電源電圧ＶＤＤに結合される。また、そのドレインは、オペアンプＯＡ４の非反転入力端子＋に結合されるとともに、ダイオード形態とされるＮチャンネルＭＯＳＦＥＴＮ２４を介して接地電位ＶＳＳに結合される。ＭＯＳＦＥＴＰ２４のドレインつまりオペアンプＯＡ４の反転入力端子における電位は、パワーラインコントロール回路ＰＬＣＴの内部電圧ＶＳＬとなる。なお、ＭＯＳＦＥＴＰ２４は比較的大きなサイズをもって形成されるが、前記図３のカラム系回路のスイッチＭＯＳＦＥＴＰ０に比べれた場合、充分に小さなサイズとされる。

【００６９】

内部電圧ＶＳＬが参照電圧ＶＲＬ１より高い電位とされるとき、オペアンプＯＡ４の非反転出力信号はその参照電圧ＶＲＬ１との電位差に応じて高くされる。このため、ＭＯＳＦＥＴＰ２４のコンダクタンスが小さくされ、これによって内部電圧ＶＳＬの電位は低くされる。一方、内部電圧ＶＳＬが参照電圧ＶＲＬ１より低い電位とされるとき、オペアンプＯＡ４の非反転出力信号はその参照電圧ＶＲＬ１との電位差に応じて低くされる。このため、ＭＯＳＦＥＴＰ２４のコンダクタンスが大きくされ、これによって内部電圧ＶＳＬの電位は高くされる。これらの結果、内部電圧ＶＳＬは、その電位が常に参照電圧ＶＲＬ１と一致すべく制御され、その中心電位は０．２Ｖに向かって収束される。

【００７０】

一方、オペアンプＯＡ２の反転入力端子－には、参照電圧生成回路ＶＲＧからＰチャンネルＭＯＳＦＥＴＰ２５を介して参照電圧ＶＲＨ１が供給されるとともに、ＰチャンネルＭＯＳＦＥＴＰ２６を介して参照電圧ＶＲＨ２が供給され、その非反転出力端子はＰチャンネルＭＯＳＦＥＴＰ２２のゲートに結合される。ＭＯＳＦＥＴＰ２４のソースは、電源電圧ＶＤＤに結合される。また、そのドレインは、オペアンプＯＡ２の非反転入力端子＋に結合されるとともに、ダイオード形態とされるＮチャンネルＭＯＳＦＥＴＮ２２を介して接地電位ＶＳＳに結合される。ＭＯＳＦＥＴＰ２６のゲートには、タイミング発生回路ＴＧからＳＣＲＣ制御信号ＳＷが供給され、ＭＯＳＦＥＴＰ２５のゲートには、そのインバータＶＶによる反転信号が供給される。ＭＯＳＦＥＴＰ２２のドレインつまりオペアンプＯＡ２の反転入力端子における電位は、パワーラインコントロール回路ＰＬＣＴの内部電圧ＶＤＤＴとなる。なお、ＭＯＳＦＥＴＰ２２は比較的大きなサイズをもって形成されるが、前記図３のカラム系回路のスイッチＭＯＳＦＥＴＰ０に比べれた場合、充分に小さなサイズとされる。

【００７１】

前述のように、ＳＣＲＣ制御信号ＳＷは、ダイナミック型ＲＡＭがスタンバイ状態とされるとき接地電位ＶＳＳのようなロウレベルとされ、アクティブ状態とされるとき電源電圧ＶＤＤのようなハイレベルとされる。したがって、オペアンプＯＡ２の反転入力端子－には、ダイナミック型ＲＡＭがスタンバイ状態とされＳＣＲＣ制御信号ＳＷがロウレベルとされるとき、ＭＯＳＦＥＴＰ２５がオフ状態となりＭＯＳＦＥＴＰ２６がオン状態となって参照電圧ＶＲＨ２が供給され、ダイナミック型ＲＡＭがアクティブ状態とされＳＣＲＣ制御信号ＳＷがハイレベルとされるときには、ＭＯＳＦＥＴＰ２５がオン状態となりＭＯＳＦＥＴＰ２６はオフ状態となって参照電圧ＶＲＨ１が供給される。これらの結果、内部電圧ＶＤＤＴは、ダイナミック型ＲＡＭがスタンバイ状態とされるとき、図１２の前半に示されるように、その電位が参照電圧ＶＲＨ２と一致すべく制御されてその中心電位は電位ＶＤＴつまり２．０Ｖとされ、アクティブ状態とされるときには、図１２の後半に示されるように、その電位が参照電圧ＶＲＨ１と一致すべく制御されてその中心電位は電位ＶＤＬつまり２．２Ｖとされる。

【００７２】

同様に、オペアンプＯＡ３の反転入力端子－には、参照電圧生成回路ＶＲＧからＰチャンネルＭＯＳＦＥＴＰ２７を介して参照電圧ＶＲＬ２が供給されるとともに、ＰチャンネルＭＯＳＦＥＴＰ２８を介して参照電圧ＶＲＬ１が供給され、その非反転出力端子はＰチャンネルＭＯＳＦＥＴＰ２３のゲートに結合される。ＭＯＳＦＥＴＰ２３のソースは、電源電圧ＶＤＤに結合される。また、そのドレインは、オペアンプＯＡ３の非反転入力端子＋に結合されるとともに、ダイオード形態とされるＮチャンネルＭＯＳＦＥＴＮ２３を介して接地電位ＶＳＳに結合される。ＭＯＳＦＥＴＰ２７のゲートには、タイミング発生回路ＴＧからＳＣＲＣ制御信号ＳＷが供給され、ＭＯＳＦＥＴＰ２８のゲートには、そのインバータＶＶによる反転信号が供給される。ＭＯＳＦＥＴＰ２３のドレインつまりオペアンプＯＡ３の反転入力端子における電位は、パワーラインコントロール回路ＰＬＣＴの内部電圧ＶＳＳＴとなる。なお、ＭＯＳＦＥＴＰ２３は比較的大きなサイズをもって形成されるが、前記図３のカラム系回路のスイッチＭＯＳＦＥＴＰ０に比べれた場合、充分に小さなサイズとされる。

【００７３】

前述のように、ＳＣＲＣ制御信号ＳＷは、ダイナミック型ＲＡＭがスタンバイ状態とされるとき接地電位ＶＳＳのようなロウレベルとされ、アクティブ状態とされるとき電源電圧ＶＤＤのようなハイレベルとされる。したがって、オペアンプＯＡ３の反転入力端子－には、ダイナミック型ＲＡＭがスタンバイ状態とされＳＣＲＣ制御信号ＳＷがロウレベルとされるとき、ＭＯＳＦＥＴＰ２８がオフ状態となりＭＯＳＦＥＴＰ２７がオン状態となって参照電圧ＶＲＬ２が供給され、ダイナミック型ＲＡＭがアクティブ状態とされＳＣＲＣ制御信号ＳＷがハイレベルとされるときには、ＭＯＳＦＥＴＰ２８がオン状態となりＭＯＳＦＥＴＰ２７はオフ状態となって参照電圧ＶＲＬ１が供給される。これらの結果、内部

電圧ＶＳＳＴは、ダイナミック型ＲＡＭがスタンバイ状態とされるとき、図１２の前半に示されるように、その電位が参照電圧ＶＲＬ２と一致すべく制御されてその中心電位は電位ＶＳＴつまり０．４Ｖとされ、アクティブ状態とされるときには、図１２の後半に示されるように、その電位が参照電圧ＶＲＬ１と一致すべく制御されてその中心電位は電位ＶＳＬつまり０．２Ｖとされる。

【００７４】

図９の説明に戻ろう。内部電圧ＶＤＬ及びＶＳＬは、上記パワーラインコントロール回路ＰＬＣＴの制御により、ダイナミック型ＲＡＭの動作状態に関係なく常にそれぞれ２．２Ｖ及び０．２Ｖとされる。また、内部電圧ＶＤＤＴ及びＶＳＳＴは、ダイナミック型ＲＡＭがアクティブ状態とされるときそれぞれ内部電圧ＶＤＬ及びＶＳＬと同じ２．２Ｖ及び０．２Ｖとされ、ダイナミック型ＲＡＭがスタンバイ状態とされるときには、それぞれ内部電圧ＶＤＬより０．２Ｖだけ低い２．０Ｖあるいは内部電圧ＶＳＬより０．２Ｖだけ高い０．４Ｖとされる。このため、カラム系回路を構成するインバータＶ１ないしＶ６は、ダイナミック型ＲＡＭがアクティブ状態とされるとき、その通常動作を比較的高速に行うことができるが、ダイナミック型ＲＡＭがスタンバイ状態とされるときには、オフ状態となるべきＭＯＳＦＥＴＰ１，Ｎ２，Ｐ３，Ｎ４ないしＰ５ならびにＮ６のゲート・ソース間に逆バイアスが印加され、これによってダイナミック型ＲＡＭのスタンバイ状態におけるサブスレッショルド電流が低減される。

【００７５】

ところで、この実施例の場合、内部電圧供給点ＶＤＬ及びＶＤＤＴ間ならびに内部電圧供給点ＶＳＬ及びＶＳＳＴ間に電位制御のためのスイッチＭＯＳＦＥＴが設けられず、内部電圧供給点ＶＤＤＴ及びＶＳＳＴの電位は、パワーラインコントロール回路ＰＬＣＴによって常に自動的に制御される。この結果、図３のスイッチＭＯＳＦＥＴＰ０及びＮ０に対応する比較的大きなサイズのスイッチＭＯＳＦＥＴが設けられることによるダイナミック型ＲＡＭのチップサイズの増大を抑制し、その低コスト化を図ることができるとともに、プロセスバラツキ等の影響を受けて内部ノードＶＤＤＴ及びＶＳＳＴの電位が必要以上に低く又は高くなるのを防止し、その充放電電流が大きくなるのを防止して、ダイナミック型ＲＡＭの低消費電力化を図ることができるものとなる。

【００７６】

図１３には、この発明が適用されたダイナミック型ＲＡＭの第２の実施例のブロック図が示されている。また、図１４には、図１３のダイナミック型ＲＡＭの動作タイミングを説明するための一実施例の信号波形図が示されている。なお、この実施例のダイナミック型ＲＡＭは、前記図１の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【００７７】

図１３において、この実施例のダイナミック型ＲＡＭは、通常動作が行われるアクティブモードと、アクティブモードに比較してその消費電力が低減されるスタンバイモードとを有し、そのモード切り換え制御は、特に制限されないが、パワーダウンモード信号ＰＤＭに従って行われる。すなわち、ダイナミック型ＲＡＭは、図１４に示されるように、パワーダウンモード信号ＰＤＭが電源電圧ＶＤＤのようなハイレベルとされることでスタンバイモードとされ、接地電位ＶＳＳのようなロウレベルとされることでアクティブモードとされる。

【００７８】

一方、この実施例のダイナミック型ＲＡＭは、サブスレッショルド電流低減方式を採り、その適用対象となるブロックには、図１３に網かけ処理を施して示されるように、ＣＭＯＳ論理ゲートを含む主たる論理回路のすべて、つまりロウ系回路をＸアドレスバッファＸＢ及びＸアドレスデコーダＸＤと、カラム系回路を構成するＹアドレスバッファＹＢ及びＹアドレスデコーダＹＤと、センスアンプＳＡ，データ入出力回路ＩＯならびにタイミング発生回路ＴＧの一部とが含まれる。言い換えるならば、この実施例のダイナミック型ＲＡＭでは、その動作モードがスタンバイモードつまりスタンバイ状態からアクティブモー

ドつまりアクティブ状態に移行されたとき比較的早い時点で動作を開始するロウ系回路やタイミング発生回路ＴＧの一部までがサブスレッショルド電流低減方式の適用対象とされ、そのスタンバイ状態におけるサブスレッショルド電流は充分に低減されるものとなるが、サブスレッショルド電流低減方式を採る従来のダイナミック型ＲＡＭ等では、これらの回路が含まれることで反転ＳＣＲＣ制御信号ＳＷＢ及びＳＣＲＣ制御信号ＳＷを受けるＰチャンネル型及びＮチャンネル型のスイッチＭＯＳＦＥＴを含むＳＣＲＣ回路の移行時間ｔｓｃが問題となっていた。

【００７９】

ところが、この実施例のダイナミック型ＲＡＭでは、パワーダウンモード信号ＰＤＭがロウレベルに変化されてから実質的なアクティブ状態に入るまでの間、つまりロウアドレスストローブ信号ＲＡＳＢが最初にロウレベルとされダイナミック型ＲＡＭが通常動作を開始するまでの間に、ＳＣＲＣ回路の移行時間ｔｓｃより長い所定の移行時間をおくことが、他の理由、つまり例えば内部電圧発生回路ＶＧから出力されるすべての内部電圧の電位が規定された電位に安定するまでの時間を確保するため等の理由から、その仕様条件として規定される。したがって、サブスレッショルド電流低減方式の適用対象に、アクティブ状態への移行後比較的早い時点で動作を開始するロウ系回路やタイミング発生回路ＴＧの一部が含まれるにもかかわらず、ＳＣＲＣ回路の移行時間ｔｓｃは仕様条件として規定されたダイナミック型ＲＡＭのアクティブモードへの移行時間内に包含され、これによって上記のような問題を解消しつつ、ダイナミック型ＲＡＭのスタンバイ状態におけるサブスレッショルド電流を低減できるものである。

【００８０】

以上の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）ダイナミック型ＲＡＭ等がスタンバイ状態からアクティブ状態に移行されるとき、比較的早い時点で動作を開始する例えばＸアドレスバッファ及びＸアドレスデコーダ等のロウ系回路にはサブスレッショルド電流低減方式を適用せず、比較的遅い時点で動作を開始する例えばＹアドレスバッファ及びＹアドレスデコーダを含むカラム系回路ならびにデータ入出力回路等にのみ適用することで、サブスレッショルド電流低減方式が適用される回路のうち、スタンバイ状態からアクティブ状態への移行時に問題となる回路を排除して、ダイナミック型ＲＡＭ等の高速化を図ることができるという効果が得られる。

【００８１】

（２）ダイナミック型ＲＡＭ等のロウ系回路及びカラム系回路を含む主たる論理回路のすべてにサブスレッショルド電流低減方式を適用したい場合、スタンバイ状態からアクティブ状態への移行に際して、例えば各内部電圧の電位が安定するまでに必要な時間を超える移行時間がその仕様条件として設定されたものに限定することで、ほとんどの論理回路に問題なくサブスレッショルド電流低減方式を適用し、ダイナミック型ＲＡＭ等のスタンバイ状態におけるサブスレッショルド電流を充分に低減することができるという効果が得られる。

【００８２】

（３）上記（１）項及び（２）項において、サブスレッショルド電流低減方式に必要なスイッチＭＯＳＦＥＴのゲートに供給される反転ＳＣＲＣ制御信号及び非反転ＳＣＲＣ制御信号のアクティブ状態時におけるロウレベル及びハイレベルをそれぞれ基板電圧用の負電位及びワード線選択用の高電位とすることで、オン状態となるべきスイッチＭＯＳＦＥＴのゲート・ソース間電圧を大きくしてそのコンダクタンスを充分に大きくし、そのオン状態への遷移を高速化することができるとともに、反転ＳＣＲＣ制御信号及び非反転ＳＣＲＣ制御信号のスタンバイ状態時におけるハイレベル及びロウレベルをそれぞれワード線選択用の高電位及び基板電圧用の負電位とすることで、オフ状態となるべきスイッチＭＯＳＦＥＴのゲート・ソース間に逆バイアスを印加し、そのスタンバイ状態時におけるサブスレッショルド電流を低減することができるため、ダイナミック型ＲＡＭのアクティブ状態時におけるさらなる高速化とスタンバイ状態におけるさらなるサブスレッショルド電流の低減を図ることができるという効果が得られる。

【００８３】
（４）ダイナミック型ＲＡＭ等のセンスアンプにサブスレッショルド電流低減方式を適用し、センスアンプの駆動ＭＯＳＦＥＴのゲートに供給されるセンスアンプ駆動信号の無効レベルを高電位側コモンソース線の有効レベルより高くしあるいは低電位側コモンソース線の有効レベルより低くすることで、特にセンスアンプを含むメモリアレイ用動作電源が低電圧化されたダイナミック型ＲＡＭ等のアクティブ状態での非動作時ならびにスタンバイ状態時におけるサブスレッショルド電流を低減することができるという効果が得られる。
【００８４】
（５）上記（４）項において、反転センスアンプ駆動信号及びセンスアンプ駆動信号のアクティブ状態時の有効レベルをそれぞれ基板電圧用の負電位及びワード線選択用の高電位とすることで、オン状態となるべき駆動ＭＯＳＦＥＴのゲート・ソース間電圧を大きくしてそのコンダクタンスを充分に大きくし、そのオン状態への遷移を高速化して、センスアンプひいてはこれを含むダイナミック型ＲＡＭ等の動作を高速化することができるという効果が得られる。
【００８５】
（６）ダイナミック型ＲＡＭ等に、外部供給される電源電圧をもとに各内部電圧供給点のスタンバイ状態時における電位を生成する内部電圧発生回路を設け、電位設定のためのスイッチＭＯＳＦＥＴを削除することで、スイッチＭＯＳＦＥＴを設けることなく、各内部電圧供給点のスタンバイ状態における電位を常に必要電位に保つことができるという効果が得られる。
【００８６】
（７）上記（６）項により、スイッチＭＯＳＦＥＴが大型化されることによるダイナミック型ＲＡＭ等のチップサイズ増大を抑制し、ダイナミック型ＲＡＭ等の低コスト化を図ることができるという効果が得られる。
（８）上記（６）項により、サブスレッショルド電流低減方式の実現に必要な内部電圧供給点の電位が必要以上に高く又は低くされるのを防止し、これらの内部電圧供給点に対する不必要な充放電電流をなくして、ダイナミック型ＲＡＭ等の低消費電力化を図ることができるという効果が得られる。
【００８７】
以上、本発明者によりなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図１及び図１３において、ダイナミック型ＲＡＭのメモリアレイＭＡＲＹは、その直接周辺回路を含めて任意数のメモリマットに分割することができる。また、ダイナミック型ＲＡＭは、×４ビット又は×１６ビット等、任意のビット構成を採ることができる。ダイナミック型ＲＡＭは、任意のブロック構成を採りうるし、サブスレッショルド電流低減方式の適用対象となるブロックの組み合わせも任意である。さらに、起動制御信号やアドレス信号及び内部制御信号等の組み合わせならびに電源電圧及び各内部電圧の極性及び絶対値等は、種々の実施形態を採りうる。
【００８８】
図２，図４，図６，図８，図１２ならびに図１４において、各起動制御信号及び内部信号の有効レベルならびに絶対的な電位関係及びタイミング関係は、本発明に制約を与えない。図３及び図９において、カラム系回路は、各種の論理ゲートを含むことができるし、その論理入力信号ＬＳＩならびに各内部ノードのスタンバイ状態における論理レベルも任意に設定できる。図７において、センスアンプＳＡの駆動ＭＯＳＦＥＴＰ１１及びＮ１１は、例えば並列形態とされ時系列的にオン状態とされる複数の駆動ＭＯＳＦＥＴに置き換えることができる。
【００８９】
図１０において、パワーラインコントロール回路ＰＬＣＴの具体的な回路構成は、種々の実施形態を採りうるし、図１１に示される参照電圧生成回路ＶＲＧの出力特性もほんの一

例であって本発明に制約を与えない。図１３において、ダイナミック型ＲＡＭの動作モードの切り換え制御は、パワーダウンモード信号ＰＤＭによることを必須条件とせず、例えば他の起動制御信号、つまりロウアドレスストローブ信号ＲＡＳＢ，カラムアドレスストローブ信号ＣＡＳＢならびにライトイネーブル信号ＷＥＢの組み合わせによって制御することもできる。

【００９０】

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるダイナミック型ＲＡＭに適用した場合について説明したが、それに限定されるものではなく、例えば、ダイナミック型ＲＡＭを基本とするシンクロナスＤＲＡＭやスタティック型ＲＡＭ等の各種メモリ集積回路装置ならびにこれを含むシングルチップマイクロコンピュータ等の論理集積回路装置にも適用できる。この発明は、少なくともサブスレッショルド電流低減方式を採る半導体集積回路装置ならびにこれを含む装置又はシステムに広く適用できる。

【００９１】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型ＲＡＭ等がスタンバイ状態からアクティブ状態に移行されるとき比較的早い時点で動作を開始する例えばＸアドレスバッファ及びＸアドレスデコーダ等のロウ系回路には、サブスレッショルド電流低減方式を適用せず、比較的遅い時点で動作を開始する例えばＹアドレスバッファ及びＹアドレスデコーダを含むカラム系回路ならびにデータ入出力回路等にのみ適用することで、サブスレッショルド電流低減方式が適用される回路のうちスタンバイ状態からアクティブ状態への移行時に問題となる回路を排除して、ダイナミック型ＲＡＭ等の高速化を図ることができる。

【００９２】

また、ダイナミック型ＲＡＭ等のロウ系回路及びカラム系回路を含む主たる論理回路のすべてにサブスレッショルド電流低減方式を適用したい場合、スタンバイ状態からアクティブ状態への移行に際して、例えば各内部電圧電位が安定するまでに必要な時間等を超える移行時間がその仕様条件として設定されたものに限定することで、ほとんどの論理回路に問題なくサブスレッショルド電流低減方式を適用し、ダイナミック型ＲＡＭ等のスタンバイ状態におけるサブスレッショルド電流をさらに低減することができる。

【００９３】

さらに、ダイナミック型ＲＡＭ等のセンスアンプにサブスレッショルド電流低減方式を適用し、センスアンプの駆動ＭＯＳＦＥＴのゲートに供給されるセンスアンプ駆動信号の無効レベルを高電位側コモンソース線の有効レベルより高くしあるいは低電位側コモンソース線の有効レベルより低くすることで、特にメモリアレイ用動作電源が低電圧化されたダイナミック型ＲＡＭ等のアクティブ状態での非動作状態時におけるサブスレッショルド電流を低減しつつ、そのスタンバイ状態時におけるサブスレッショルド電流を低減することができる。

【００９４】

一方、ダイナミック型ＲＡＭ等に、外部供給される電源電圧をもとに各内部電圧供給点のスタンバイ状態時における電位を生成する内部電圧発生回路を設け、電位設定のためのスイッチＭＯＳＦＥＴを削除することで、スイッチＭＯＳＦＥＴを設けることなく、各内部電圧供給点のスタンバイ状態における電位を常に必要電位に保つことができるため、スイッチＭＯＳＦＥＴが大型化されることによるダイナミック型ＲＡＭ等のチップサイズ増大を抑えてその低コスト化を図ることができるとともに、各内部電圧供給点における電位が必要以上に高く又は低くされるのを防止して、各内部電圧供給点の不必要な充放電電流をなくし、ダイナミック型ＲＡＭ等の低消費電力化を図ることができる。

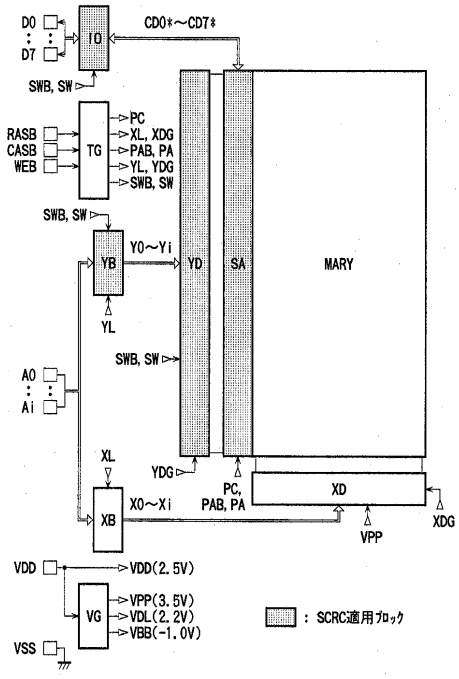
【図面の簡単な説明】

【図１】この発明が適用されたダイナミック型ＲＡＭの第１の実施例を示すブロック図である。

【図２】図１のダイナミック型ＲＡＭの動作タイミングを説明するための一実施例を示す信号波形図である。
【図３】図１のダイナミック型ＲＡＭに含まれるカラム系回路の第１の実施例を示す部分的な基本回路図である。
【図４】図３のカラム系回路の第１の実施例を示す信号波形図である。
【図５】図３のカラム系回路を構成するＮチャンネルＭＯＳＦＥＴの一実施例を示す動作特性図である。
【図６】図３のカラム系回路の第２の実施例を示す信号波形図である。
【図７】図１のダイナミック型ＲＡＭに含まれるセンスアンプの一実施例を示す部分的な回路図である。
【図８】図７のセンスアンプの一実施例を示す信号波形図である。
【図９】図１のダイナミック型ＲＡＭに含まれるカラム系回路の第３の実施例を示す部分的な基本回路図である。
【図１０】図９のカラム系回路に含まれるパワーラインコントロール回路の一実施例を示す回路図である。
【図１１】図１０のパワーラインコントロール回路に含まれる参照電圧発生回路の一実施例を示す出力特性図てある。
【図１２】図９のカラム系回路の一実施例を示す信号波形図である。
【図１３】この発明が適用されたダイナミック型ＲＡＭの第２の実施例を示すブロック図である。
【図１４】図１３のダイナミック型ＲＡＭの一実施例を示す信号波形図である。
【図１５】この発明に先立って本願発明者等が開発したダイナミック型ＲＡＭに含まれるＳＣＲＣ回路の一例を示す部分的な基本回路図である。
【図１６】図１５のＳＣＲＣ回路を構成する各種ソース電圧切換回路の回路図である。
【符号の説明】
ＭＡＲＹ……メモリアレイ、ＸＤ……Ｘアドレスデコーダ、ＸＢ……Ｘアドレスバッファ、ＳＡ……センスアンプ、ＹＤ……Ｙアドレスデコーダ、ＹＢ……Ｙアドレスバッファ、ＩＯ……データ入出力回路、ＶＧ……内部電圧発生回路、ＴＧ……タイミング発生回路。
Ｄ０～Ｄ７……入力又は出力データあるいはその入出力端子、ＲＡＳＢ……ロウアドレスストローブ信号又はその入力端子、ＣＡＳＢ……カラムアドレスストローブ信号又はその入力端子、ＷＥＢ……ライトイネーブル信号又はその入力端子、Ａ０～Ａｉ……アドレス信号又はその入力端子、ＶＤＤ……電源電圧又はその入力端子、ＶＳＳ……接地電位又はその入力端子、ＶＰＰ，ＶＤＬ，ＶＤＴ，ＨＶ，ＶＳＴ，ＶＳＬ……内部電圧、ＶＢＢ……基板電圧。
ＳＣＲＣ……サブスレッショルド電流低減方式又はそのための回路、ＳＷ，ＳＷＢ……ＳＣＲＣ制御信号、ｔｓｃ……ＳＣＲＣ移行時間、ｔｓｕ……ＳＣＲＣセットアップ時間、ＡＸｉ……Ｘアドレス信号、ＡＹｉ……Ｙアドレス信号。
ＶＤＤＴ，ＶＳＳＴ……内部ノード又はその電圧、ＬＳＩ……論理入力信号、ＶＯ１～ＶＯ５……内部信号、ＬＳＯ……論理出力信号。
ｔｖ……内部ノード電圧遷移時間。
ＰＡＢ，ＰＡ……センスアンプ駆動信号、ＰＣ……プリチャージ制御信号、ＣＳＰ，ＣＳＮ……コモンソース線、Ｂ０＊～Ｂｎ＊……相補ビット線。
ＰＬＣＴ……パワーラインコントロール回路。
ＯＡ１～ＯＡ４……オペアンプ、ＶＲＧ……参照電圧生成回路、ＶＲＨ１～ＶＲＨ２，ＶＲＬ１～ＶＲＬ２……参照電圧。
Ｖ１～Ｖ６……ＣＭＯＳインバータ、Ｐ０～Ｐ６，Ｐ１１～Ｐ１３，Ｐ２１～Ｐ２８……ＰチャンネルＭＯＳＦＥＴ、Ｎ０～Ｎ６，Ｎ１１～Ｎ１９，Ｎ２１～Ｎ２４……ＮチャンネルＭＯＳＦＥＴ。
ＰＤＭ……パワーダウンモード信号。
Ｒ１……抵抗、Ｓ１～Ｓ３……スイッチ。

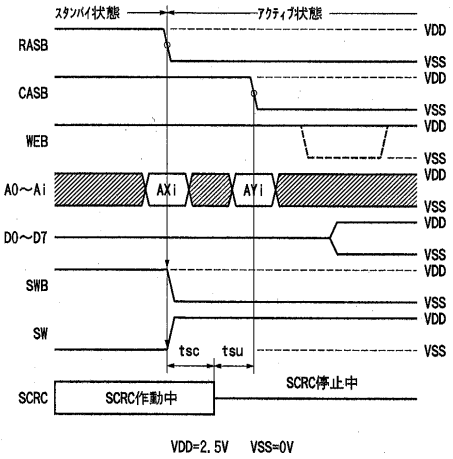
【図１】

図1 ダイナミック型ＲＡＭのブロック構成（実施例１）



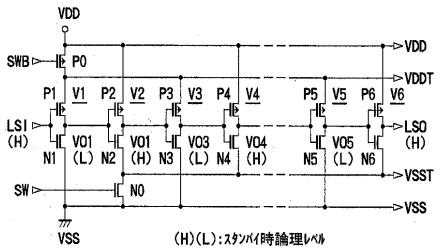
【図２】

図2 ダイナミック型ＲＡＭの動作タイミング（実施例１）



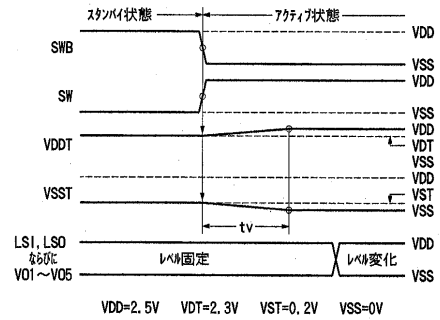
【図３】

図3 カラム系回路の部分回路構成（実施例１）



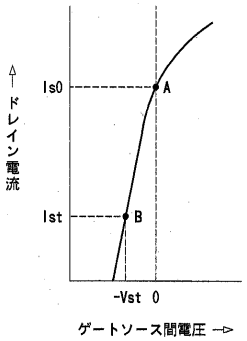
【図４】

図4 カラム系回路の信号波形（実施例１）



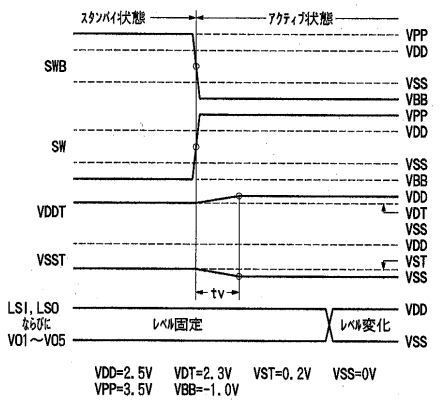
【図５】

図5 ＭＯＳＦＥＴの動作特性



【図６】

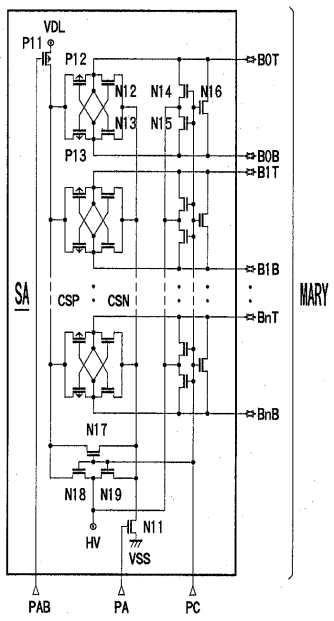
図6 カラム系回路の信号波形（実施例2）



VDD=2.5V VDT=2.3V VST=0.2V VSS=0V
VPP=3.5V VBB=-1.0V

【図７】

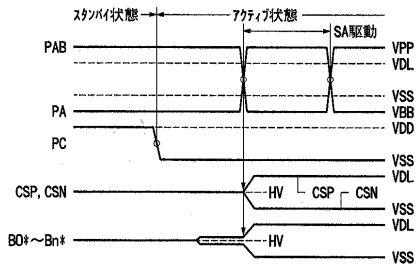
図7 センスアンプの部分回路構成



VDL=2.2V HV=1.1V VSS=0V

【図８】

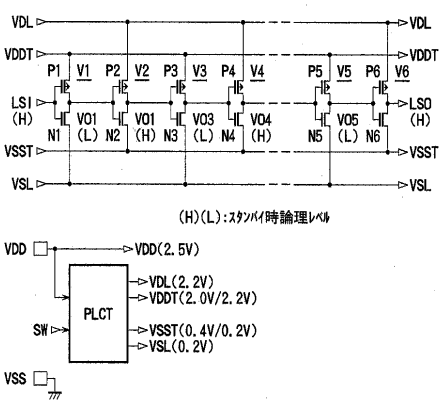
図8 センスアンプの信号波形



VPP=3.5V VDD=2.5V VDL=2.2V HV=1.1V VSS=0V VBB=-1.0V

【図９】

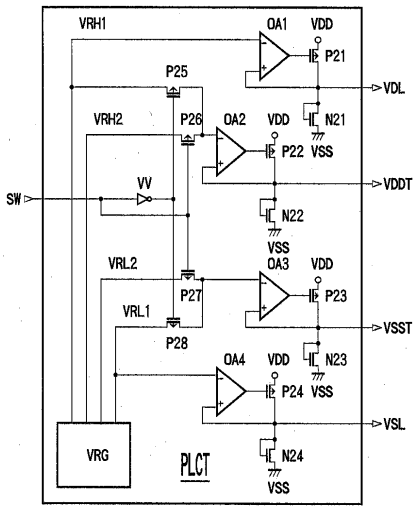
図9 カラム系回路の部分回路構成（実施例3）



(H)(L):スタンバイ時論理レベル

【図１０】

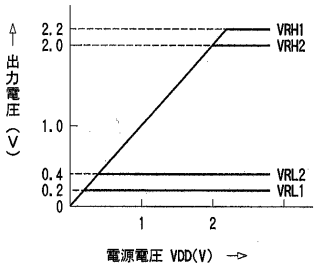
図10 パワーラインコントロール回路の回路構成



VDD=2.5V VRH1=VDL=2.2V VRH2=2.0V VRL1=VSL=0.2V VRL2=0.4V
VDDT=2.0V/2.2V VSST=0.4V/0.2V VSS=0V

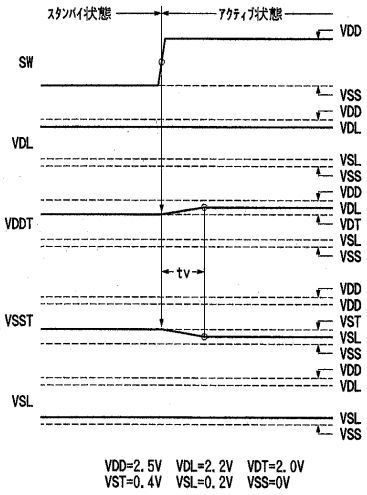
【図１１】

図11 参照電圧生成回路の出力特性



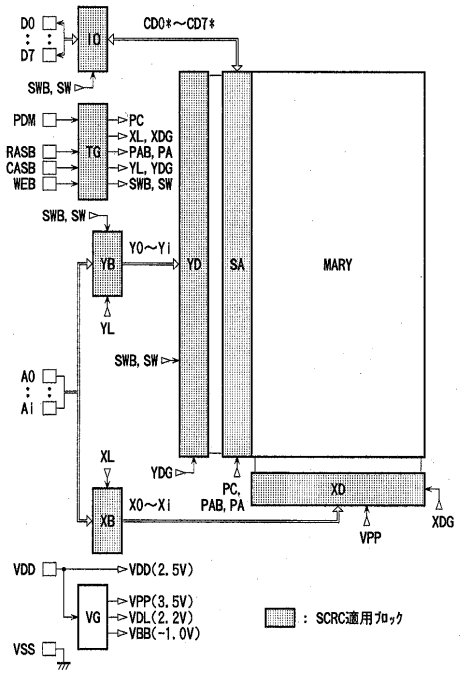
【図１２】

図12 カラム系回路の信号波形（実施例３）



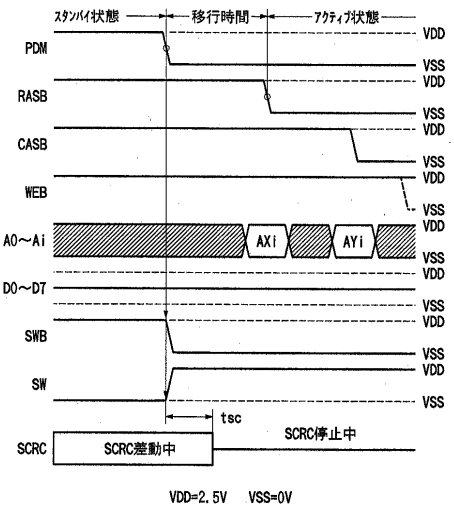
【図１３】

図13 ダイナミック型ＲＡＭのブロック構成（実施例２）



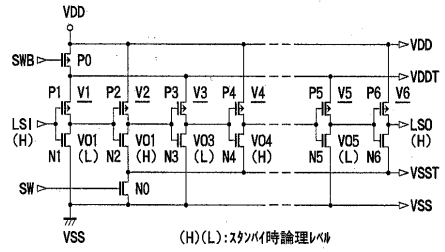
【図１４】

図14 ダイナミック型ＲＡＭの動作タイミング（実施例２）



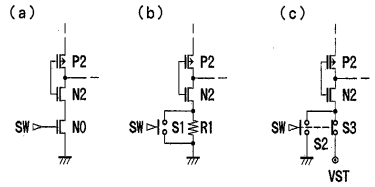
【図１５】

図15 SCRC方式の基本概念



【図１６】

図16 ソース電圧切換回路の各種構成



フロントページの続き

(72)発明者　中井　潔
東京都青梅市新町六丁目１６番地の３　株式会社　日立製作所　デバイス開発センタ内
(72)発明者　岩井　秀俊
東京都青梅市新町六丁目１６番地の３　株式会社　日立製作所　デバイス開発センタ内

審査官　堀田　和義

(56)参考文献　特開平０８－０８３４８７（ＪＰ，Ａ）
特開平０８－２２７５８０（ＪＰ，Ａ）
特開平０９－２３１７５６（ＪＰ，Ａ）
特開平０９－１１６４１７（ＪＰ，Ａ）
特開平０９－１０６６７６（ＪＰ，Ａ）
特開平０７－０８６９１６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/4074