

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 2 日 (02.01.2025)



(10) 国际公布号
WO 2025/001392 A1

(51) 国际专利分类号:

H02M 1/42 (2007.01) *H02M 1/44* (2007.01)

H02M 1/08 (2006.01) *H02M 1/12* (2006.01)

H02M 1/00 (2007.01)

(21) 国际申请号: PCT/CN2024/085362

(22) 国际申请日: 2024 年 4 月 1 日 (01.04.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

202310778045.0 2023年6月28日 (28.06.2023) CN

(71) 申请人: 深圳 **TCL 新 技 术 有 限 公 司**
(**SHENZHEN TCL NEW TECHNOLOGY CO., LTD.**)
[CN/CN]; 中国广东省深圳市南山区西丽

街道中山园路 1001 号国际 E 城 D4 栋 9 楼,
Guangdong 518000 (CN)。

(72) 发明人: 李锦乐 (**LI, Jinle**); 中国广东省深圳市南山区西丽街道中山园路 1001 号国际 E 城 D4 栋 9 楼, Guangdong 518000 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市前海深港合作区南山街道听海大道 5059 号前海鸿荣源中心 A 座 2401, Guangdong 518000 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,

(54) **Title:** MULTI-PATH PHASE ERROR POWER FACTOR CORRECTION CIRCUIT, POWER SUPPLY CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 一种多路错相功率因数校正电路、电源电路和显示设备

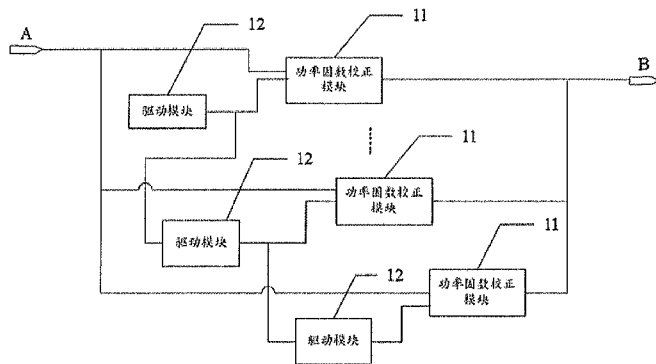


图 1

11 Power factor correction module
12 Driving module

(57) **Abstract:** Disclosed in the present application are a multi-path phase error power factor correction circuit, a power supply circuit, and a display device. The multi-path phase error power factor correction circuit comprises at least two power factor correction modules connected in parallel, wherein each power factor correction module is correspondingly connected to one driving module, and driving modules are connected in series stage by stage; the first stage of driving module is used for outputting a driving signal to the corresponding power factor correction module; the next stage of driving module is used for performing delay processing on the driving signal that is output by the previous stage of driving module, and then outputting the driving signal to the corresponding power factor correction module; and each power factor correction module is used for performing power factor correction on an input power supply according to the corresponding driving signal.

(57) 摘要: 本申请公开了一种多路错相功率因数校正电路、电源电路和显示设备, 其中, 多路错相功率因数校正电路包括至少两个并联连接的功率因数校正模块, 每个功率因数校正模块对应连接一个驱动模块, 且各个驱动模块之间逐级串联连接; 第一级驱动模块用于输出驱动信号至对应的功率因数校正模块; 后一级驱动模块用于将前一级驱动模块输出的驱动信号进行延时处理后输出至对应的功率因数校正模块; 功率因数校正模块用于根据对应的驱动信号将输入电源进行功率因数校正。

IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

一种多路错相功率因数校正电路、电源电路和显示设备

本申请要求于 2023 年 06 月 28 日提交中国专利局、申请号为 202310778045.0、申请名称为“一种多路错相功率因数校正电路、电源电路和显示设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及功率因数校正技术领域，具体涉及一种多路错相功率因数校正电路、电源电路和显示设备。

背景技术

为了提高功率因数、降低输入电流谐波含量，在电力电子设备中大多采用 PFC(功率因数校正)电路进行调节。

目前的功率因数校正电路中通过单个驱动芯片输出两路驱动信号驱动两个功率开关管交替工作，以形成两路功率因数校正通道。

技术问题

由单个驱动芯片形成两路交错的驱动信号，对单个驱动芯片的电路结构要求复杂，成本高。

技术方案

本申请的目的在于提供一种多路错相功率因数校正电路、电源电路和显示设备，能够降低对单个驱动部分的结构要求，以降低成本。

本申请提供的多路错相功率因数校正电路包括至少两个并联连接的功率因数校正模块，每个功率因数校正模块对应连接一个驱动模块，且各个驱动模块之间逐级串联连接；

其中，第一级驱动模块用于输出驱动信号至对应的功率因数校正模块；后一级驱动模块用于将前一级驱动模块输出的驱动信号进行延时处理后输

出至对应的功率因数校正模块；功率因数校正模块用于根据对应的驱动信号将输入电源进行功率因数校正。

在一些实施例中的多路错相功率因数校正电路，后一级驱动模块包括驱动控制单元和延时单元，驱动控制单元与延时单元连接；

驱动控制单元用于根据前一级驱动模块输出的驱动信号输出控制信号至延时单元；延时单元用于根据控制信号计时第一时间后输出触发信号至驱动控制单元；驱动控制单元还用于根据触发信号将前一级驱动模块输出的驱动信号输出至对应的功率因数校正模块。

在一些实施例中的多路错相功率因数校正电路，延时单元包括延时计时子单元和脉宽计时子单元，延时计时子单元和脉宽计时子单元均与驱动控制单元连接；

驱动控制单元用于在检测到前一级驱动模块输出的驱动信号的上升沿时输出第一控制信号，并在检测到上升沿之后的第一个下降沿时输出第二控制信号；

延时计时子单元用于根据第一控制信号开始计时，并在计时第一时间后输出第一触发信号；

脉宽计时子单元用于根据第一控制信号开始计时，并根据第二控制信号输出计时的第二时间，且在延时计时子单元输出第一触发信号时重新开始计时第二时间后输出第二触发信号；

驱动控制单元还用于根据第一触发信号输出高电平的驱动信号，并根据第二触发信号输出低电平的驱动信号。

在一些实施例中的多路错相功率因数校正电路，延时计时子单元包括第一电流源、第一开关和第一电容，第一电流源的输入端接电，第一电流源的输出端与第一开关的一端、第一电容的一端和驱动控制单元连接，第一开关的另一端接地，第一电容的另一端接地；

第一电流源用于根据第一控制信号导通为第一电容充电至第一电压；驱动控制单元还用于在第一电容充电至第一电压时控制第一电流源断开且

第一开关导通，使得第一电容放电。

在一些实施例中的多路错相功率因数校正电路，脉宽计时子单元包括第二电流源、第三电流源和第二电容，第二电流源的输入端接电，第二电流源的输出端与第二电容的一端、第三电流源的输入端和驱动控制单元连接，第三电流源的输出端和第二电容的另一端接地；

第二电流源用于根据第一控制信号导通为第二电容充电，并根据第二控制信号断开停止为第二电容充电；驱动控制单元还用于在延时计时子单元输出第一触发信号时，控制第三电流源导通为第二电容放电，并在第二电容放电至第二电压后控制第三电流源断开。

在一些实施例中的多路错相功率因数校正电路，第一时间的时长与第一电流源的充电电流有关。

在一些实施例中的多路错相功率因数校正电路，第二电流源的充电电流与第三电流源的放电电流相同。

在一些实施例中的多路错相功率因数校正电路，第一时间的时长不小于第二时间的时长。

在一些实施例中的多路错相功率因数校正电路，功率因数校正模块包括电感、二极管和功率开关管，电感的一端与输入端连接，电感的另一端与功率开关管的第一端和二极管的正极连接，二极管的负极与输出端连接，功率开关管的第二端接地，功率开关管的第三端与驱动模块连接。

在一些实施例中的多路错相功率因数校正电路，还包括整流桥，整流桥的第1脚与交流电源的L线连接，整流桥的第2脚与功率因数校正模块连接，整流桥的第3脚与交流电源的N线连接，整流桥的第4脚接地。

本申请实施例还提供了一种电源电路，该电源电路包括上述的多路错相功率因数校正电路；多路错相功率因数校正电路包括至少两个并联连接的功率因数校正模块，每个功率因数校正模块对应连接一个驱动模块，且各个驱动模块之间逐级串联连接；

其中，第一级驱动模块用于输出驱动信号至对应的功率因数校正模块；

后一级驱动模块用于将前一级驱动模块输出的驱动信号进行延时处理后输出至对应的功率因数校正模块；功率因数校正模块用于根据对应的驱动信号将输入电源进行功率因数校正。

在一些实施例中的电源电路，后一级驱动模块包括驱动控制单元和延时单元，驱动控制单元与延时单元连接；

驱动控制单元用于根据前一级驱动模块输出的驱动信号输出控制信号至延时单元；延时单元用于根据控制信号计时第一时间后输出触发信号至驱动控制单元；驱动控制单元还用于根据触发信号将前一级驱动模块输出的驱动信号输出至对应的功率因数校正模块。

在一些实施例中的电源电路，延时单元包括延时计时子单元和脉宽计时子单元，延时计时子单元和脉宽计时子单元均与驱动控制单元连接；

驱动控制单元用于在检测到前一级驱动模块输出的驱动信号的上升沿时输出第一控制信号，并在检测到上升沿之后的第一个下降沿时输出第二控制信号；

延时计时子单元用于根据第一控制信号开始计时，并在计时第一时间后输出第一触发信号；

脉宽计时子单元用于根据第一控制信号开始计时，并根据第二控制信号输出计时的第二时间，且在延时计时子单元输出第一触发信号时重新开始计时第二时间后输出第二触发信号；

驱动控制单元还用于根据第一触发信号输出高电平的驱动信号，并根据第二触发信号输出低电平的驱动信号。

在一些实施例中的电源电路，延时计时子单元包括第一电流源、第一开关和第一电容，第一电流源的输入端接电，第一电流源的输出端与第一开关的一端、第一电容的一端和驱动控制单元连接，第一开关的另一端接地，第一电容的另一端接地；

第一电流源用于根据第一控制信号导通为第一电容充电至第一电压；驱动控制单元还用于在第一电容充电至第一电压时控制第一电流源断开且

第一开关导通，使得第一电容放电。

在一些实施例中的电源电路，脉宽计时子单元包括第二电流源、第三电流源和第二电容，第二电流源的输入端接电，第二电流源的输出端与第二电容的一端、第三电流源的输入端和驱动控制单元连接，第三电流源的输出端和第二电容的另一端接地；

第二电流源用于根据第一控制信号导通为第二电容充电，并根据第二控制信号断开停止为第二电容充电；驱动控制单元还用于在延时时子单元输出第一触发信号时，控制第三电流源导通为第二电容放电，并在第二电容放电至第二电压后控制第三电流源断开。

在一些实施例中的电源电路，第一时间的时长与第一电流源的充电电流有关。

在一些实施例中的电源电路，第二电流源的充电电流与第三电流源的放电电流相同。

在一些实施例中的电源电路，第一时间的时长不小于第二时间的时长。

在一些实施例中的电源电路，功率因数校正模块包括电感、二极管和功率开关管，电感的一端与输入端连接，电感的另一端与功率开关管的第一端和二极管的正极连接，二极管的负极与输出端连接，功率开关管的第二端接地，功率开关管的第三端与驱动模块连接。

本申请实施例一种显示设备，该显示设备包括电源电路，电源电路包括多路错相功率因数校正电路，多路错相功率因数校正电路包括至少两个并联连接的功率因数校正模块，每个功率因数校正模块对应连接一个驱动模块，且各个驱动模块之间逐级串联连接；

其中，第一级驱动模块用于输出驱动信号至对应的功率因数校正模块；后一级驱动模块用于将前一级驱动模块输出的驱动信号进行延时处理后输出至对应的功率因数校正模块；功率因数校正模块用于根据对应的驱动信号将输入电源进行功率因数校正。

有益效果

本申请提供的多路错相功率因数校正电路、电源电路和显示设备，其中，多路错相功率因数校正电路中一个功率因数校正模块对应设置一个驱动模块形成一路功率因数校正通道，即每个功率因数校正模块对应一个驱动模块，驱动模块仅需要为与之连接的一个功率因数校正模块提供驱动信号，由此可将驱动模块进行常规化，并不需要一个驱动模块同时驱动两个或两个以上数目的功率因数校正模块错行工作，进而简化驱动模块的结构，以达到降低成本的效果。而本申请中的至少两个驱动模块形成串联结构之后，后一个驱动模块直接根据前一个驱动模块输出的驱动信号进行延时处理后驱动相应的功率因数校正模块，使得各路功率因数校正通路错相工作，同样能够有效降低各个功率因数校正通路的纹波电流以及各路功率因数校正通路之间的电磁辐射干扰。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本申请实施例提供的多路错相功率因数校正电路的结构示意图。

图 2 为本申请实施例提供的多路错相功率因数校正电路中驱动模块的结构示意图。

图 3 为本申请实施例提供的多路错相功率因数校正电路中延时单元的结构示意图。

图 4 为本申请实施例提供的多路错相功率因数校正电路中延时子单元的结构示意图。

图 5 为本申请实施例提供的多路错相功率因数校正电路中输入的驱动信号和输出的驱动信号的时序图。

图 6 为本申请实施例提供的多路错相功率因数校正电路中脉宽子单元的结构示意图。

图 7 为本申请实施例提供的多路错相功率因数校正电路中功率因数校正模块的电路结构图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量，由此限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个特征，在本发明的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

请参阅图 1，本实施例提供了一种多路错相功率因数校正电路，该功率因数校正电路包括至少两个并联连接的功率因数校正模块 11 连接，每个功率因数校正模块 11 对应连接一个驱动模块 12，且各个驱动模块 12 之间逐级串联连接。

其中，第一级驱动模块 12 用于输出驱动信号至对应的功率因数校正模块 11；后一级驱动模块 12 用于将前一级驱动模块 12 输出的驱动信号进行延时处理后输出至对应的功率因数校正模块 11；功率因数校正模块 11 用于根据对应的驱动信号将输入电源进行功率因数校正。

本申请中针对一个功率因数校正模块 11 对应设置一个驱动模块 12 形成一路功率因数校正通道，即每个功率因数校正模块 11 对应一个驱动模块 12，驱动模块 12 仅需要为与之连接的一个功率因数校正模块 11 提供驱动信号，由此可将驱动模块 12 进行常规化，并不需要一个驱动模块 12 同时驱动两个或两个以上数目的功率因数校正模块 11 错行工作，进而简化驱动

模块 12 的结构,以达到降低成本的效果。而本申请中的至少两个驱动模块 12 形成串联结构之后,后一个驱动模块 12 直接根据前一个驱动模块 12 输出的驱动信号进行延时处理后驱动相应的功率因数校正模块 11,使得各路功率因数校正通路错相工作,同样能够有效降低各个功率因数校正通路的纹波电流以及各路功率因数校正通路之间的电磁辐射干扰。

其中,并联设置的功率因数校正模块 11 越多,与对应的驱动模块 12 形成的功率因数校正通路越多,各个功率因数校正通路之间的电磁辐射干扰越低,各个功率因数校正通路的纹波电流越小。与此同时,本申请中的每个驱动模块 12 对应驱动一个功率因数校正模块 11,各个驱动模块 12 串联连接以便于形成驱动信号的复制利用,在设置两个以上的功率因数校正通路时,并不需要考虑会设置驱动模块 12 的结构;反之,本申请中驱动模块 12 和功率因数校正模块 11 的设置更加有利于形成多路错相的功率因数校正通路,而随着功率因数校正通路的增多,更加有利于分散单路功率因数校正通路的热量,进而降低了功率因数校正模块 11 对温度和散热的要求。

其中,本申请中第一级驱动模块 12 用于输出驱动信号至对应的功率因数校正模块 11,第一级驱动模块 12 可以不需要对驱动信号进行延时处理,可以将第一级驱动模块 12 作为主驱动模块 12,与主驱动模块 12 连接的功率因数校正模块 11 作为主功率因数校正模块 11;其他的后一级驱动模块 12 作为从驱动模块 12,与从驱动模块 12 连接的功率因数校正模块 11 作为从功率因数校正模块 11。第一个从驱动模块 12 将主驱动模块 12 输出的驱动信号进行延时处理后驱动第一个从功率因数校正模块 11,并将延时后的驱动信号输出至第二个从驱动模块 12;第二从驱动模块 12 则将第一个从驱动模块 12 输出的驱动信号再次进行延时处理后驱动第二个从功率因数校正模块,并将再次延时处理后的驱动信号输出至第三个驱动模块 12,依次类推,直到最后一个从驱动模块 12 接收到上一个从驱动模块 12 输出的驱动信号进行延时处理后驱动最后从功率因数校正模块 11 工作,由此形成多路错相的功率因数校正通路,以此降低单路功率因数校正通路的峰值电流,

进而降低功率因数校正通路之间的电磁辐射干扰。

请参阅图 2，在一些实施例中，后一级驱动模块 12 包括驱动控制单元 121 和延时单元 122，驱动控制单元 121 与延时单元 122 连接。可以理解的是，主驱动模块 12 可以不需要对驱动信号进行处理，每个从驱动模块 12 需要对输入的驱动信号进行延时处理，每个从驱动模块 12 均包括驱动控制单元 121 和延时单元 122。

其中，驱动控制单元 121 用于根据前一级驱动模块 12 输出的驱动信号输出控制信号至延时单元 122；延时单元 122 用于根据控制信号计时第一时间后输出触发信号至驱动控制单元 121；驱动控制单元 121 还用于根据触发信号将前一级驱动模块 12 输出的驱动信号输出至对应的功率因数校正模块 11，即驱动控制单元 121 接收到前一级驱动模块 12 输出的驱动信号后，会控制延时单元 122 开始计时，当延时单元 122 计时第一时间后会输出触发信号至驱动控制单元 121，驱动控制单元 121 根据该反馈回来的触发信号将接收的驱动信号输出至后一级驱动模块 12，同时根据该驱动信号驱动相应的功率因数校正模块 11 对输入电源进行功率因数校正，由此以便于实现多路功率因数校正通路的错相工作。

请参阅图 3，在一些实施例中，延时单元 122 包括延时计时子单元 1221 和脉宽计时子单元 1222，延时计时子单元 1221 和脉宽计时子单元 1222 均与驱动控制单元 121 连接；驱动控制单元 121 用于在检测到前一级驱动模块 12 输出的驱动信号的上升沿时输出第一控制信号至延时计时子单元 1221 和脉宽计时子单元 1222，并在检测到上升沿之后的第一个下降沿时输出第二控制信号至脉宽计时子单元 1222。延时计时子单元 1221 用于根据第一控制信号开始计时，并在计时第一时间后输出第一触发信号；脉宽计时子单元 1222 用于根据第一控制信号开始计时，并根据第二控制信号输出计时的第二时间，且在延时计时子单元 1221 输出第一触发信号时重新开始计时第二时间后输出第二触发信号。其中，第一时间的时长大于第二时间的时长。驱动控制单元 121 还用于根据第一触发信号输出高电平的驱动信

号，并根据第二触发信号输出低电平的驱动信号。

本申请中的将输入的驱动信号的上升沿作为延时计时子单元 1221 和脉宽计时子单元 1222 开始工作的控制信号；当检测到输入的驱动信号的上升沿时，控制延时计时子单元 1221 和脉宽计时子单元 1222 开始计时；当延时计时子单元 1221 计时了第一时间之后就输出第一触发信号至驱动控制单元 121，此时驱动控制单元 121 根据该第一触发信号开始向后一级驱动模块 12 输出驱动信号的高电平信号。

为了完全复制输入的驱动信号，此时需要脉宽计时子单元 1222 计时驱动信号的脉宽，因此在检测到上升沿后的第一个下降沿时控制脉宽计时子单元 1222 输出第二时间，此时第二时间段对应驱动信号的高电平持续时间即驱动信号的脉宽；而在延时第一时间段时需要开始输出该驱动信号，为了确保在输出该驱动信号时完成该驱动信号的复制，那么需要第一时间不小于第二时间。等到延时第一时间时，驱动控制单元 121 根据第一触发信号开始输出高电平驱动信号；同时，脉宽计时子单元 1222 重新开始计时第二时间时则输出第二触发信号至驱动控制单元 121，使得驱动控制单元 121 根据第二触发信号跳转输出低电平驱动信号；当驱动控制单元 121 检测到下一个上升沿时重复以上的过程，进而完成对输入的驱动信号的复制与延时输出过程。

请参阅图 4，作为一种实施例，延时计时子单元 1221 包括第一电流源 1201、第一开关 1202 和第一电容 1203，第一电流源 1201 的输入端接电，第一电流源 1201 的输出端与第一开关 1202 的一端、第一电容 1203 的一端和驱动控制单元 121 连接，第一开关 1202 的另一端接地，第一电容 1203 的另一端接地。

请一并参阅图 5，本实施例中，第一电容 1203 的电压为第一电压信号，第一电流源 1201 用于根据第一控制信号导通为第一电容 1203 充电至第一电压 V_1 ；驱动控制单元 121 还用于在第一电容 1203 充电至第一电压 V_1 时控制第一电流源 1201 断开且第一开关 1202 导通，使得第一电容 1203 放

电；即本实施例中通过第一电流源 1201 为第一电容 1203 充放电以实现延时计时。

记第一电容 1203 从开始充电到充电至第一电压的时长为第一时间 t_1 ，驱动控制单元 121 在监测到第一电容 1203 充电至第一电压 V_1 时，则控制第一电流源 1201 断开且第一开关 1202 导通，使得第一电容 1203 放电，此时第一电容 1203 的电压信号会产生一下降沿。而当延时计时子单元 1221 计时至第一时间时，驱动控制单元 121 开始输出高电平驱动信号；相应的，本实施例中可以是第一电压 V_1 作为驱动控制单元 121 的第一触发信号，也可以是第一电容 1203 的电压信号的下降沿作为驱动控制单元 121 的第一触发信号。

其中，第一时间 t_1 的时长取决于第一电容 1203 的充电快慢，即第一时间 t_1 的时长与第一电流源 1201 的充电电流大小有关，相应的，驱动控制单元 121 可通过控制第一电流源 1201 的充电电流大小以控制第一时间 t_1 的时长，由此实现对延时时长的灵活控制。

请参阅图 6，作为一种实施例，脉宽计时子单元 1222 包括第二电流源 1204、第三电流源 1205 和第二电容 1206，第二电流源 1204 的输入端接电，第二电流源 1204 的输出端与第二电容 1206 的一端、第三电流源 1205 的输入端和驱动控制单元 121 连接，第三电流源 1205 的输出端和第二电容 1206 的另一端接地。

请继续参阅图 5，本实施例中，第二电容 1206 的电压为第二电压信号，第二电流源 1204 用于根据第一控制信号导通为第二电容 1206 充电，并根据第二控制信号断开停止为第二电容 1206 充电；即驱动控制单元 121 在检测到输入的驱动信号的上升沿时控制第二电流源 1204 为第二电容 1206 充电，在检测到该上升沿后的第一个下降沿时控制第二电流源 1204 停止为第二电容 1206 充电。那么本实施例中的第二电容 1206 开始充电至停止充电的时长为第二时间 t_2 ，也即第二时间 t_2 段对应驱动信号的高电平持续时间，因此，本实施例中通过对第二电容 1206 的充电可实现对输入的驱动信号脉

宽的计时功能。

进一步地，驱动控制单元 121 还用于在延时计时子单元 1221 输出第一触发信号时，控制第三电流源 1205 导通为第二电容 1206 放电，并在第二电容 1206 放电至第二电压 V2 后控制第三电流源 1205 断开，使得第二电容 1206 停止放电；即驱动控制单元 121 还用于对第二电容 1206 的电压信号进行监测，当第二电容 1206 放电至第二电压 V2 时即控制第三电流源 1205 断开，使得第二电容 1206 停止放电，由此本实施例中通过控制第二电容 1206 的放电以实现对输出的驱动信号的脉宽计时；相应的，本实施例中的第二电压 V2 可以作为驱动控制单元 121 的第二触发信号。

其中，第二电压 V2 为第二电容 1206 开始充电时的电压；记第二电容 1206 充电第二时间 t_2 后的电压为第三电压 V3，那么本实施例中由驱动控制单元 121 控制第二电容 1206 在充电阶段由第二电压 V2 充电至第三电压 V3，在放电阶段则由第三电压 V3 放电至第二电压 V2，由此使得充电阶段的时间与放电阶段的时间一致，以便于确保驱动控制单元 121 输出的驱动信号脉宽与输入的驱动信号脉宽一致。

作为一种实施例，第二电流源 1204 的充电电流与第三电流源 1205 的放电电流相同。第二电流源 1204 的充电电流可控制第二电容 1206 的充电快慢；同样，第三电流源 1205 的放电电流可控制第二电容 1206 的放电快慢，若第二电流源 1204 的充电电流与第三电流源 1205 的放电电流相等，可确保第二电容 1206 的放电速度和充电速度一致，以便于使得第二电容 1206 由第三电压放电至第二电压的时间与第二电容 1206 由第二电压充电至第三电压的时间一致，进而确保输入的驱动信号脉宽与输出的驱动信号脉宽一致，实现对输入的驱动信号的复制。

请参阅图 7，在一些实施例中，每个功率因数校正模块 11 包括电感 L1、二极管 D1 和功率开关管 Q1，电感 L1 的一端与输入端 A 连接，电感 L1 的另一端与功率开关管 Q1 的第一端和二极管 D1 的正极连接，二极管 D1 的负极与输出端 B 连接，功率开关管 Q1 的第二端接地，功率开关管 Q1

的第三端与驱动模块 12 连接；其中，功率开关管 Q1 为 MOS 管，功率开关管 Q1 的第一端为 MOS 管的漏极，功率开关管 Q1 的第二端为 MOS 管的源极，功率开关管 Q1 的第三端为 MOS 管的栅极。本实施例中功率开关管 Q1 的栅极接收对应驱动模块 12 输出的驱动信号，由驱动信号控制功率开关管 Q1 的导通或断开以实现输入电源的功率因数校正功能。需要说明的是的本实施例中功率因数校正模块 11 的功率因数校正为现有技术，在此不再赘述。

在一些实施例中，多路错相功率因数校正电路还包括整流桥 13，整流桥 13 的第 1 脚与交流电源的 L 线连接，整流桥 13 的第 2 脚与功率因数校正模块 11 连接，整流桥 13 的第 3 脚与交流电源的 N 线连接，整流桥 13 的第 4 脚接地。本实施例中的整流桥 13 用于对交流电源进行整流处理后输出直流电至各个功率因数校正模块 11，作为功率因数校正模块 11 输入电源。

本申请中一个功率因数校正模块 11 对应一个驱动模块 12 形成一功率因数校正通路，每个功率因数校正模块 11 独立驱动工作，当进入待机状态时可直接通过控制驱动模块 12 的供电电能即可切断相应功率因数校正通路，从而降低待机功耗。

本申请实施例还提供了一种电源电路，该电源电路包括上述的多路错相功率因数校正电路，由于上文对该功率因数校正电路进行了详细的描述，在此不再赘述。

本申请实施例中还提供了一种显示设备，其中，该显示设备可以是电视机，该显示设备包括上述的电源电路；该电源电路中设置有上述的多路错相位功率因数校正电路，由于上文对该功率因数校正电路进行了详细的描述，在此不再赘述。

在上述实施例中，对各个实施例的描述都各有侧重，某个实施例中沒有详述的部分，可以参见其他实施例的相关描述。

以上对本申请实施例所提供的多路错相功率因数校正电路进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以

上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想；本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例的技术方案的范围。

权 利 要 求 书

1、一种多路错相功率因数校正电路，其中，包括至少两个并联连接的功率因数校正模块，每个所述功率因数校正模块对应连接一个驱动模块，且各个所述驱动模块之间逐级串联连接；

其中，第一级所述驱动模块用于输出驱动信号至对应的所述功率因数校正模块；后一级所述驱动模块用于将前一级所述驱动模块输出的驱动信号进行延时处理后输出至对应的所述功率因数校正模块；所述功率因数校正模块用于根据对应的驱动信号将输入电源进行功率因数校正。

2、根据权利要求1所述的多路错相功率因数校正电路，其中，后一级所述驱动模块包括驱动控制单元和延时单元，所述驱动控制单元与所述延时单元连接；

所述驱动控制单元用于根据前一级所述驱动模块输出的驱动信号输出控制信号至延时单元；所述延时单元用于根据所述控制信号计时第一时间后输出触发信号至所述驱动控制单元；所述驱动控制单元还用于根据所述触发信号将前一级所述驱动模块输出的驱动信号输出至对应的所述功率因数校正模块。

3、根据权利要求2所述的多路错相功率因数校正电路，其中，所述延时单元包括延时计时子单元和脉宽计时子单元，所述延时计时子单元和所述脉宽计时子单元均与所述驱动控制单元连接；

所述驱动控制单元用于在检测到前一级所述驱动模块输出的驱动信号的上升沿时输出第一控制信号，并在检测到所述上升沿之后的第一个下降沿时输出第二控制信号；

所述延时计时子单元用于根据所述第一控制信号开始计时，并在计时第一时间后输出第一触发信号；

所述脉宽计时子单元用于根据所述第一控制信号开始计时，并根据所述第二控制信号输出计时的第二时间，且在所述延时计时子单元输出所述第一触发信号时重新开始计时所述第二时间后输出第二触发信号；

所述驱动控制单元还用于根据所述第一触发信号输出高电平的所述驱动信号，并根据所述第二触发信号输出低电平的所述驱动信号。

4、根据权利要求3所述的多路错相功率因数校正电路，其中，所述延时计时子单元包括第一电流源、第一开关和第一电容，所述第一电流源的输入端接电，所述第一电流源的输出端与所述第一开关的一端、所述第一电容的一端和所述驱动控制单元连接，所述第一开关的另一端接地，所述第一电容的另一端接地；

所述第一电流源用于根据所述第一控制信号导通为所述第一电容充电至第一电压；所述驱动控制单元还用于在所述第一电容充电至所述第一电压时控制所述第一电流源断开且所述第一开关导通，使得所述第一电容放电。

5、根据权利要求3所述的多路错相功率因数校正电路，其中，所述脉宽计时子单元包括第二电流源、第三电流源和第二电容，所述第二电流源的输入端接电，所述第二电流源的输出端与所述第二电容的一端、所述第三电流源的输入端和所述驱动控制单元连接，所述第三电流源的输出端和所述第二电容的另一端接地；

所述第二电流源用于根据所述第一控制信号导通为所述第二电容充电，并根据所述第二控制信号断开停止为所述第二电容充电；所述驱动控制单元还用于在所述延时计时子单元输出所述第一触发信号时，控制所述第三电流源导通为所述第二电容放电，并在所述第二电容放电至第二电压后控制所述第三电流源断开。

6、根据权利要求4所述的多路错相功率因数校正电路，其中，所述第一时间的时长与所述第一电流源的充电电流有关。

7、根据权利要求5所述的多路错相功率因数校正电路，其中，所述第二电流源的充电电流与所述第三电流源的放电电流相同。

8、根据权利要求5或6所述的多路错相功率因数校正电路，其中，所述第一时间的时长不小于所述第二时间的时长。

9、根据权利要求 1-7 任一项所述的多路错相功率因数校正电路,其中,所述功率因数校正模块包括电感、二极管和功率开关管,所述电感的一端与输入端连接,所述电感的另一端与所述功率开关管的第一端和所述二极管的正极连接,所述二极管的负极与输出端连接,所述功率开关管的第二端接地,所述功率开关管的第三端与所述驱动模块连接。

10、根据权利要求 9 所述的多路错相功率因数校正电路,其中,还包括整流桥,所述整流桥的第 1 脚与交流电源的 L 线连接,所述整流桥的第 2 脚与所述功率因数校正模块连接,所述整流桥的第 3 脚与所述交流电源的 N 线连接,所述整流桥的第 4 脚接地。

11、一种电源电路,其中,包括多路错相功率因数校正电路;所述多路错相功率因数校正电路包括至少两个并联连接的功率因数校正模块,每个所述功率因数校正模块对应连接一个驱动模块,且各个所述驱动模块之间逐级串联连接;

其中,第一级所述驱动模块用于输出驱动信号至对应的所述功率因数校正模块;后一级所述驱动模块用于将前一级所述驱动模块输出的驱动信号进行延时处理后输出至对应的所述功率因数校正模块;所述功率因数校正模块用于根据对应的驱动信号将输入电源进行功率因数校正。

12、根据权利要求 11 所述的电源电路,其中,后一级所述驱动模块包括驱动控制单元和延时单元,所述驱动控制单元与所述延时单元连接;

所述驱动控制单元用于根据前一级所述驱动模块输出的驱动信号输出控制信号至延时单元;所述延时单元用于根据所述控制信号计时第一时间后输出触发信号至所述驱动控制单元;所述驱动控制单元还用于根据所述触发信号将前一级所述驱动模块输出的驱动信号输出至对应的所述功率因数校正模块。

13、根据权利要求 12 所述的电源电路,其中,所述延时单元包括延时计时子单元和脉宽计时子单元,所述延时计时子单元和所述脉宽计时子单元均与所述驱动控制单元连接;

所述驱动控制单元用于在检测到前一级所述驱动模块输出的驱动信号的上升沿时输出第一控制信号，并在检测到所述上升沿之后的第一个下降沿时输出第二控制信号；

所述延时计时子单元用于根据所述第一控制信号开始计时，并在计时第一时间后输出第一触发信号；

所述脉宽计时子单元用于根据所述第一控制信号开始计时，并根据所述第二控制信号输出计时的第二时间，且在所述延时计时子单元输出所述第一触发信号时重新开始计时所述第二时间后输出第二触发信号；

所述驱动控制单元还用于根据所述第一触发信号输出高电平的所述驱动信号，并根据所述第二触发信号输出低电平的所述驱动信号。

14、根据权利要求 13 所述的电源电路，其中，所述延时计时子单元包括第一电流源、第一开关和第一电容，所述第一电流源的输入端接电，所述第一电流源的输出端与所述第一开关的一端、所述第一电容的一端和所述驱动控制单元连接，所述第一开关的另一端接地，所述第一电容的另一端接地；

所述第一电流源用于根据所述第一控制信号导通为所述第一电容充电至第一电压；所述驱动控制单元还用于在所述第一电容充电至所述第一电压时控制所述第一电流源断开且所述第一开关导通，使得所述第一电容放电。

15、根据权利要求 13 所述的电源电路，其中，所述脉宽计时子单元包括第二电流源、第三电流源和第二电容，所述第二电流源的输入端接电，所述第二电流源的输出端与所述第二电容的一端、所述第三电流源的输入端和所述驱动控制单元连接，所述第三电流源的输出端和所述第二电容的另一端接地；

所述第二电流源用于根据所述第一控制信号导通为所述第二电容充电，并根据所述第二控制信号断开停止为所述第二电容充电；所述驱动控制单元还用于在所述延时计时子单元输出所述第一触发信号时，控制所述第三

电流源导通为所述第二电容放电，并在所述第二电容放电至第二电压后控制所述第三电流源断开。

16、根据权利要求 14 所述的电源电路，其中，所述第一时间的时长与所述第一电流源的充电电流有关。

17、根据权利要求 15 所述的电源电路，其中，所述第二电流源的充电电流与所述第三电流源的放电电流相同。

18、根据权利要求 15 或 16 所述的电源电路，其中，所述第一时间的时长不小于所述第二时间的时长。

19、根据权利要求 11-17 任一项所述的电源电路，其中，所述功率因数校正模块包括电感、二极管和功率开关管，所述电感的一端与输入端连接，所述电感的另一端与所述功率开关管的第一端和所述二极管的正极连接，所述二极管的负极与输出端连接，所述功率开关管的第二端接地，所述功率开关管的第三端与所述驱动模块连接。

20、一种显示设备，其中，包括电源电路，所述电源电路包括多路错相功率因数校正电路，所述多路错相功率因数校正电路包括至少两个并联连接的功率因数校正模块，每个所述功率因数校正模块对应连接一个驱动模块，且各个所述驱动模块之间逐级串联连接；

其中，第一级所述驱动模块用于输出驱动信号至对应的所述功率因数校正模块；后一级所述驱动模块用于将前一级所述驱动模块输出的驱动信号进行延时处理后输出至对应的所述功率因数校正模块；所述功率因数校正模块用于根据对应的驱动信号将输入电源进行功率因数校正。

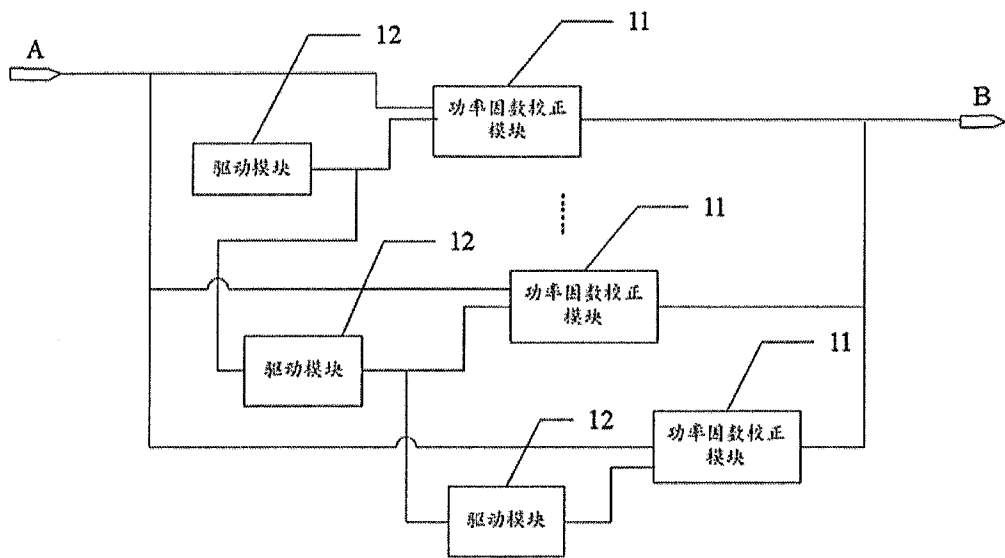


图 1

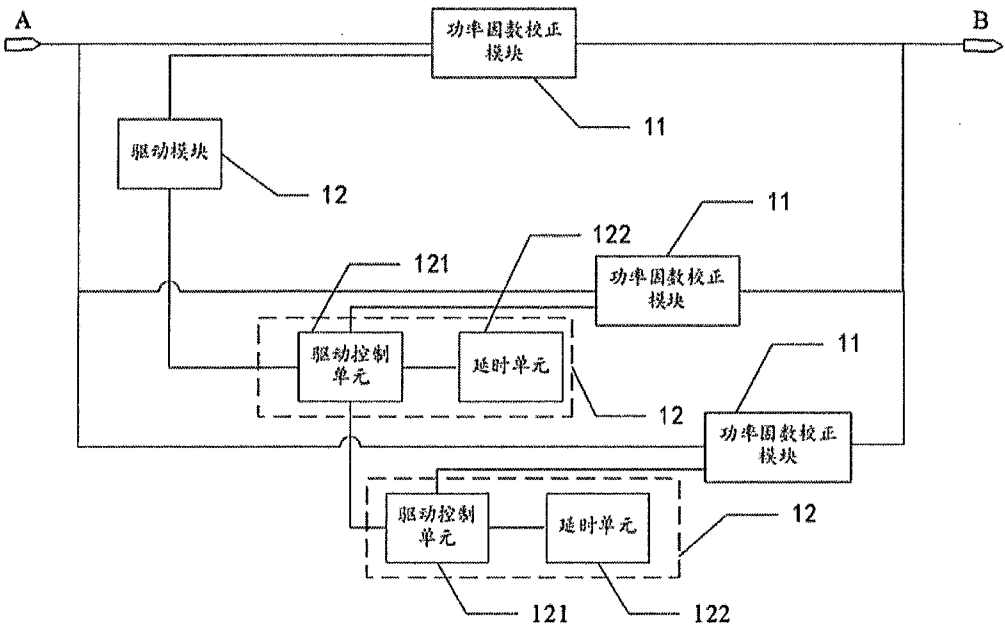


图 2

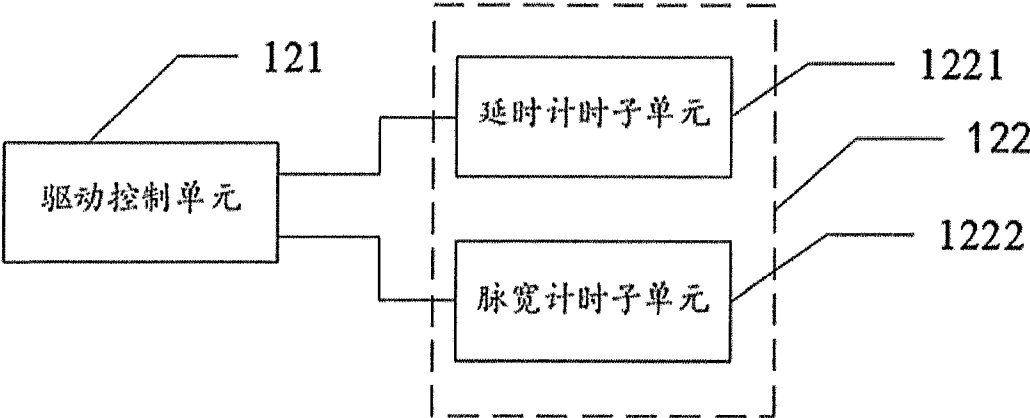


图 3

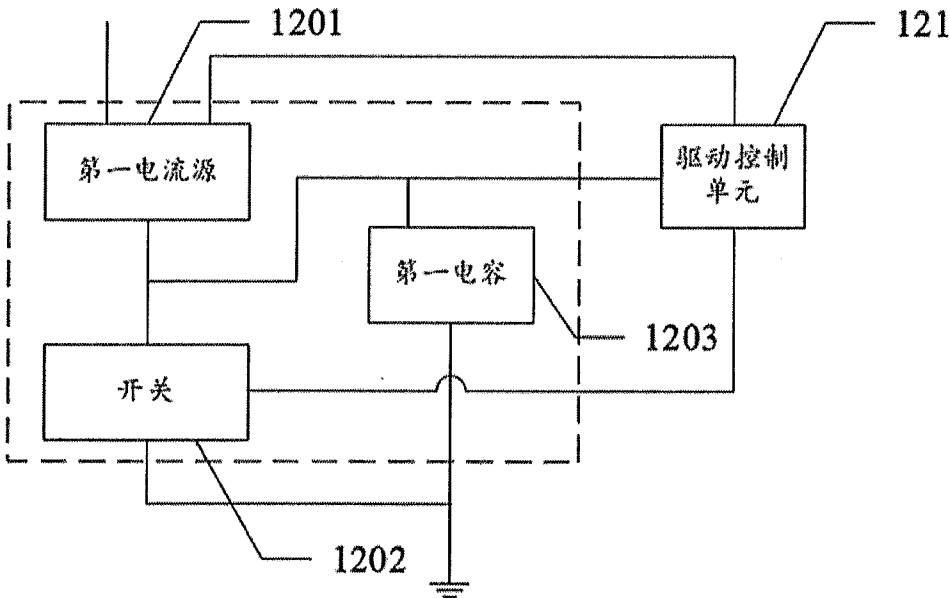


图 4

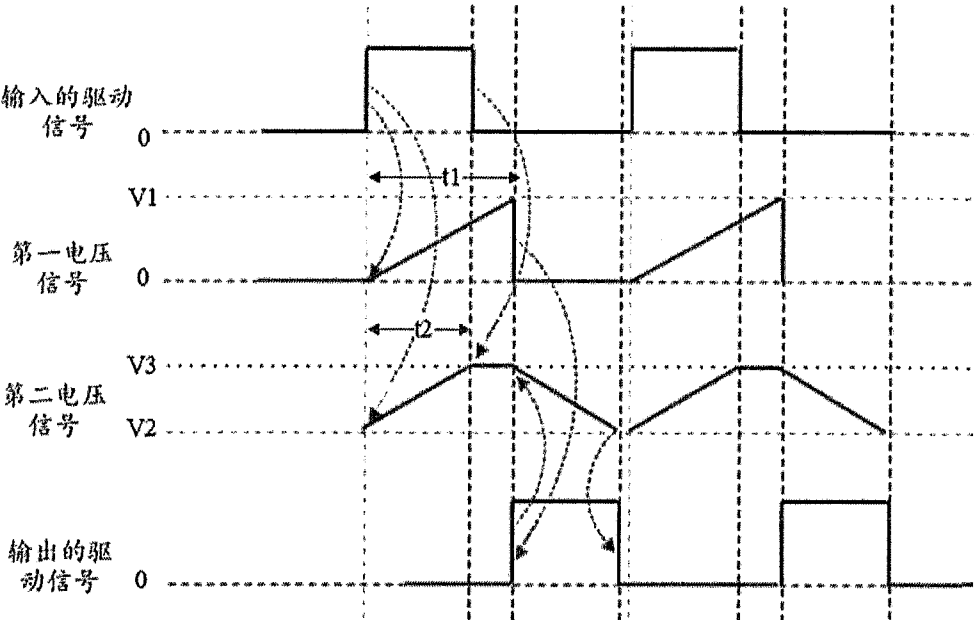


图 5

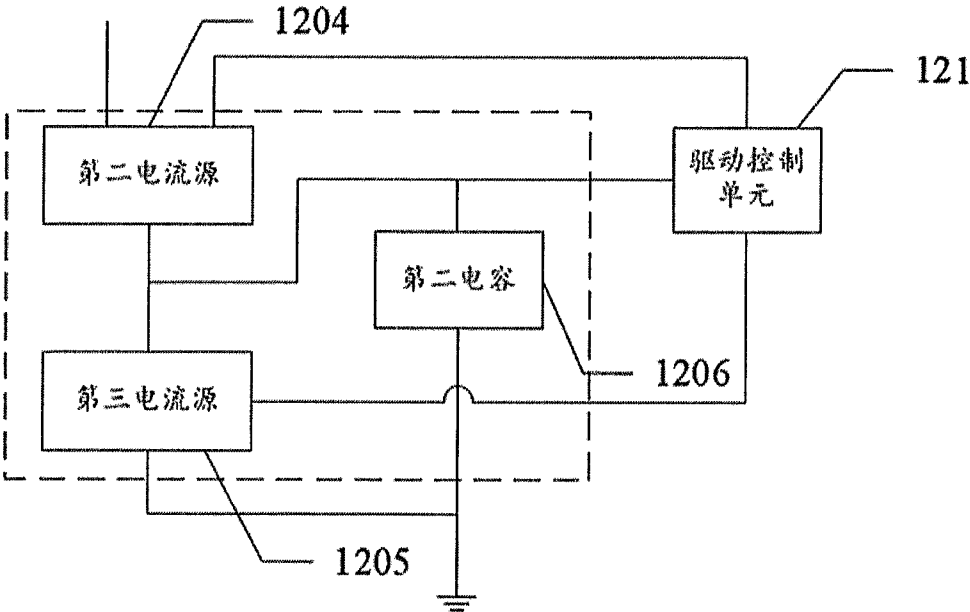


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/085362

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/42(2007.01)i; H02M1/08(2006.01)i; H02M1/00(2007.01)i; H02M1/44(2007.01)i; H02M1/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 功率因数, 功率因素, 功率因子, 功因, 延时, 延迟, 驱动, 第二, PFC, power 1w factor, delay

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 117411305 A (SHENZHEN TCL NEW TECHNOLOGY CO., LTD.) 16 January 2024 (2024-01-16) description, paragraphs 36-60, and figures 1-7	1-20
X	CN 115622401 A (SG MICRO CORP.) 17 January 2023 (2023-01-17) description, paragraphs 39-63, and figures 2-7	1, 2, 9-12, 19, 20
A	CN 202721604 U (SHIJIAZHUANG TONHE ELECTRONICS TECHNOLOGIES CO., LTD.) 06 February 2013 (2013-02-06) entire document	1-20
A	CN 209299137 U (GUANGZHOU SHIYUAN ELECTRONICS CO., LTD. et al.) 23 August 2019 (2019-08-23) entire document	1-20
A	CN 113541452 A (NANJING UNIVERSITY OF SCIENCE AND TECHNOLOGY) 22 October 2021 (2021-10-22) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 July 2024

Date of mailing of the international search report

16 July 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/085362

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022057316 A1 (CHANGXIN MEMORY TECHNOLOGIES, INC.) 24 March 2022 (2022-03-24) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/085362

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	117411305	A	16 January 2024	None			
CN	115622401	A	17 January 2023	WO	2023284888	A1	19 January 2023
CN	202721604	U	06 February 2013	None			
CN	209299137	U	23 August 2019	None			
CN	113541452	A	22 October 2021	None			
WO	2022057316	A1	24 March 2022	CN	114204919	A	18 March 2022
				US	2022094344	A1	24 March 2022
				EP	3998705	A1	18 May 2022

A. 主题的分类

H02M1/42(2007.01)i; H02M1/08(2006.01)i; H02M1/00(2007.01)i; H02M1/44(2007.01)i; H02M1/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H02M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 功率因数, 功率因素, 功率因子, 功因, 延时, 延迟, 驱动, 第二, PFC, power 1w factor, delay

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 117411305 A (深圳TCL新技术有限公司) 2024年1月16日 (2024 - 01 - 16) 说明书第36-60段, 及附图1-7	1-20
X	CN 115622401 A (圣邦微电子(北京)股份有限公司) 2023年1月17日 (2023 - 01 - 17) 说明书第39-63段, 及附图2-7	1,2,9-12,19,20
A	CN 202721604 U (石家庄通合电子科技股份有限公司) 2013年2月6日 (2013 - 02 - 06) 全文	1-20
A	CN 209299137 U (广州视源电子科技股份有限公司 等) 2019年8月23日 (2019 - 08 - 23) 全文	1-20
A	CN 113541452 A (南京理工大学) 2021年10月22日 (2021 - 10 - 22) 全文	1-20
A	WO 2022057316 A1 (CHANGXIN MEMORY TECHNOLOGIES, INC.) 2022年3月24日 (2022 - 03 - 24) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月9日

国际检索报告邮寄日期

2024年7月16日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

冯昊

电话号码 (+86) 010-53961269

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/085362

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	117411305	A	2024年1月16日	无	
CN	115622401	A	2023年1月17日	WO	2023284888 A1 2023年1月19日
CN	202721604	U	2013年2月6日	无	
CN	209299137	U	2019年8月23日	无	
CN	113541452	A	2021年10月22日	无	
WO	2022057316	A1	2022年3月24日	CN	114204919 A 2022年3月18日
				US	2022094344 A1 2022年3月24日
				EP	3998705 A1 2022年5月18日