

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 13 日(13.12.2012)



(10) 国際公開番号
WO 2012/169041 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2011/063240
- (22) 国際出願日: 2011 年 6 月 9 日(09.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (Mitsubishi Electric Corporation) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 金子 昌志 (KANEKO, Masashi) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP). 田村 静里 (TAMURA, Shizuri) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP). 中武 浩 (NAKATAKE, Hiroshi) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

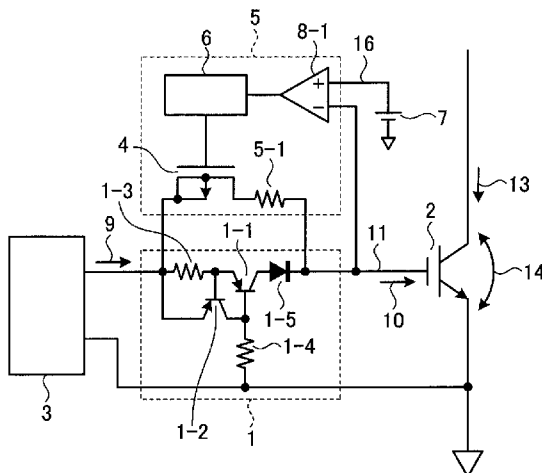
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: GATE DRIVE CIRCUIT

(54) 発明の名称: ゲート駆動回路

【図1】



(57) Abstract: This gate drive circuit which drives an IGBT (2) as a power semiconductor element is provided with: a constant current gate drive circuit (1), which charges a gate capacitor of the IGBT (2) with a constant current; and a constant voltage gate drive circuit (5), which is connected in parallel to between input and output terminals of the constant current gate drive circuit (1) via a series circuit of an MOSFET (4) and a resistor (5-1), and charges the gate capacitor of the IGBT (2) with a constant voltage. At the time of driving the IGBT (2), the gate capacitor of the IGBT (2) is charged using both the constant current gate drive circuit (1) and the constant voltage gate drive circuit (5).

(57) 要約: 電力用半導体素子としての IGBT 2 を駆動するゲート駆動回路において、IGBT 2 のゲート容量を一定電流で充電する定電流ゲート駆動回路 1 と、MOSFET 4 および抵抗 5-1 の直列回路を介して定電流ゲート駆動回路 1 の入出力端間に並列に接続され、IGBT 2 のゲート容量を一定電圧で充電する定電圧ゲート駆動回路 5 と、を備え、IGBT 2 を駆動する際に、定電流ゲート駆動回路 1 と定電圧ゲート駆動回路 5 の双方を用いて IGBT 2 のゲート容量を充電する。

路 5 と、を備え、IGBT 2 を駆動する際に、定電流ゲート駆動回路 1 と定電圧ゲート駆動回路 5 の双方を用いて IGBT 2 のゲート容量を充電する。

明 細 書

発明の名称： ゲート駆動回路

技術分野

[0001] 本発明は、電力用半導体素子を駆動するゲート駆動回路に関する。

背景技術

[0002] 従来のゲート駆動回路は、リカバリ電流の小さい炭化珪素（S i C）を素材として形成されるダイオード（以下「S i Cダイオード」という）を並列（より正確には逆並列）に接続した電力用半導体素子としての I G B T（Insulated Gate Bipolar Transistor）を有するスイッチング回路に対し、ターンオン時の素子損失、リカバリ時のダイオード損失低減しながら、リングングなどによるノイズを低減するため、I G B Tがターンオンする直前に I G B Tのゲートに直列に接続される抵抗値を大きくして、ターンオン時の電流変化率を途中から緩やかにする技術が開示されている（例えば、特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：特開2008-92663号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記従来技術では、ターンオン時の電流変化率を途中から緩やかにする制御を行うため、起動信号（指令信号）が出力されてから実際に電力用半導体素子が動作するまでの起動時間が長くなるという課題がある。

[0005] また、この従来技術は、直列接続される2つの抵抗のうちの一方の抵抗の両端に接続されるスイッチング素子のオンオフ制御により抵抗値を変更する手法である。このため、制御を効果的に行うには、2つの抵抗の抵抗値にある程度の差を持たせる必要がある。しかしながら、2つの抵抗の抵抗値の差

が大きい場合、抵抗値切り替えの前後においてゲート電圧が大きく変化してしまうという問題点がある。ゲート電圧の変化は、ノイズの増加要因の一つになるので、これを回避することが好ましい。

[0006] 本発明は、上記に鑑みてなされたものであって、ターンオンへの移行過程におけるゲート電圧の変化を抑制しつつ、起動時間を短縮することができるゲート駆動回路を提供することを目的とする。

課題を解決するための手段

[0007] 上述した課題を解決し、目的を達成するために、本発明は、電力用半導体素子を駆動するゲート駆動回路において、前記電力用半導体素子のゲート容量を一定電流で充電する定電流ゲート駆動回路と、スイッチング素子および抵抗の直列回路を介して前記定電流ゲート駆動回路の入出力端間に並列に接続され、前記ゲート容量を一定電圧で充電する定電圧ゲート駆動回路と、を備え、前記電力用半導体素子を駆動する際に、前記定電流ゲート駆動回路と前記定電圧ゲート駆動回路の双方を用いて当該電力用半導体素子のゲート容量を充電することを特徴とする。

発明の効果

[0008] 本発明によれば、電力用半導体素子をターンオンする際のゲート電圧の変化を抑制しつつ、起動時間を短縮することができるという効果を奏する。

図面の簡単な説明

[0009] [図1]図1は、実施の形態1に係るゲート駆動回路の構成を示す図である。

[図2]図2は、図1から定電圧ゲート駆動回路の部分を省略した回路構成を示す図である。

[図3]図3は、実施の形態1に係るゲート駆動回路の動作を説明するタイムチャートである。

[図4]図4は、実施の形態2に係るゲート駆動回路の構成を示す図である。

[図5]図5は、実施の形態3に係るゲート駆動回路の構成を示す図である。

[図6]図6は、実施の形態3に係るゲート駆動回路の動作を説明するタイムチャートである。

発明を実施するための形態

[0010] 以下に添付図面を参照し、本発明の実施の形態にかかるゲート駆動回路について説明する。なお、以下に示す実施の形態により本発明が限定されるものではない。

[0011] 実施の形態 1.

図 1 は、本発明の実施の形態 1 に係るゲート駆動回路の構成を示す図である。実施の形態 1 に係るゲート駆動回路は、図 1 に示すように、電力用半導体素子としての IGBT 2 のゲートに接続され、IGBT 2 のゲート電流を制限して IGBT 2 を駆動する定電流ゲート駆動回路 1 と、定電流ゲート駆動回路 1 にオン指令信号（オン指令電圧）9 を出力する電力用半導体素子制御回路 3 と、定電流ゲート駆動回路 1 に並列に接続され、IGBT 2 を定電圧駆動する定電圧ゲート駆動回路 5 と、定電圧ゲート駆動回路 5 に基準電圧 16 を付与する基準電圧源 7 と、を有して構成される。

[0012] 定電流ゲート駆動回路 1 は、図示のように、抵抗 1-3、1-4 と、トランジスタ（図示の例では PNP バイポーラトランジスタ）1-1、1-2 と、トランジスタ 1-1 のコレクタに直列接続されるダイオード 1-5 とを備えて構成される。ダイオード 1-5 のカソードは、定電流ゲート駆動回路 1 の出力端になり、IGBT 2 のゲートに接続される。定電流ゲート駆動回路 1 は、IGBT 2 がターンオンするときのゲート電流 10 を所定の上限值に制限する機能を有する。

[0013] 定電圧ゲート駆動回路 5 は、図示のように、スイッチング素子の一例である MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）4 と、MOSFET 4 に直列接続される抵抗 5-1 と、スイッチング素子制御回路として MOSFET 4 を制御する MOSFET 制御回路 6 と、IGBT 2 のゲート電圧 11 および基準電圧源 7 の基準電圧 16 を入力信号とし、これらの信号の大小関係に従って MOSFET 制御回路 6 を制御する第 1 のコンパレータとしてのゲート電圧検出コンパレータ 8-1 を備えて構成される。定電圧ゲート駆動回路 5 は、定電流ゲート駆動回路 1 に並列に接続され、定

電流ゲート駆動回路 1 と共に、必要なゲート電流を IGBT 2 に供給する。なお、図示の例では、MOSFET 4 および抵抗 5-1 による直列回路の一端を成す MOSFET 4 のソースが定電流ゲート駆動回路 1 の抵抗 1-3 の一端に接続され、直列回路の他端を成す定電圧ゲート駆動回路 5 の抵抗 5-1 の一端がダイオード 1-5 のカソードに接続される構成であるが、MOSFET 4 および抵抗 5-1 による直列回路の接続関係が逆になり、定電圧ゲート駆動回路 5 の抵抗 5-1 の一端が定電流ゲート駆動回路 1 の抵抗 1-3 の一端に接続され、MOSFET 4 のドレインがダイオード 1-5 のカソードに接続される構成であっても構わない。

[0014] つぎに、実施の形態 1 に係るゲート駆動回路の動作について説明する。ここではまず、図 2 を参照して、定電流ゲート駆動回路 1 の動作について説明する。なお、図 2 は、図 1 から定電圧ゲート駆動回路 5 の部分を省略した回路構成を示す図である。

[0015] IGBT 2 をターンオンするとき、定電流ゲート駆動回路 1 には、電力用半導体素子制御回路 3 からのオン指令信号 9 が入力される。オン指令信号 9 が定電流ゲート駆動回路 1 に入力されると、トランジスタ 1-1 は導通状態となり、抵抗 1-3 を介してエミッタ電流が流れ、抵抗 1-4 を介してベース電流が流れる。また、ダイオード 1-5 を介してコレクタ電流が流れ、このコレクタ電流は IGBT 2 に対するゲート電流 I_G となって IGBT 2 のゲート容量を充電する。

[0016] トランジスタ 1-1 のエミッタ電流が増加すると抵抗 1-3 での電圧降下が増大し、この電圧降下はトランジスタ 1-2 のベース-エミッタ間を順バイアスするため、トランジスタ 1-2 が導通状態になる。トランジスタ 1-2 が導通すると、トランジスタ 1-1 に流れていた電流（エミッタ電流）は、トランジスタ 1-2 の方に流れるようになり、抵抗 1-3 での電圧降下が小さくなる。一方、抵抗 1-3 での電圧降下が小さくなるとトランジスタ 1-2 のベース-エミッタ間のバイアス電圧が小さくなり、トランジスタ 1-2 は導通状態から遮断状態に移行する。結局のところ、このような動作が瞬

時にして行われ、トランジスタ 1-1 のエミッタには、トランジスタ 1-2 のベース-エミッタ間 (PN 接合部) における順方向電圧降下 (例えば、0.6 V) を抵抗 1-3 の抵抗値で除した値の一定電流が流れる。なお、トランジスタの性質上、コレクタ電流はエミッタ電流にはほぼ等しくなるため、IGBT 2 を充電するゲート電流も定電流となる。このようにして、定電流ゲート駆動回路 1 は、電力用半導体素子である IGBT 2 を定電流駆動する。

[0017] つぎに、実施の形態 1 に係るゲート駆動回路、即ち定電流ゲート駆動回路 1 と定電圧ゲート駆動回路 5 とを併用した場合の動作について、図 1 および図 3 の図面を説明する。図 3 は、実施の形態 1 に係るゲート駆動回路の動作を説明するタイムチャートである。なお、図 3 の説明において、電力用半導体素子を適宜「PSD」(Power Semiconductor Device) と略記する。

[0018] まず、ゲート駆動の初めにおいて (図 3 における動作時間 A 以前)、MOSFET 4 はオンしている。つまり、定電圧ゲート駆動回路 5 は、動作可能な状態に設定されている。この状態において、電力用半導体素子制御回路 3 からのオン指令信号 9 が定電流ゲート駆動回路 1 に入力されると (動作時間 A)、IGBT 2 のゲートには、定電圧ゲート駆動回路 5 から供給される電流と、定電流ゲート駆動回路 1 から供給される電流とが重畳され、IGBT 2 のゲート容量を充電する。なお、図 3 の上から 2 段目の波形 (PSD ゲート電流 10) において、実線部 19 は、定電流ゲート駆動回路 1 および定電圧ゲート駆動回路 5 の双方を駆動したときの電流波形であり、破線部 18 は、MOSFET 4 をオフに制御して (このとき、定電圧ゲート駆動回路 5 は切り離された状態である)、定電流ゲート駆動回路 1 のみを駆動したときの電流波形である。

[0019] IGBT 2 のゲート電圧 (PSD ゲート電圧) 11 は、ゲート電圧検出コンパレータ 8-1 に入力される。ゲート電圧検出コンパレータ 8-1 は、PSD ゲート電圧 11 を基準電圧源 7 の基準電圧 16 と比較する。この基準電圧 16 は、図 3 に示すように、IGBT 2 がターンオンするときの閾値電圧

(PSDターンオン閾値電圧) 15よりも低く設定される。この設定により、PSDゲート電圧11がPSDターンオン閾値電圧15に近づき、基準電圧16を超えるとゲート電圧検出コンパレータ8-1の出力は反転し、MOSFET制御回路6が動作してMOSFET4がオフに制御され(MOSFET両端電圧12は「ロー」から「ハイ」に上昇)、定電圧ゲート駆動回路5は定電流ゲート駆動回路1から切り離されて、定電流ゲート駆動回路1のみが動作する状態に切り換わる(動作時間B)。

[0020] その後、PSDゲート電圧11がPSDターンオン閾値電圧15を超えるとPSDコレクタ電流13が流れ初め(動作時間C)、PSDコレクタ電流13は急速に立ち上がり、ピークを生じた後にある所定値に落ち着く。また、IGBT2のコレクタとエミッタとの間の電圧(PSDコレクターエミッタ電圧)14は、PSDコレクタ電流13がピーク値を迎えた後に零電位に向かって立ち下がる。

[0021] 上記の制御により、IGBT2がターンオンするまでの時間(ターンオン時間)T1(A~B)は、定電流ゲート駆動回路1のみを用いて充電する場合に比して短くなり、起動指令の入力から実際に動作するまでの時間(実動作時間)T2も短くなる。これらターンオン時間T1および実動作時間T2が短縮される理由は、定電流ゲート駆動回路1と定電圧ゲート駆動回路5との双方を用いてIGBT2のゲート容量を充電することで、図3にハッチングで示した面積に相当する分の電荷量をより多く充電することができるからである。

[0022] また、図3の実線部19に示す電流波形に着目すると、電流値が時間の経過と共に小さくなっていることが分かる。このような波形になるのは、IGBT2のゲート容量が充電されることでPSDゲート電圧11が上昇し、その結果として、抵抗5-1の両端電圧が小さくなるからである。この結果は、MOSFET4の導通時に定電流ゲート駆動回路1の入出力端間に電氣的に接続される抵抗5-1の作用によるものであり、定電圧ゲート駆動回路5が文字通り、IGBT2を定電圧駆動していることで得ることができる。ま

た、この作用により、I G B T 2 をターンオンさせる移行過程において、ゲート電圧の変化を抑制することが可能となる。

[0023] 以上説明したように、実施の形態 1 のゲート駆動回路によれば、電力用半導体素子である I G B T 2 を駆動する際に、定電流ゲート駆動回路 1 と定電圧ゲート駆動回路 5 との双方を用いて I G B T 2 のゲート容量を充電することとしたので、ターンオンへの移行過程におけるゲート電圧の変化を抑制しつつ、起動時間の短縮が可能となる。

[0024] 実施の形態 2.

図 4 は、実施の形態 2 に係るゲート駆動回路の構成を示す図である。同図のゲート駆動回路では、図 1 に示した実施の形態 1 に係るゲート駆動回路において、基準電圧源 7 を基準電圧生成回路 7 a に代えたものである。なお、その他の構成については、図 1 に示した実施の形態 1 の構成と同一または同等であり、それらの共通の構成部には同一の符号を付して示し、共通する説明は適宜省略する。

[0025] つぎに、基準電圧生成回路 7 a の構成および動作について説明する。なお、基本的な動作は、実施の形態 1 のゲート駆動回路と同等であり、回路主要部の動作波形も図 3 に示すものと同等である。

[0026] 図 4 において、基準電圧生成回路 7 a は、I G B T 2 のエミッタ電流を検出するための電流検出手段である電流検出抵抗 2 5 と、第 1 の電源回路である三角波電源 2 4 と、コンデンサおよび抵抗にて構成される出力回路 8 - 3 と、三角波電源 2 4 の出力と電流検出抵抗 2 5 の出力とを比較する第 2 のコンパレータとしての電流検出コンパレータ 8 - 2 を備えて構成される。

[0027] 実施の形態 2 において、ゲート電圧検出コンパレータ 8 - 1 に入力する基準電圧 1 6 は、電流検出コンパレータ 8 - 2 によって生成される。電流検出コンパレータ 8 - 2 では、三角波電源 2 4 が生成する三角波と、電流検出抵抗 2 5 の出力とを比較することにより基準電圧 1 6 が生成され、出力回路 8 - 3 を介してゲート電圧検出コンパレータ 8 - 1 に入力される。その後の動作は、実施の形態 1 と同一もしくは同等である。

[0028] ここで、基準電圧生成回路 7 a が生成する基準電圧 1 6 は、実施の形態 1 と同様に P S D ターンオン閾値電圧 1 5 よりも低い値に設定されるが、この P S D ターンオン閾値電圧 1 5 は、I G B T 2 の特性によっても変動し、また、I G B T 2 のコレクタに流れる電流によっても変動する。一方、実施の形態 2 のゲート駆動回路では、上述したように、I G B T 2 のコレクタ電流を検出し、検出したコレクタ電流を用いて基準電圧 1 6 を生成しているので、I G B T 2 のターンオン閾値電圧が変動しても、これに追従した制御を行うことが可能となる。この制御により、I G B T 2 の特性に応じた基準電圧 1 6 を生成することができ、起動時間を短縮する制御を効果的に行うことができる。なお、コレクタ電流に代えてエミッタ電流を検出するようにしても構わない。また、電流検出抵抗以外の検出手段を用いても構わない。

[0029] 以上説明したように、実施の形態 2 のゲート駆動回路によれば、電力用半導体素子である I G B T 2 を駆動する際に、定電流ゲート駆動回路 1 と定電圧ゲート駆動回路 5 との双方を用いて I G B T 2 のゲート容量を充電すると共に、I G B T 2 に流れる電流を検出し、検出した電流を用いて生成した基準電圧を用いて定電圧ゲート駆動回路 5 の動作を制御することとしたので、実施の形態 1 の効果に加え、I G B T 2 の特性に応じた起動時間の短縮制御が可能になるという効果が得られる。

[0030] 実施の形態 3.

図 5 は、実施の形態 3 に係るゲート駆動回路の構成を示す図である。同図のゲート駆動回路では、図 1 に示した実施の形態 1 に係るゲート駆動回路において、ゲート電圧検出コンパレータ 8 - 1 の反転入力端子に I G B T 2 のゲート電圧ではなく自己完結的に生成した電圧信号を入力する構成である。具体的には、第 2 の電源回路である方形波電源 2 0 と、方形波電源 2 0 が出力する方形波電圧 2 2 を平滑化するフィルタ回路としての R C フィルタ 2 1 とを有し、R C フィルタ 2 1 が出力する方形波平滑電圧 2 3 をゲート電圧検出コンパレータ 8 - 1 の反転入力端子に入力する構成としている。なお、その他の構成については、図 1 に示した実施の形態 1 の構成と同一または同等

であり、それらの共通の構成部には同一の符号を付して示し、共通する説明は適宜省略する。

[0031] つぎに、実施の形態 3 に係るゲート駆動回路の動作について図 5 および図 6 の図面を参照して説明する。なお、図 6 は、実施の形態 3 に係るゲート駆動回路の動作を説明するタイムチャートである。基本的には、図 3 に示すタイムチャートと同一もしくは同等であるが、図 6 では、タイムチャートの中程に方形波電圧 22 と方形波平滑電圧 23 を追加している。

[0032] この実施の形態 3 では、IGBT2 がターンオンする直前で基準電圧 16 と交差するように RC フィルタ 21 の時定数 (= R と C の積) が設定されている (B 点における方形波平滑電圧 23 を参照)。即ち、方形波電圧 22 が RC フィルタ 21 にて平滑化され、IGBT2 がターンオンするよりも前に基準電圧 16 に達するように動作するので、実施の形態 1 とは異なり、IGBT2 のゲート電圧 (PSD ゲート電圧 11) を検出することなく IGBT2 を駆動することが可能となる。

[0033] 以上説明したように、実施の形態 3 のゲート駆動回路によれば、電力用半導体素子である IGBT2 を駆動する際に、定電流ゲート駆動回路 1 と定電圧ゲート駆動回路 5 との双方を用いて IGBT2 のゲート容量を充電すると共に、自己完結的に生成した制御信号 (電圧) を用いて定電圧ゲート駆動回路 5 の動作 / 非動作を切り替えることとしたので、ゲート電圧を検出することなく、実施の形態 1 と同等の効果を得ることが可能となる。

[0034] 最後に、実施の形態 1 ~ 3 に共通する事項として、電力用半導体素子の素材について説明する。電力用半導体素子としては、珪素 (Si) を素材とする半導体トランジスタ素子 (IGBT、MOSFET など、以下「Si-SW」と略記) が一般的である。上記で説明した技術は、この一般的な Si-SW に用いて好適である。

[0035] 一方、上述した技術は、Si を素材として形成されたスイッチング素子に限定されるものではない。この Si に代え、近年、高速のスイッチング動作が可能であるとして注目され、開発が進められている炭化珪素 (SiC) を

素材とする電力用半導体素子（以下「SiC-SW」と略記）に用いることも無論可能である。

[0036] ここで、SiC-SWが高速のスイッチング動作が可能であるのは、SiC-SWは、高温での使用が可能であり、耐熱性も高いため、SiC-SWを収容する素子モジュールの許容動作温度を高温側に引き上げることができ、キャリア周波数を高めてスイッチング速度を増加させても、素子モジュールを冷却する冷却器が大きくなるのを抑制することができるからである。

[0037] しかしながら、スイッチング速度の増加は効率を高めるという観点では効果的ではあるものの、SiC-SWを駆動する際にコレクターエミッタ電圧（ V_{ce} ）およびコレクタ電流（ I_c ）の時間変化（ dv/dt 、 di/dt ）が急峻になるため、ノイズが増加するという問題点が生ずる。

[0038] これに対し、本願実施の形態のゲート駆動回路によれば、上記で説明したように、電力用半導体素子を駆動する際に、定電流ゲート駆動回路と定電圧ゲート駆動回路との双方を併用し、電力用半導体素子がターンオンする移行過程におけるゲート電圧変化を抑制しているので、スイッチングによるノイズを従来よりも抑制することができる。つまり、本願実施の形態のゲート駆動回路は、電力用半導体素子としてSiC-SWを用いる場合に有効に作用し、今後のトレンドに柔軟に対応可能な技術の一つを成すと言っても過言ではない。

[0039] なお、SiCは、Siよりもバンドギャップが大きいという特性を捉えて、ワイドバンドギャップ半導体と称される半導体の一例である。このSiC以外にも、例えば窒化ガリウム（GaN）系材料または、ダイヤモンド（C）を用いて形成される半導体もワイドバンドギャップ半導体に属しており、それらの特性もSiCに類似した点が多い。したがって、SiC以外の他のワイドバンドギャップ半導体を用いる場合も、SiCの場合と同様な効果が得られ、本願の要旨を成すものである。

[0040] なお、以上の実施の形態1～3に示した構成は、本発明の構成の一例であり、別の公知の技術と組み合わせることも可能であるし、本発明の要旨を逸

脱しない範囲で、一部を省略する等、変更して構成することも可能であることは言うまでもない。

産業上の利用可能性

[0041] 以上のように、本発明は、電力用半導体素子をターンオンする際のゲート電圧の変化を抑制しつつ、起動時間の短縮を可能とするゲート駆動回路として有用である。

符号の説明

- [0042] 1 定電流ゲート駆動回路
- 1-1, 1-2 トランジスタ
 - 1-3, 1-4, 5-1 抵抗
 - 1-5 ダイオード
- 3 電力用半導体素子制御回路
- 4 MOSFET
- 5 定電圧ゲート駆動回路
- 6 MOSFET制御回路
- 7 基準電圧源
- 7a 基準電圧生成回路
- 8-1 ゲート電圧検出コンパレータ（第1のコンパレータ）
- 8-2 電流検出コンパレータ（第2のコンパレータ）
- 8-3 出力回路
- 9 オン指令信号（電圧）
- 10 ゲート電流（PSDゲート電流）
- 11 ゲート電圧（PSDゲート電圧）
- 13 PSDコレクタ電流
- 14 PSDコレクターエミッタ電圧
- 15 PSDターンオン閾値電圧
- 16 基準電圧
- 20 方形波電源（第2の電源回路）

- 2 1 R C フィルタ (フィルタ回路)
- 2 2 方形波電圧
- 2 3 方形波平滑電圧
- 2 4 三角波電源 (第 1 の電源回路)
- 2 5 電流検出抵抗 (電流検出手段)

請求の範囲

- [請求項1] 電力用半導体素子を駆動するゲート駆動回路において、
前記電力用半導体素子のゲート容量を一定電流で充電する定電流ゲート駆動回路と、
スイッチング素子および抵抗の直列回路を介して前記定電流ゲート駆動回路の入出力端間に並列に接続され、前記ゲート容量を一定電圧で充電する定電圧ゲート駆動回路と、
を備え、
前記電力用半導体素子を駆動する際に、前記定電流ゲート駆動回路と前記定電圧ゲート駆動回路の双方を用いて当該電力用半導体素子のゲート容量を充電することを特徴とするゲート駆動回路。
- [請求項2] 前記定電圧ゲート駆動回路は、
前記電力用半導体素子のゲート電圧と所定の基準電圧とを比較する第1のコンパレータと、
前記第1のコンパレータの比較結果に基づいて前記スイッチング素子を制御するスイッチング素子制御回路と、
を有し、
前記第1のコンパレータは、前記電力用半導体素子がターンオンする直前に前記スイッチング素子をオフに制御する信号を生成し、
前記スイッチング素子制御回路は、前記第1のコンパレータから出力される制御信号に基づき、前記スイッチング素子をオフに制御して前記定電流ゲート駆動回路との電氣的接続を切り離すことを特徴とする請求項1に記載のゲート駆動回路。
- [請求項3] 前記電力用半導体素子に流れる電流を用いて前記基準電圧を生成する基準電圧生成回路をさらに備えたことを特徴とする請求項2に記載のゲート駆動回路。
- [請求項4] 前記基準電圧生成回路は、
前記電力用半導体素子に流れる電流を検出する電流検出手段と、

所定の方形波電圧を生成する第 1 の電源回路と、

前記電流検出手段が検出した電流値と、前記方形波電圧とを比較し、その比較結果に基づく出力電圧を前記基準電圧として前記第 1 のコンパレータに出力する第 2 のコンパレータと、

を備えたことを特徴とする請求項 3 に記載のゲート駆動回路。

[請求項 5]

方形波電圧を生成する第 2 の電源回路と、

前記方形波電圧を平滑するフィルタ回路と、

をさらに有すると共に、

前記定電圧ゲート駆動回路は、

前記フィルタ回路が出力する方形波平滑電圧と所定の基準電圧とを比較する第 1 のコンパレータと、

前記第 1 のコンパレータの比較結果に基づいて前記スイッチング素子を制御するスイッチング素子制御回路と、

を有し、

前記第 1 のコンパレータは、前記電力用半導体素子がターンオンする直前に前記スイッチング素子をオフに制御する信号を生成し、

前記スイッチング素子制御回路は、前記第 1 のコンパレータから出力される制御信号に基づき、前記スイッチング素子をオフに制御して前記定電流ゲート駆動回路との電氣的接続を切り離すことを特徴とする請求項 1 に記載のゲート駆動回路。

[請求項 6]

前記電力用半導体素子は、ワイドバンドギャップ半導体にて形成される素子であることを特徴とする請求項 1 ～ 5 の何れか 1 項に記載のゲート駆動回路。

[請求項 7]

前記ワイドバンドギャップ半導体は、炭化ケイ素、窒化ガリウム系材料または、ダイヤモンドを用いた半導体であることを特徴とする請求項 6 に記載のゲート駆動回路。

[請求項 8]

電力用半導体素子を駆動するゲート駆動回路において、

前記電力用半導体素子のゲート容量を一定電流で充電する定電流ゲ

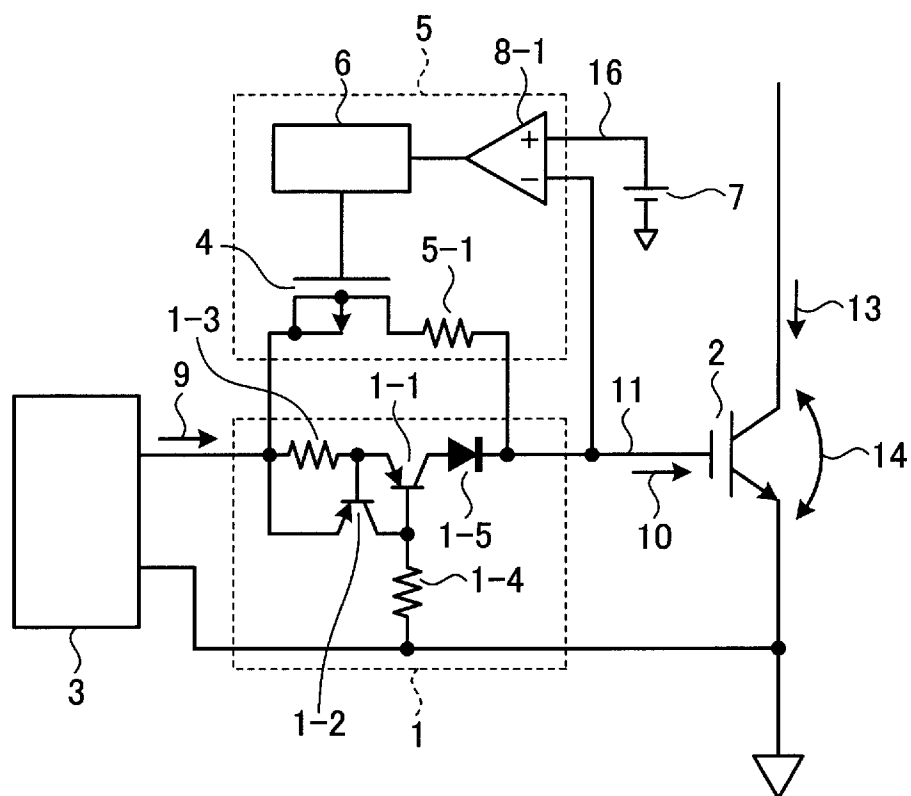
ート駆動回路と、

スイッチング素子および抵抗の直列回路を介して前記定電流ゲート駆動回路の入出力端間に並列に接続され、前記ゲート容量を一定電圧で充電する定電圧ゲート駆動回路と、

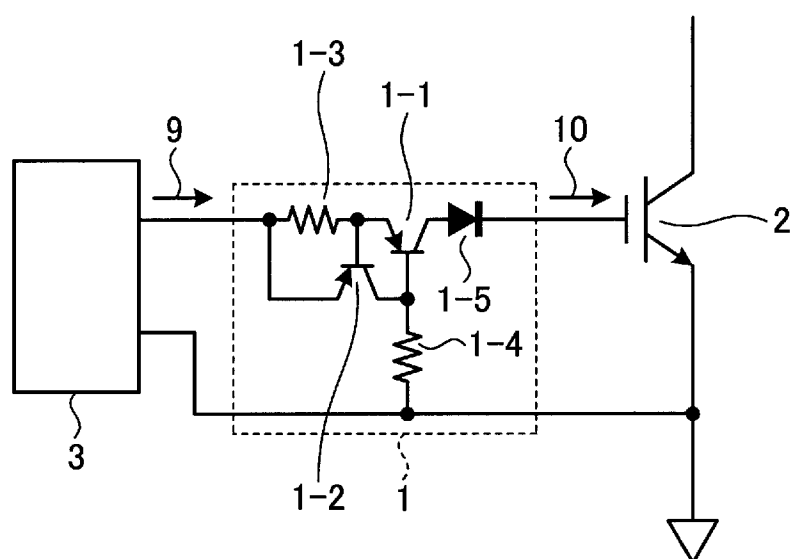
を備え、

前記定電圧ゲート駆動回路は、前記電力用半導体素子を駆動するオン指令が出力されてから、当該電力用半導体素子がターンオンするまでの期間においてのみ駆動されることを特徴とするゲート駆動回路。

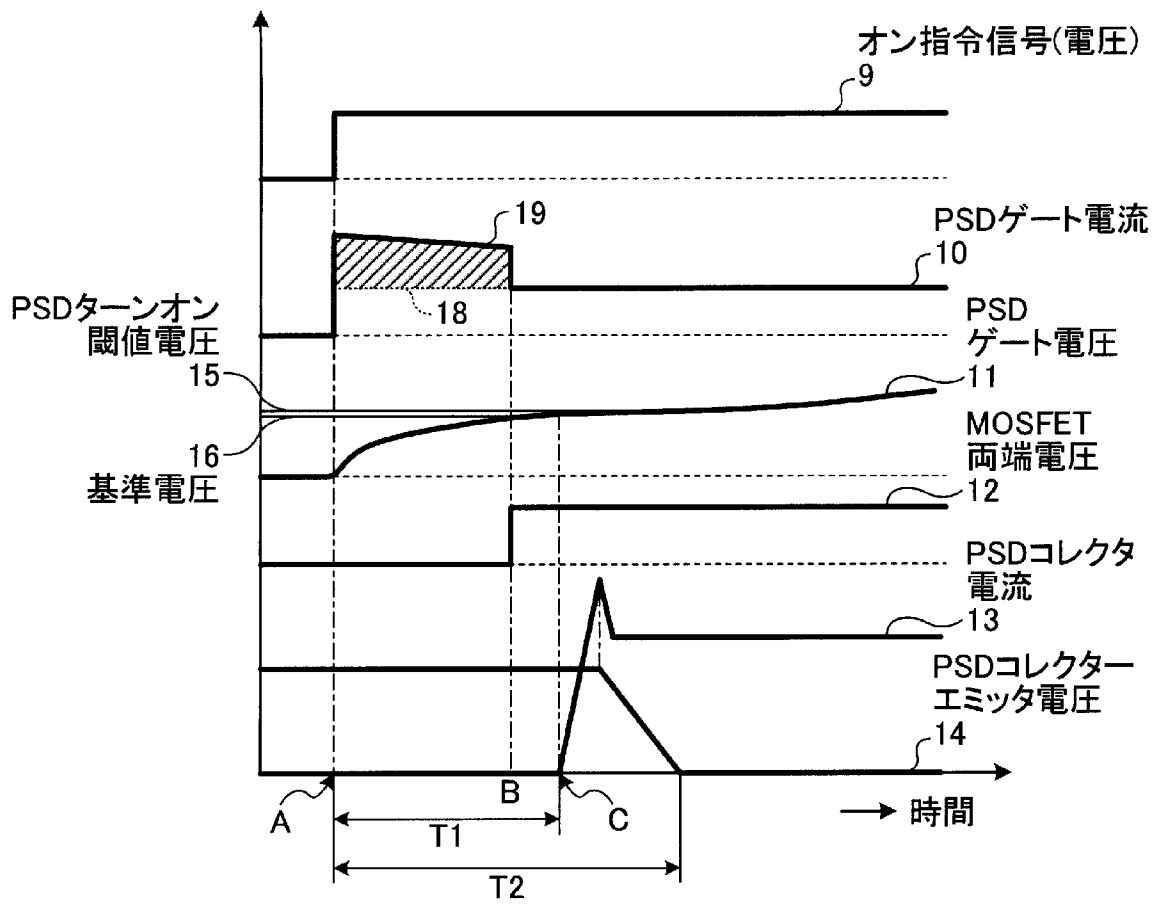
[図1]



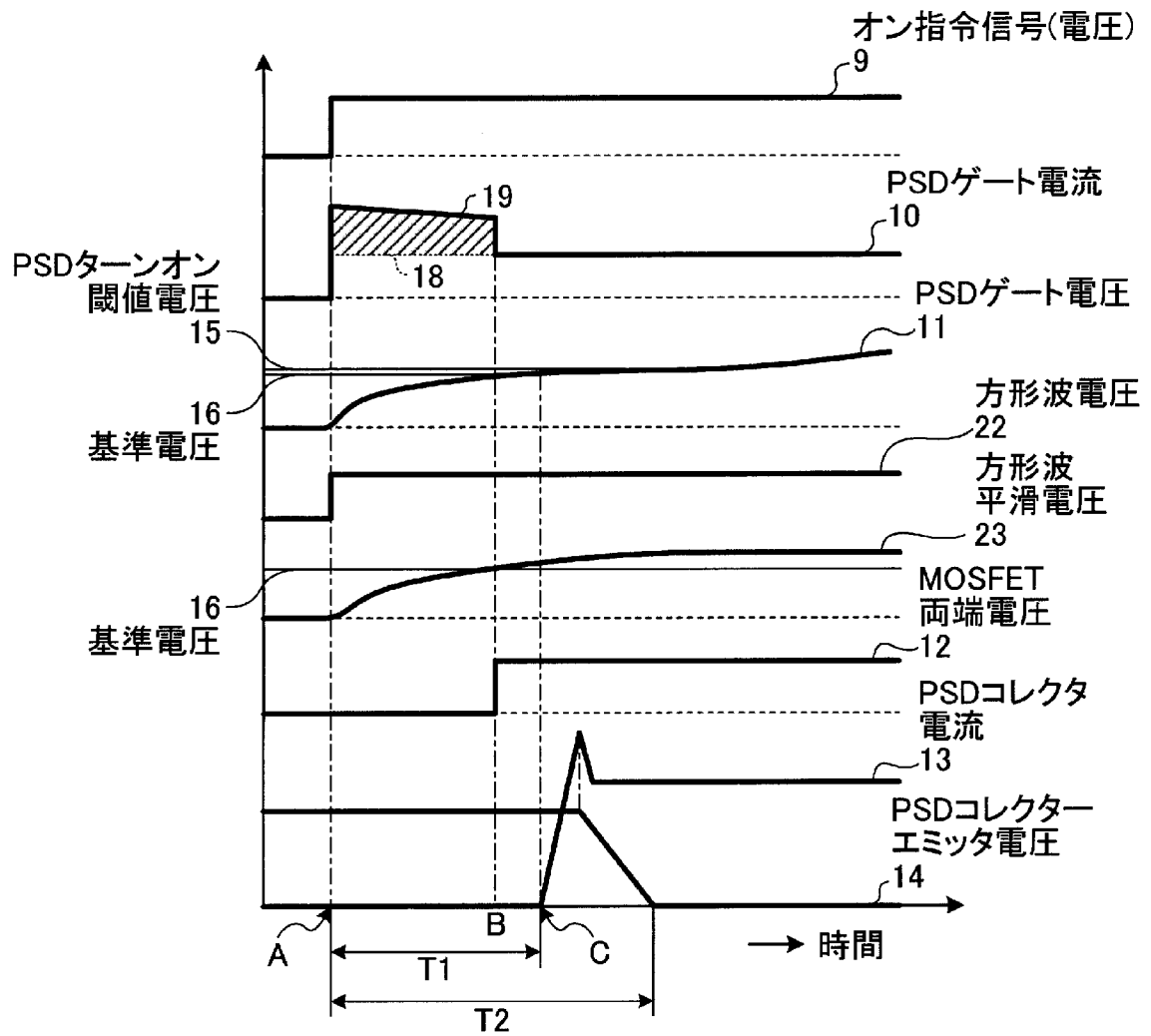
[図2]



[図3]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/063240

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-11049 A (Mitsubishi Electric Corp.), 15 January 2009 (15.01.2009), claims & US 2009/0002054 A1 & EP 2009792 A2 & CN 101335484 A & KR 10-2008-0114611 A	1-8

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 August, 2011 (18.08.11)

Date of mailing of the international search report

30 August, 2011 (30.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M1/08 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-11049 A (三菱電機株式会社) 2009.01.15, 【特許請求の範囲】 & US 2009/0002054 A1 & EP 2009792 A2 & CN 101335484 A & KR 10-2008-0114611 A	1 - 8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 8 . 2 0 1 1

国際調査報告の発送日

3 0 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

牧 初

3 V

9 0 6 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8