



(12) 发明专利申请

(10) 申请公布号 CN 102231523 A

(43) 申请公布日 2011. 11. 02

(21) 申请号 201110188074. 9

(22) 申请日 2011. 07. 06

(71) 申请人 思源清能电气电子有限公司

地址 201108 上海市闵行区华宁路 3399 号

(72) 发明人 季建辉 宋强 侯坤 侯焱

(74) 专利代理机构 上海交达专利事务所 31201

代理人 王毓理

(51) Int. Cl.

H02J 3/01 (2006. 01)

H02J 3/18 (2006. 01)

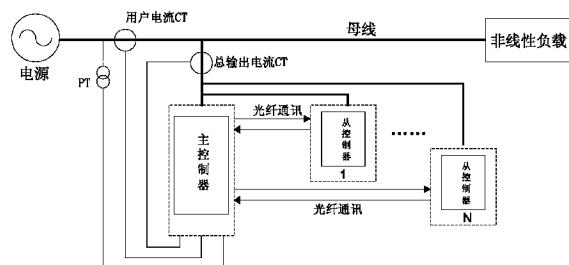
权利要求书 2 页 说明书 4 页 附图 2 页

(54) 发明名称

用于 APF/SVG 并联运行的主从控制系统及方法

(57) 摘要

一种电力电子控制技术领域的用于 APF/SVG 并联运行的主从控制系统及方法，该系统包括：主控制器、从控制器以及若干设置于母线上的电压互感器和电流互感器，用户端的电流互感器和电压互感器的输出端与主控制器的模拟量数据接口相连并传输系统的电压和电流信息，总输出电流互感器的输出端和主控制器的模拟量数据接口相连并传输装置的输出电流信息，主控制器的光纤接口和从控制器的光纤接口相连并传输待补偿的无功和谐波信息，从控制器的光纤接口和主控制器的光纤接口相连并传输各从控制器的运行状态信息以实现闭环控制。本发明使各并联装置在主控制器的统一控制之下，达到较好的补偿效果和装置利用率。



1. 一种用于 APF/SVG 并联运行的主从控制系统, 其特征在于, 包括: 主控制器、从控制器以及若干设置于母线上的电压互感器和电流互感器, 其中: 用户端的电流互感器和电压互感器的输出端与主控制器的模拟量数据接口相连并传输系统的电压和电流信息, 总输出电流互感器的输出端和主控制器的模拟量数据接口相连并传输装置的输出电流信息, 主控制器的光纤接口和从控制器的光纤接口相连并传输待补偿的无功和谐波信息, 从控制器的光纤接口和主控制器的光纤接口相连并传输各从控制器的运行状态信息以实现闭环控制。

2. 根据权利要求 1 所述的用于 APF/SVG 并联运行的主从控制系统, 其特征是, 所述的主控制器, 包括: 第一 DSP 单元、第一 FPGA 单元、第二 DSP 单元、模拟量数据接口单元和光纤接口单元, 其中: 第一 DSP 单元、第二 DSP 单元、模拟量数据接口单元和光纤接口单元分别和第一 FPGA 单元相连并分别传输总补偿无功和谐波电流波形信息、各从控制器分流系数信息、系统各模拟量数据信息、从装置的运行状态信息。

3. 根据权利要求 1 所述的用于 APF/SVG 并联运行的主从控制系统, 其特征是, 所述的从控制器, 包括: 第三 DSP 单元、第二 FPGA 单元、模拟量数据接口单元和光纤接口单元, 其中: 第三 DSP 单元、模拟量数据接口单元、光纤接口单元分别与第二 FPGA 单元相连并分别传输从装置输出电流有效值信息、从装置各模拟量信息、主控制器下发的补偿电流波形信息。

4. 一种根据上述任一权利要求所述系统的控制方法, 其特征在于, 包括以下步骤:

1) 主控制器通过模拟量数据接口采集系统电压、电流信息和并联装置总的输出电流信息, 经第一 FPGA 单元分别传入第一 DSP 单元和第二 DSP 单元进行处理并得到计算出待补偿无功和谐波电流实时波形数据, 由第一 DSP 单元和第二 DSP 单元将该待补偿无功和谐波电流实时波形数据传入第一 FPGA 单元;

2) 从控制器通过模拟量数据接口采集从控制器内部的输出电流信息, 经第二 FPGA 单元传入第三 DSP 单元进行处理并计算出各从控制器的输出电流有效值, 第三 DSP 单元将输出电流有效值传入第二 FPGA 单元并将运行状态信息通过光纤接口上传到主控制器的光纤接口单元;

3) 主控制器通过光纤接口接收从控制器的运行状态信息后转发到第二 DSP 单元, 第二 DSP 单元根据加权平均方式计算对应每一个从控制器的分流系数并回传给第一 FPGA 单元;

4) 第一 FPGA 单元根据: 第一 DSP 单元传送的待补偿无功和谐波电流实时波形数据以及第二 DSP 单元传送的所有从控制器的分流系数计算出各从控制器的补偿电流波形数据, 并将该补偿电流波形数据通过光纤接口输出到各个从控制器;

5) 从控制器通过光纤接口接收到主控制器输出的补偿电流波形数据后控制输出相应的电流, 最终完成整套并联装置的补偿功能。

5. 根据权利要求 4 所述的控制方法, 其特征是, 所述的分流系数是指:

$$k_1 = \frac{S_{run1} \times I_{1e}}{S_{run1} \times I_{1e} + S_{run2} \times I_{2e} + \dots + S_{runn} \times I_{ne}}, \text{ 其中: } k_1 \text{ 表示第一台从控制器对应的分流系数, } I_{(1 \sim n)e} \text{ 是第一至第 } n \text{ 个从控制器的额定电流, } S_{run(1 \sim n)} \text{ 表示第 } 1 \text{ 至第 } n \text{ 个从控制器运行状态信息, 当相应从控制器运行时, } S_{run(1 \sim n)} = 1, \text{ 反之当相应从控制器不运行时, } S_{run(1 \sim n)} = 0, n \text{ 为从控制器的个数。}$$

6. 根据权利要求 4 所述的控制方法, 其特征是, 所述的补偿电流波形数据是指: $i_{ref1} = k_1 \times i_{ref_all}$, 其中: i_{ref1} 表示第一台从控制器对应的补偿电流波形数据, k_1 表示第一台从控

器对应的分流系数， i_{ref_all} 是主控制器计算出的系统中要补偿的总的无功和谐波电流波形数据。

用于 APF/SVG 并联运行的主从控制系统及方法

技术领域

[0001] 本发明涉及的是一种电力电子控制技术领域的系统及方法,具体是一种用于 APF(有源电力滤波器)/SVG(静止无功发生器)并联运行的主从控制系统及方法。

背景技术

[0002] APF/SVG 等电力电子装置受器件水平和制造工艺等的限制,单机容量不能做的很大,当系统需补偿的电流超过单台装置的额定补偿能力时,通常会选择将多台装置并联运行的方式。或者用户已经使用了 APF/SVG 等电力电子装置,又要进行扩容时,也会选择多台装置并联运行的方式。

[0003] 传统的多台装置并联方式,如图 1 所示,装置 1 ~ 装置 N 分别接到母线上,用户 CT 的二次测量线通过串联的方式接进各个装置。在这种并联方式下,各装置的控制方式和单台运行时的控制方式并无本质区别,单台运行时控制系统跟踪负荷电流发出补偿电流,并联运行时控制系统跟踪乘了分流系数的负荷电流发出补偿电流,其中分流系数可根据并联装置的台数和各并联装置的容量计算得到。在这种并联运行方式下,各装置独立运行,彼此之间没有通讯,不知道其他装置发了多少电流,也不知道系统电流情况,补偿效果较差。且当各装置并没有全部满载运行时,若某台装置故障退出运行,其他装置并不知道,从而不能相应的提高自身出力,浪费了补偿容量。

[0004] 经过对现有技术的检索发现,申请号为 201010208136.8 的《基于高压大功率变频器的主从控制方法》公开了一种基于高压大功率变频器的主从控制方法,其特征在于,主要包括以下步骤:将 N 台级联式高压大功率变频器通过光纤连接到与主控系统相连接的光纤转接板上,并指定其中一个高压大功率变频器为主控驱动,其余的为从控驱动,其中, $N \geq 2$;给主控系统上电,并使主控驱动按照给定频率 f_0 运行;主控系统计算出此时主控驱动的主电压调制波形,并将该主电压调制波形发送到光纤转接板;光纤转接板将所得的主电压调制波形分为 $N-1$ 路完全相同的副电压调制波形,并分别其输入到相应的从控驱动中。

[0005] 但是该现有技术是针对变频器设计的,不适用于 APF/SVG 装置。主要原因如下:

[0006] 1) 现有变频器主从控制器之间需要传送的是给定频率 f_0 的电压调制波形。而 APF/SVG 装置主从控制器之间需要传送的是需补偿的无功和 N 种谐波电流信号的组合,且该补偿信号可能随系统电流的变化而变化,因此为了保证数据传递的正确性,要求 APF/SVG 装置的主从控制系统有更高的实时性和快速性。

[0007] 2) 现有变频器主从控制系统的光纤转接板只需将所得的主电压调制波形分为 $N-1$ 路完全相同的副电压调制波形,并分别将其输入到相应的从控驱动中即可。而 APF/SVG 装置主从控制系统中从控制器的容量不一定相同,因此主控制器要根据各从控制器的运行情况和容量情况,实时动态的分配各从控制器的电流控制信号,以达到最佳的补偿效果和装置利用率。

发明内容

[0008] 本发明针对现有技术存在的上述不足,提供一种用于 APF/SVG 并联运行的主从控制系统及方法,使各并联装置在主控制器的统一控制之下,达到较好的补偿效果和装置利用率。

[0009] 本发明是通过以下技术方案实现的:

[0010] 本发明涉及一种用于 APF/SVG 并联运行的主从控制系统,包括:主控制器、从控制器以及若干设置于母线上的电压互感器和电流互感器,其中:用户端的电流互感器和电压互感器的输出端与主控制器的模拟量数据接口相连并传输系统的电压和电流信息,总输出电流互感器的输出端和主控制器的模拟量数据接口相连并传输装置的输出电流信息,主控制器的光纤接口和从控制器的光纤接口相连并传输待补偿的无功和谐波信息,从控制器的光纤接口和主控制器的光纤接口相连并传输各从控制器的运行状态信息以实现闭环控制。

[0011] 所述的主控制器,包括:第一 DSP(数字信号处理器)单元、第一 FPGA(现场可编程门阵列)单元、第二 DSP 单元、模拟量数据接口单元和光纤接口单元,其中:第一 DSP 单元、第二 DSP 单元、模拟量数据接口单元和光纤接口单元分别和第一 FPGA 单元相连并分别传输总补偿无功和谐波电流波形信息、各从控制器分流系数信息、系统各模拟量数据信息、从装置的运行状态信息。

[0012] 所述的从控制器,包括:第三 DSP 单元、第二 FPGA 单元、模拟量数据接口单元和光纤接口单元,其中:第三 DSP 单元、模拟量数据接口单元、光纤接口单元分别与第二 FPGA 单元相连并分别传输从装置输出电流有效值信息、从装置各模拟量信息、主控制器下发的补偿电流波形信息。

[0013] 本发明涉及上述系统的控制方法,包括以下步骤:

[0014] 1) 主控制器通过模拟量数据接口采集系统电压、电流信息和并联装置总的输出电流信息,经第一 FPGA 单元分别传入第一 DSP 单元和第二 DSP 单元进行处理并得到计算出待补偿无功和谐波电流实时波形数据,由第一 DSP 单元和第二 DSP 单元将该待补偿无功和谐波电流实时波形数据传入第一 FPGA 单元;

[0015] 2) 从控制器通过模拟量数据接口采集从控制器内部的输出电流信息,经第二 FPGA 单元传入第三 DSP 单元进行处理并计算出各从控制器的输出电流有效值,第三 DSP 单元将输出电流有效值传入第二 FPGA 单元并将运行状态信息通过光纤接口上传到主控制器的光纤接口单元;

[0016] 3) 主控制器通过光纤接口接收从控制器的运行状态信息后转发到第二 DSP 单元,第二 DSP 单元根据加权平均方式计算对应每一个从控制器的分流系数并回传给第一 FPGA 单元;

[0017] 4) 第一 FPGA 单元根据:第一 DSP 单元传送的待补偿无功和谐波电流实时波形数据以及第二 DSP 单元传送的所有从控制器的分流系数计算出各从控制器的补偿电流波形数据,并将该补偿电流波形数据通过光纤接口输出到各个从控制器;

[0018] 5) 从控制器通过光纤接口接收到主控制器输出的补偿电流波形数据后控制输出相应的电流,最终完成整套并联装置的补偿功能。

[0019] 本发明针对现有技术的不足,主控制器设计了双 DSP+FPGA 结构,该结构有强大的计算功能,可实时计算出各从控制器需要的无功和 N 种谐波电流组合的补偿电流波形数据

(各从控制器的补偿电流波形数据由装置的组成情况和实时运行情况决定,不一定相同),并通过光纤高速输出到各从控制器,进而完成 APF/SVG 装置的功能。

[0020] 本发明中的主控制器可根据系统电流实现闭环控制,即实时分析出系统电流中待补偿的电流,根据此电流不断修正各从控制器输出的电流,使系统电流中的无用分量趋近于零,达到较好的补偿效果。闭环补偿效果与现有开环补偿效果的对比图见图 5。

[0021] 本发明中的主控制器借助于主从控制器间的通讯,知道所有从控制器的运行状态,当某台从控制器故障退出运行时,主控制器立刻会重新分配待补偿的电流到其余运行的装置中,从而提高了整套并联装置的利用率。

[0022] 本发明提出的主从控制方法,将并联装置分为主控制器和从控制器,主控制器控制,从控制器配合,通过主从控制器的分工合作,能够实时掌握系统和整套并联装置的运行情况,保证较好的补偿效果,并最大限度的利用各并联装置的容量。

附图说明

[0023] 图 1 是现有技术示意图。

[0024] 图 2 是本发明结构示意图。

[0025] 图 3 是主控制器结构示意图。主控制器采用了双 DSP+FPGA 的结构。

[0026] 图 4 是从控制器结构示意图。从控制器采用了单 DSP+FPGA 的结构。

[0027] 图 5 是闭环和开环补偿 5 次谐波的系统和负荷频谱对比图。

具体实施方式

[0028] 下面对本发明的实施例作详细说明,本实施例在以本发明技术方案为前提下进行实施,给出了详细的实施方式和具体的操作过程,但本发明的保护范围不限于下述的实施例。

实施例

[0030] 如图 1 所示,现有技术中装置 1 ~ 装置 N 分别单独并联接到母线上,用户 CT 的二次测量线通过串联的方式接进各个装置,此运行方式下,各装置之间没有通讯,只能实现开环补偿。

[0031] 如图 2 所示,本实施例包括:主控制器、从控制器以及若干设置于母线上的电压互感器和电流互感器,其中:用户端的电流互感器和电压互感器的输出端与主控制器的模拟量数据接口相连并传输系统的电压和电流信息,总输出电流互感器的输出端和主控制器的模拟量数据接口相连并传输装置的输出电流信息,主控制器的光纤接口和从控制器的光纤接口相连并传输待补偿的无功和谐波信息,从控制器的光纤接口和主控制器的光纤接口相连并传输各从控制器的运行状态信息以实现闭环控制。

[0032] 所述的主控制器采集用户 CT 提供的系统电流信号,以系统电流中的剩余的被补偿分量目标值为 0 计算出装置需输出的补偿无功和谐波电流数据,在根据实时分流系数计算出各从控制器的补偿电流波形数据,并将其通过光纤实时输出到各从控制器。从控制器接收到参考电流后,控制输出相应的补偿电流,进而完成整套装置的补偿功能。

[0033] 如图 3 所示,所述的主控制器,包括:第一 DSP(数字信号处理器)单元、第一 FPGA(现场可编程门阵列)单元、第二 DSP 单元、模拟量数据接口单元和光纤接口单元,其

中：第一 DSP 单元、第二 DSP 单元、模拟量数据接口单元和光纤接口单元分别和第一 FPGA 单元相连并分别传输总补偿无功和谐波电流波形信息、各从控制器分流系数信息、系统各模拟量数据信息、从装置的运行状态信息。

[0034] 如图 4 所示，所述的从控制器，包括：第三 DSP 单元、第二 FPGA 单元、模拟量数据接口单元和光纤接口单元，其中：第三 DSP 单元、模拟量数据接口单元、光纤接口单元分别与第二 FPGA 单元相连并分别传输从装置输出电流有效值信息、从装置各模拟量信息、主控制器下发的补偿电流波形信息。

[0035] 本实施例涉及上述系统的控制方法，包括以下步骤：

[0036] 1) 主控制器通过模拟量数据接口采集系统电压、电流信息和并联装置总的输出电流信息，经第一 FPGA 单元分别传入第一 DSP 单元和第二 DSP 单元进行处理并得到计算出待补偿无功和谐波电流实时波形数据，由第一 DSP 单元和第二 DSP 单元将该待补偿无功和谐波电流实时波形数据传入第一 FPGA 单元；

[0037] 2) 从控制器通过模拟量数据接口采集从控制器内部的输出电流信息，经第二 FPGA 单元传入第三 DSP 单元进行处理并计算出各从控制器的输出电流有效值，第三 DSP 单元将输出电流有效值传入第二 FPGA 单元并将运行状态信息通过光纤接口上传到主控制器的光纤接口单元；

[0038] 3) 主控制器通过光纤接口接收从控制器的运行状态信息后转发到第二 DSP 单元，第二 DSP 单元根据加权平均方式计算对应每一个从控制器的分流系数并回传给第一 FPGA 单元；

[0039] 4) 第一 FPGA 单元根据：第一 DSP 单元传送的待补偿无功和谐波电流实时波形数据以及第二 DSP 单元传送的所有从控制器的分流系数计算出各从控制器的补偿电流波形数据，并将该补偿电流波形数据通过光纤接口输出到各个从控制器；

[0040] 5) 从控制器通过光纤接口接收到主控制器输出的补偿电流波形数据后控制输出相应的电流，最终完成整套并联装置的补偿功能。

[0041] 所述的分流系数是指： $k_1 = \frac{S_{run1} \times I_{1e}}{S_{run1} \times I_{1e} + S_{run2} \times I_{2e} + \dots + S_{runn} \times I_{ne}}$ ，其中： k_1 表示第一台从控制器对应的分流系数， $I_{(1 \sim n)e}$ 是第一至第 n 个从控制器的额定电流， $S_{run(1 \sim n)}$ 表示第 1 至第 n 个从控制器运行状态信息，当相应从控制器运行时， $S_{run(1 \sim n)} = 1$ ，反之当相应从控制器不运行时， $S_{run(1 \sim n)} = 0$ ， n 为从控制器的个数。

[0042] 所述的补偿电流波形数据是指： $i_{ref1} = k_1 \times i_{ref_all}$ ，其中： i_{ref1} 表示第一台从控制器对应的补偿电流波形数据， k_1 表示第一台从控制器对应的分流系数， i_{ref_all} 是主控制器计算出的系统中要补偿的总的无功和谐波电流波形数据。

[0043] 如图 5 所示，横坐标是谐波次数，纵坐标是谐波电流含量，颜色亮的柱状图是负荷谐波含量，颜色暗的柱状图是系统谐波含量，补偿后系统侧的谐波含量越小越好，即颜色暗的柱状图越矮越好，两个实验的条件相同，5 次谐波均有有 150A。采用主从控制系统闭环补偿效果见图 (a)，从图上可以开出，补偿后系统侧的 5 次谐波为 0 (实测 5 次谐波为 2A)。原单独并联装置的开环补偿效果见图 (b)，从图上可以看出补偿后系统侧的 5 次谐波还剩一些 (实测为 30A)。由对比可知闭环补偿效果明显好于开环补偿效果。

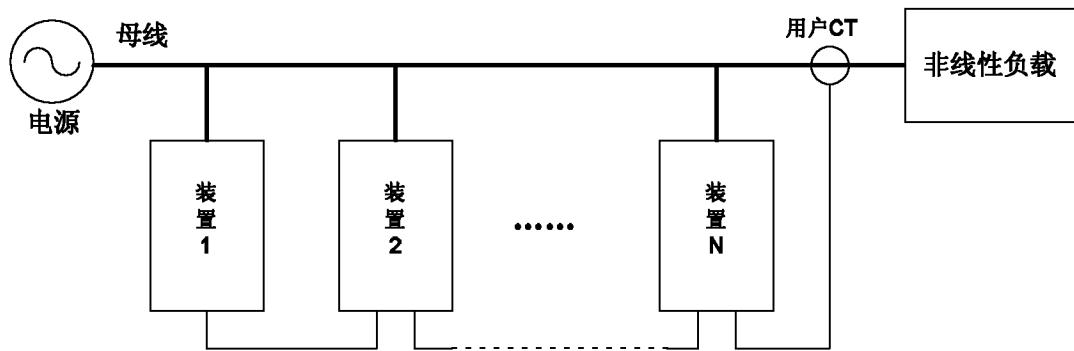


图 1

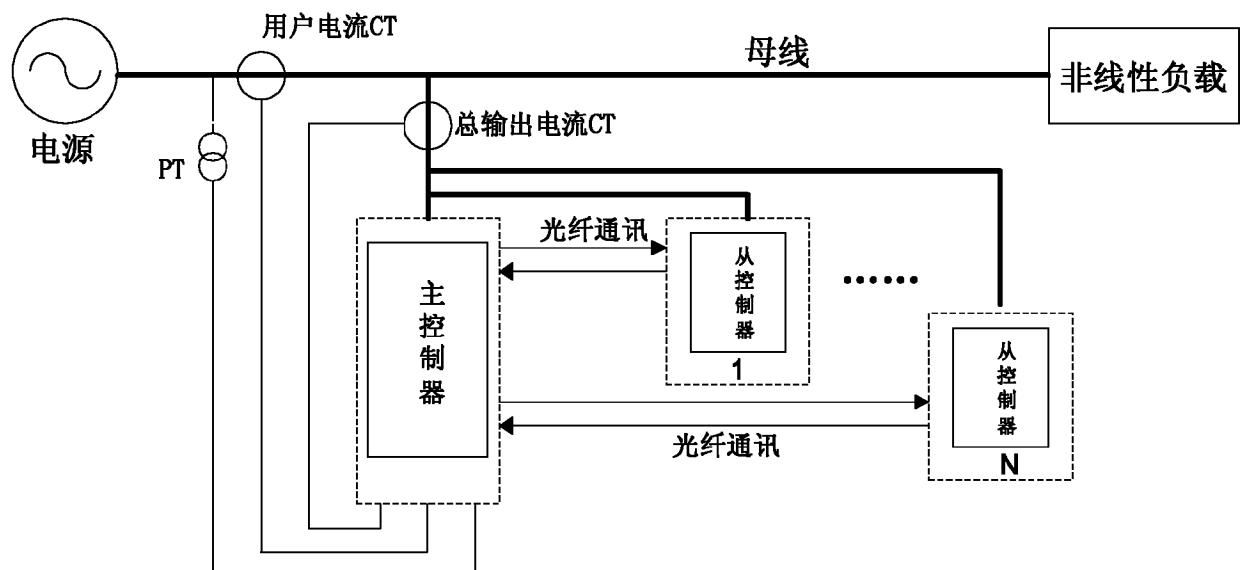


图 2

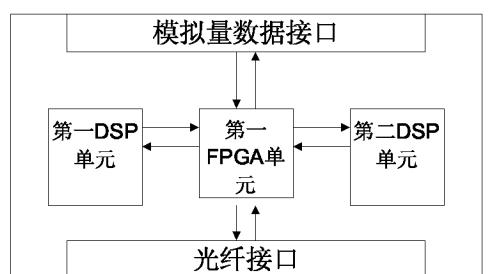


图 3

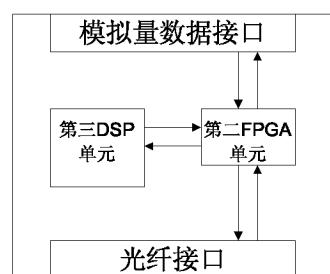


图 4

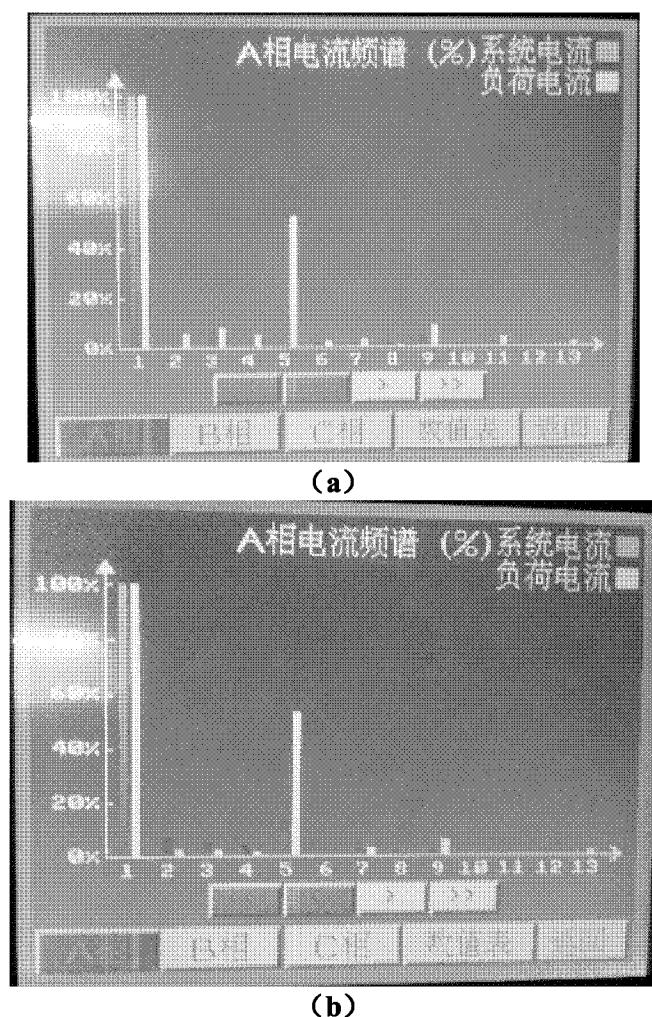


图 5