

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94103739

※ 申請日期：94 年 2 月 4 日

※IPC 分類：H01J 31/16 (2006.01)

一、發明名稱：(中文/英文)

供陣列排列之垂直奈米碳管場效應電晶體之製造方法以及藉此
形成之場效應電晶體及陣列

METHODS OF FABRICATING VERTICAL CARBON
NANOTUBE FIELD EFFECT TRANSISTORS FOR
ARRANGEMENT IN ARRAYS AND FIELD EFFECT
TRANSISTORS AND ARRAYS FORMED THEREBY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

傑羅 羅森梭

Gerald Rosenthal

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文)

美國

US

三、發明人：(共 7 人)

姓名 (中文/英文)，國籍 (中文/英文)

古川 利治，FURUKAWA, TOSHIHARU，日本 JP

馬克 查理斯 哈奇，HAKEY, MARK CHARLES，美國 US

史蒂芬 約翰 福爾摩斯，HOLMES, STEVEN JOHN，美國 US

大衛 瓦克拉夫 荷拉克，HORAK, DAVID VACLAV，美國 US

查理斯 威廉 柯伯格三世，KOBURGER, CHARLES WILLIAM III，美國 US

彼得 H. 米歇爾，MITCHELL, PETER H.，美國 US

賴瑞 亞蘭 奈斯畢，NESBIT, LARRY ALAN，美國 US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 US、西元 2004 年 2 月 12 日、10/777,576

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明關於半導體裝置之製造，尤其是建構垂直奈米碳管場效應電晶體及其陣列的方法，以及以此方法形成之裝置結構及裝置結構之陣列。

【先前技術】

在積體電路(IC)晶片的複雜電路中，典型的場效應電晶體(FET)為其基礎建構之常見裝置。縮小的FET尺寸改善了電路效率並使堆疊於IC晶片上之FET功能效用增加。然而，材料之尺寸限制及微影圖案化之費用，可能會使持續地尺寸縮小受到妨礙。

奈米碳管為奈米尺度且具有高的寬高比(aspect ratio)之柱體，由碳元素之六角環所組成，處在半導體電子狀態或導電電子狀態。一般使用化學氣相沉積(CVD)製程以合成適於形成FET陣列之奈米碳管。CVD製程中特別將碳質(carbonaceous)反應物導引至位於平面基材上之催化材料，在此，反應物被催化以合成奈米碳管。藉由在介面與催化材料間嵌入活化的碳元素，以長成或延長奈米碳管。之後，將獲得的奈米碳管用於多種應用。

FET製造中已成功地使用奈米碳管作為通道區域，並在半導體奈米碳管之兩端形成接觸，其中奈米碳管延伸於基材表面上之金源極電極及金汲極電極之間。將閘電極定義於奈米碳管下層之基材中，且通常在源極及汲極電極之

間。基材之氧化表面定義一閘電極，此閘電極位於埋入(buried)閘電極及奈米碳管之間。

由於奈米碳管之尺寸小，奈米碳管 FET 應可確實地切換，且與以矽為主之裝置結構相比較，奈米碳管 FET 消耗較少的能源。藉由使用原子力顯微儀 (Atomic Force Microscope) 以在源極及汲極電極之間精確定位，而控制單一半導體奈米碳管，此類 FET 在此控制的實驗條件下可成功形成。也可藉由從半導體奈米碳管之無規則群組中，在源極及汲極電極間單一半導體奈米碳管之一致(coincidental)定位而形成奈米碳管 FET。

在 IC 晶片之製造及量產中需要大陣列之 FET。奈米碳管之典型運用或一致定位不能滿足量產的需求。不幸的是當奈米碳管拉長，CVD 反應物至催化材料之流動將受到阻礙，流動緩慢或甚至終止奈米碳管之合成。在某些的 FET 設計中，催化材料可能位於高的寬高比開口的底部，將更可能阻礙反應物之流動。

因此，所需要的是一種包含奈米碳管之 FET 陣列且順應量產技術的合成方法，其中 CVD 奈米碳管合成製程不受反應物流動阻礙之限制，在催化材料散發，而整合為 FET 結構。

【發明內容】

根據本發明，一裝置結構包含一閘電極，此閘電極具有以一閘介電質覆蓋之垂直側壁，且至少一半導體奈米碳

管在鄰近閘電極之側壁的位置垂直延伸。源極與半導體奈米碳管之一端電性耦合，汲極接觸與半導體奈米碳管之另一端電性耦合。多個半導體裝置結構可能排列為一陣列且互連接為一記憶體電路或一邏輯電路。

本發明之另一方面，提供製造一種半導體裝置結構之方法。此方法包含形成一堆疊結構，堆疊結構包含複數個催化墊，每一催化墊與一源極接觸、一閘電極層及一絕緣層電性耦合，絕緣層將複數個催化墊與閘電極層分隔。此方法更包含將堆疊結構分隔為多個閘電極，以定義閘電極層中的複數個閘電極，其中鄰近的閘電極以一反應路徑分隔，且每一個第一催化墊至少部分暴露於反應路徑，且位於靠近複數個閘電極之一對應者的一位置。至少一半導體奈米碳管以化學氣相沉積合成於每一催化墊上，其涉及以反應路徑引導一反應物至每一個第一催化墊。

【實施方式】

本發明之各種實施例提供形成場效應電晶體(FET)之陣列之方法，其中半導體奈米碳管在此場效應電晶體中作為通道區域，且導電奈米碳管選擇性地作為閘接觸且/或源極接觸之組件。當奈米碳管延伸，鄰近的 FET 被隔開，使得流向催化劑之 CVD 反應物將不受限制，其中催化劑提供奈米碳管之合成。因為奈米碳管之合成沒有受到顯著流動限制的阻礙，奈米碳管可以較快速度而增長，且 FET 陣列可以適當的量化技術形成。

參考圖 1A 及 1B，一層堆疊 10(layer stack)形成於基

材 12 上，基材 12 由多個平行列或帶之導電層 14 所覆蓋，且導電層 14 由導電材料所組成，其參與在結構 54(圖 9A 及 9B)之完整結構之源極/汲極連接。基材 12 可能由任何適當的基材材料所組成，包含但非限定於矽(Si)、砷化鎵(GaAs)、玻璃、碳化矽(SiC)及二氧化矽(SiO₂)。若基材 12 由導電材料所組成，則其必須要以絕緣材料(未揭示)覆蓋，使得在製造之後不連續的裝置結構 54 不會一同短路。層堆疊 10 包含催化墊 16 之一圖案化層，圖案化層以絕緣層 20 而與閘導體 18 隔絕。閘導體 18 包含導電材料之毯覆層，以如低壓化學氣相沉積(LPCVD)製程沉積之高摻雜的多結晶矽(多晶矽)。絕緣層 20 係由絕緣材料(如二氧化矽)、氮化矽(Si₃N₄)或矽氮氧化物(SiO_xN_y)以適當的典型沉積技術所形成。形成基材 12 之材料、導電層 14 及閘導體 18 並不會催化奈米碳管之合成。

催化墊 16 藉由習知沉積技術，包含但非限定於使用化學氣相沉積(CVD)，如金屬鹵化物及金屬碳氧化物之適當反應物、濺鍍及物理氣相沉積(PVD)，沉積一毯覆層以形成。之後實施一標準微影及基材蝕刻技術以圖案此毯覆層。導電的催化墊 16 被定位，使導電層 14 帶之間不會短路。催化墊 16 之催化材料為任一材料，此材料可在暴露於適當的反應劑及促進奈米碳管長成之化學反應條件下，促進半導體奈米碳管之合成及長成。催化墊 16 的適當催化材料包含但非限定於鐵、鎳、鈷、這些金屬的化合物(如氧化物)及金屬矽化物，以及這些金屬的合金。在金屬氧化物的例子中，需要的執行還原反應以得到或活化這些催化材料。此催化材料或與催化材料合金的材料，如過

渡金屬、鉀、銣或五氟化砷(AsF_5)，也可能為在適當的條件下，選擇性從催化墊 16 擴散至合成的半導體奈米碳管 42(圖 7A 及 7B)，以增加擴散區域的導電率，如下所解釋。

現在提及的"垂直"、"平行"等詞，用以建構提及的架構，僅為例式而非限定。用於此的"平行"被定義為不論方位，平行一般的平面或基材 12 之表面的平面。"垂直"標示為垂直於先前定義的水平之方向。如"上"、"下"、"側"(如"側壁")、"高"、"低"、"覆蓋"、"下方"及"之下"係根據水平平面。可以了解的在不脫離本發明之精神及範圍下，可能使用其他不同架構及參考。

參考圖 2A 及 2B，其相似的元件符號參考圖 1A 及 1B，且在其之後的製造階段，一絕緣層 24 沉積於閘導體 18 上，且以標準微影及蝕刻製程而圖案化。此絕緣層 24 以不會催化奈米碳管合成之絕緣材料，如 SiO_2 、 Si_3N_4 、 SiO_xN_y ，之薄膜所形成，絕緣層 24 可能以任一適當的沉積技術所沉積。絕緣層 20 及 24 需足夠薄以最佳化裝置效能。

參考圖 3A 及 3B，其相似的元件符號參考圖 2A 及 2B，且在其之後的製造階段，層堆疊 10(圖 2A 及 2B)被圖案化，以形成實質獨立的陣列、平行管柱閘電極 25，閘電極 25 垂直於導電層 14，且共同定義裝置結構 54(圖 9A 及圖 9B)中的一矩形柵。絕緣層 24 之垂直對準部分(vertically-aligned)及閘導體 18 以標準的微影及蝕刻製程移除，並暴露出催化墊 16 及導電層 14 區域。絕緣層 20

使每一閘電極 25 與導電層 14 電性絕緣。在記憶體的應用上，每一閘電極 25 定義一字元線(word line)26，供在裝置結構 54 之相對應行中選取所有裝置結構 54。雖然只有兩個閘電極顯示於圖 3A 及 3B 中，但本發明非限定之，依照特定電路設計，任何數量的閘電極 25 可能定義於閘導體 18 中。

相鄰於導電層 14 帶的是多個絕緣層 12 之平行帶，每一平行帶是分開的，且當部分絕緣層 20 及閘導體 18 移除時，將被暴露出來。導電層 14 帶定義位元線(bit line)27，供在裝置結構 54 之相對應列中選取所有裝置結構 54。字元線 26 及位元線 27 以適當的電路而接合，以在選取的字元線 26 及選取的位元線 27 讀取或定址一特定的裝置結構 54。因此，根據本發明之具體實施例，裝置結構 54 之陣列可被定義。

參考圖 4A 及 4B，其相似的元件符號參考圖 3A 及 3B，且在其之後的製造階段，形成由 SiO_2 或 SiO_xN_y 組成的暫時間隙壁(temporary spacer)28，暫時間隙壁 28 覆蓋催化墊 16、絕緣層 20 及閘電極 25 之垂直表面。暫時間隙壁 28 之厚度或寬度決定每一催化墊 16 之催化位置或活性區域 34，在蝕刻後，其事實上與催化劑接觸，供合成奈米碳管。活性區域 34 之尺寸被認為是決定形成於其上之半導體奈米碳管 42 尺寸(圖 7A 及圖 7B)的一個因素。在本發明之某些實施例中。活性區域(active area)34 的寬度僅有幾個奈米的層級。

參考圖 5A 及 5B，其相似的元件符號參考圖 4A 及 4B，且在其之後的製造階段，使用習知技術人士所知的濕或乾蝕刻移除暫時間隙壁 28 後，活性區域 34 定義為未被暫時間隙壁 28 遮罩的催化墊 16 的移除部分。以習知技術人士所知的濕或乾蝕刻移除暫時間隙壁 28 後活性區域 34 顯露出來。在蝕刻步驟之後，最終結構包含具有期待特徵尺寸之活性區域 34 之陣列。活性區域 34 之一行與每一閘電極 25 對準。

在本發明之另一實施例，催化墊 16 具有單層厚度且經回火以建立奈米結晶。較小的奈米結晶可能引導合成直徑小的奈米碳管 42(圖 7A 及 7B)，且有助於合成單壁奈米碳管 42。

參考圖 6A 及 6B，其相似的元件符號參考圖 5A 及 5B，且在其之後的製造階段，將絕緣層 38 用於每一閘電極 25 之垂直表面。絕緣層 38 可能由任一適當的絕緣或介電材料所組成，如二氧化矽以氧化製程長成或以 CVD 製程沉積。絕緣層 38 作為完成的裝置結構 54(圖 10A 及 10B)之閘介電質。字元線 26 排列為平行的行，位元線 27 排列為平行的列且與字元線 26 相鄰，字元線 26 以相對應的複數個開口體積(volume)或空間 39 所分隔，而開口體積或空間 39 提供反應流到活性區域 34 之路徑。在本發明之某些實施例中，開口體積或空間 39 對總區域之比例，以與基材 12 垂直或呈垂直角的方向觀之，約在 20%至 50%，較佳約 33%。

參考圖 7A 及 7B，其相似的元件符號參考圖 6A 及 6B，且在其之後的製造階段，以 CVD 製程在活性區域 34 上長成或合成奈米碳管 42。奈米碳管 42 之長度典型約 52nm 至約 500nm，其大致對應於閘電極 25 之垂直高度。一選擇性地間隙壁(未揭示)可能應用於催化墊 16 之活性區域 34 之垂直表面，以減少從這些垂直表面合成奈米碳管，其可能潛在地堵塞開口空間 39，且/或藉由在鄰近字元線 26 或鄰近位元線 27 間延伸，多餘地建立不希望的電連接。若暴露於開口空間 39 的導電層 14 係由支撐奈米碳管合成的導電材料所組成，則在奈米合成期間，必須使用一暫時遮罩材料層(未揭示)，以覆蓋導電層 14 的暴露平行表面，且在奈米碳管合成後移除之。

每一活性區域 34 提供一或多半導體奈米碳管 42 之合成。在本發明之一實施例中，選出奈米碳管之合成條件及反應劑且/或組成催化墊 16 之催化材料，以在活性區域 34 上選擇性長成半導體奈米碳管 42。活性區域 34 上的半導體奈米碳管 42 較佳可從已長成的奈米碳管 42 集合中選出，此奈米碳管 42 集合包含同時具有導電及半導體的分子結構，舉例來說，藉由使用足夠高之電流，破壞具有導電分子結構之奈米碳管 42。關於達成後者導電奈米碳管之破壞已描述於共同受讓之美國專利號 6,423,583，在此已將全部併入作為參考。

奈米碳管 42 組成由碳原子鍵結成六角環精確排列之中空柱體，其特徵在具有在半導體電子狀態之結構。柱體可能具有範圍從約 0.5 奈米至數個奈米之直徑，其受限於

活性區域 34 之尺寸，且若為多層壁，其側壁可能具有數個奈米之厚度。奈米碳管 42 可能，但非限定為與同心圓柱相似之多層壁奈米碳管，或可能組成單壁奈米碳管。

奈米碳管 42 從對應的活性區域 34 之垂直方向向上延伸，或在本發明次要的衍生物可能從長成方向垂直(如傾斜)發生時，奈米碳管 42 從對應的活性區域 34 至少實質上以垂直方向向上延伸。延伸的奈米碳管 42 可能緊密地沿著或依照相鄰閘電極 25 之垂直表面。當使用電漿加強式化學氣相沉積，可以期待的是奈米碳管 42 之垂直方向性會特別明顯，奈米碳管 42 可能於開口空間 39 中延電場存在的方向延伸。雖然不意欲為理論所限制，可以相信的是凡得瓦爾力將吸引奈米碳管 42 延伸至絕緣層 38 之表面。

合成奈米碳管之 CVD 製程或 PECVD 製程係仰賴任一適當的氣體或汽化的碳質反應物，包含但非限定於一氧化碳(CO)、乙烯(C_2H_4)、甲烷(CH_4)、乙炔(C_2H_2)、二甲苯($C_6H_4(CH_3)_2$)、乙炔及氮氣(NH_3)的混合物、乙炔及氮氣(N_2)的混合物、乙炔及氫氣(H_2)的混合物、乙醇及氮氣的混合物，在適於促進奈米碳管於催化材料長成以形成催化墊 16 的成長條件下所供給。基材 12 可能加熱至足夠促進且/或加速 CVD 長成之溫度。反應物可能釋放或供給至每一活性區域 34，在此反應物與催化材料產生化學反應使奈米碳管 42 成核，且幫助其於成核後的長成。尤其是反應物自由流動，不會受體積的限制，此體積由字元線 26 間至活性區域 34 的開口空間 39 所定義，供參與半導體奈米碳管 42 之合成。藉由在每一奈米碳管 42 及對應的活性區域 34

之介面增加碳原子而此合成被期待發生。催化墊 16 之催化材料參與且促進奈米碳管的合成，但其本身不會變換，或也不會因形成半導體奈米碳管 42 而活化能減少，在暴露的表面產生化學反應而消耗。

在奈米碳管合成期間，或在奈米碳管合成完成後之高溫熱回火，反應物將不再存在，原始來自催化材料或來自具有催化材料之材料陣列之原子，可能擴散至半導體奈米碳管 42 之長度區域。擴散物種的存在將增加擴散區域中半導體奈米碳管 42 長度之導電性，此長度較佳約與絕緣層 20 之厚度相當。典型的進行擴散之溫度係高於奈米碳管合成期間的溫度，僅在奈米碳管 42 合成後控制地增進擴散。也就是說在合成期間，增加導電的物種未從催化材料的活性區域 34 移動至奈米碳管 42，針對奈米碳管 42 之長度水平地對準閘電極 25，其可能與奈米碳管 42 之半導體特性妥協。

參考圖 8A 及 8B，其相似的元件符號參考圖 7A 及 7B，且在其之後的製造階段，以典型的方法將介電材料之填充層 46 共形地(conformally)沉積，以填入開口空間 39，開口空間 39 係介於相鄰字元線之間及相鄰的半導體奈米碳管(若存在時)之間的任一空間。此填充層 46 可能為，如 CVD 沉積的二氧化矽，或特徵在於低介電係數的旋佈玻璃(spin-on glass)。填充層 46 接觸或靠近絕緣層 38 以牢固奈米碳管之位置。填充層 46 以 CMP 或其他適於平坦化技術研磨成平坦狀，而另一絕緣層 48，如二氧化矽，沉積於平坦的填充層 46 上。上述研磨移除填充層 46 至一定深

度，足夠將突出於絕緣層 24 上表面之平面的長奈米碳管縮短。

參考圖 9A 及 9B，其相似的元件符號參考圖 8A 及 8B，且在其之後的製造階段，形成與半導體奈米碳管 42 電性耦合之源極/汲極接觸 50 及與閘電極電性耦合的閘接觸 52，其係藉由在絕緣層 48 以標準的微影及蝕刻製程定義開口、在接觸開口選擇性地以一或多阻障/黏著強化層(未揭示)內襯(lining)，以及毯覆沉積如鎢的金屬(以金屬塞填充接觸開口，且之後以任一適當的平坦化技術，如 CMP，移除過多的導電材料)。在接觸開口以對應之金屬塞填充以形成源極/汲極接觸 50 之後，當接觸開口被蝕刻，某些奈米碳管 42 的自由端或引導端暴露出來，且垂直突出至對應的接觸 50 之整體中。

最終結構為一記憶體電路，包含排列如內連線列的記憶體裝置結構 54 以及場效電晶體之行陣列，每一場效電晶體之行陣列包含由閘電極 25 及源極/汲極接觸 50 定義之閘極、由絕緣層 38 定義之閘電介質，及沿半導體奈米碳管 42 全長所定義之半導體通道區域。每一完整的裝置結構 54 與基材 12 所支撐之鄰近區域的裝置結構 54 電性耦合，供記憶體電路之操作。

揭示於圖 9A 及 9B 之複數個電容 55 及複數個電容 56，在不同的字元線 26 與汲極接觸 50 電性耦合，供電荷儲存。此結構更詳盡地描述於如 S. Arai et al 之 IEEE IEDM 01-402(2001)中，在此將之全部併入作為參考。當

從導電線 57、59 之一施加有效電壓於字元線 26，電流選擇性地從催化墊 16 通過奈米碳管 42，供儲存電荷於電容 56 中。記憶體裝置結構 54 間藉由導電層 14 帶(如位元線 27)及閘電極 25(如字元線 26)而電性耦合，其用於讀取及寫入記憶體裝置結構 54 之二元狀態(binary state)。

參考圖 10A 及 10B，其相似的元件符號參考圖 1-9，且根據本發明之一實施例，一記憶體裝置結構 58 包含催化墊 22 之一第二圖案化層，通常位於層堆疊 10 之閘導體 18(圖 1A 及 1B)下方及絕緣層 24 之下方(圖 2A 及 2B)。組成催化墊 22 之催化材料為任一導電材料，在適於促進奈米碳管長成之化學反應條件下、暴露於適當的反應劑時，此導電材料可幫助奈米碳管 44 之合成或長成。催化墊 22 之適當的材料參照描述於前之催化墊 16。一或多奈米碳管 44 係以 CVD 長成製程而長成或合成於催化墊 22 上，其中至少一部份奈米碳管 44 具有在導電電子狀態之結構。此合成條件特徵在於 CVD 長成製程可能被修改，以較佳地長成導電奈米碳管 44。此奈米碳管 44 之長度典型約 10nm 至約 100nm。閘接觸 60 係取代閘接觸 52，且與奈米碳管 44 電性耦合，及與對應之閘電極 25 之一電性耦合。

在本發明之一實施例中，接觸開口係藉由絕緣層 24、填充層 46 及絕緣層 48 而定義，其對應圖 8A 及 8B 之製造階段之後，以標準微影及蝕刻製程暴露催化墊 22。奈米碳管 44 以 CVD 之長成製程合成，而接觸開口以金屬塞填入，以提供閘接觸 60。在接觸開口被對應的金屬塞填入

後，奈米碳管 44 突出至對應之閘接觸 60 之整體中。

水平地縮短絕緣層 24，使得絕緣層 24 之垂直邊緣從活性區域 34 下方之閘電極 25 之垂直表面移除。絕緣層 24 之縮短寬度亦減少奈米碳管 42(圖 8A 及 8B)之自由端接觸絕緣層 24 之垂直表面的可能性，其中此奈米碳管 42(圖 8A 及 8B)係形成於催化墊 16 上，且藉此與閘電極 25 之垂直表面間隔。

參考圖 11A 及 11B，其相似的元件符號參考圖 1-10，且在其之後的製造階段，相當於圖 1A 及 1B 之製程階段被蝕刻，一邏輯裝置結構 74 之導電層 14 定義在層帶之不連續，其最終以部分填充層 46 所填入。由於與可見於圖 4A 及 4B 之導電層 14 帶配合，除非為了形成一邏輯電路而有意在完成的結構中互連接，否則相鄰的裝置結構 74 是絕緣。半導體裝置結構 74 以層堆疊 10(圖 2A 及 2B)所建構，以定義配置為空間分隔島的一系列實質相同的閘電極 66，其中層堆疊 10 係使用典型的微影及蝕刻製程，圖案化閘導體而修改。閘電極 66 排列為陣列中的行及列，其中相鄰的閘電極 66 以相對應的複數個開口空間 39 之一所分隔，其在半導體奈米碳管 42 長成期間，提供反應流路徑至相對應的活性區域 34 之一。

源極/汲極接觸 68 與半導體奈米碳管 42 之一端電性耦合，金屬柱 80 與一催化墊 76 電性耦合，以經由導電層 14 定義一源極通道，此源極通道具有半導體奈米碳管 42 之一相對端，且與每一閘電極 66 電性耦合的閘接觸 70，

藉由典型的微影及蝕刻製程而形成於絕緣層 48 中。導電層 14 之一截斷的帶，從相對應的金屬柱 80 而在閘電極 66 下方水平延伸，以與相關的催化墊 16 電性耦合。導電層 14 之一截斷的帶、催化墊 16 及金屬柱 80 共同形成一第二源極/汲極接觸。導電金屬化線 82、84 及 86 分別與閘接觸 70 及金屬柱 80 內連線，供作為習知技術者所共知之邏輯電路。

參考圖 12A 及 12B，其相似的元件符號參考圖 11A 及 11B，且在其之後的製造階段，根據本發明之另一實施例，一邏輯裝置結構 88 進一步包含催化墊 76，每一催化墊 76 由可維持至少一導電奈米碳管 90 長成的催化材料所形成。催化墊 76 是可導電的，以形成催化墊 16 之製程將之引入層堆疊 10 中。奈米碳管 90 中至少一部份具導電電子狀態，且以相對應於圖 7A 至圖 7B 之製程階段所合成，其中半導體奈米碳管 42 及選擇性的奈米碳管 44(圖 10A 至圖 10B)被合成。源極/汲極接觸 92 以典型的微影及蝕刻製程形成於絕緣層 48 中，且與奈米碳管 90 電性耦合。奈米碳管 90 之自由端延伸至源極/汲極接觸 92 之中。源極/汲極接觸 68、閘接觸 70 及源極/汲極接觸 92 分別藉由導電金屬化線 82、84 及 86 而互連接，以作為習知技術者所共知之邏輯電路。本發明亦考量到閘接觸 70 可藉由導電奈米碳管而部分形成(未揭示但相似於描述於圖 10A 及 10B 的奈米碳管 44)。

本發明藉由參考不同的實施例描述如上，習知此領域的人士應有的認知是圖式及詳細說明僅作說明而非限

定，且非意欲限制本發明於所揭露之特定型式及範例。相反地，不脫離本發明之精神及範疇，在以下之專利範圍定義下，本發明更包含熟知技藝者顯而易見之修飾、變化、重新排列、取代、替換、設計選擇及實施例。因此，可預期的是以下之申請專利範圍包含所有進一部之修飾、變化、重新排列、取代、替換、設計選擇及實施例。

【圖式簡單說明】

在此併入並建構說明書的伴隨的圖示，說明本發明之實施例，且同時用於上述本發明之一般說明，且上述詳細實施例用於說明本發明之主旨。

圖 1A 為部分基材之上視圖；

圖 1B 為延圖 1A 之線 1B-1B 之剖面圖；

圖 2A 為在圖 1A 之後製程階段的基材上視圖；

圖 2B 為延圖 2A 之線 2B-2B 之剖面圖；

圖 3A 為相似於圖 2A，其之後製程階段的上視圖；

圖 3B 為延圖 3A 之線 3B-3B 之剖面圖；

圖 4A 為相似於圖 3A，其之後製程階段的上視圖；

圖 4B 為延圖 4A 之線 4B-4B 之剖面圖；

圖 5A 為相似於圖 4A，其之後製程階段的上視圖；

圖 5B 為延圖 5A 之線 5B-5B 之剖面圖；

圖 6A 為相似於圖 5A，其之後製程階段的上視圖；

圖 6B 為延圖 6A 之線 6B-6B 之剖面圖；

圖 7A 為相似於圖 6A，其之後製程階段的上視圖；

圖 7B 為延圖 7A 之線 7B-7B 之剖面圖；

圖 8A 為相似於圖 7A，其之後製程階段的上視圖；

圖 8B 為延圖 8A 之線 8B-8B 之剖面圖；

圖 9A 為相似於圖 8A，其之後製程階段的上視圖；

圖 9B 為延圖 9A 之線 9B-9B 之剖面圖；

圖 10A 為相似於圖 9A，依據本發明之另一實施例之裝置結構的上視圖；

圖 10B 為延圖 10A 之線 10B-10B 之剖面圖；

圖 11A 為相似於圖 10A，依據本發明之另一實施例之裝置結構的上視圖；

圖 11B 為延圖 11A 之線 11B-11B 之剖面圖；

圖 12A 為相似於圖 11A，依據本發明之另一實施例之裝置結構的上視圖；

圖 12B 為延圖 12A 之線 12B-12B 之剖面圖。

【主要元件符號說明】

10 層堆疊	12 基材
14 導電層	16、22、76 催化墊
18 閘導體	20、24、38、48 絕緣層
25、36、66 閘電極	26 字元線
27 位元線	28 暫時間隙壁
34 活性區域	39 開口體積或空間
42、44 奈米碳管	46 填充層
50、68、92 源極/汲極接觸	52、60、70 閘接觸
54 裝置結構	55、56 電容
57、59 導電線	58 記憶體裝置結構
74 邏輯裝置結構	80 金屬柱
82、84、86 導電金屬化線	90 導電奈米碳管

五、中文發明摘要：

一種形成奈米碳管場效應電晶體之製造方法以及以此方法形成之奈米碳管場效應電晶體及裝置結構及裝置結構之陣列。此方法包含形成一堆疊結構，堆疊結構包含一閘電極層及催化墊，每一催化墊與該源極/汲極接觸電性耦合。此堆疊結構分隔為多個閘電極，且至少一半導體奈米碳管以化學氣相沉積合成於每一催化墊上。完成的裝置結構包含一閘電極，此閘電極具有以一閘介電質覆蓋之側壁，且至少一半導體奈米碳管鄰近閘電極之側壁。源極/汲極接觸與半導體奈米碳管之相對端電性耦合，以完成此裝置結構。多個裝置結構可能配置為一記憶體電路或一邏輯電路。

六、英文發明摘要：

A method for forming carbon nanotube field effect transistors, arrays of carbon nanotube field effect transistors, and device structures and arrays of device structures formed by the methods. The methods include forming a stacked structure including a gate electrode layer and catalyst pads each coupled electrically with source/drain contacts. The gate electrode layer is divided into multiple gate electrodes and at least one semiconducting carbon nanotube is synthesized by a chemical vapor deposition process on each of the catalyst pads. The completed device structure includes a gate electrode with a sidewall covered by a gate electrode and at least one semiconducting carbon nanotube adjacent to the sidewall of the gate electrode. Source/drain contacts are electrically

coupled with opposite ends of the semiconducting carbon nanotube to complete the device structure. Multiple device structures may be configured either as a memory circuit or as a logic circuit.

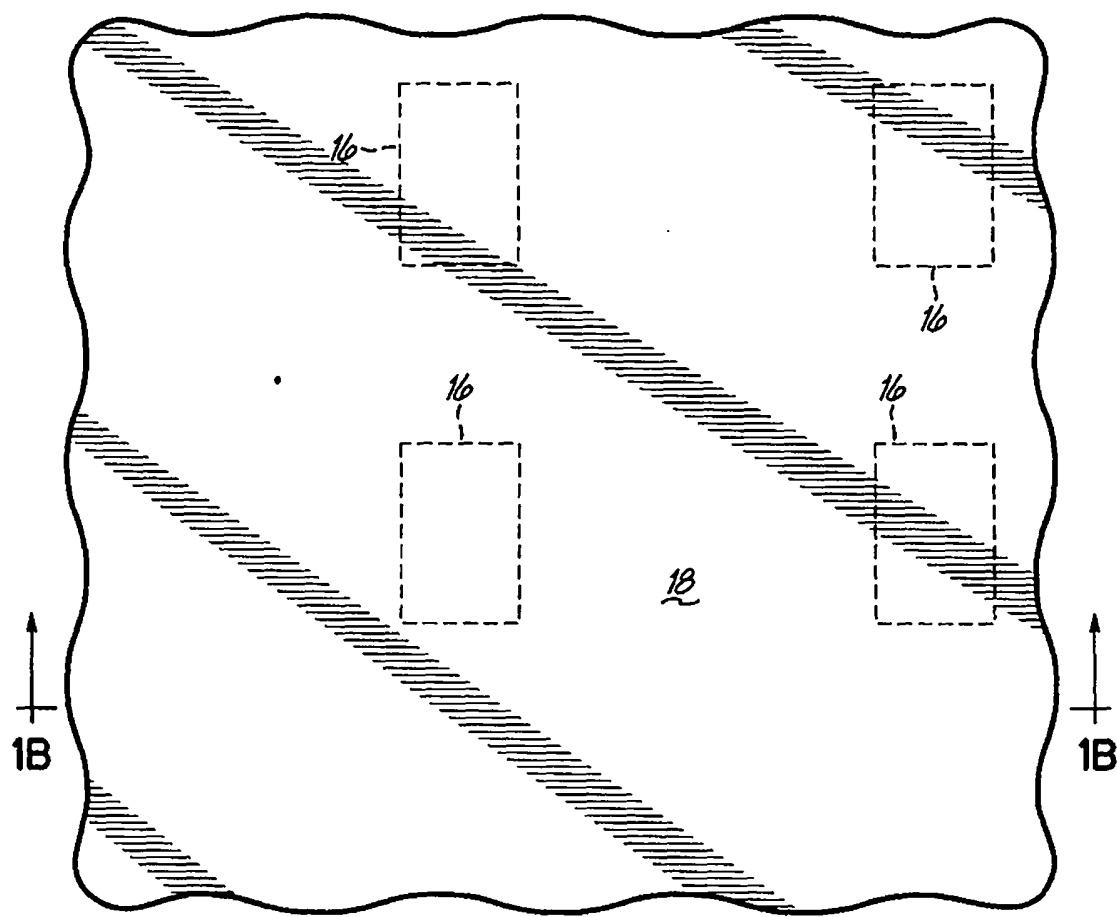


圖1A

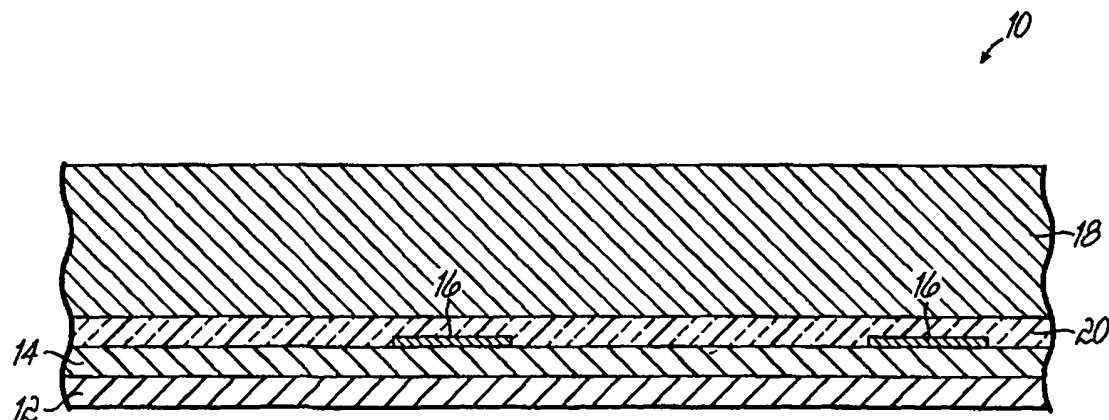


圖1B

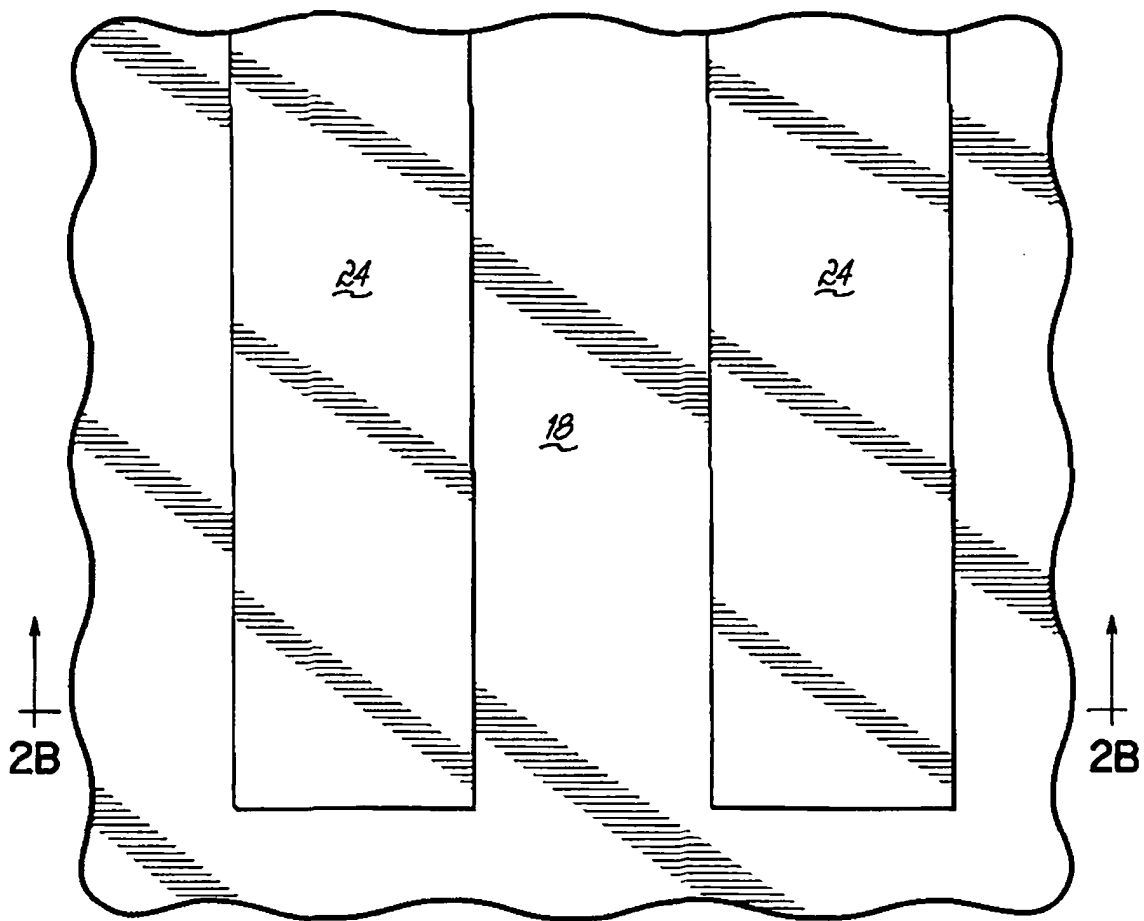


圖2A

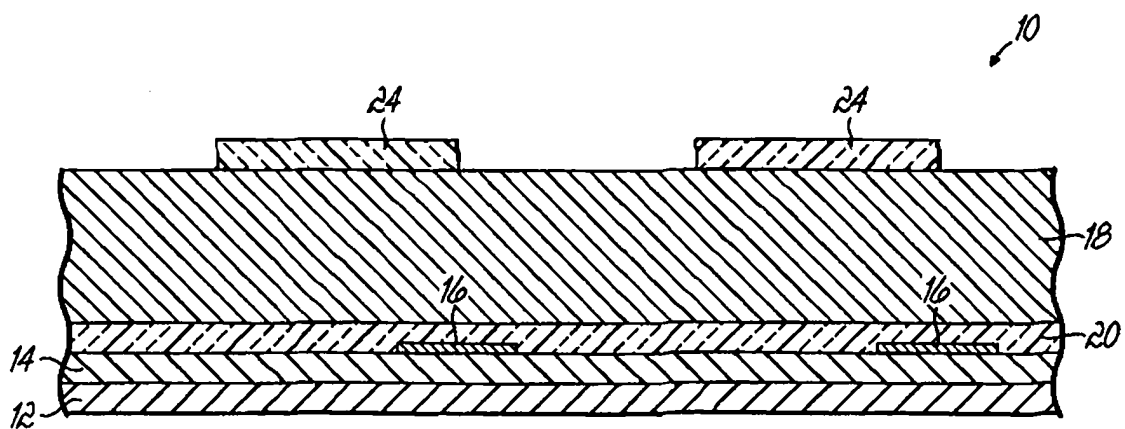


圖2B

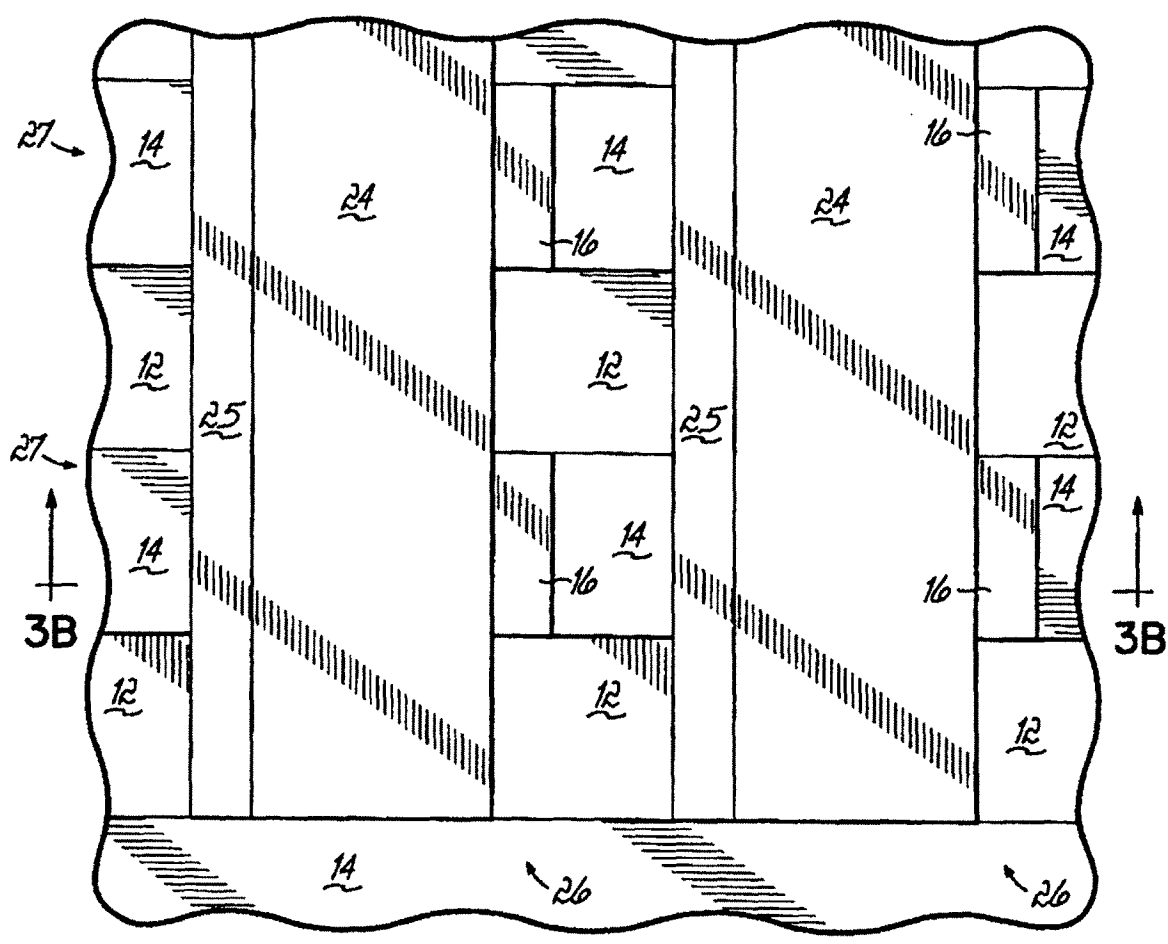


圖3A

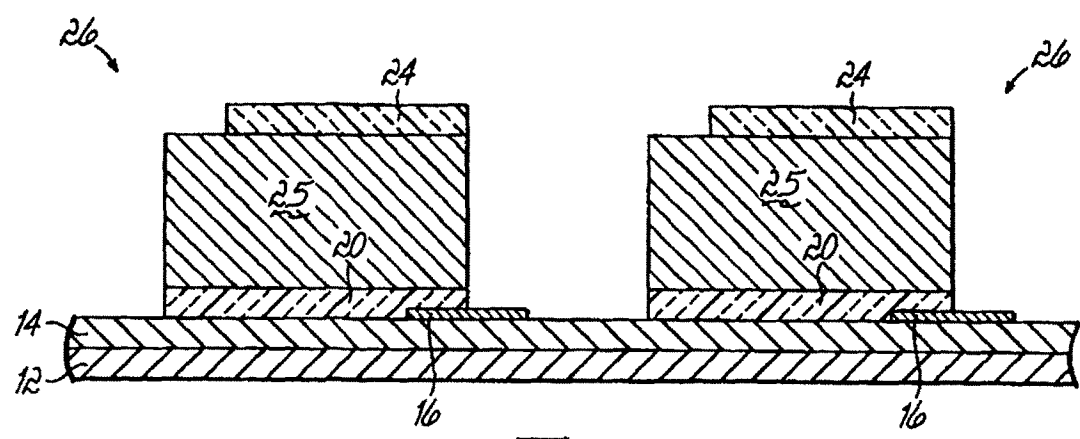


圖3B

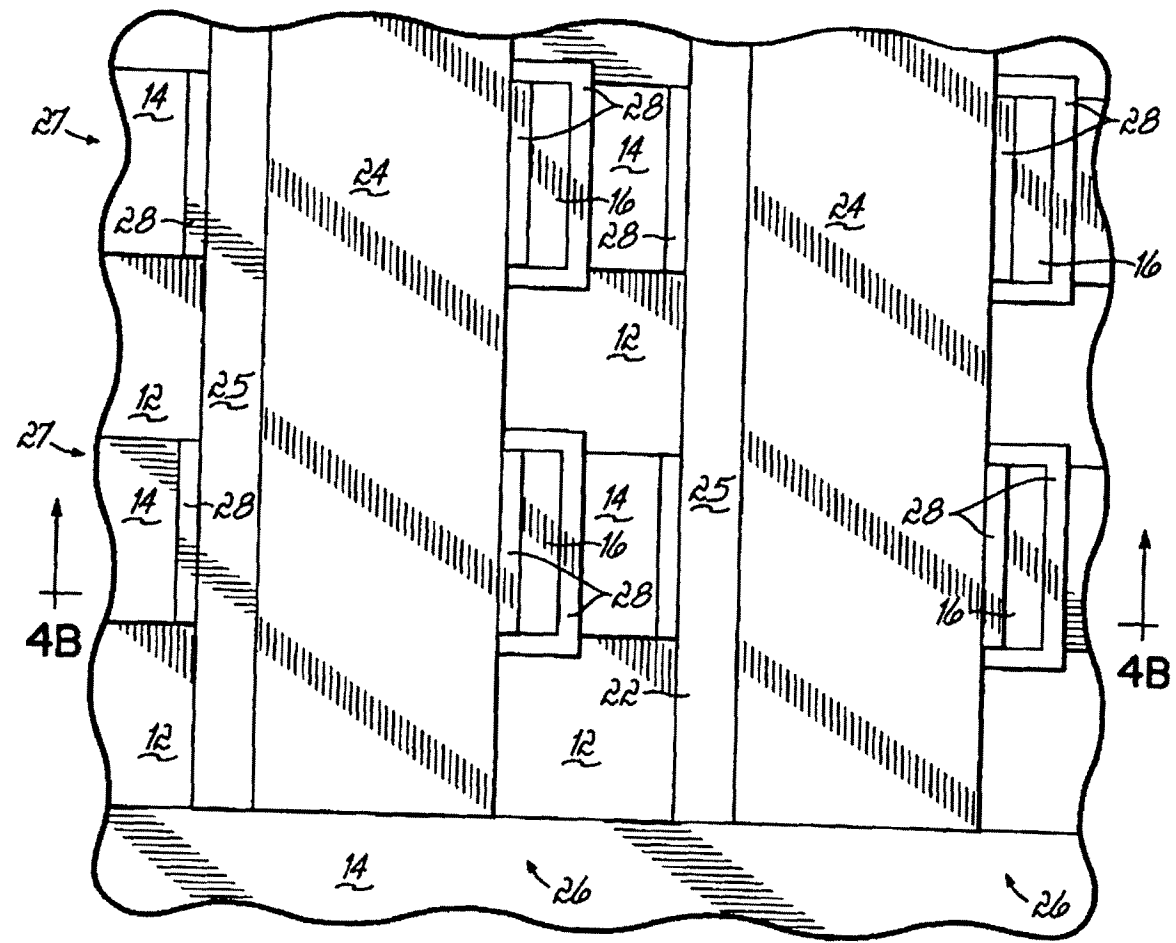


圖4A

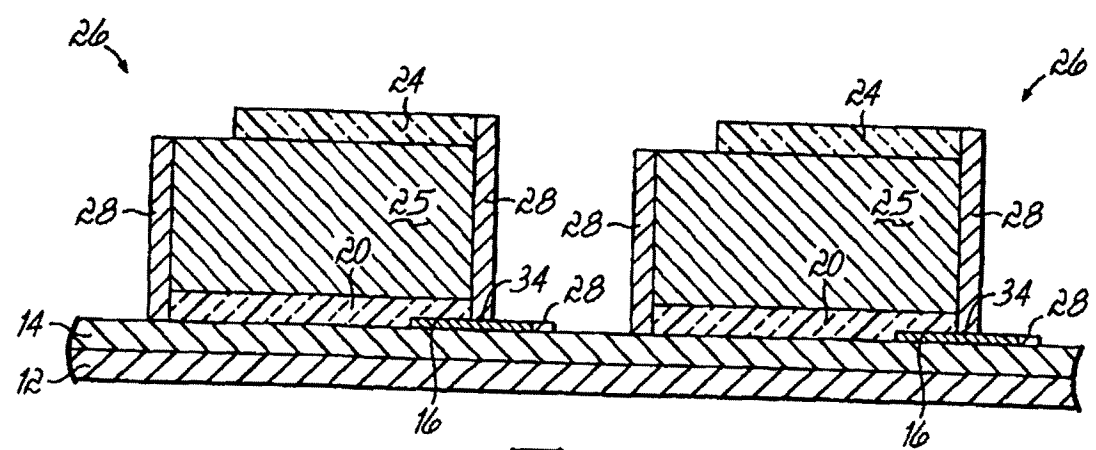


圖4B

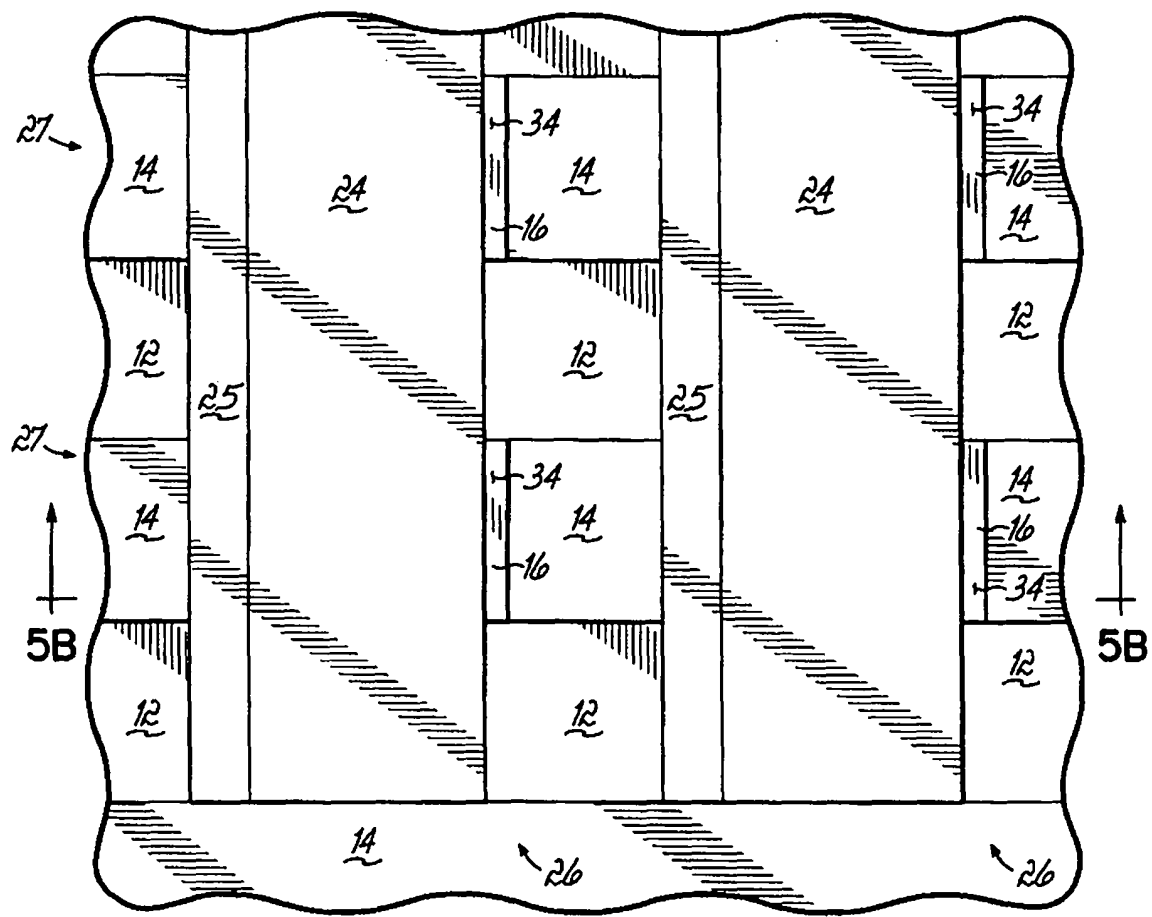


圖5A

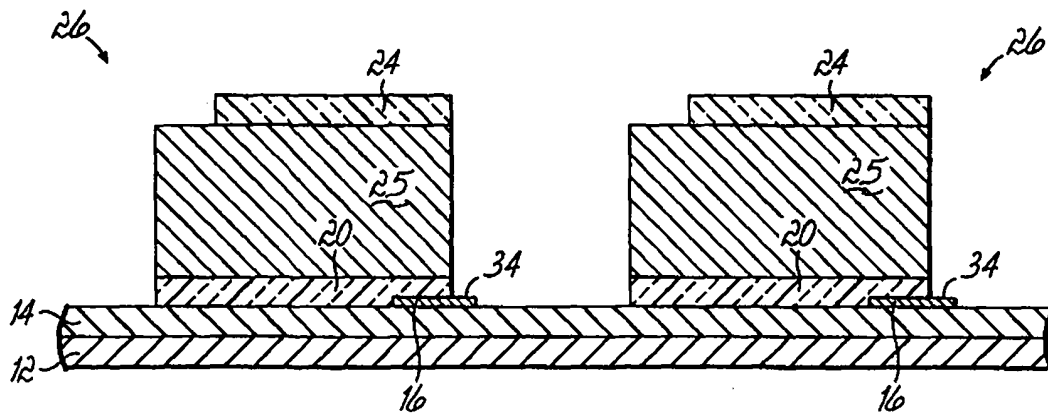


圖5B

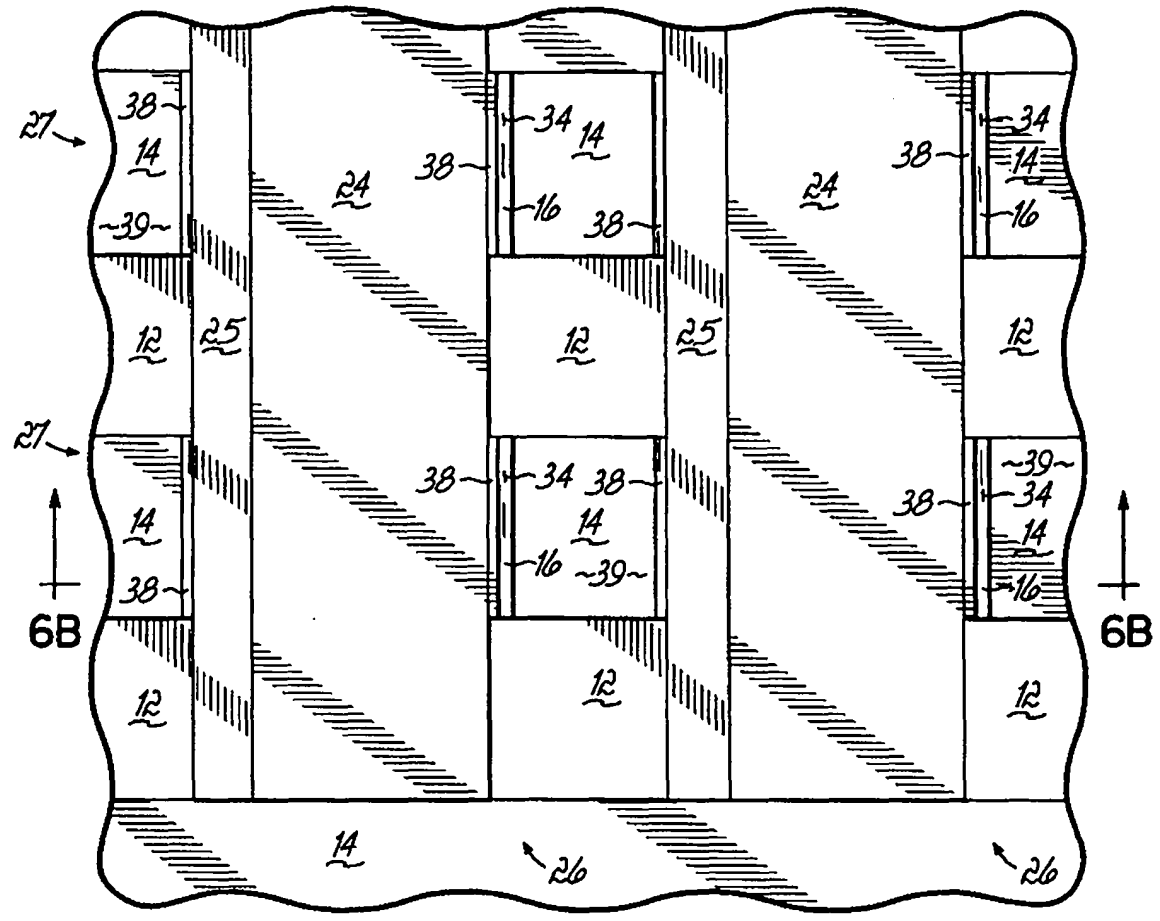


圖6A

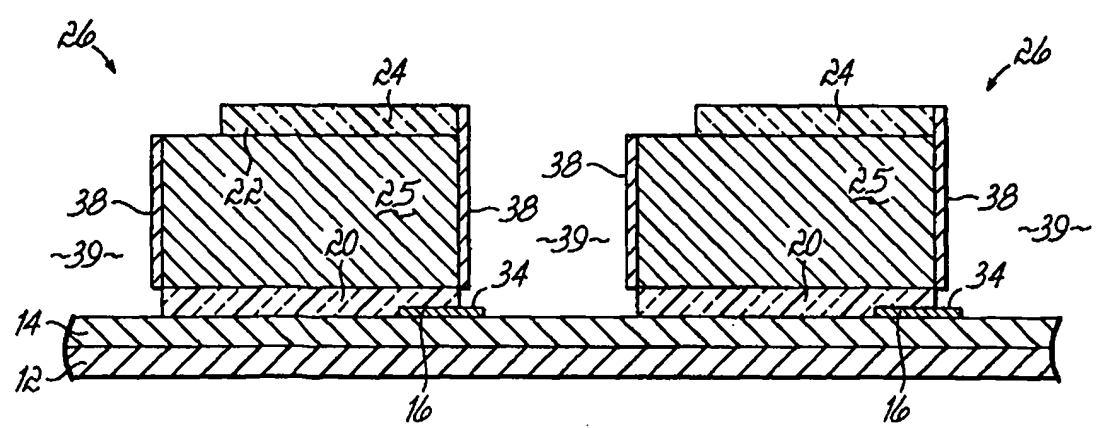


圖6B

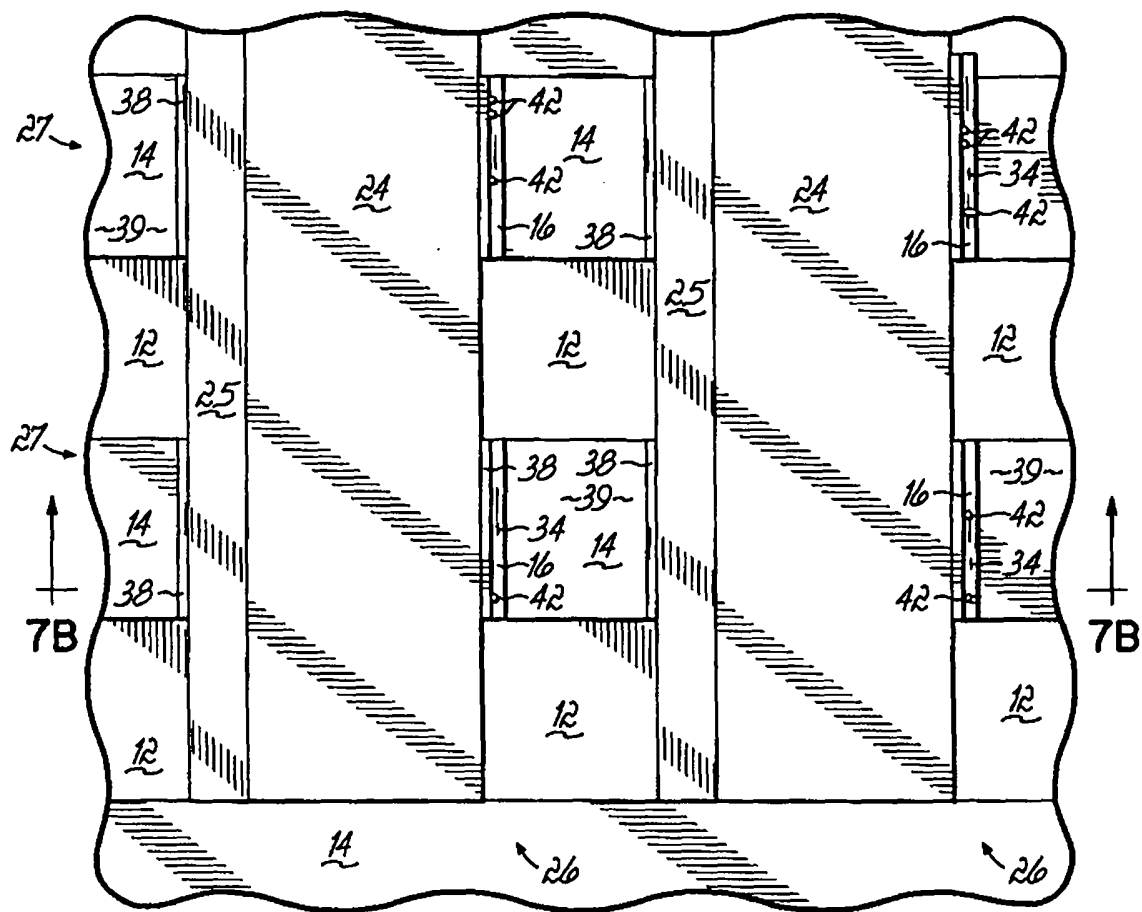


圖7A

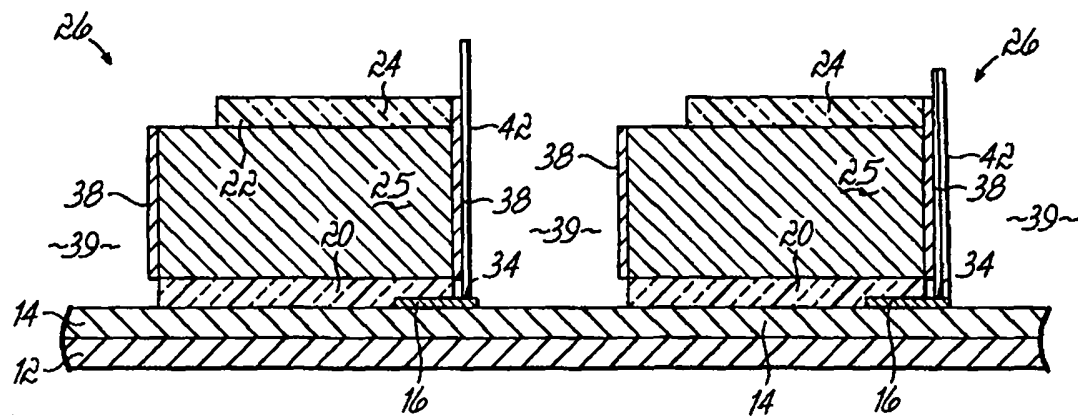


圖7B

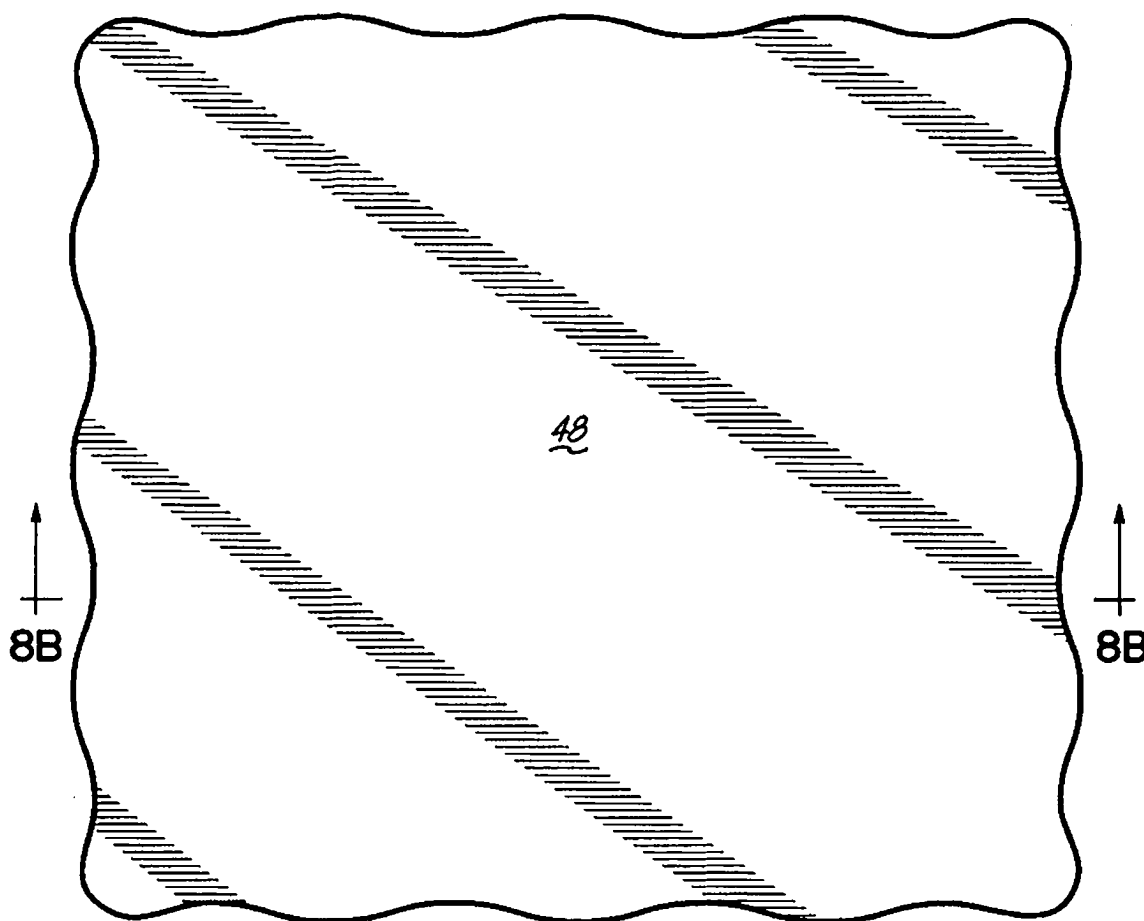


圖8A

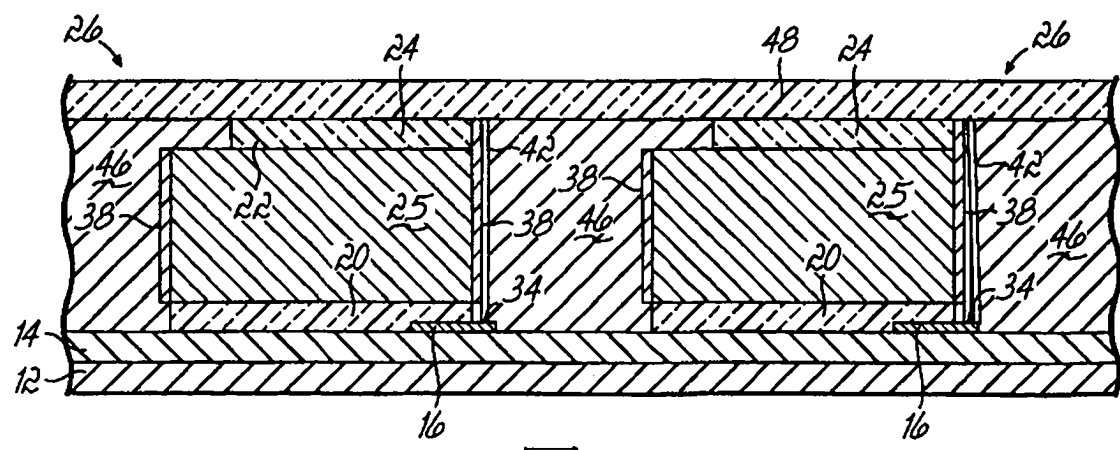


圖8B

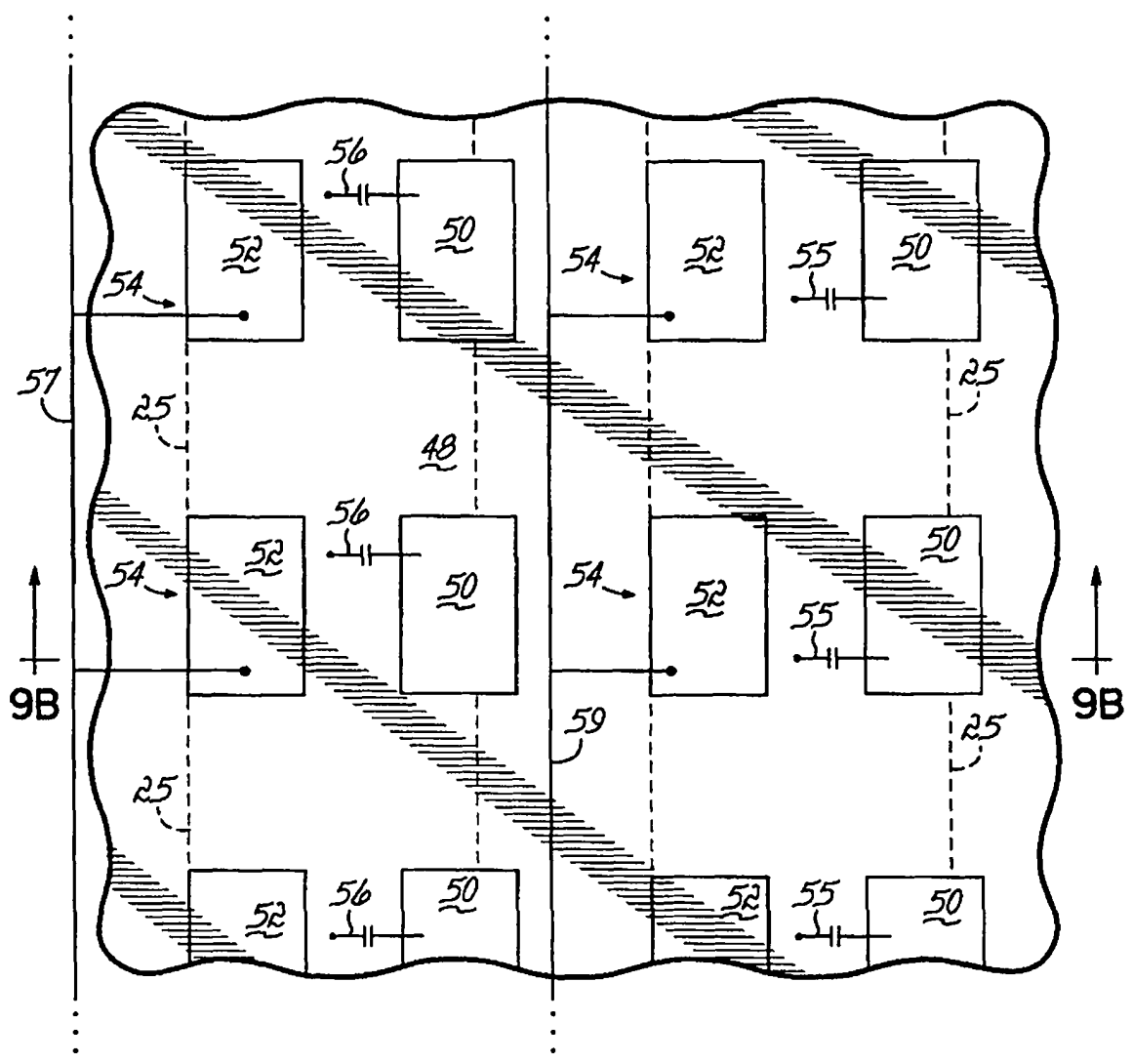


圖9A

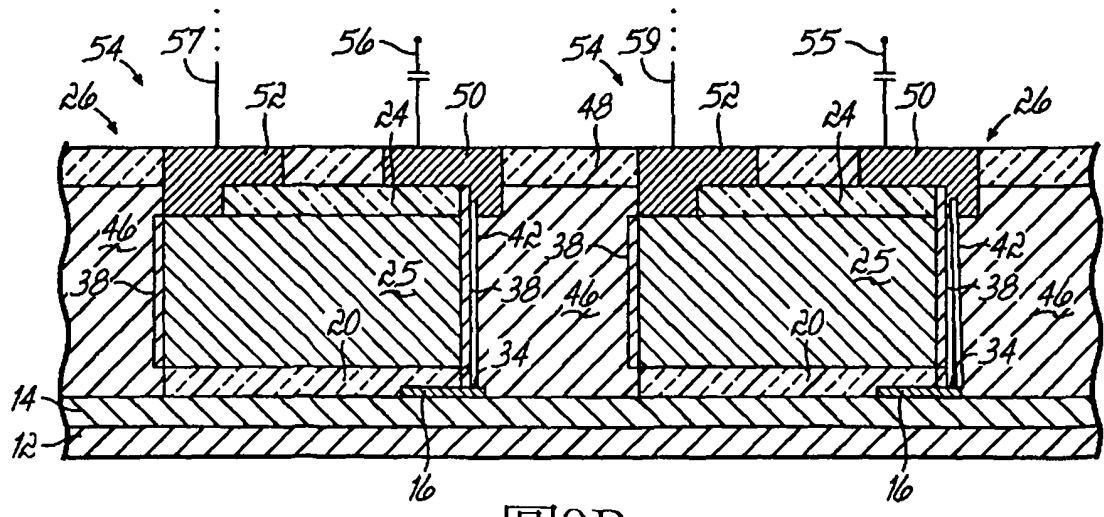


圖9B



Ⓢ

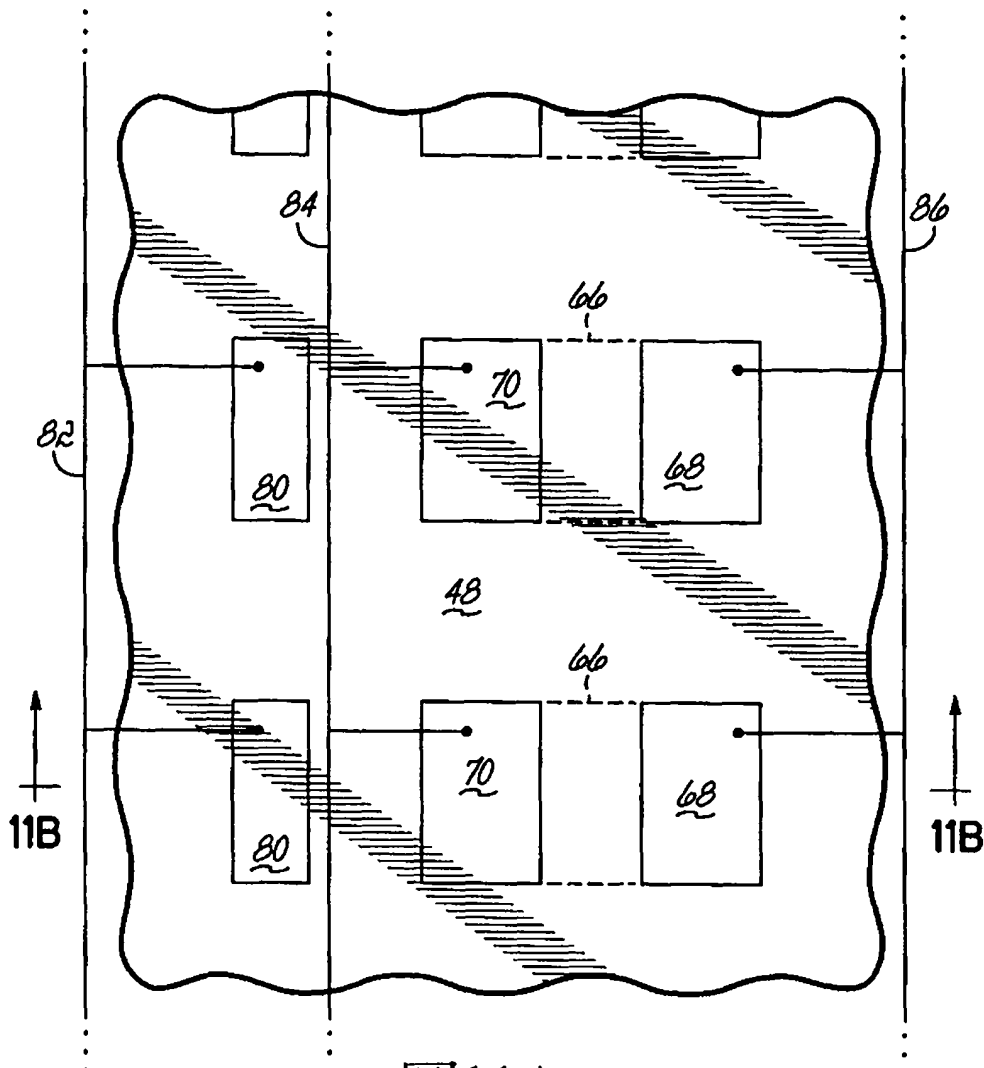


圖11A

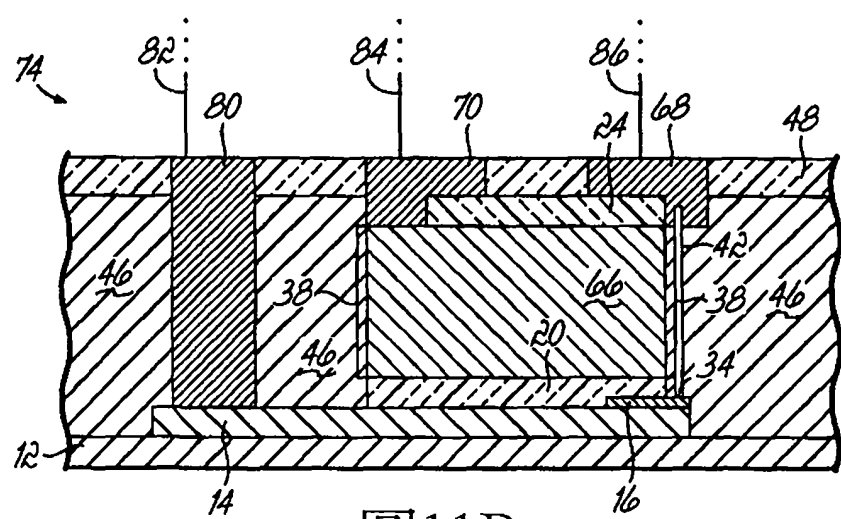


圖11B

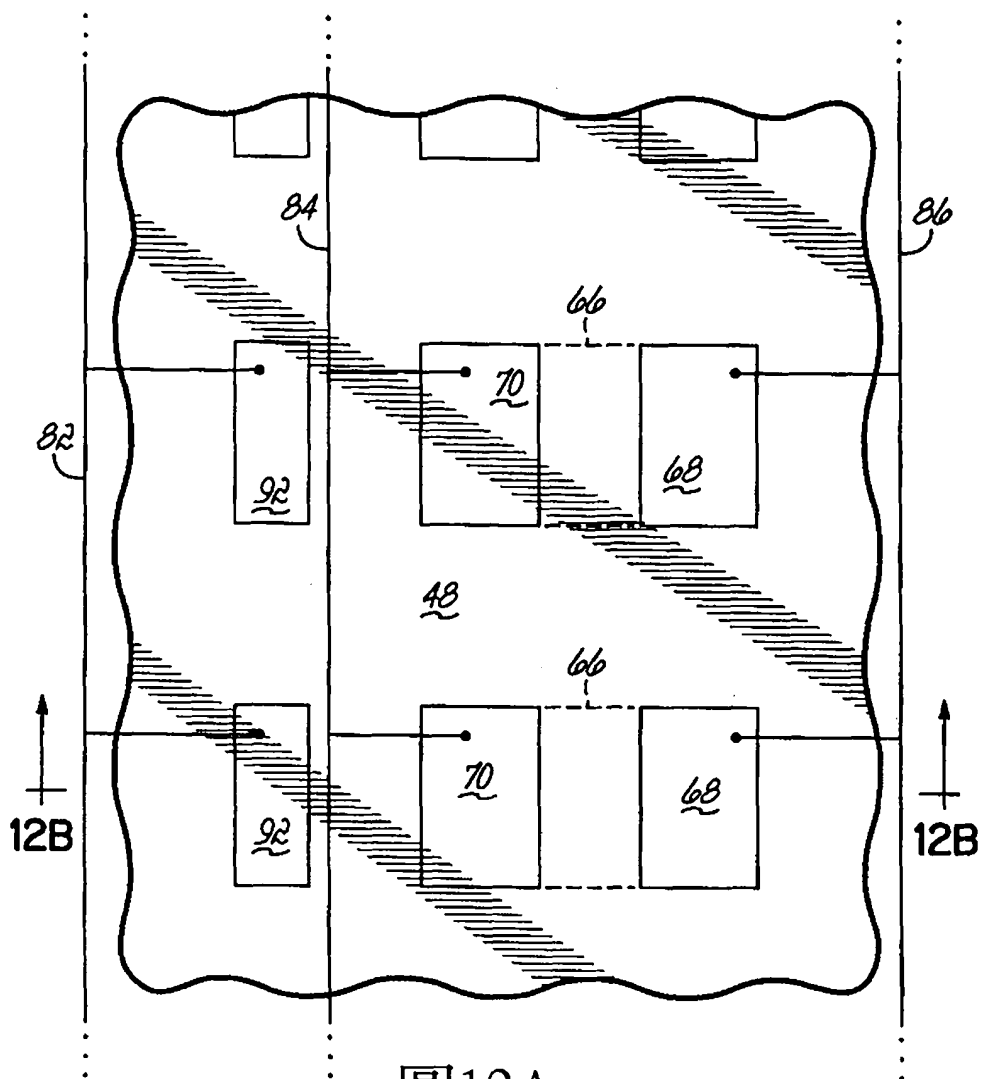


圖12A

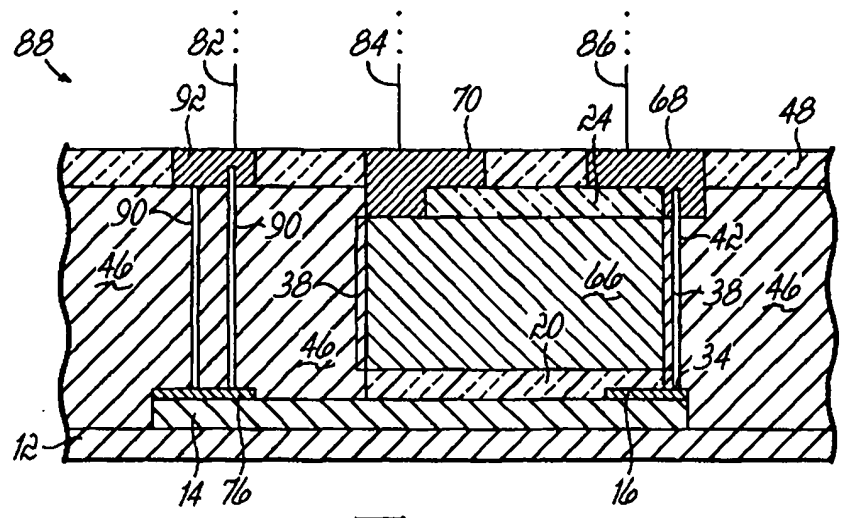


圖12B

七、指定代表圖：

(一)本案指定代表圖為：圖 9B

(二)本代表圖之元件符號簡單說明：

12 基材	20、24、38、48 絕緣層
14 導電層	16 催化墊
25 閘電極	26 字元線
34 活性區域	57、59 導電線
42 奈米碳管	46 填充層
50 源極/汲極接觸	52 閘接觸
54 裝置結構	55、56 電容

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

十、申請專利範圍：

1. 一種半導體裝置結構，包含：

一閘電極，包含一垂直側壁及一閘介電質，該閘介電質覆蓋該垂直側壁；

至少一半導體奈米碳管 (semiconducting carbon nanotube)，於相反之第一及第二端間在鄰近該閘電極之該垂直側壁之一位置垂直延伸；

一第一接觸，與該至少一半導體奈米碳管之該第一端電性耦合；以及

一第二接觸，與該至少一半導體奈米碳管之該第二端電性耦合；

其中該第一接觸包含一催化墊，其特徵在於對於長成該至少一半導體奈米碳管具有一催化材料效應，且其中該至少一半導體奈米碳管之該第一端包含(incorporate)一導電強化物質，在製造期間，該導電強化物質從該催化墊擴散至該第一端。

2. 如請求項 1 所述之半導體裝置結構，其中該至少一半導體奈米碳管為一單壁半導體奈米碳管。

3. 如請求項 1 所述之半導體裝置結構，更包含：

複數個半導體奈米碳管，在鄰近該閘電極之該垂直側壁之一位置垂直延伸。

4. 如請求項 1 所述之半導體裝置結構，更包含：

一絕緣層，位在該第一接觸及該閘電極之間，供該第一接觸與該閘電極之電性絕緣。

5. 如請求項 1 所述之半導體裝置結構，更包含：

一絕緣層，位在該第二接觸及該閘電極之間，供該第二接觸與該閘電極之電性絕緣。

6. 如請求項 1 所述之半導體裝置結構，更包含：

一第三接觸及至少一導電奈米碳管，該至少一導電奈米碳管電性耦合該閘電極及該第三接觸。

7. 如請求項 1 所述之半導體裝置結構，其中該第二接觸包含一垂直延伸金屬柱(post)，與該至少一半導體奈米碳管之該第二端電性耦合。

8. 如請求項 7 所述之半導體裝置結構，其中該第二接觸包含

一導電層，在該閘電極下方平行延伸，供耦合該催化墊及該金屬柱。

9. 如請求項 1 所述之半導體裝置結構，其中該第二接觸包含至少一垂直延伸導電奈米碳管，與該至少一半導體奈米碳管之該第二端電性耦合。

10. 如請求項 9 所述之半導體裝置結構，其中該第二接觸包含一導電層，在該閘電極下方平行延伸，供耦合該催化墊及該至少一垂直延伸導電奈米碳管。

11. 一種電路，包含：

互連接的複數個半導體裝置結構，其排列為一陣列，特徵在於複數個列及複數個行，每一該半導體裝置結構更包含：

一閘電極，包含一垂直側壁及一閘介電質，該閘介電質覆蓋該垂直側壁；

至少一半導體奈米碳管，於相反之第一及第二端間在鄰近該閘電極之該垂直側壁之一位置垂直延伸；

一第一接觸，與該至少一半導體奈米碳管之該第一端電性耦合；以及

一第二接觸，與該至少一半導體奈米碳管之該第二端電性耦合；

其中該第一接觸包含一催化墊，其特徵在於對於長成該至少一半導體奈米碳管具有一催化材料效應，且其中該至少一半導體奈米碳管之該第一端包含(incorporate)一導電強化物質，在製造期間，該導電強化物質從該催化墊擴散至該第一端。

12.如請求項 11 所述之電路，其中該複數個半導體裝置結構互連接以作為一記憶體電路。

13.如請求項 12 所述之電路，更包含：

複數個字元線，每一字元線與每一該半導體裝置結構之該閘電極為電互連接，每一該半導體裝置結構位於該陣列之該複數個列之所對應之一列；以及

複數個位元線，每一位元線與每一該半導體裝置結構之該第二接觸為電互連接，每一半導體裝置結構位於該陣列之該複數個行之所對應之一行。

14.如請求項 13 所述之電路，其中該每一字元線包含該複數

個半導體裝置結構之該閘電極。

15. 如請求項 13 所述之電路，其中每一位元線包含一導電帶，該導電帶與每一半導體裝置結構之該第一接觸電性耦合，該每一半導體裝置結構位在該陣列之該複數個列之之所對應之一列。

16. 如請求項 11 所述之電路，更包含：

一基材，該基材支撐該複數個半導體裝置結構，且該複數個半導體裝置結構特徵在於，一表面區域垂直於該基材，該複數個半導體裝置結構以一開口空間相分隔，該開口空間之範圍約為該表面區域的百分之 20 至約百分之 50。

17. 如請求項 11 所述之電路，其中該複數個半導體裝置結構互連接作為一邏輯電路。

18. 一種製造一半導體結構的方法，該半導體結構包含半導體裝置結構之一陣列，該方法包含：

形成一堆疊結構，包含一導電層、複數個第一催化墊、一閘電極層及一絕緣層，其中每一個第一催化墊與該導電層電性

耦合，該絕緣層將該複數個第一催化墊與該閘電極層分隔；

分隔(partitioning)該堆疊結構，以定義該閘電極層中的複數個閘電極，其中鄰近的閘電極以一反應路徑分隔，且每一個第一催化墊至少部分地暴露於該反應路徑，且位於靠近該複數個閘電極之所對應之一個的一垂直側壁的一位置；以及

以該反應路徑引導一反應物至每一個第一催化墊，藉由一化學氣相沉積製程，在每一個第一催化墊上將該反應物合成為至少一半導體奈米碳管。

19.如請求項 18 所述之方法，更包含：

形成複數個第二催化墊於該閘電極上；以及

在每一個第二催化墊上合成至少一導電奈米碳管。

20.如請求項 18 所述之方法，更包含：

定義每一個第一催化墊之一活性區域(active area)。

21.如請求項 20 所述之方法，其中定義該活性區域包含：

以一遮罩覆蓋每一個第一催化墊之一第一部份；以及

藉由該遮罩選擇性地蝕刻每一個第一催化墊之一第二部份，使得該第一部份定義該活性區域。

22.如請求項 21 所述之方法，其中該遮罩為一暫時間隙壁 (temporary spacer)，在該蝕刻後從該半導體裝置結構移除。

23.如請求項 18 所述之方法，更包含：

形成複數個第一接觸，每一個第一接觸與該至少一半導體奈米碳管之一第一端電性耦合，該至少一半導體奈米碳管合成於該複數個第一催化墊之所對應之一個上。

24.如請求項 23 所述之方法，其中該陣列之特徵在於該半導體裝置結構排列為複數個列及複數個行，且該方法更包含：

圖案化該導電層以定義複數個位元線，每一個位元線電互連接位在陣列中每一個列之所有半導體裝置結構之該第一接觸。

25.如請求項 24 所述之方法，其中該陣列之特徵在於該半導體裝置結構排列為複數個列及複數個行，且每一個閘電極定義該複數個半導體裝置結構之一字元線，該複數個半導體裝置結構位在該陣列之該複數個行之所對應之一行。

26.如請求項 23 所述之方法，更包含：

形成複數個第二接觸，每一個第二接觸與該至少一半導體奈米碳管之一第二端電性耦合，該至少一半導體奈米碳管合成於該複數個第一催化墊之所對應之一個上。

27.如請求項 26 所述之方法，更包含：

電互連接該複數個閘電極、該複數個第一接觸及該複數個第二接觸，以作為一邏輯電路。

28.如請求項 26 所述之方法，更包含：

電互連接該複數個閘電極、該複數個第一接觸及該複數個第二接觸，以作為一記憶體電路。

29.如請求項 18 所述之方法，更包含：

擴散一導電強化物質，從每一個第一催化墊至該至少一半導體奈米碳管之一相鄰端。

30.如請求項 29 所述之方法，其中擴散該導電強化物質係在以該反應路徑引導該反應物至每一個第一催化墊之後發生。