

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6261937号
(P6261937)

(45) 発行日 平成30年1月17日(2018.1.17)

(24) 登録日 平成29年12月22日(2017.12.22)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 E

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 29/78 6 2 7 F

請求項の数 2 (全 60 頁)

(21) 出願番号 特願2013-215685 (P2013-215685)
(22) 出願日 平成25年10月16日(2013.10.16)
(65) 公開番号 特開2014-99601 (P2014-99601A)
(43) 公開日 平成26年5月29日(2014.5.29)
審査請求日 平成28年9月27日(2016.9.27)
(31) 優先権主張番号 特願2012-232079 (P2012-232079)
(32) 優先日 平成24年10月19日(2012.10.19)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 津吹 将志
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 渡邊 了介
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 石原 典隆
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 太田 将志
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上にゲート電極を形成し、
前記ゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に酸化物半導体膜を形成し、
前記酸化物半導体膜上に、In若しくはGaを含む酸化物膜を形成し、
前記In若しくはGaを含む酸化物膜に酸素を添加し、
前記酸化物半導体膜および前記In若しくはGaを含む酸化物膜に加熱処理を行い、
前記加熱処理後に、前記酸化物半導体膜および前記In若しくはGaを含む酸化物膜を
エッチングして、前記酸化物半導体膜および前記In若しくはGaを含む酸化物膜からな
る多層膜を形成し、
前記多層膜上に、ソース電極およびドレイン電極を形成し、
前記ソース電極上および前記ドレイン電極上に酸化絶縁膜を形成し、
前記酸化絶縁膜は、前記In若しくはGaを含む酸化物膜と接することを特徴とする、
半導体装置の作製方法。

【請求項2】

請求項1において、
前記In若しくはGaを含む酸化物膜の伝導帯の下端と、前記酸化物半導体膜の伝導帯
の下端とは、連続的に変化していることを特徴とする、半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体膜を含む多層膜の作製方法に関する。また、本発明は、電界効果トランジスタを有する半導体装置の作製方法に関する。

【背景技術】

【0002】

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いられているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコンまたは多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路（IC）などにも利用されている。

10

【0003】

近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を酸化物半導体とよぶことにする。

【0004】

例えば、酸化物半導体として、酸化亜鉛、またはIn-Ga-Zn系酸化物を用いたトランジスタを作製し、該トランジスタを表示装置の画素のスイッチング素子などに用いる技術が開示されている（特許文献1及び特許文献2参照）。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜に含まれる局在準位の一原因となる酸素欠損は、トランジスタの電気特性の不良に繋がる。

【0007】

そこで、本発明の一態様は、局在準位の少ない酸化物半導体膜を作製することを課題の一とする。また、本発明の一態様は、酸化物半導体を用いた半導体装置において、電気特性を向上させることを課題の一とする。

30

【課題を解決するための手段】

【0008】

本発明の一態様は、チャネルとなる酸化物半導体膜に接するIn若しくはGaを含む酸化物膜に酸素を添加した後、加熱処理を行って、In若しくはGaを含む酸化物膜に含まれる酸素をチャネルとなる酸化物半導体膜に移動させ、該酸化物半導体膜に含まれる酸素欠損量を低減することを要旨とする。

【0009】

また、本発明の一態様は、In若しくはGaを含む酸化物膜を形成し、酸化物膜に酸素を添加した後、該酸化物膜上に酸化物半導体膜を形成し、加熱処理を行う酸化物半導体膜を含む多層膜の作製方法である。

40

【0010】

また、本発明の一態様は、酸化物半導体膜を形成し、酸化物半導体膜上にIn若しくはGaを含む酸化物膜を形成し、酸化物膜に酸素を添加した後、加熱処理を行う酸化物半導体膜を含む多層膜の作製方法である。

【0011】

また、本発明の一態様は、In若しくはGaを含む第1の酸化物膜を形成し、第1の酸化物膜に酸素を添加した後、該第1の酸化物膜上に酸化物半導体膜を形成し、酸化物半導体膜上にIn若しくはGaを含む第2の酸化物膜を形成し、加熱処理を行う酸化物半導体

50

膜を含む多層膜の作製方法である。

【0012】

また、本発明の一態様は、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に、In若しくはGaを含む酸化物膜を形成し、酸化物膜に酸素を添加した後、該酸化物膜上に酸化物半導体膜を形成し、加熱処理を行い、酸化物半導体膜を含む多層膜を形成する。次に、酸化物半導体膜を含む多層膜上に一对の電極を形成することを特徴とする半導体装置の作製方法である。

【0013】

また、本発明の一態様は、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に、酸化物半導体膜を形成し、酸化物半導体膜上にIn若しくはGaを含む酸化物膜を形成し、酸化物膜に酸素を添加した後加熱処理を行い、酸化物半導体膜を含む多層膜を形成する。次に、酸化物半導体膜を含む多層膜上に一对の電極を形成することを特徴とする半導体装置の作製方法である。

10

【0014】

また、本発明の一態様は、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に、In若しくはGaを含む第1の酸化物膜を形成し、第1の酸化物膜に酸素を添加した後、該第1の酸化物膜上に酸化物半導体膜を形成し、酸化物半導体膜上にIn若しくはGaを含む第2の酸化物膜を形成し、加熱処理を行い、酸化物半導体膜を含む多層膜を形成する。次に、酸化物半導体膜を含む多層膜上に一对の電極を形成することを特徴とする半導体装置の作製方法である。

20

【0015】

また、本発明の一態様は、シリコンを含む酸化物膜上に、In若しくはGaを含む酸化物膜を形成し、In若しくはGaを含む酸化物膜に酸素を添加した後、In若しくはGaを含む該酸化物膜上に酸化物半導体膜を形成し、加熱処理を行い、酸化物半導体膜を含む多層膜を形成する。次に、酸化物半導体膜を含む多層膜上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成することを特徴とする半導体装置の作製方法である。

【0016】

また、本発明の一態様は、シリコンを含む酸化物膜上に、酸化物半導体膜を形成し、酸化物半導体膜上にIn若しくはGaを含む酸化物膜を形成し、In若しくはGaを含む酸化物膜に酸素を添加した後加熱処理を行い、酸化物半導体膜を含む多層膜を形成する。次に、酸化物半導体膜を含む多層膜上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成することを特徴とする半導体装置の作製方法である。

30

【0017】

また、本発明の一態様は、シリコンを含む酸化物膜上に、In若しくはGaを含む第1の酸化物膜を形成し、第1の酸化物膜に酸素を添加した後、該第1の酸化物膜上に酸化物半導体膜を形成し、酸化物半導体膜上にIn若しくはGaを含む第2の酸化物膜を形成し、加熱処理を行い、酸化物半導体膜を含む多層膜を形成する。次に、酸化物半導体膜を含む多層膜上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成することを特徴とする半導体装置の作製方法である。

【0018】

なお、酸化物半導体膜は、In若しくはGaを含む酸化物半導体膜であり、代表的には、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)がある。なお、元素MはInよりも酸素との結合力が強い金属元素である。

40

【0019】

また、In若しくはGaを含む酸化物膜、In若しくはGaを含む第1の酸化物膜、及びIn若しくはGaを含む第2の酸化物膜は、代表的には、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)であり、且つ酸化物半導体膜よりも伝導帯下端のエネルギーが真空準位に近く、代表的には、In若しくはGaを含む酸化物膜、In若しくはGaを含む第1

50

の酸化物膜、及びIn若しくはGaを含む第2の酸化物膜の伝導帯下端のエネルギーと、酸化物半導体膜の伝導帯下端のエネルギーとの差が、 0.05 eV 以上、 0.07 eV 以上、 0.1 eV 以上、または 0.15 eV 以上、且つ 2 eV 以下、 1 eV 以下、 0.5 eV 以下、または 0.4 eV 以下である。なお、真空準位と伝導帯下端のエネルギー差を電子親和力ともいう。

【0020】

また、In若しくはGaを含む酸化物膜、In若しくはGaを含む第1の酸化物膜、及びIn若しくはGaを含む第2の酸化物膜、並びに酸化物半導体膜がIn-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)の場合、酸化物半導体膜と比較して、In若しくはGaを含む酸化物膜、In若しくはGaを含む第1の酸化物膜、及びIn若しくはGaを含む第2の酸化物膜に含まれるM(Al、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)の原子数比が高く、代表的には、酸化物半導体膜に含まれる上記原子と比較して、1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比である。

10

【0021】

In若しくはGaを含む酸化物膜、In若しくはGaを含む第1の酸化物膜、及びIn若しくはGaを含む第2の酸化物膜、並びに酸化物半導体膜がIn-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)であり、In若しくはGaを含む酸化物膜、In若しくはGaを含む第1の酸化物膜、及びIn若しくはGaを含む第2の酸化物膜を $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、酸化物半導体膜を $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比]とすると、 y_1/x_1 が y_2/x_2 よりも大きくなる組成を選択する。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなる組成を選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなる組成を選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなる組成を選択する。このとき、In若しくはGaを含む酸化物膜、In若しくはGaを含む第1の酸化物膜、及びIn若しくはGaを含む第2の酸化物膜において、 y_1 が x_1 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_1 が x_1 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_1 は x_1 の3倍未満であると好ましい。

20

【0022】

また、酸化物半導体膜を含む多層膜において、一定光電流測定法で導出される吸収係数は $1 \times 10^{-3} / \text{cm}$ 未満である。

30

【0023】

また、In若しくはGaを含む酸化物膜、またはIn若しくはGaを含む第1の酸化物膜に酸素を添加する方法としては、イオン注入法、イオンドーピング法、またはプラズマ処理等がある。

【発明の効果】

【0024】

本発明の一態様により、局在準位の少ない酸化物半導体膜を作製することができる。また、酸化物半導体を用いた半導体装置において、電気特性を向上させることができる。

40

【図面の簡単な説明】

【0025】

【図1】酸化物半導体膜の作製方法の一形態を説明する図である。

【図2】酸化物半導体膜の作製方法の一形態を説明する図である。

【図3】酸化物半導体膜の作製方法の一形態を説明する図である。

【図4】トランジスタの作製方法の一形態を説明する図である。

【図5】トランジスタのバンド構造を説明する図である。

【図6】トランジスタの作製方法の一形態を説明する図である。

【図7】トランジスタのバンド構造を説明する図である。

【図8】トランジスタの一形態を説明する図である。

50

【図 9】半導体装置の一形態を説明する図である。
【図 10】半導体装置の一形態を説明する図である。
【図 11】トランジスタの作製方法の一形態を説明する図である。
【図 12】半導体装置の作製方法の一形態を説明する図である。
【図 13】半導体装置の作製方法の一形態を説明する断面図である。
【図 14】半導体装置の一形態を説明する図である。
【図 15】半導体装置の作製方法の一形態を説明する図である。
【図 16】試料の構造を説明する図である。
【図 17】C P M の測定結果を説明する図である。
【図 18】T D S の測定結果を説明する図である。
【図 19】T D S の測定結果を説明する図である。
【図 20】T D S の測定結果を説明する図である。
【図 21】本発明の一態様に係る多層膜における酸素の拡散を説明する図である。
【図 22】トランジスタに含まれる多層膜の T o F - S I M S の結果を説明する図である。

10

【発明を実施するための形態】

【0026】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態及び実施例において、同一部分または同様の機能を有する部分には、同一の符号または同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

20

【0027】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0028】

また、本明細書にて用いる第 1、第 2、第 3 などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。

30

【0029】

「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0030】

(実施の形態 1)

本実施の形態では、酸化物半導体膜に含まれる酸素欠損を低減する方法について、説明する。また、局在準位を低減させた酸化物半導体膜を有する多層膜を作製する方法について、説明する。

40

【0031】

図 1 (A) に示すように、基板 1 上に下地絶縁膜となる酸化絶縁膜 3 を形成する。次に、下地絶縁膜となる酸化絶縁膜 3 上に I n 若しくは G a を含む酸化物膜 1 1 を形成する。次に、I n 若しくは G a を含む酸化物膜 1 1 に酸素 1 3 を添加し、図 1 (B) に示す酸素が添加された I n 若しくは G a を含む酸化物膜 (以下、酸素が添加された酸化物膜 1 1 a と示す。) を形成する。

【0032】

I n 若しくは G a を含む酸化物膜 1 1 に添加する酸素 1 3 としては、酸素ラジカル、酸素原子、酸素イオン等のいずれか一以上がある。また、I n 若しくは G a を含む酸化物膜

50

11に酸素13を添加する方法としては、イオンドーピング法、イオン注入法等がある。

【0033】

In若しくはGaを含む酸化物膜11に添加する酸素の量としては、代表的には、イオン注入法において、ドーズ量は $5 \times 10^{14} / \text{cm}^2$ 以上 $5 \times 10^{16} / \text{cm}^2$ 以下が好ましい。後に形成される酸化物半導体膜の酸素欠損を低減できる程度の酸素を添加することが好ましく、代表的には $5 \times 10^{14} / \text{cm}^2$ 以上、さらには $1 \times 10^{15} / \text{cm}^2$ 以上である。一方、酸素の添加量が多ければ多い程処理時間が長くなり、量産性が低下するため、 $5 \times 10^{16} / \text{cm}^2$ 以下、さらには $2 \times 10^{16} / \text{cm}^2$ 以下が好ましい。

【0034】

また、酸素を有する雰囲気で発生させたプラズマにIn若しくはGaを含む酸化物膜11を曝すプラズマ処理により、In若しくはGaを含む酸化物膜11に酸素を添加してもよい。酸素を有する雰囲気としては、酸素、オゾン、一酸化二窒素、二酸化窒素等の酸化性気体を有する雰囲気がある。なお、基板1側にバイアスを印加した状態で発生したプラズマにIn若しくはGaを含む酸化物膜11を曝すことで、In若しくはGaを含む酸化物膜11への酸素添加量を増加させることが可能であり好ましい。このようなプラズマ処理を行う装置の一例として、アッシング装置がある。

【0035】

ここで、In若しくはGaを含む酸化物膜11に酸素を添加したときの酸素イオンの濃度プロファイルを、図1(D)及び図1(E)を用いて説明する。ここでは、イオン注入法により酸素イオンを添加したときの濃度プロファイルを示す。図1(D)及び図1(E)において、横軸は、表面からの深さを示し、縦軸は注入された酸素イオンの濃度を示し、曲線5及び曲線6が酸素イオンの濃度プロファイルである。

【0036】

図1(D)に示すように、酸素が添加された酸化物膜11aに酸素イオンの濃度プロファイルのピークが位置するような条件を用いて、In若しくはGaを含む酸化物膜11に酸素を添加することが好ましい。または、In若しくはGaを含む酸化物膜11と共に下地絶縁膜となる酸化絶縁膜3に酸素を添加してもよい。更には、図1(E)に示すように、下地絶縁膜となる酸化絶縁膜3に酸素イオンの濃度プロファイルのピークが位置するような条件を用いてIn若しくはGaを含む酸化物膜11及び下地絶縁膜となる酸化絶縁膜3に酸素を添加してもよい。

【0037】

以上の工程により形成された酸素が添加された酸化物膜11aは、化学量論的組成を満たす酸素よりも多くの酸素が含まれることが好ましい。また、酸素が添加された酸化物膜11aは、酸素が添加される前のIn若しくはGaを含む酸化物膜11と比較して、膜密度が低くなる。

【0038】

以下に、各構成及びその作製方法の詳細について説明する。

【0039】

基板1の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板1として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板1として用いてもよい。また、基板1として、可撓性基板を用いてもよい。

【0040】

下地絶縁膜となる酸化絶縁膜3としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、下地絶縁膜となる酸化絶縁膜3として、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム等を用いることで、基板1から不純物、代表的にはアルカリ金属、水、水素等の酸化物半

10

20

30

40

50

導体膜への拡散を抑制することができる。

【0041】

酸化絶縁膜3は、スパッタリング法またはCVD法を用いて形成することができる。

【0042】

なお、下地絶縁膜となる酸化絶縁膜3は必要がなければ形成しなくともよい。

【0043】

In若しくはGaを含む酸化物膜11については、後に形成する酸化物半導体膜15と共に説明する。

【0044】

次に、図1(B)に示すように、酸素が添加された酸化物膜11a上に酸化物半導体膜15を形成する。次に、加熱処理を行い、酸素が添加された酸化物膜11aに含まれる酸素の一部を酸化物半導体膜15に移動させ、酸化物半導体膜15に含まれる酸素欠損を当該酸素で補填し、酸化物半導体膜15の酸素欠損量を低減させる。または、下地絶縁膜となる酸化絶縁膜3及び酸素が添加された酸化物膜11aに含まれる酸素の一部を酸化物半導体膜15に移動させ、酸化物半導体膜15に含まれる酸素欠損を当該酸素で補填し、酸化物半導体膜15の酸素欠損量を低減させる。この結果、図1(C)に示すように、酸素欠損量が低減され、局在準位が低減された酸化物半導体膜15aを形成することができる。また、酸素が添加された酸化物膜11aは、当該加熱処理により、酸素含有量が低減されている。図1(C)において、当該酸化物膜を、In若しくはGaを含む酸化物膜11bと示す。また、In若しくはGaを含む酸化物膜11b及び酸化物半導体膜15aの多層膜を多層膜17と示す。

10

20

【0045】

以下に、各構成及びその作製方法の詳細について説明する。

【0046】

酸化物半導体膜15は、In若しくはGaを含む酸化物半導体膜であり、代表的にはIn-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)がある。

【0047】

なお、酸化物半導体膜15がIn-M-Zn酸化物であるとき、InとMの原子数比率は、好ましくは、Inが25atomic%以上、Mが75atomic%未満、さらに好ましくは、Inが34atomic%以上、Mが66atomic%未満とする。

30

【0048】

酸化物半導体膜15は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。

【0049】

In若しくはGaを含む酸化物膜11は、代表的には、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)であり、且つ酸化物半導体膜15よりも伝導帯下端のエネルギーが真空準位に近く、代表的には、In若しくはGaを含む酸化物膜11の伝導帯下端のエネルギーと、後に形成される酸化物半導体膜の伝導帯下端のエネルギーとの差が、0.05eV以上、0.07eV以上、0.1eV以上、または0.15eV以上、且つ2eV以下、1eV以下、0.5eV以下、または0.4eV以下である。

40

【0050】

In若しくはGaを含む酸化物膜11がIn-M-Zn酸化物であるとき、InとMの原子数比率は、好ましくは、Inが50atomic%未満、Mが50atomic%以上、さらに好ましくは、Inが25atomic%未満、Mが75atomic%以上とする。

【0051】

また、In若しくはGaを含む酸化物膜11、及び酸化物半導体膜15がIn-M-Zn酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf)の場合

50

合、酸化物半導体膜 15 と比較して、In 若しくは Ga を含む酸化物膜 11 に含まれる M (Al、Ti、Ga、Y、Zr、La、Ce、Nd、または Hf) の原子数比が高く、代表的には、酸化物半導体膜 15 に含まれる上記原子と比較して、1.5 倍以上、好ましくは 2 倍以上、さらに好ましくは 3 倍以上高い原子数比である。

【0052】

また、In 若しくは Ga を含む酸化物膜 11、及び酸化物半導体膜 15 が In-M-Zn 酸化物 (M は Al、Ti、Ga、Y、Zr、La、Ce、Nd、Sn または Hf) の場合、In 若しくは Ga を含む酸化物膜 11 を $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原子数比]、酸化物半導体膜 15 を $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$ [原子数比] とすると、 y_1/x_1 が y_2/x_2 よりも大きく、好ましくは、 y_1/x_1 が y_2/x_2 よりも 1.5 倍以上である。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも 2 倍以上大きく、より好ましくは、 y_1/x_1 が y_2/x_2 よりも 3 倍以上大きい。このとき、In 若しくは Ga を含む酸化物膜 11 において、 y_1 が x_1 以上であると、当該酸化物半導体膜を用いたトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_1 が x_1 の 3 倍以上になると、当該酸化物半導体膜を用いたトランジスタの電界効果移動度が低下してしまうため、 y_1 は x_1 の 3 倍未満であると好ましい。

10

【0053】

例えば、In 若しくは Ga を含む酸化物膜 11 として $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ 、 $1:6:4$ 、または $1:9:6$ 、酸化物半導体膜 15 として $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ または $3:1:2$ の原子数比の In-Ga-Zn 酸化物を用いることができる。なお、In 若しくは Ga を含む酸化物膜 11、及び酸化物半導体膜 15 の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20% の変動を含む。

20

【0054】

なお、原子数比はこれらに限られず、必要とする半導体特性に応じて適切な原子数比のものを用いればよい。

【0055】

酸化物半導体膜 15 において、第 14 族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜 15 において酸素欠損が増加し、n 型化してしまう。このため、酸化物半導体膜 15 におけるシリコンや炭素の濃度、または In 若しくは Ga を含む酸化物膜 11 と、酸化物半導体膜 15 との界面近傍のシリコンや炭素の濃度を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

30

【0056】

In 若しくは Ga を含む酸化物膜 11、及び酸化物半導体膜 15 は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法等を用いて形成することができる。

【0057】

スパッタリング法で In 若しくは Ga を含む酸化物膜 11、及び酸化物半導体膜 15 を形成する場合、プラズマを発生させるための電源装置は、RF 電源装置、AC 電源装置、DC 電源装置等を適宜用いることができる。

【0058】

スパッタリングガスは、希ガス (代表的にはアルゴン)、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

40

【0059】

また、ターゲットは、形成する In 若しくは Ga を含む酸化物膜 11、及び酸化物半導体膜 15 の組成にあわせて、適宜選択すればよい。

【0060】

なお、In 若しくは Ga を含む酸化物膜 11、及び酸化物半導体膜 15 を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を 100 以上 450 以下、さらに好ましくは 170 以上 350 以下として、加熱しながら In 若しくは Ga を含む酸

50

化物膜 11 及び酸化物半導体膜 15 を形成してもよい。

【0061】

なお、酸化物半導体膜 15 として後述する CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) を形成する場合、In 若しくは Ga を含む酸化物膜 11 は加熱せずに成膜することが好ましい。In 若しくは Ga を含む酸化物膜 11 は加熱することで、多結晶構造となりやすく、多結晶構造の In 若しくは Ga を含む酸化物膜 11 上に酸化物半導体膜 15 を形成すると、酸化物半導体膜 15 の結晶性がランダムとなるためである。

【0062】

酸化物半導体膜 15 を形成した後に行う加熱処理の温度は、酸素が添加された酸化物膜 11a から酸化物半導体膜 15 へ酸素が移動する温度範囲が好ましく、代表的には、250 以上基板歪み点未満、好ましくは 300 以上 550 以下、更に好ましくは 350 以上 510 以下とする。

【0063】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気加熱した後、酸素雰囲気または乾燥空気（露点が -80 以下、好ましくは -100 以下である空気）で加熱してもよい。なお、上記乾燥空気その他、不活性ガス及び酸素に水素、水などが含まれないことが好ましく、代表的には露点が -80 以下、好ましくは -100 以下であることが好ましい。処理時間は 3 分～24 時間とする。

【0064】

以上の工程により、酸化物半導体膜の酸素欠損を低減することができる、また、局在準位が低減された酸化物半導体膜 15a を有する多層膜 17 を作製することができる。

【0065】

なお、局在準位が低減された酸化物半導体膜を有する多層膜 17 において、一定光電流測定法 (CPM: Constant Photocurrent Method) で導出される吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満、さらに好ましくは $5 \times 10^{-5} / \text{cm}$ 未満となる。吸収係数は、酸素欠損及び不純物の混入に由来する局在準位に応じたエネルギー（波長により換算）と正の相関があるため、多層膜 17 における局在準位が極めて少ない。

【0066】

なお、CPM 測定によって得られた吸収係数のカーブからバンドの裾に起因するアーバックテールと呼ばれる吸収係数分を除くことにより、局在準位による吸収係数を以下の式から算出することができる。なお、アーバックテールとは、CPM 測定によって得られた吸収係数のカーブにおいて一定の傾きを有する領域をいい、当該傾きをアーバックエネルギーという。

【0067】

【数 1】

$$\int \frac{\alpha(E) - \alpha_u}{E} dE$$

【0068】

ここで、 $\alpha(E)$ は、各エネルギーにおける吸収係数を表し、 α_u は、アーバックテールによる吸収係数を表す。

【0069】

本実施の形態においては、酸化物半導体膜は、酸化物半導体膜を構成する金属元素の 1 以上を有する酸化物膜、即ち In 若しくは Ga を含む酸化物膜と接するため、In 若しくは Ga を含む酸化物膜と酸化物半導体膜との界面における界面準位が極めて少ない。このため、In 若しくは Ga を含む酸化物膜から酸化物半導体膜へ酸素が移動する際、界面準

10

20

30

40

50

位において酸素が捕獲されにくく、効率よくIn若しくはGaを含む酸化物膜に含まれる酸素を酸化物半導体膜へ移動させることが可能である。また、酸化物半導体膜へ移動した酸素は、酸化物半導体膜に含まれる酸素欠損を補填するため、酸化物半導体膜に含まれる局在準位を低減することができる。

【0070】

また、酸化物半導体膜は、In若しくはGaを含む酸化物膜と接する。即ち、In若しくはGaを含む酸化物膜を介して、酸化絶縁膜上に酸化物半導体膜が設けられており、酸化物半導体膜における第14族元素の一つであるシリコンや炭素の濃度を低減することができる。このため、酸化物半導体膜の酸素欠損量を低減することが可能であり、酸化物半導体膜の局在準位を低減することができる。

10

【0071】

<変形例1>

酸化絶縁膜3として、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜で形成してもよい。このようにすることで、過剰に含まれる当該酸素を、In若しくはGaを含む酸化物膜11、更には酸化物半導体膜に移動させ、酸素欠損を補填することが可能となり、酸化物半導体膜の酸素欠損量をさらに低減することが可能である。

【0072】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜は、CVD法またはスパッタリング法等により形成することができる。また、CVD法またはスパッタリング法等により酸化絶縁膜を形成した後、イオン注入法、イオンドーピング法、プラズマ処理などを用いて当該酸化絶縁膜に酸素を添加してもよい。

20

【0073】

<変形例2>

本実施の形態では、図1(B)において、酸化物半導体膜15を形成した後、加熱処理を行って、酸素が添加された酸化物膜11aに含まれる酸素の一部を酸化物半導体膜15へ移動させたが、この代わりに、酸化物半導体膜15の成膜温度を170℃以上基板歪み点未満とすることで、酸化物半導体膜15を成膜しながら、酸素が添加された酸化物膜11aに含まれる酸素の一部を酸化物半導体膜15へ移動させることが可能であるため、工程数を削減することができる。

【0074】

30

また、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0075】

(実施の形態2)

本実施の形態では、実施の形態1と異なる方法で、酸化物半導体膜に含まれる酸素欠損を低減する方法について、説明する。また、局在準位を低減させた酸化物半導体膜を有する多層膜を作製する方法について、説明する。ここでは、酸化物半導体膜を形成した後、該酸化物半導体膜に酸素を供給するためのIn若しくはGaを含む酸化物膜を形成する点が実施の形態1と異なる。

【0076】

40

図2(A)に示すように、基板1上に下地絶縁膜となる酸化絶縁膜3を形成する。次に、酸化絶縁膜3上に酸化物半導体膜21を形成する。次に、酸化物半導体膜21上にIn若しくはGaを含む酸化物膜23を形成する。次に、In若しくはGaを含む酸化物膜23に酸素25を添加し、図2(B)に示す酸素が添加されたIn若しくはGaを含む酸化物膜(以下、酸素が添加された酸化物膜23aと示す。)を形成する。

【0077】

酸化物半導体膜21及びIn若しくはGaを含む酸化物膜23としてそれぞれ、実施の形態1に示す酸化物半導体膜15及びIn若しくはGaを含む酸化物膜11と同様の材料及び形成方法を適宜用いることができる。

【0078】

50

また、In若しくはGaを含む酸化物膜23に添加する酸素25として、実施の形態1に示す酸素13と同様の材料及び添加方法を適宜用いることができる。

【0079】

ここで、In若しくはGaを含む酸化物膜23に酸素を添加したときの酸素イオンの濃度プロファイルを、図2(D)を用いて説明する。ここでは、イオン注入法により酸素イオンを添加したときの濃度プロファイルを図2(D)に示す。図2(D)において、横軸は、表面からの深さを示し、縦軸は注入された酸素イオンの濃度を示し、曲線7が酸素イオンの濃度プロファイルである。

【0080】

図2(D)に示すように、酸素が添加された酸化物膜23aに酸素イオンの濃度プロファイルのピークが位置するような条件を用いて、In若しくはGaを含む酸化物膜23に酸素を添加することが好ましい。

10

【0081】

なお、酸化物半導体膜21が非晶質構造の場合は、酸化物半導体膜21に酸素が添加することで、酸化物半導体膜21への酸素含有量を高めることができる。また、酸化物半導体膜21が結晶性を有する場合、代表的には、単結晶構造、多結晶構造、または後述するCAAC-Osの場合、酸化物半導体膜21の結晶性を維持するために、酸化物半導体膜21への酸素25の添加量を極めて少なくすることが好ましい。

【0082】

次に加熱処理を行い、酸素が添加された酸化物膜23aに含まれる酸素の一部を酸化物半導体膜21に移動させ、酸化物半導体膜21に含まれる酸素欠損を当該酸素で補填し、酸化物半導体膜21の酸素欠損量を低減する。この結果、図2(C)に示すように、酸素欠損量が低減され、局在準位が低減された酸化物半導体膜21aを形成することができる。また、酸素が添加された酸化物膜23aは、当該加熱処理により、酸素含有量が低減されている。図2(C)において、当該酸化物膜を、In若しくはGaを含む酸化物膜23bと示す。また、酸化物半導体膜21a及びIn若しくはGaを含む酸化物膜23bの多層膜を多層膜27と示す。

20

【0083】

なお、局在準位が低減された酸化物半導体膜を有する多層膜27において、CPM測定で導出される吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満、さらに好ましくは $5 \times 10^{-5} / \text{cm}$ 未満である。

30

【0084】

以上の工程により、酸化物半導体膜の酸素欠損を低減することができる、また、局在準位が低減された酸化物半導体膜21aを有する多層膜27を作製することができる。

【0085】

本実施の形態においては、酸化物半導体膜は、酸化物半導体膜を構成する金属元素の1以上を有する酸化物膜、即ちIn若しくはGaを含む酸化物膜と接するため、In若しくはGaを含む酸化物膜と酸化物半導体膜との界面における界面準位が極めて少ない。このため、In若しくはGaを含む酸化物膜から酸化物半導体膜へ酸素が移動する際、界面準位において酸素が捕獲されにくく、効率よくIn若しくはGaを含む酸化物膜に含まれる酸素を酸化物半導体膜へ移動させることが可能である。また、酸化物半導体膜へ移動した酸素は、酸化物半導体膜に含まれる酸素欠損を補填するため、酸化物半導体膜に含まれる局在準位を低減することができる。

40

【0086】

<変形例>

In若しくはGaを含む酸化物膜23上に実施の形態1で示した酸化絶縁膜3と同様の酸化絶縁膜を形成した後、該酸化絶縁膜及びIn若しくはGaを含む酸化物膜23に酸素25を添加してもよい。この場合、In若しくはGaを含む酸化物膜23に酸素イオンの濃度プロファイルのピークが位置するように、酸素の添加条件を制御しながら酸素25を添加することが好ましい。この結果、In若しくはGaを含む酸化物膜23の厚さが薄く

50

とも、In若しくはGaを含む酸化物膜23に選択的に酸素25を添加することが可能である。

【0087】

また、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0088】

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2と異なる方法で、酸化物半導体膜に含まれる酸素欠損を低減する方法について、説明する。また、局在準位を低減させた酸化物半導体膜を有する多層膜を作製する方法について、説明する。ここでは、実施の形態1において、酸化物半導体膜を形成した後、該酸化物半導体膜上にIn若しくはGaを含む酸化物膜を形成した後、加熱処理を行う点が実施の形態1と異なる。また、下地絶縁膜である酸化絶縁膜上にIn若しくはGaを含む酸化物膜を形成し、該In若しくはGaを含む酸化物膜に酸素を添加した後、酸化物半導体膜を形成する点が実施の形態2と異なる。

【0089】

図3(A)に示すように、実施の形態1と同様に、基板1上に下地絶縁膜となる酸化絶縁膜3を形成する。次に、酸化絶縁膜3上にIn若しくはGaを含む酸化物膜31を形成した後、In若しくはGaを含む酸化物膜31に酸素33を添加し、図3(B)に示す酸素が添加されたIn若しくはGaを含む酸化物膜(以下、酸素が添加された酸化物膜31aと示す。)を形成する。

【0090】

In若しくはGaを含む酸化物膜31として、実施の形態1に示すIn若しくはGaを含む酸化物膜11と同様の材料及び形成方法を適宜用いることができる。なお、In若しくはGaを含む酸化物膜31がIn-M-Zn酸化物であるとき、InとMの原子数比率は、好ましくは、Inが50atomic%未満、Mが50atomic%以上、さらに好ましくは、Inが25atomic%未満、Mが75atomic%以上とする。

【0091】

また、In若しくはGaを含む酸化物膜31に添加する酸素33として、実施の形態1に示す酸素13と同様の材料及び添加方法を適宜用いることができる。

【0092】

次に、図3(B)に示すように、酸素が添加された酸化物膜31a上に酸化物半導体膜35を形成する。次に、酸化物半導体膜35上に、In若しくはGaを含む酸化物膜37を形成する。

【0093】

酸化物半導体膜35として、実施の形態1に示す酸化物半導体膜15と同様の材料及び形成方法を適宜用いることができる。In若しくはGaを含む酸化物膜37として、実施の形態1に示すIn若しくはGaを含む酸化物膜11と同様の材料及び形成方法を用いることができる。

【0094】

次に、加熱処理を行い、酸素が添加された酸化物膜31aに含まれる酸素の一部を酸化物半導体膜35に移動させ、酸化物半導体膜35に含まれる酸素欠損を当該酸素で補填し、酸化物半導体膜35の酸素欠損量を低減する。この結果、図3(C)に示すように、酸素欠損量が低減され、局在準位が低減された酸化物半導体膜35aを形成することができる。また、酸素が添加された酸化物膜31aは、当該加熱処理により、酸素含有量が低減されている。図3(C)において、当該酸化物膜を、In若しくはGaを含む酸化物膜31bと示す。また、In若しくはGaを含む酸化物膜31b、酸化物半導体膜35a、及びIn若しくはGaを含む酸化物膜37の多層膜を多層膜39と示す。なお、加熱処理により、酸化物半導体膜35と共に、In若しくはGaを含む酸化物膜37に酸素が移動する場合もある。

【0095】

なお、局在準位が低減された酸化物半導体膜を有する多層膜 39 において、CPM 測定で導出される吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満、さらに好ましくは $5 \times 10^{-5} / \text{cm}$ 未満である。

【0096】

以上の工程により、局在準位が低減された酸化物半導体膜を作製することができる。また、局在準位が低減された酸化物半導体膜を有する多層膜を作製することができる。本実施の形態においては、酸化物半導体膜は、酸化物半導体膜を構成する金属元素の一以上を有する酸化物膜、即ち In 若しくは Ga を含む酸化物膜と接するため、In 若しくは Ga を含む酸化物膜と酸化物半導体膜との界面における界面準位が極めて少ない。このため、In 若しくは Ga を含む酸化物膜から酸化物半導体膜へ酸素が移動する際、界面準位において酸素が捕獲されにくく、効率よく In 若しくは Ga を含む酸化物膜に含まれる酸素を酸化物半導体膜へ移動させることが可能である。また、酸化物半導体膜へ移動した酸素は、酸化物半導体膜に含まれる酸素欠損を補填するため、酸化物半導体膜に含まれる局在準位を低減することができる。

10

【0097】

また、酸化物半導体膜は、In 若しくは Ga を含む酸化物膜と接する。即ち、In 若しくは Ga を含む酸化物膜を介して、酸化絶縁膜上に酸化物半導体膜が設けられているため、酸化物半導体膜における第 14 族元素の一つであるシリコンや炭素の濃度を低減することができる。このため、酸化物半導体膜の酸素欠損量を低減することが可能であり、酸化物半導体膜の局在準位を低減することができる。

20

【0098】

<変形例>

本実施の形態では、酸化物半導体膜 35 の下に設けられた In 若しくは Ga を含む酸化物膜 31 に酸素 33 を添加したが、この代わりに、酸化物半導体膜 35 の上に設けられた In 若しくは Ga を含む酸化物膜 37 に酸素を添加した後、加熱処理を行って、酸化物半導体膜 35 に酸素の一部を移動させ、酸化物半導体膜 35 に含まれる酸素欠損を当該酸素で補填し、酸化物半導体膜 35 の酸素欠損量を低減してもよい。

【0099】

さらには、In 若しくは Ga を含む酸化物膜 37 上に、下地絶縁膜となる酸化絶縁膜 3 と同様の酸化絶縁膜を形成した後、該酸化絶縁膜及び In 若しくは Ga を含む酸化物膜 37 に酸素 33 を添加してもよい。この結果、In 若しくは Ga を含む酸化物膜 37 の厚さが薄くとも、In 若しくは Ga を含む酸化物膜 37 に選択的に酸素 33 を添加することが可能である。

30

【0100】

また、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0101】

(実施の形態 4)

膜中に酸素欠損が含まれている酸化物半導体を用いたトランジスタは、しきい値電圧がマイナス方向に変動しやすく、ノーマリーオン特性となりやすい。これは、酸化物半導体に含まれる酸素欠損に起因して電荷が生じてしまい、低抵抗化するためである。また、酸化物半導体膜に酸素欠損が含まれると、経時変化やストレス試験（代表的には、光ゲート BT (Bias-Temperature) ストレス試験等）により、トランジスタの電気特性、代表的にはしきい値電圧が変動してしまうという問題がある。そこで、本実施の形態では、しきい値電圧の変動が少なく、信頼性の高い半導体装置の作製方法について説明する。代表的には、実施の形態 1 乃至実施の形態 3 に示す局在準位の少ない酸化物半導体膜を有する多層膜を用いて半導体装置を作製する。

40

【0102】

本実施の形態では、ボトムゲート構造のトランジスタの作製方法について説明する。また、酸化物半導体膜の作製方法として、実施の形態 2 を用いて説明する。

50

【0103】

図4(A)に示すように、基板101上にゲート電極103を形成し、少なくともゲート電極103上にゲート絶縁膜104を形成する。次に、ゲート絶縁膜104上に酸化物半導体膜105を形成し、酸化物半導体膜105上にIn若しくはGaを含む酸化物膜107を形成する。次に、実施の形態2と同様に、In若しくはGaを含む酸化物膜107に酸素109を添加し、図4(B)に示す酸素が添加されたIn若しくはGaを含む酸化物膜(以下、酸素が添加された酸化物膜107aと示す。)を形成する。

【0104】

基板101は、実施の形態1に示す基板1に列挙した基板を適宜用いることができる。

【0105】

ここでは、基板101としてガラス基板を用いる。

【0106】

ゲート電極103は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか—または複数から選択された金属元素を用いてもよい。また、ゲート電極103は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせ合わせた合金膜、もしくは窒化膜を用いてもよい。

【0107】

また、ゲート電極103は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0108】

また、ゲート電極103とゲート絶縁膜104との間に、In-Ga-Zn系酸化窒化物膜、In-Sn系酸化窒化物膜、In-Ga系酸化窒化物膜、In-Zn系酸化窒化物膜、Sn系酸化窒化物膜、In系酸化窒化物膜、金属窒化膜(InN、ZnN等)等をつけてもよい。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧を正の電圧の方向に変動させることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn系酸化窒化物膜を用いる場合、少なくとも酸化物半導体膜105より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸化窒化物膜を用いる。

【0109】

ゲート電極103の形成方法を以下に示す。はじめに、スパッタリング法、CVD法、蒸着法等により導電膜を形成し、導電膜上にフォトリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜の一部をエッチングして、ゲート電極103を形成する。この後、マスクを除去する。

【0110】

なお、ゲート電極103は、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェット法等で形成してもよい。

【0111】

ここでは、厚さ100nmのタングステン膜をスパッタリング法により形成する。次に

10

20

30

40

50

、フォトリソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜をドライエッチングして、ゲート電極 103 を形成する。

【0112】

ゲート絶縁膜 104 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga - Zn 系金属酸化物などを用いればよく、積層または単層で設ける。また、ゲート絶縁膜 104 として、加熱により酸素が脱離する酸化絶縁物を用いてもよい。ゲート絶縁膜 104 に加熱により酸素が脱離する膜を用いることで、酸化物半導体膜 105 及びゲート絶縁膜 104 の界面における界面準位を低減することが可能であり、電気特性の劣化の少ないトランジスタを得ることができる。また、ゲート絶縁膜 104 に、酸素、水素、水等のブロッキング効果をも有する絶縁膜を設けることで、酸化物半導体膜 105 からの酸素の外部への拡散と、外部から酸化物半導体膜 105 への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果をも有する絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

10

【0113】

また、ゲート絶縁膜 104 として、ハフニウムシリケート (HfSiO_x)、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどの high - k 材料を用いることでトランジスタのゲートリークを低減できる。

20

【0114】

ゲート絶縁膜 104 の厚さは、5 nm 以上 500 nm 以下、より好ましくは 10 nm 以上 300 nm 以下、より好ましくは 50 nm 以上 250 nm 以下とする。よい。

【0115】

ゲート絶縁膜 104 は、CVD 法又はスパッタリング法などの各種成膜方法を用いて形成することができる。

【0116】

ここでは、ゲート絶縁膜 104 として、CVD 法により厚さ 400 nm の窒化シリコン膜及び厚さ 50 nm の酸化窒化シリコン膜を積層して形成する。

【0117】

酸化物半導体膜 105 は、実施の形態 1 の酸化物半導体膜 15 と同様の材料及び形成方法を用いる。なお、酸化物半導体膜 105 は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上であるため、後に形成されるトランジスタのオフ電流を低減することができる。

30

【0118】

酸化物半導体膜 105 の厚さは、1 nm 以上 200 nm 以下、好ましくは 3 nm 以上 100 nm 以下、さらに好ましくは 3 nm 以上 50 nm 以下とする。

【0119】

ここでは、酸化物半導体膜 105 としてスパッタリング法により、厚さ 35 nm の In - Ga - Zn 酸化物膜 ($\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$) を形成する。

40

【0120】

In 若しくは Ga を含む酸化物膜 107 は、実施の形態 1 に示す In 若しくは Ga を含む酸化物膜 11 と同様の材料及び形成方法を適宜用いることができる。

【0121】

In 若しくは Ga を含む酸化物膜 107 の厚さは、1 nm 以上 100 nm 以下、好ましくは 3 nm 以上 50 nm 以下とする。

【0122】

酸化物半導体膜及び In 若しくは Ga を含む酸化物膜は、各膜を単に積層するのではなく連続接合（ここでは特に伝導帯の下端のエネルギーが各膜の間で連続的に変化する構造）が形成されるように作製する。すなわち、各膜の界面において、酸化物半導体膜にとつ

50

てトラップ中心や再結合中心のような欠陥準位、あるいはキャリアの流れを阻害するバリアを形成するような不純物が存在しないような積層構造とする。仮に、積層された酸化物半導体膜及びIn若しくはGaを含む酸化物膜の間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップされ、あるいは再結合して、消滅してしまう。

【0123】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体膜にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $5 \times 10^{-7} \text{ Pa} \sim 1 \times 10^{-4} \text{ Pa}$ 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくことが好ましい。

10

【0124】

高純度真性である酸化物半導体膜を得るためには、チャンバー内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が -40 以下、好ましくは -80 以下、より好ましくは -100 以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

20

【0125】

ここでは、In若しくはGaを含む酸化物膜107としてスパッタリング法により、厚さ 35 nm のIn-Ga-Zn酸化物膜（In：Ga：Zn = 1：3：2）を形成する。

【0126】

In若しくはGaを含む酸化物膜107に添加する酸素109として、実施の形態1に示す酸素13と同様の材料及び添加方法を適宜用いることができる。

【0127】

ここでは、加速電圧を 5 keV として、ドーズ量が $2 \times 10^{16} / \text{cm}^2$ の酸素イオンをイオン注入法によりIn若しくはGaを含む酸化物膜107に添加する。

【0128】

つぎに、実施の形態1と同様に、加熱処理を行い、酸素が添加された酸化物膜107aに含まれる酸素を酸化物半導体膜105に移動させ、酸化物半導体膜105に含まれる酸素欠損を当該酸素で補填し、酸化物半導体膜105の酸素欠損量を低減する。この結果、図4（C）に示すように、酸素欠損量が低減され、局在準位が低減された酸化物半導体膜105aを形成することができる。また、酸素が添加された酸化物膜107aは、当該加熱処理により、酸素含有量が低減されている。図4（C）において、当該酸化物膜を、In若しくはGaを含む酸化物膜107bと示す。

30

【0129】

ここでは、窒素雰囲気において、 450 で1時間の加熱処理を行った後、乾燥空気雰囲気において、 450 で1時間の加熱処理を行う。

40

【0130】

次に、酸化物半導体膜105a上にフォトリソグラフィ工程によりマスクを形成した後、該マスクを用いて酸化物半導体膜105a及び酸素が添加された酸化物膜107bの一部をエッチングすることで、図4（D）に示すように、ゲート絶縁膜104上であって、ゲート電極103の一部と重なるように、酸化物半導体膜111及び酸素が添加された酸化物膜113からなる多層膜114を形成する。この後、マスクを除去する。

【0131】

なお、局在準位が低減された酸化物半導体膜を有する多層膜において、CPM測定で導出される吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満、さらに好ましくは $5 \times 10^{-5} / \text{cm}$ 未満である。ゲート絶縁膜104に接する多層膜11

50

4の局在準位が低減されているため、該局在準位におけるキャリア、酸化物半導体膜においては電子のトラップを低減することが可能であり、後に形成されるトランジスタのオン電流を増大させると共に、電界効果移動度を高めることができる。

【0132】

次に、図4(E)に示すように、一对の電極115、117を形成する。

【0133】

一对の電極115、117は、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0134】

一对の電極115、117の形成方法を以下に示す。はじめに、スパッタリング法、CVD法、蒸着法等で導電膜を形成する。次に、該導電膜上にフォトリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて導電膜をエッチングして、一对の電極115、117を形成する。この後、マスクを除去する。

【0135】

ここでは、厚さ50nmのタングステン膜、厚さ400nmのアルミニウム膜、及び厚さ100nmのチタン膜を順にスパッタリング法により積層する。次に、チタン膜上にフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜、アルミニウム膜、及びチタン膜をドライエッチングして、一对の電極115、117を形成する。

【0136】

なお、一对の電極115、117を形成した後、エッチング残渣を除去するため、洗浄処理をすることが好ましい。この洗浄処理を行うことで、一对の電極115、117の短絡を抑制することができる。当該洗浄処理は、TMAH(Tetramethylammonium Hydroxide)溶液などのアルカリ性の溶液、希フッ酸、シュウ酸、リン酸などの酸性の溶液を用いて行うことができる。

【0137】

次に、図4(F)に示すように、ゲート絶縁膜104、多層膜114、及び一对の電極115、117上に保護膜を形成する。保護膜は、ゲート絶縁膜104に適用できる材料及び形成方法を適宜用いて形成することができる。ここでは、酸化絶縁膜119、酸化絶縁膜121、及び窒化絶縁膜123を積層形成する。

【0138】

ここでは、酸化絶縁膜119として厚さ50nmの酸化窒化シリコン膜をCVD法により形成し、酸化絶縁膜121として厚さ350nmの酸化窒化シリコン膜をCVD法により形成した後、窒素及び酸素雰囲気中、350℃、1時間の加熱処理を行う。次に、窒化絶縁膜123として、厚さ100nmの窒化シリコン膜をCVD法により形成する。

【0139】

以上の工程によりトランジスタを作製することができる。

【0140】

ここで、図4(F)の多層膜114近傍の一点鎖線A-Bにおけるバンド構造について、図5を用いて説明する。

【0141】

ここで、図4(F)の多層膜114近傍の一点鎖線A-Bにおけるバンド構造について、図5(A)を用いて説明し、トランジスタにおけるキャリアの流れについて、図5(B)及び図5(C)を用いて説明する。

【0142】

図5(A)は、例えば、酸化物半導体膜111としてエネルギーギャップが3.15 eVであるIn-Ga-Zn酸化物(In:Ga:Zn=1:1:1)を用い、In若しくはGaを含む酸化物膜113としてエネルギーギャップが3.5 eVであるIn-Ga-Zn酸化物(In:Ga:Zn=1:3:2)を用いる。なお、エネルギーギャップは、分光エリブソメータを用いて測定することができる。

10

【0143】

また、酸化物半導体膜111の伝導帯の下端をEc₁₁₁とし、In若しくはGaを含む酸化物膜113の伝導帯の下端をEc₁₁₃とする。また、ゲート絶縁膜104の伝導帯の下端をEc₁₀₄とし、酸化絶縁膜119の伝導帯の下端をEc₁₁₉とする。

【0144】

図5(A)に示すように、多層膜114において、酸化物半導体膜111及びIn若しくはGaを含む酸化物膜113の界面近傍における伝導帯の下端が連続的に変化している。酸化物半導体膜111及びIn若しくはGaを含む酸化物膜113の間で酸素が相互的に移動することでこのような形状となる。また、多層膜114において、酸化物半導体膜111における伝導帯の下端のエネルギーが最も低く、当該領域がチャネル領域となる。

20

【0145】

ここで、トランジスタにおいて、キャリアである電子の流れる様子について、図5(B)及び図5(C)を用いて説明する。なお、図5(B)及び図5(C)において、酸化物半導体膜111を流れる電子量を鎖線矢印の大きさで表す。

【0146】

In若しくはGaを含む酸化物膜113と酸化絶縁膜119の界面近傍においては、不純物及び欠陥によりトラップ準位118が形成される。このため、例えば、図5(B)に示すように、トランジスタのチャネル領域が酸化物半導体膜111の単層である場合、酸化物半導体膜111において、キャリアである電子はゲート絶縁膜104側において主に流れるが、酸化絶縁膜119側においても少量流れる。この結果、酸化物半導体膜111に流れる電子の一部がトラップ準位118に捕獲されてしまう。

30

【0147】

一方、本実施の形態に示すトランジスタは、図5(C)に示すように、酸化物半導体膜111と酸化絶縁膜119の間にIn若しくはGaを含む酸化物膜113が設けられているため、酸化物半導体膜111とトラップ準位118との間に隔りがある。この結果、酸化物半導体膜111を流れる電子がトラップ準位118に捕獲されにくい。トラップ準位118に電子が捕獲されると、該電子がマイナスの固定電荷となってしまう。この結果、トランジスタのしきい値電圧が変動してしまう。しかしながら、酸化物半導体膜111とトラップ準位118との間に隔りがあるため、トラップ準位118における電子の捕獲を低減することが可能であり、しきい値電圧の変動を低減することができる。

40

【0148】

また、In若しくはGaを含む酸化物膜113に添加された酸素が酸化物半導体膜111に移動することで、酸化物半導体膜111の酸素欠損を低減することができる。

【0149】

これらの結果、多層膜114において、一定光電流測定法で導出される吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満、さらに好ましくは $5 \times 10^{-5} / \text{cm}$ 未満となる。

【0150】

なお、酸化物半導体膜111とIn若しくはGaを含む酸化物膜113との界面近傍に

50

における伝導帯の下端のエネルギー差 E_1 が小さいと、酸化物半導体膜 111 を流れるキャリアが In 若しくは Ga を含む酸化物膜 113 の伝導帯の下端を乗り越え、トラップ準位に捕獲されてしまう。このため、酸化物半導体膜 111 と In 若しくは Ga を含む酸化物膜 113 との伝導帯の下端のエネルギー差 E_1 は、0.1 eV 以上、好ましくは 0.15 eV 以上とすることが好ましい。

【0151】

以上の工程により、酸化物半導体膜の局在準位が低減され、優れた電気特性を有するトランジスタを作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0152】

<変形例 1>

酸化物半導体膜 111 において、不純物を低減し高純度化することで、さらに優れた電気特性を有するトランジスタを作製することができ好ましい。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

【0153】

酸化物半導体に含まれる水素は金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。また、水素の一部が酸素と反応することで、キャリアである電子を生成してしまう。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。

【0154】

そこで、酸化物半導体膜 111 は水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜 111 において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。

【0155】

酸化物半導体膜 111 の水素濃度を低減する方法としては、図 4 (B) において酸素が添加された酸化物膜 107a から酸化物半導体膜 105 へ酸素を移動させる加熱処理によって、酸化物半導体膜 105a の水素濃度を低減することができる。即ち、本実施の形態においては、一度の加熱処理によって、酸化物半導体膜の酸素欠損を低減すると共に、水素濃度を低減することができる。

【0156】

また、酸化物半導体膜 111 は、二次イオン質量分析法により得られるアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流を増大させることがある。このため、酸化物半導体膜 111 のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

【0157】

ゲート絶縁膜 104 の一部に窒化絶縁膜を設けることで、酸化物半導体膜 111 のアルカリ金属またはアルカリ土類金属の濃度を低減することができる。

【0158】

また、酸化物半導体膜 111 に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n 型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

【0159】

このように、不純物（水素、窒素、アルカリ金属、またはアルカリ土類金属等）をでき

10

20

30

40

50

る限り低減させ、高純度化させた酸化物半導体膜 111 を有することで、トランジスタがノーマリーオン特性となることを抑制でき、トランジスタのオフ電流を極めて低減することができる。従って、良好な電気特性を有する半導体装置を作製できる。また、信頼性を向上させた半導体装置を作製することができる。

【0160】

なお、高純度化された酸化物半導体膜を用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1V から 10V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値は、 $100\text{zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入又は容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜を用いたトランジスタは、オフ電流が著しく小さい。

10

【0161】

<変形例 2> なお、本実施の形態では、一对の電極 115、117 を多層膜 114 及び酸化絶縁膜 119 の間に設けたが、ゲート絶縁膜 104 及び多層膜 114 の間に、一对の電極 115、117 を設けてもよい。

20

【0162】

<変形例 3>

本実施の形態に示す、酸化絶縁膜 119、酸化絶縁膜 121、及び窒化絶縁膜 123 に用いることが可能な絶縁膜について、以下に説明する。

【0163】

酸化絶縁膜 119 及び酸化絶縁膜 121 の一方又は双方は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いてもよい。このようにすることで、酸化絶縁膜に含まれる当該酸素を酸化物半導体膜に移動させ、さらに酸素欠損を補填することが可能となる。例えば、昇温脱離ガス分析（以下、TDS 分析とする。）によって測定される酸素分子の放出量が、 1.0×10^{-18} 分子/ cm^3 以上ある酸化絶縁膜を用いることで、当該酸化物半導体膜に含まれる酸素欠損を補填することができる。

30

【0164】

また、酸化絶縁膜 119 は多層膜 114 と接することから、多層膜 114 との界面準位が低くなる酸化絶縁膜であると、さらにトランジスタの電気特性が向上する。例えば、酸化絶縁膜 119 は酸化絶縁膜 121 よりも膜中の欠陥密度が低い酸化絶縁膜であることが好ましい。具体的には、電子スピン共鳴測定による g 値 = 2.001 (E'-center) のスピン密度が $3.0 \times 10^{-17} \text{spins}/\text{cm}^3$ 以下、好ましくは $5.0 \times 10^{-16} \text{spins}/\text{cm}^3$ 以下の酸化絶縁膜である。なお、電子スピン共鳴測定による g 値 = 2.001 のスピン密度は、酸化絶縁膜 119 に含まれるダングリングボンドの存在量に対応する。

40

【0165】

酸化絶縁膜 119 の厚さは、 5nm 以上 150nm 以下、好ましくは 5nm 以上 50nm 以下、好ましくは 10nm 以上 30nm 以下とすることができる。酸化絶縁膜 121 の厚さは、 30nm 以上 500nm 以下、好ましくは 150nm 以上 400nm 以下とすることができる。

【0166】

なお、酸化絶縁膜 119 及び酸化絶縁膜 121 の一方又は双方を、酸化窒化シリコン又は窒化酸化シリコンなど、窒素を含む酸化絶縁膜とする場合、SIMS より得られる窒素

50

濃度は、SIMS検出下限以上 $3 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下とすることが好ましい。このようにすることで、トランジスタに含まれる酸化物半導体膜111への窒素の移動量を少なくすることができる。また、このようにすることで、窒素を含む酸化絶縁膜自体の欠陥量を少なくすることができる。

【0167】

窒化絶縁膜123として、水素含有量が少ない窒化絶縁膜を設けてもよい。当該窒化絶縁膜としては、例えば、TDS分析によって測定される水素分子の放出量が、 $5.0 \times 10^{21} \text{ atoms/cm}^3$ 未満であり、好ましくは $3.0 \times 10^{21} \text{ atoms/cm}^3$ 未満であり、さらに好ましくは $1.0 \times 10^{21} \text{ atoms/cm}^3$ 未満である窒化絶縁膜が好ましい。

10

【0168】

窒化絶縁膜123は、外部から水素や水などの不純物の侵入を抑制する機能を発揮できる厚さとする。例えば、50nm以上200nm以下、好ましくは50nm以上150nm以下、さらに好ましくは50nm以上100nm以下とすることができる。

【0169】

酸化絶縁膜119に酸化物半導体膜111との界面準位が低くなる酸化絶縁膜を適用する場合、酸化絶縁膜119は以下の形成条件を用いて形成できる。なお、ここでは当該酸化絶縁膜として、酸化シリコン膜又は酸化窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を180℃以上400℃以下、さらに好ましくは200℃以上370℃以下に保持し、処理室内に原料ガスのシリコンを含む堆積性気体及び酸化性気体を導入して処理室内における圧力を20Pa以上250Pa以下、さらに好ましくは40Pa以上200Pa以下とし、処理室内に設けられた電極に高周波電力を供給する条件である。

20

【0170】

シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シランなどがある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素などがある。

【0171】

なお、シリコンを含む堆積性気体に対する酸化性気体量を100倍以上とすることで、酸化絶縁膜119に含まれる水素含有量を低減することが可能であると共に、酸化絶縁膜119に含まれるダングリングボンドを低減することができる。酸化絶縁膜121から移動する酸素は、酸化絶縁膜119に含まれるダングリングボンドによって捕獲される場合があるため、酸化絶縁膜119に含まれるダングリングボンドが低減されていると、酸化絶縁膜121に含まれる酸素を効率よく多層膜114へ移動させ、多層膜114の酸化物半導体膜111に含まれる酸素欠損をさらに補填することが可能である。この結果、当該酸化物半導体膜に混入する水素量を低減できると共に酸化物半導体膜に含まれる酸素欠損を低減させることが可能である。

30

【0172】

酸化絶縁膜121を上記の酸素過剰領域を含む酸化絶縁膜又は化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とする場合、酸化絶縁膜121は以下の形成条件を用いて形成できる。なお、ここでは当該酸化絶縁膜として、酸化シリコン膜又は酸化窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を180℃以上260℃以下、さらに好ましくは180℃以上230℃以下に保持し、処理室内に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられた電極に 0.17 W/cm^2 以上 0.5 W/cm^2 以下、さらに好ましくは 0.25 W/cm^2 以上 0.35 W/cm^2 以下の高周波電力を供給する、ことである。

40

【0173】

50

酸化絶縁膜 1 2 1 の原料ガスは、酸化絶縁膜 1 1 9 に適用できる原料ガスとすることができる。

【 0 1 7 4 】

酸化絶縁膜 1 2 1 の形成条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、酸化絶縁膜 1 2 1 中における酸素含有量が化学量論的組成よりも多くなる。しかしながら、基板温度が、上記温度であると、シリコンと酸素の結合力が弱いので、加熱により酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成することができる。また、多層膜 1 1 4 上に酸化絶縁膜 1 1 9 が設けられている。このため、酸化絶縁膜 1 2 1 の形成工程において、酸化絶縁膜 1 1 9 が多層膜 1 1 4 の保護膜となる。この結果、パワー密度の高い高周波電力を用いて酸化絶縁膜 1 2 1 を形成しても、多層膜 1 1 4 へのダメージを抑制できる。

10

【 0 1 7 5 】

窒化絶縁膜 1 2 3 を水素含有量が少ない窒化絶縁膜で設ける場合、以下の形成条件を用いて形成できる。なお、ここでは当該窒化絶縁膜として、窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマ C V D 装置の真空排気された処理室内に載置された基板を 1 8 0 以上 4 0 0 以下、さらに好ましくは 2 0 0 以上 3 7 0 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 1 0 0 P a 以上 2 5 0 P a 以下とし、好ましくは 1 0 0 P a 以上 2 0 0 P a 以下とし、処理室内に設けられた電極に高周波電力を供給する、ことである。

20

【 0 1 7 6 】

窒化絶縁膜 1 2 3 の原料ガスとしては、シリコンを含む堆積性気体、窒素、及びアンモニアを用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シランなどがある。また、窒素の流量は、アンモニアの流量に対して 5 倍以上 5 0 倍以下、好ましくは 1 0 倍以上 5 0 倍以下とすることが好ましい。なお、原料ガスとしてアンモニアを用いることで、シリコンを含む堆積性気体及び窒素の分解を促すことができる。これは、アンモニアがプラズマエネルギーや熱エネルギーによって解離し、解離することで生じるエネルギーが、シリコンを含む堆積性気体分子の結合及び窒素分子の結合の分解に寄与するためである。このようにすることで、水素含有量が少なく、外部から水素や水などの不純物の侵入を抑制することが可能な窒化シリコン膜を形成することができる。

30

【 0 1 7 7 】

なお、窒化絶縁膜 1 2 3 は、水素や水のブロッキング膜として機能するため、酸化絶縁膜 1 1 9 及び酸化絶縁膜 1 2 1 を形成した後、加熱処理を行い、酸化絶縁膜 1 1 9 及び酸化絶縁膜 1 2 1 に含まれる水素や水を脱離させた後、窒化絶縁膜 1 2 3 を形成することが好ましい。当該加熱処理は、代表的には、1 5 0 以上基板歪み点未満、好ましくは 2 0 0 以上 4 5 0 以下、更に好ましくは 3 0 0 以上 4 5 0 以下とする。

【 0 1 7 8 】

< 変形例 4 >

40

本実施の形態に示すトランジスタに設けられる一対の電極 1 1 5、1 1 7 として、タングステン、チタン、アルミニウム、銅、モリブデン、クロム、またはタンタル単体若しくは合金等の酸素と結合しやすい導電材料を用いることが好ましい。この結果、多層膜 1 1 4 に含まれる酸素と一対の電極 1 1 5、1 1 7 に含まれる導電材料とが結合し、多層膜 1 1 4 において、酸素欠損領域が形成される。また、多層膜 1 1 4 に一対の電極 1 1 5、1 1 7 を形成する導電材料の構成元素の一部が混入する場合もある。これらの結果、多層膜 1 1 4 において、一対の電極 1 1 5、1 1 7 と接する領域近傍に、低抵抗領域 1 2 9 a、1 2 9 b が形成される（図 8 を参照。なお、図 8 は、図 4 (F) の多層膜 1 1 4 の拡大断面図である。）。当該低抵抗領域 1 2 9 a、1 2 9 b は、導電性が高いため、多層膜 1 1 4 と一対の電極 1 1 5、1 1 7 との接触抵抗を低減することが可能であり、トランジスタ

50

のオン電流を増大させることが可能である。

【0179】

また、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【0180】

(実施の形態5)

本実施の形態では、しきい値電圧の変動が少なく、信頼性の高い半導体装置の作製方法について説明する。代表的には、実施の形態1乃至実施の形態3に示す局在準位の少ない酸化物半導体膜を有する多層膜を用いて半導体装置を作製する。

【0181】

本実施の形態では、トップゲート構造のトランジスタの作製方法について説明する。また、酸化物半導体膜の作製方法として、実施の形態3を用いて説明する。

【0182】

図6(A)に示すように、基板131上に下地絶縁膜である酸化絶縁膜133を形成し、酸化絶縁膜133上にIn若しくはGaを含む酸化物膜135を形成する。次に、実施の形態3と同様に、In若しくはGaを含む酸化物膜135に酸素137を添加し、図6(B)に示す酸素が添加されたIn若しくはGaを含む酸化物膜(以下、酸素が添加された酸化物膜135aと示す。)を形成する。

【0183】

基板131は、実施の形態1に示す基板1に列挙した基板を適宜用いることができる。

【0184】

ここでは、基板131としてガラス基板を用いる。

【0185】

酸化絶縁膜133は、実施の形態1及びその変形例1に示す酸化絶縁膜3と同様の材料及び形成方法を適宜用いることができる。

【0186】

ここでは、酸化絶縁膜133としてスパッタリング法により厚さ300nmの酸化シリコン膜を用いる。

【0187】

In若しくはGaを含む酸化物膜135として、実施の形態1に示すIn若しくはGaを含む酸化物膜11と同様の材料及び形成方法を用いることができる。

【0188】

In若しくはGaを含む酸化物膜135の厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。

【0189】

ここでは、In若しくはGaを含む酸化物膜135としてスパッタリング法により、厚さ5nmのIn-Ga-Zn酸化物膜(In:Ga:Zn=1:3:2)を形成する。

【0190】

In若しくはGaを含む酸化物膜135に添加する酸素137として、実施の形態1に示す酸素13と同様の材料及び添加方法を適宜用いることができる。

【0191】

ここでは、加速電圧を5keVとして、ドーズ量が $2 \times 10^{16} / \text{cm}^2$ の酸素イオンをイオン注入法によりIn若しくはGaを含む酸化物膜135に添加する。

【0192】

次に、図6(B)に示すように、酸素が添加された酸化物膜135a上に酸化物半導体膜139を形成する。次に、酸化物半導体膜139上に、In若しくはGaを含む酸化物膜141を形成する。

【0193】

酸化物半導体膜139として、実施の形態1に示す酸化物半導体膜15と同様の材料及び形成方法を適宜用いることができる。酸化物半導体膜139の厚さは、3nm以上20

10

20

30

40

50

0 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上50 nm以下とする。

【0194】

In若しくはGaを含む酸化物膜141として、実施の形態1に示すIn若しくはGaを含む酸化物膜11と同様の材料及び形成方法を用いることができる。In若しくはGaを含む酸化物膜141の厚さは、3 nm以上100 nm以下、好ましくは3 nm以上50 nm以下とする。

【0195】

ここでは、酸化物半導体膜139としてスパッタリング法により、厚さ15 nmのIn-Ga-Zn酸化物膜(In:Ga:Zn=1:1:1)を形成する。

10

【0196】

ここでは、In若しくはGaを含む酸化物膜141としてスパッタリング法により、厚さ5 nmのIn-Ga-Zn酸化物膜(In:Ga:Zn=1:3:2)を形成する。

【0197】

つぎに、実施の形態1と同様に、加熱処理を行い、酸素が添加された酸化物膜135aに含まれる酸素を酸化物半導体膜139に移動させ、酸化物半導体膜139に含まれる酸素欠損を当該酸素で補填し、酸化物半導体膜139の酸素欠損量を低減する。この結果、図6(C)に示すように、酸素欠損量が低減され、局在準位が低減された酸化物半導体膜139aを形成することができる。また、酸素が添加された酸化物膜135aは、当該加熱処理により、酸素含有量が低減されている。図6(C)において、当該酸化物膜を、In若しくはGaを含む酸化物膜135bと示す。

20

【0198】

ここでは、窒素雰囲気において、450℃で1時間の加熱処理を行った後、乾燥空気雰囲気において、450℃で1時間の加熱処理を行う。

【0199】

次に、In若しくはGaを含む酸化物膜141上にフォトリソグラフィ工程によりマスクを形成した後、該マスクを用いて、In若しくはGaを含む酸化物膜135b、酸化物半導体膜139a、及びIn若しくはGaを含む酸化物膜141の一部をエッチングすることで、図6(D)に示すように、In若しくはGaを含む酸化物膜143、酸化物半導体膜145、及びIn若しくはGaを含む酸化物膜147からなる多層膜148を形成する。この後、マスクを除去する。

30

【0200】

なお、局在準位が低減された酸化物半導体膜を有する多層膜において、CPM測定で導出される吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満、さらに好ましくは $5 \times 10^{-5} / \text{cm}$ 未満である。酸化絶縁膜133及び酸化物半導体膜145の間にIn若しくはGaを含む酸化物膜143が設けられており、酸化物半導体膜145及び後に形成されるゲート絶縁膜153の間にIn若しくはGaを含む酸化物膜147が設けられている。酸化物半導体膜145の一部はチャネル領域として機能する。また、In若しくはGaを含む酸化物膜143と、In若しくはGaを含む酸化物膜147は、酸化物半導体膜145を構成する金属元素の一以上を有する。このため、In若しくはGaを含む酸化物膜143と酸化物半導体膜145との間、酸化物半導体膜145とIn若しくはGaを含む酸化物膜147との間それぞれの界面における局在準位が低減されているため、該局在準位におけるキャリア、酸化物半導体膜においては電子のトラップを低減することが可能であり、後に形成されるトランジスタのオン電流を増大させると共に、電界効果移動度を高めることができる。

40

【0201】

次に、図6(E)に示すように、多層膜148上に一对の電極149、151を形成する。次に、多層膜148及び一对の電極149、151上にゲート絶縁膜153を形成する。次に、ゲート絶縁膜153上にあって、多層膜148と重なる領域にゲート電極155を形成する。次に、加熱処理を行った後、ゲート絶縁膜153及びゲート電極155

50

上に保護膜 157 を形成する。

【0202】

一对の電極 149、151 は、実施の形態 4 に示す一对の電極 115、117 と同様の材料及び形成方法を適宜用いることができる。

【0203】

ここでは、厚さ 100 nm のタングステン膜を形成した後、タングステン膜上にフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜をドライエッチングして、一对の電極 149、151 を形成する。

【0204】

ゲート絶縁膜 153 は、実施の形態 4 に示すゲート絶縁膜 104 と同様の材料及び形成方法を適宜用いることができる。

【0205】

ここでは、プラズマ CVD 法により、厚さ 30 nm の酸化窒化シリコン膜を用いてゲート絶縁膜 153 を形成する。

【0206】

ゲート電極 155 は、実施の形態 4 に示すゲート電極 103 と同様の材料及び形成方法を適宜用いることができる。

【0207】

ここでは、厚さ 15 nm の窒化タンタル膜及び厚さ 135 nm のタングステン膜をスパッタリング法により順に形成する。次に、フォトリソグラフィ工程によりマスクを形成し、当該マスクを用いて窒化タンタル膜及びタングステン膜をドライエッチングして、ゲート電極 155 を形成する。

【0208】

加熱処理は、代表的には、150 以上基板歪み点未満、好ましくは 250 以上 500 以下、更に好ましくは 300 以上 450 以下とする。

【0209】

ここでは、窒素及び酸素雰囲気、350、1 時間の加熱処理を行う。

【0210】

保護膜 157 は、実施の形態 4 に示す保護膜と同様の材料及び形成方法を適宜用いることができる。

【0211】

ここでは、スパッタリング法により厚さ 70 nm の酸化アルミニウム膜を形成し、CVD 法により厚さ 300 nm の酸化窒化シリコン膜を形成して、保護膜 157 を形成する。

【0212】

次に、図 6 (F) に示すように、保護膜 157 に開口を形成した後、一对の電極 149、151 に接続する配線 159、161 を形成する。

【0213】

配線 159、161 は、一对の電極 149、151 と同様に形成することができる。または、ダマシン法により形成することができる。

【0214】

以上の工程によりトランジスタを作製することができる。

【0215】

ここで、図 6 (F) の多層膜 148 近傍の一点鎖線 A - B におけるバンド構造について、図 7 (A) を用いて説明し、トランジスタにおけるキャリアの流れについて、図 7 (B) を用いて説明する。

【0216】

図 7 (A) に示すバンド構造において、例えば、In 若しくは Ga を含む酸化物膜 147 (In : Ga : Zn = 1 : 6 : 4) として、エネルギーギャップが 3.8 eV である In - Ga - Zn 酸化物を用いる。酸化物半導体膜 145 としてエネルギーギャップが 3.15 eV である In - Ga - Zn 酸化物を用いる。In 若しくは Ga を含む酸化物膜 14

10

20

30

40

50

7 (In : Ga : Zn = 1 : 3 : 2) として、エネルギーギャップが 3.5 eV である In - Ga - Zn 酸化物を用いる。

【0217】

また、In 若しくは Ga を含む酸化物膜 143 の伝導帯の下端を E_{c_143} とし、酸化物半導体膜 145 の伝導帯の下端を E_{c_145} とし、In 若しくは Ga を含む酸化物膜 147 の伝導帯の下端を E_{c_147} とする。また、酸化絶縁膜 133 の伝導帯の下端を E_{c_133} とし、ゲート絶縁膜 153 の伝導帯の下端を E_{c_153} とする。

【0218】

図 7 (A) に示すように、多層膜 148 において、In 若しくは Ga を含む酸化物膜 143 と酸化物半導体膜 145 との界面近傍、及び酸化物半導体膜 145 と In 若しくは Ga を含む酸化物膜 147 との界面近傍の伝導帯の下端が連続的に変化している。このような伝導帯の下端を有する構造を、U 字型の井戸 (U Shape Well) 構造とも呼べる。In 若しくは Ga を含む酸化物膜 143、酸化物半導体膜 145、及び In 若しくは Ga を含む酸化物膜 147 の間で酸素が相互的に移動することでこのような形状となる。また、多層膜 148 において、酸化物半導体膜 145 における伝導帯の下端のエネルギーが最も低く、当該領域がチャネル領域となる。

【0219】

ここで、本実施の形態のトランジスタにおいて、キャリアである電子の流れる様子について、図 7 (B) を用いて説明する。なお、図 7 (B) において、酸化物半導体膜 145 を流れる電子量を鎖線矢印の大きさで表す。

【0220】

酸化絶縁膜 133 と In 若しくは Ga を含む酸化物膜 143 との界面近傍においては、不純物及び欠陥によりトラップ準位 163 が形成される。また、In 若しくは Ga を含む酸化物膜 147 とゲート絶縁膜 153 との界面近傍においては、不純物及び欠陥によりトラップ準位 165 が形成される。本実施の形態に示す多層膜 148 においては、酸化物半導体膜 145 と酸化絶縁膜 133 の間に In 若しくは Ga を含む酸化物膜 143 が設けられているため、酸化物半導体膜 145 とトラップ準位 163 との間に隔たりがある。また、酸化物半導体膜 145 とゲート絶縁膜 153 の間に In 若しくは Ga を含む酸化物膜 147 が設けられているため、酸化物半導体膜 145 とトラップ準位 165 との間に隔たりがある。この結果、酸化物半導体膜 145 を流れる電子がトラップ準位 163、165 に捕獲されにくくなり、トランジスタのオン電流を増大させることが可能であると共に、電界効果移動度を高めることができる。また、トラップ準位 163、165 に電子が捕獲されると、該電子がマイナスの固定電荷となってしまう。この結果、トランジスタのしきい値電圧が変動してしまう。しかしながら、酸化物半導体膜 145 とトラップ準位 163、165 との間に隔たりがあるため、トラップ準位 163、165 における電子の捕獲を低減することが可能であり、しきい値電圧の変動が低減する。

【0221】

また、In 若しくは Ga を含む酸化物膜 143 に添加された酸素が酸化物半導体膜 145 に移動することで、酸化物半導体膜 145 の酸素欠損を低減することができる。

【0222】

これらの結果、多層膜 148 において、一定光電流測定法で導出される吸収係数は、 $1 \times 10^{-3} / \text{cm}$ 未満、好ましくは $1 \times 10^{-4} / \text{cm}$ 未満、さらに好ましくは $5 \times 10^{-5} / \text{cm}$ 未満となる。

【0223】

なお、In 若しくは Ga を含む酸化物膜 143 と酸化物半導体膜 145 の界面近傍における伝導帯の下端のエネルギー差 E_2 、及び酸化物半導体膜 145 と In 若しくは Ga を含む酸化物膜 147 との界面近傍における伝導帯の下端のエネルギー差 E_3 がそれぞれ小さいと、酸化物半導体膜 145 を流れるキャリアが In 若しくは Ga を含む酸化物膜 143、147 の伝導帯の下端を乗り越え、トラップ準位 163、165 に捕獲されてしまう。このため、In 若しくは Ga を含む酸化物膜 143 と酸化物半導体膜 145 との伝

導帯の下端のエネルギー差 E_2 、及び酸化物半導体膜 145 と In 若しくは Ga を含む酸化物膜 147 との伝導帯の下端のエネルギー差 E_3 をそれぞれ、それぞれ 0.1 eV 以上、好ましくは 0.15 eV 以上とすることが好ましい。

【0224】

なお、 In 若しくは Ga を含む酸化物膜 143 と酸化物半導体膜 145 との界面近傍におけるエネルギー差 E_2 と比較して、酸化物半導体膜 145 と In 若しくは Ga を含む酸化物膜 147 との界面近傍におけるエネルギー差 E_3 を小さくすることで、酸化物半導体膜 145 と、一対の電極 149、151 との間の抵抗を低減できるため、トランジスタのオン電流をより増大させると共に、電界効果移動度をより高めることができる。

【0225】

なお、ここでは、エネルギー差 E_2 よりエネルギー差 E_3 の方が小さいが、トランジスタの電気特性にあわせて、エネルギー差 E_2 及びエネルギー差 E_3 が同じ、またはエネルギー差 E_2 よりエネルギー差 E_3 が大きくなるように、 In 若しくは Ga を含む酸化物膜 143、酸化物半導体膜 145、及び In 若しくは Ga を含む酸化物膜 147 の構成元素及び組成を適宜選択することができる。

【0226】

以上の工程により、酸化物半導体膜の局在準位が低減され、優れた電気特性を有するトランジスタを作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0227】

<変形例 1>

実施の形態 4 の変形例 1 で示した酸化物半導体膜 111 と同様に、酸化物半導体膜 145 において、不純物を低減し高純度化することで、さらに優れた電気特性を有するトランジスタを作製することができ好ましい。

【0228】

<変形例 2>

本実施の形態では、一対の電極 149、151 を多層膜 148 及びゲート絶縁膜 153 の間に設けたが、酸化絶縁膜 133 及び多層膜 148 の間に、一対の電極 149、151 を設けてもよい。

【0229】

<変形例 3>

本実施の形態に示すゲート絶縁膜 153 として、実施の形態 4 の変形例 3 に示す酸化絶縁膜 119、酸化絶縁膜 121、及び窒化絶縁膜 123 を適宜用いることが可能である。

【0230】

<変形例 4>

本実施の形態に示す図 6 (D) に示す多層膜 148 の形成工程において、 In 若しくは Ga を含む酸化物膜 135b、酸化物半導体膜 139a、及び In 若しくは Ga を含む酸化物膜 141 をエッチングする際、エッチング残渣が多層膜 148 の側面に付着する場合がある。多層膜 148 の側面の付着物は、 In 若しくは Ga を含む酸化物であり、 In 若しくは Ga を含む酸化物膜 143、147 と同等の組成、若しくはより絶縁性が高い。多層膜 148 に含まれる酸化物半導体膜 145 のチャネル幅方向の側壁において、酸化物半導体膜 145 とゲート電極 155 との間には、当該付着物及びゲート絶縁膜 153 が設けられるため、酸化物半導体膜 145 とゲート電極との間隔が広がる。この結果、当該領域におけるリーク電流低減することが可能である。

【0231】

<変形例 5>

また、図 9 (A) に示すように、一対の電極 149、151 上に導電膜 171、173 を設けてもよい。一対の電極 149、151 をタングステン、チタン、アルミニウム、銅等の酸素と結合しやすい導電材料を用いて形成する場合、ゲート絶縁膜 153 の酸素が当該導電材料と結合してしまい、一対の電極 149、151 の抵抗が上昇してしまう。この

10

20

30

40

50

結果、トランジスタのオン電流が小さくなってしまう。そこで、一対の電極 149、151 の表面及び側面を覆うように導電膜 171、173 を設けることで、一対の電極 149、151 の抵抗上昇を抑制することができる。

【0232】

導電膜 171、173 としては、窒化タンタル、窒化チタン、ルテニウム等を用いて形成すればよい。一対の電極 149、151 の上面及び側面を覆うように導電膜 171、173 を形成することで、トランジスタのオン電流を増大させることができる。

【0233】

なお、電子ビーム露光などの細線加工に適した方法を用いてレジストマスク加工を行い、該レジストマスクを用いて導電膜をエッチングして導電膜 172、174 を形成することで、図 9 (B) に示すように、チャネル長が極めて小さい、代表的にはチャネル長が 30 nm 以下のトランジスタを作製することができる。なお、当該レジストマスクとしては、ポジ型レジストを用いることで、露光領域を最小限にすることが可能であり、チャネル長が 30 nm 以下のトランジスタを作製することができる。

【0234】

また、図 9 (B) に示すように、一対の電極 149、151 とゲート電極 155 とが重畳しないようなレイアウトとすることで、一対の電極 149、151 とゲート電極 155 との寄生容量を低減できるため、トランジスタの電界効果移動度を高めることができる。

【0235】

また、一対の電極 149、151 として、タングステン、チタン、アルミニウム、銅等の酸素と結合しやすい導電材料を用いることで、多層膜 148 の酸素と一対の電極 149、151 に含まれる導電材料とが結合し、多層膜 148 において酸素欠損領域が形成される。当該領域は、導電性が高くなるため、多層膜 148 と一対の電極 149、151 との接触抵抗を低減することが可能であり、トランジスタのオン電流を増大させることが可能である。

【0236】

<変形例 6>

図 10 (A) 乃至図 10 (C) に、トランジスタ 180 の上面図及び断面図を示す。図 10 (A) はトランジスタ 180 の上面図であり、図 10 (B) は、図 10 (A) の一点鎖線 A - B 間の断面図であり、図 10 (C) は、図 10 (A) の一点鎖線 C - D 間の断面図である。なお、図 10 (A) では、明瞭化のため、トランジスタ 180 の構成要素の一部 (例えば、基板 131、酸化絶縁膜 133、ゲート絶縁膜 153、In 若しくは Ga を含む酸化物膜 185、保護膜 157 など) を省略している。

【0237】

図 10 に示すトランジスタ 180 は、基板 131 上に設けられる酸化絶縁膜 133 と、酸化絶縁膜 133 上に形成される多層膜 184 と、多層膜 184 に接する一対の電極 149、151 と、酸化絶縁膜 133、多層膜 184、及び一対の電極 149、151 に接する In 若しくは Ga を含む酸化物膜 185 と、In 若しくは Ga を含む酸化物膜 185 に接する一対の導電膜 187、189 と、In 若しくは Ga を含む酸化物膜 185 及び一対の導電膜 187、189 を覆うゲート絶縁膜 153 と、In 若しくは Ga を含む酸化物膜 185 及びゲート絶縁膜 153 を介して多層膜 184 と重なるゲート電極 155 とを有する。また、ゲート絶縁膜 153 及びゲート電極 155 を覆う保護膜 157 を有する。また、ゲート絶縁膜 153、In 若しくは Ga を含む酸化物膜 185、一対の導電膜 187、189、及び保護膜 157 の開口部において、一対の電極 149、151 と接する配線 159、161 とを有してもよい。

【0238】

本実施の形態に示すトランジスタにおいて、図 10 (B) に示すように、酸化物半導体膜を有する多層膜 184 を、実施の形態 1 を用いて形成した 2 層構造とし、且つ、一対の電極 149、151 上に In 若しくは Ga を含む酸化物膜 185 を有し、In 若しくは Ga を含む酸化物膜 185 上に一対の導電膜 187、189 を有する構造とすることができ

10

20

30

40

50

る。なお、多層膜 184 は、酸化絶縁膜 133 上に、In 若しくは Ga を含む酸化物膜 181 及び酸化物半導体膜 183 が積層されている。

【0239】

一对の導電膜 187、189 は、変形例 5 に示す導電膜 171、173 と同様の材料及び作製方法を適宜用いることができる。

【0240】

多層膜 184 と一对の導電膜 187、189 の間に、In 若しくは Ga を含む酸化物膜 185 を設けることで、一对の導電膜 187、189 のエッチング工程において、多層膜 184 のオーバーエッチングを防ぐことができる。

【0241】

また、図 10 (B) に示すように、多層膜 184 と、ゲート電極 155 との間に、ゲート絶縁膜 153 と共に、In 若しくは Ga を含む酸化物膜 185 を有するため、図 10 (C) に示すように、トランジスタのチャネル幅方向における多層膜 184 の端部において、多層膜 184 と、ゲート電極 155 との間のリーク電流を低減することが可能である。

【0242】

また、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0243】

(実施の形態 6)

本実施の形態では、実施の形態 4 及び実施の形態 5 と異なる構造のトランジスタについて、図 11 を用いて説明する。本実施の形態に示すトランジスタは、酸化物半導体膜を有する多層膜を介して対向する複数のゲート電極を有することを特徴とする。

【0244】

図 11 に示すトランジスタは、基板 101 上に設けられるゲート電極 103 を有する。また、基板 101 及びゲート電極 103 上に、ゲート絶縁膜 170 が形成され、ゲート絶縁膜 170 を介して、ゲート電極 103 と重なる、多層膜 148 と、多層膜 148 に接する一对の電極 149、151 と、を有する。また、ゲート絶縁膜 170、多層膜 148、及び一对の電極 149、151 上には、ゲート絶縁膜 153 が形成される。また、ゲート絶縁膜 153 を介して多層膜 148 と重畳するゲート電極 155 を有する。また、ゲート絶縁膜 153、ゲート電極 155 上に保護膜 157 を設けてもよい。

【0245】

本実施の形態では、多層膜 148 として、実施の形態 5 に示すトランジスタと同様に、実施の形態 3 に示す構造の多層膜を用いる。具体的には、In 若しくは Ga を含む酸化物膜 143、酸化物半導体膜 145、及び In 若しくは Ga を含む酸化物膜 147 が順に積層された多層膜 148 を用いている。なお、実施の形態 1 及び実施の形態 2 に示す多層膜を適宜用いることが可能である。

【0246】

ゲート絶縁膜 170 は、実施の形態 4 に示すゲート絶縁膜 104 と同様に形成することができる。また、実施の形態 4 に示すゲート絶縁膜 104 を形成した後、平坦化することで、図 11 に示すゲート絶縁膜 170 を形成することができる。

【0247】

本実施の形態に示すトランジスタは多層膜 148 を介して対向するゲート電極 103 及びゲート電極 155 を有する。ゲート電極 103 とゲート電極 155 に異なる電位を印加することで、トランジスタのしきい値電圧を制御することができる。または、ゲート電極 103 及びゲート電極 155 に同電位を印加してもよい。または、ゲート電極 155 の電位を定電位としてもよく、また接地電位としてもよい。

【0248】

本実施の形態においては、酸化物半導体膜は、酸化物半導体膜を構成する金属元素の 1 以上を有する酸化物膜、即ち In 若しくは Ga を含む酸化物膜と接するため、In 若しくは Ga を含む酸化物膜と酸化物半導体膜との界面における界面準位が極めて少ない。この

10

20

30

40

50

ため、In若しくはGaを含む酸化物膜から酸化物半導体膜へ酸素が移動する際、界面準位における酸素の捕獲が生じにくいため、効率よくIn若しくはGaを含む酸化物膜に含まれる酸素を酸化物半導体膜へ移動させることが可能である。また、酸化物半導体膜へ移動した酸素は、酸化物半導体膜に含まれる酸素欠損を補填するため、酸化物半導体膜に含まれる局在準位を低減することができる。

【0249】

また、酸化物半導体膜は、In若しくはGaを含む酸化物膜と接する。即ち、In若しくはGaを含む酸化物膜を介して、酸化絶縁膜上に酸化物半導体膜が設けられているため、酸化物半導体膜における第14族元素の一つであるシリコンや炭素の濃度を低減することができる。このため、酸化物半導体膜の酸素欠損量を低減することが可能であり、酸化物半導体膜の局在準位を低減することができる。

10

【0250】

また、本実施の形態に示すトランジスタは、酸化物半導体膜を有する多層膜を介して2つのゲート電極が対向するため、容易にトランジスタの電気特性を制御することが可能である。

【0251】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0252】

(実施の形態7)

20

本実施の形態では、上記実施の形態で説明した半導体装置に含まれているトランジスタにおいて、酸化物半導体膜に適用可能な一態様について説明する。

【0253】

酸化物半導体膜は、非晶質酸化物半導体、単結晶酸化物半導体、及び多結晶酸化物半導体とすることができる。また、酸化物半導体膜は、結晶部分を有する酸化物半導体(CAAC-OS)で構成されていてもよい。

【0254】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満又は3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS膜について詳細な説明を行う。

30

【0255】

CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、結晶部同士の明確な境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0256】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)又は上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面又は上面と平行に配列する。

40

【0257】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形又は六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0258】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有し

50

ていることがわかる。

【0259】

C A A C - O S 膜に対し、X線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (0 0 9) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面又は上面に概略垂直な方向を向いていることが確認できる。

【0260】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる *i n - p l a n e* 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (1 1 0) 面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行うと、(1 1 0) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

【0261】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面又は上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

【0262】

なお、結晶部は、C A A C - O S 膜を成膜した際、又は加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面又は上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面又は上面の法線ベクトルと平行にならないこともある。

【0263】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0264】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0265】

C A A C - O S の形成方法としては、三つ挙げられる。

【0266】

第 1 の方法は、成膜温度を 100°C 以上 450°C 以下として酸化物半導体膜を成膜することで、酸化物半導体膜に含まれる結晶部の c 軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0267】

第 2 の方法は、酸化物半導体膜を薄い厚さで成膜した後、 200°C 以上 700°C 以下の熱処理を行うことで、酸化物半導体膜に含まれる結晶部の c 軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0268】

第3の方法は、一層目の酸化物半導体膜を薄い厚さで成膜した後、200以上700以下の熱処理を行い、さらに二層目の酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0269】

酸化物半導体膜にCAAC-Osを適用したトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、酸化物半導体膜にCAAC-Osを適用したトランジスタは、良好な信頼性を有する。

【0270】

また、CAAC-Osを成膜するために、以下の条件を適用することが好ましい。

10

【0271】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0272】

また、成膜時の被成膜面の加熱温度（例えば基板加熱温度）を高めることで、被成膜面に到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、被成膜面の温度を100以上740以下、好ましくは150以上500以下として成膜する。

【0273】

20

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上100体積%以下とする。

【0274】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0275】

InO_x粉末、GaO_y粉末及びZnO_z粉末を所定のmol数で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、当該加圧処理は、冷却（又は放冷）しながら行ってもよいし、加熱しながら行ってもよい。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末及びZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3又は3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

30

【0276】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0277】

（実施の形態8）

40

上記実施の形態で一例を示したトランジスタを用いて表示機能を有する半導体装置（表示装置ともいう。）を作製することができる。また、トランジスタを含む駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。本実施の形態では、上記実施の形態で一例を示したトランジスタを用いた表示装置の例について、図12及び図13を用いて説明する。なお、図13（A）及び図13（B）は、図12（B）中でM-Nの一点鎖線で示した部位の断面構成を示す断面図である。

【0278】

図12（A）において、第1の基板901上に設けられた画素部902を囲むようにして、シール材905が設けられ、第2の基板906によって封止されている。図12（A

50

）においては、第１の基板９０１上のシール材９０５によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体または多結晶半導体で形成された信号線駆動回路９０３、及び走査線駆動回路９０４が実装されている。また、信号線駆動回路９０３、走査線駆動回路９０４、または画素部９０２に与えられる各種信号及び電位は、ＦＰＣ（Flexible printed circuit）９１８、９１８ｂから供給されている。

【０２７９】

図１２（Ｂ）及び図１２（Ｃ）において、第１の基板９０１上に設けられた画素部９０２と、走査線駆動回路９０４とを囲むようにして、シール材９０５が設けられている。また画素部９０２と、走査線駆動回路９０４の上に第２の基板９０６が設けられている。よって画素部９０２と、走査線駆動回路９０４とは、第１の基板９０１とシール材９０５と第２の基板９０６とによって、表示素子と共に封止されている。図１２（Ｂ）及び図１２（Ｃ）においては、第１の基板９０１上のシール材９０５によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体または多結晶半導体で形成された信号線駆動回路９０３が実装されている。図１２（Ｂ）及び図１２（Ｃ）においては、信号線駆動回路９０３、走査線駆動回路９０４、または画素部９０２に与えられる各種信号及び電位は、ＦＰＣ９１８から供給されている。

【０２８０】

また図１２（Ｂ）及び図１２（Ｃ）においては、信号線駆動回路９０３を別途形成し、第１の基板９０１に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【０２８１】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、ＣＯＧ（Chip On Glass）方法、またはワイヤボンディング方法、或いはＴＡＢ（Tape Automated Bonding）方法などを用いることができる。図１２（Ａ）は、ＣＯＧ方法により信号線駆動回路９０３、走査線駆動回路９０４を実装する例であり、図１２（Ｂ）は、ＣＯＧ方法により信号線駆動回路９０３を実装する例であり、図１２（Ｃ）は、ＴＡＢ方法により信号線駆動回路９０３を実装する例である。

【０２８２】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むＩＣ等を実装した状態にあるモジュールとを含む。

【０２８３】

なお、本明細書における表示装置とは、画像表示デバイスまたは表示デバイスを指す。また、表示装置の代わりに光源（照明装置含む。）として機能させることができる。また、コネクタ、例えばＦＰＣもしくはＴＣＰが取り付けられたモジュール、ＴＣＰの先にプリント配線板が設けられたモジュール、又は表示素子にＣＯＧ方式によりＩＣ（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【０２８４】

また第１の基板上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、上記実施の形態で示したトランジスタを適用することができる。

【０２８５】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機ＥＬ（Electro Luminescence）素子、有機ＥＬ素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。図１３（Ａ）に、表示素子として液晶素子を用いた液晶表示装置の例を示し、図１３（Ｂ）に、表示素子として発光素子を用いた発光表示装置の例を示す。

【０２８６】

図13(A)及び図13(B)で示すように、半導体装置は接続端子電極915及び端子電極916を有しており、接続端子電極915及び端子電極916はFPC918が有する端子と異方性導電剤919を介して、電氣的に接続されている。

【0287】

接続端子電極915は、第1の電極930と同じ導電膜から形成され、端子電極916は、トランジスタ910、911の一对の電極と同じ導電膜で形成されている。

【0288】

また、第1の基板901上に設けられた画素部902と、走査線駆動回路904は、トランジスタを複数有しており、図13(A)及び図13(B)では、画素部902に含まれるトランジスタ910と、走査線駆動回路904に含まれるトランジスタ911とを例示している。図13(A)では、トランジスタ910及びトランジスタ911上には絶縁膜924が設けられ、図13(B)では、絶縁膜924の上にさらに平坦化膜921が設けられている。なお、絶縁膜923は下地膜として機能する絶縁膜である。

【0289】

本実施の形態では、トランジスタ910、トランジスタ911として、上記実施の形態で示したトランジスタを適宜適用することができる。トランジスタ910及びトランジスタ911として、実施の形態1乃至実施の形態3のいずれかーに示す多層膜926を用いることで、高画質な表示装置を作製することができる。

【0290】

また、図13(B)では、平坦化膜921上において、駆動回路用のトランジスタ911の多層膜のチャネル領域と重なる位置に導電膜917が設けられている例を示している。本実施の形態では、導電膜917を第1の電極930と同じ導電膜で形成する。導電膜917を酸化物半導体膜のチャネル領域と重なる位置に設けることによって、BTストレス試験前後におけるトランジスタ911のしきい値電圧の変動量をさらに低減することができる。また、導電膜917の電位は、トランジスタ911のゲート電極と同じでもよいし、異なっても良く、導電膜917を第2のゲート電極として機能させることもできる。また、導電膜917の電位は、GND、0V、フローティング状態、または駆動回路の最低電位(V_{ss}、例えばソース電極の電位を基準とする場合、ソース電極の電位)と同電位若しくはそれと同等電位であってもよい。

【0291】

また、導電膜917は外部の電場を遮蔽する機能も有する。すなわち外部の電場が内部(トランジスタを含む回路部)に作用しないようにする機能(特に静電気に対する静電遮蔽機能)も有する。導電膜917の遮蔽機能により、静電気などの外部の電場の影響によりトランジスタの電氣的な特性が変動することを防止することができる。導電膜917は、上記実施の形態で示した、いずれのトランジスタにも適用可能である。

【0292】

画素部902に設けられたトランジスタ910は表示素子と電氣的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

【0293】

図13(A)において、表示素子である液晶素子913は、第1の電極930、第2の電極931、及び液晶層908を含む。なお、液晶層908を挟持するように配向膜として機能する絶縁膜932、絶縁膜933が設けられている。また、第2の電極931は第2の基板906側に設けられ、第1の電極930と第2の電極931とは液晶層908を介して重なる構成となっている。

【0294】

またスペーサ935は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の電極930と第2の電極931との間隔(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていても良い。

【0295】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0296】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するためにカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 m s e c以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。

【0297】

第1の基板901及び第2の基板906はシール材925によって固定されている。シール材925は、熱硬化樹脂、光硬化樹脂などの有機樹脂を用いることができる。

【0298】

また、上記実施の形態で用いる酸化物半導体膜を用いたトランジスタは、ドレイン電流の立ち上がりが段階的になる不良の無い電気特性を有する。このため、スイッチング特性が優れている。また、比較的高い電界効果移動度が得られるため、高速駆動が可能である。よって、表示機能を有する半導体装置の画素部に上記トランジスタを用いることで、高画質な画像を提供することができる。また、同一基板上に駆動回路部または画素部を作り分けて作製することが可能となるため、半導体装置の部品点数を削減することができる。

【0299】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。高純度の酸化物半導体膜を有するトランジスタを用いることにより、各画素における液晶容量に対して1/3以下、好ましくは1/5以下の容量の大きさを有する保持容量を設ければ充分であるため、画素における開口率を高めることができる。

【0300】

また、表示装置において、ブラックマトリクス（遮光膜）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0301】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す。）の三色に限定されない。例えば、RGBW（Wは白を表す。）、またはRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、本発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

【0302】

図13（B）において、表示素子である発光素子963は、画素部902に設けられたトランジスタ910と電氣的に接続している。なお発光素子963の構成は、第1の電極930、発光層961、第2の電極931の積層構造であるが、示した構成に限定されない。発光素子963から取り出す光の方向などに合わせて、発光素子963の構成は適宜変えることができる。

【0303】

第1の電極930の端部上に隔壁960を有する。隔壁960は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極930上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0304】

発光層961は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0305】

発光素子963に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極931及び隔壁960上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC膜等を形成することができる。また、第1の基板901、第2の基板906、及びシール材936によって封止された空間には充填材964が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材で発光素子をパッケージング（封入）することが好ましい。

【0306】

シール材936は熱硬化樹脂、光硬化樹脂などの有機樹脂や、低融点ガラスを含むフリットガラスなどを用いることができる。フリットガラスは、水や酸素などの不純物に対してバリア性が高いため好ましい。また、シール材936としてフリットガラスを用いる場合、図13（B）に示すように、絶縁膜924上にフリットガラスを設けることで密着性を高めることができるため好ましい。

【0307】

充填材964としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。例えば充填材として窒素を用いればよい。

【0308】

また、必要であれば、発光素子の射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0309】

表示素子に電圧を印加する第1の電極及び第2の電極（画素電極、共通電極、対向電極などともいう）においては、取り出す光の方向、電極が設けられる場所、及び電極のパターン構造によって透光性、反射性を選択すればよい。

【0310】

第1の電極930、第2の電極931は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0311】

また、第1の電極930、第2の電極931はタングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、またはその合金、若しくはその金属窒化物から一つ、または複数種を用いて形成することができる。

【0312】

また、第1の電極930、第2の電極931として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはアニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体等が挙げられる。

【0313】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

10

【0314】

以上のように上記実施の形態で示したトランジスタを適用することで、表示機能を有する信頼性のよい半導体装置を提供することができる。

【0315】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0316】

（実施の形態9）

本実施の形態では、下部に第1の半導体材料を用いたトランジスタを有し、上部に第2の半導体材料を用いたトランジスタを有する半導体装置であって、第1の半導体材料を用いたトランジスタに半導体基板を用いた構造及びその作製方法について、図14及び図15を用いて説明する。第1の半導体材料を用いたトランジスタに用いられる半導体基板としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を用いることが可能であり、ここでは、半導体基板として単結晶シリコン基板を用いる。また、第2の半導体材料を用いたトランジスタとしては、実施の形態4または実施の形態5に示す酸化物半導体膜を有する多層膜を用いたトランジスタを用いる。ここでは、実施の形態5に示す酸化物半導体膜を有する多層膜を用いたトランジスタを用いて説明する。

20

【0317】

はじめに、半導体装置の構造について図14を用いて説明する。

30

【0318】

半導体基板301を用いて形成されるトランジスタ305は、nチャネル型トランジスタ（NMOSFET）であり、トランジスタ306は、pチャネル型トランジスタ（PMOSFET）である。トランジスタ305及びトランジスタ306は、STI（Shallow Trench Isolation）303によって他の素子と絶縁分離されている。STI303を用いることにより、LOCOSによる素子分離法で発生する素子分離部のバズピークを抑制することができ、素子分離部の縮小等が可能となる。一方で、構造の微細化小型化が要求されない半導体装置においてはSTI303の形成は必ずしも必要ではなく、LOCOS等の素子分離手段を用いることもできる。

【0319】

40

トランジスタ305は、半導体基板301中に設けられたチャネル領域307と、チャネル領域307を挟むように設けられた不純物領域309（ソース領域及びドレイン領域ともいう。）と、チャネル領域307上に設けられたゲート絶縁膜311と、ゲート絶縁膜311上にチャネル領域と重畳するように設けられたゲート電極313とを有する。ゲート電極313は単層または多層とすることができる。なお、ゲート電極313を、加工精度を高めるための第1の材料からなる第1の導電膜と、低抵抗化を目的とした第2の材料からなる第2の導電膜との積層構造としてもよい。

【0320】

また、不純物領域309とチャネル領域307の間には、不純物領域309と異なる不純物領域315が設けられている。該不純物領域315は、導入された不純物の濃度によ

50

って、LDD領域やエクステンション領域としてチャネル領域近傍の電界分布を制御する機能を果たす。ゲート電極313の側壁にはサイドウォール317を有する。サイドウォール317を用いることで、不純物領域315を形成することができる。

【0321】

トランジスタ306は、nウェル領域304中に設けられたチャネル領域308と、チャネル領域308を挟むように設けられた不純物領域310（ソース領域及びドレイン領域ともいう）と、チャネル領域308上に設けられたゲート絶縁膜312と、ゲート絶縁膜312上にチャネル領域と重畳するように設けられたゲート電極314とを有する。ゲート電極314は単層または多層とすることができる。

【0322】

また、不純物領域310とチャネル領域308の間には、不純物領域310と異なる不純物領域316が設けられている。該不純物領域316は、導入された不純物の濃度によって、LDD領域やエクステンション領域としてチャネル領域近傍の電界分布を制御する機能を果たす。ゲート電極314の側壁にはサイドウォール318を有する。サイドウォール318を用いることで、不純物領域310を形成することができる。

【0323】

トランジスタ305及びトランジスタ306上には絶縁膜321及び絶縁膜323が設けられる。また、絶縁膜321及び絶縁膜323には開口部が設けられ、当該開口部に不純物領域309及び不純物領域310に接続するコンタクトプラグ325が設けられる。コンタクトプラグ325は、トランジスタ305及びトランジスタ306のソース電極やドレイン電極としても機能する。また、コンタクトプラグ325は、絶縁膜323上であって、絶縁膜327に埋め込まれている配線329と接続する。

【0324】

絶縁膜321には保護膜としての機能を持たせることができ、外部からチャネル領域への不純物の侵入を防止することができる。また、絶縁膜321をCVD法による窒化シリコン等の材料とすることで、チャネル領域に単結晶シリコンを用いた場合には加熱処理によって水素化を行うことができる。また、絶縁膜321に引張応力または圧縮応力を有する絶縁膜を用いることで、チャネル領域を構成する半導体材料に歪みを与えることができる。nチャネル型のトランジスタの場合にはチャネル領域となるシリコン材料に引張応力を、pチャネル型のトランジスタの場合にはチャネル領域となるシリコン材料に圧縮応力を付加することで、各トランジスタの移動度を向上させることができる。

【0325】

絶縁膜323及び絶縁膜327は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、BPSG（Boron Phosphorus Silicate Glass）、PSG（Phosphorus Silicate Glass）、炭素を添加した酸化シリコン（SiOC）、フッ素を添加した酸化シリコン（SiOF）、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ を原料とした酸化シリコンであるTEOS（Tetraethyl orthosilicate）、HSQ（Hydrogen Silsesquioxane）、MSQ（Methyl Silsesquioxane）、OSG（Organosilicate Glass）、有機ポリマー系の材料等の絶縁体を用いることができる。特に半導体装置の微細化を進める場合には、配線間の寄生容量が顕著になり信号遅延が増大するため酸化シリコンの比誘電率（ $k = 4.0 \sim 4.5$ ）では高く、 k が3.0以下の材料を用いることが好ましい。また、該絶縁膜に開口部を設け、当該開口部に導電膜を埋め込んだ後にCMP処理してコンタクトプラグを形成するため、絶縁膜には機械的強度が要求される。この機械的強度が確保できる限りにおいて、これらを多孔質（ポーラス）化させて低誘電率化することができる。

【0326】

コンタクトプラグ325は、導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用い

10

20

30

40

50

る。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。

【 0 3 2 7 】

配線 3 2 9 は、例えば、銅、アルミニウム等の低抵抗な導電性材料を用いることが好ましい。低抵抗な導電性材料を用いることで、配線 3 2 9 を伝播する信号の配線遅延を低減することができる。配線 3 2 9 に銅を用いる場合には、半導体基板 3 0 1 のチャネル領域への銅の拡散を防止するため、絶縁膜 3 2 3 及び配線 3 2 9 の間にバリア膜を形成することが好ましい。バリア膜として、例えば窒化タンタル、窒化タンタルとタンタルとの積層、窒化チタン、窒化チタンとチタンとの積層等による膜を用いることができるが、配線材料の拡散防止機能、及び配線材料や下地膜等との密着性が確保される程度においてこれらの材料からなる膜に限られない。

【 0 3 2 8 】

絶縁膜 3 2 7 及び配線 3 2 9 上には絶縁膜 3 3 1 及びバリア膜 3 3 2 が積層され、バリア膜 3 3 2 上に絶縁膜 3 3 3 が形成され、絶縁膜 3 3 3 に配線 3 3 5 a ~ 3 3 5 c が埋め込まれている。

【 0 3 2 9 】

配線 3 3 5 a 及び配線 3 3 5 b は、絶縁膜 3 3 1 及びバリア膜 3 3 2 に埋め込まれたコンタクトプラグ（図示しない。）により、配線 3 2 9 のいずれかと接続する。

【 0 3 3 0 】

バリア膜 3 3 2 は、水素、水、及び酸素のブロッキング効果を有する絶縁膜で形成することが好ましく、代表的には、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコン等がある。

【 0 3 3 1 】

なお、ここでは、絶縁膜 3 3 1 上にバリア膜 3 3 2 を設けたが、トランジスタ 3 0 5 及びトランジスタ 3 0 6 と、絶縁膜 3 4 3 との間であれば、いずれに設けてもよい。

【 0 3 3 2 】

絶縁膜 3 3 3 及び配線 3 3 5 a ~ 3 3 5 c 上には、絶縁膜 3 4 3 が設けられる。また、絶縁膜 3 4 3 には開口部が設けられ、当該開口部に配線 3 3 5 a 及び配線 3 3 5 b に接続するコンタクトプラグ 3 4 5 a 及びコンタクトプラグ 3 4 5 b が設けられる。

【 0 3 3 3 】

絶縁膜 3 4 3、コンタクトプラグ 3 4 5 a 及びコンタクトプラグ 3 4 5 b 上に、トランジスタ 3 4 9 が設けられる。トランジスタ 3 4 9 は、実施の形態 4 乃至実施の形態 6 に示すトランジスタを適宜用いることができる。ここでは、トランジスタ 3 4 9 は、酸化物半導体膜を有する多層膜 3 5 1 と、酸化物半導体膜を有する多層膜 3 5 1 に接する一対の電極 3 5 3、3 5 5 と、酸化物半導体膜を有する多層膜 3 5 1 及び一対の電極 3 5 3、3 5 5 を覆うゲート絶縁膜 3 5 7 と、ゲート絶縁膜 3 5 7 を介して酸化物半導体膜を有する多層膜 3 5 1 と重畳するゲート電極 3 5 9 とを有する。

【 0 3 3 4 】

また、トランジスタ 3 4 9 上には、絶縁膜 3 6 5 が積層されている。また、絶縁膜 3 6 5 上に絶縁膜 3 6 7 を有してもよい。

【 0 3 3 5 】

絶縁膜 3 4 3 は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化窒化絶縁膜、さらには水の含有量が低減され、且つ、化学量論的組成を満たす酸素よりも多くの酸素

10

20

30

40

50

を含む酸化窒化絶縁膜を用いることができる。

【0336】

コンタクトプラグ345a及びコンタクトプラグ345bは、コンタクトプラグ325と同様の材料及び形成方法を適宜用いることができる。なお、トランジスタ349の電極353及び配線335aはコンタクトプラグ345aを介して接続し、電極355及び配線335bはコンタクトプラグ345bを介して接続する。

【0337】

絶縁膜365は実施の形態5に示す保護膜157と同様の材料を適宜用いることができる。

【0338】

絶縁膜367は、絶縁膜323の材料を適宜用いることができる。

【0339】

本実施の形態に示す半導体装置は、第1の半導体材料を用いたトランジスタ305、306と、第2の半導体材料を用いたトランジスタ349とが積層されており、第2の半導体材料を用いたトランジスタ349は、酸化物半導体膜を有する多層膜351を有し、多層膜351における局在準位が低減されている。このため、優れた電気特性を有するトランジスタを作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0340】

次に、図14に示す半導体装置の作製方法について、図15を用いて説明する。

【0341】

図15(A)に示すように、公知のMOSトランジスタの作製方法を用いて、半導体基板301にトランジスタ305及びトランジスタ306を形成する。

【0342】

次に、スパッタリング法またはCVD法により、トランジスタ305及びトランジスタ306上に絶縁膜321となる絶縁膜を形成し、絶縁膜321となる絶縁膜上に、スパッタリング法、CVD法、スピンコート法(Spin On Glass: SOGともいう)を含む塗布法等により絶縁膜323となる絶縁膜を形成する。なお、絶縁膜323となる絶縁膜は、CMP法等の平坦化处理等により、表面が平坦であることが好ましい。

【0343】

次に、絶縁膜321となる絶縁膜及び絶縁膜323となる絶縁膜に開口部を形成し、不純物領域309及び不純物領域310の一部を露出させると共に、当該開口部を充填するようにコンタクトプラグ325を形成する。コンタクトプラグ325は、スパッタリング法、CVD法、電解メッキ法等により導電膜を形成した後、CMP法、エッチング法等により平坦化处理を行い、導電膜の表面の不要な部分を除去して形成することができる。

【0344】

次に、絶縁膜323上に絶縁膜327及び配線329を形成する。

【0345】

絶縁膜327の形成方法について、以下に示す。絶縁膜321または絶縁膜323の材料を適宜用いて、スパッタリング法、CVD法、スピンコート法を含む塗布法等により、絶縁膜327となる絶縁膜を形成する。次に、絶縁膜327となる絶縁膜の一部を除去し、コンタクトプラグ325の一部を露出する開口部を形成すると共に、絶縁膜327を形成する。

【0346】

配線329は、コンタクトプラグ325及び絶縁膜327上に、スパッタリング法、CVD法、電解メッキ法等により導電膜を形成した後、CMP法、エッチング法等により平坦化处理を行い、導電膜を分離することで、形成できる。

【0347】

なお、デュアルダマシン法を用いて、コンタクトプラグ325及び配線329を同時に形成してもよい。

10

20

30

40

50

【0348】

次に、絶縁膜327及び配線329上に絶縁膜331を形成し、絶縁膜331上にバリア膜332を形成する。なお、図示しないが、絶縁膜331及びバリア膜332のそれぞれには開口部が設けられており、当該開口部を充填するコンタクトプラグを形成する。

【0349】

絶縁膜331は、絶縁膜323と同様の形成方法を用いて形成することができる。

【0350】

バリア膜332はスパッタリング法またはCVD法により形成することができる。

【0351】

次に、バリア膜332上に絶縁膜333及び配線335a～335cを形成する。絶縁膜333及び配線335a～335cはそれぞれ、絶縁膜327及び配線329と同様に形成することができる。

10

【0352】

絶縁膜333及び配線335a～配線335c上に絶縁膜342を形成する。絶縁膜342は、実施の形態1の変形例1に示す酸化絶縁膜3と同様に形成することができる。

【0353】

次に、絶縁膜342の一部を除去して開口部を形成することで、絶縁膜343を形成する。次に、開口部を充填するコンタクトプラグ345a及びコンタクトプラグ345bを形成する（図15（B）参照。）。

【0354】

コンタクトプラグ345a及びコンタクトプラグ345bは、コンタクトプラグ325と同様に形成することができる。

20

【0355】

次に、絶縁膜343、コンタクトプラグ345a及びコンタクトプラグ345b上にトランジスタ349を形成する。トランジスタ349は、実施の形態4または実施の形態5に示す作製方法を適宜用いて形成することができる。

【0356】

トランジスタ349上に、絶縁膜365を形成し、絶縁膜365上に絶縁膜367を形成する（図15（C）参照。）。

【0357】

絶縁膜365は、スパッタリング法、CVD法を用いて形成することができる。絶縁膜367は、塗布法、印刷法等を用いて形成することができる。

30

【0358】

以上のように、半導体装置の下部に設けられた第1の半導体材料を用いたトランジスタ305またはトランジスタ306は、複数のコンタクトプラグ及び複数の配線を介して、上部に設けられた第2の半導体材料を用いたトランジスタ349と電氣的に接続する。半導体装置を以上のような構成とすることで、高速動作性能を有する第1の半導体材料を用いたトランジスタと、オフ電流が極めて小さい第2の半導体材料を用いたトランジスタとを組み合わせ、低消費電力化が可能な高速動作の論理回路を有する半導体装置、一例としては記憶装置、中央演算処理装置（CPU）等を作製することができる。

40

【0359】

このような半導体装置は、既述の構成に限らず、発明の趣旨を逸脱しない範囲において、任意に変更が可能である。例えば、説明においては第1の半導体材料を用いたトランジスタと、第2の半導体材料を用いたトランジスタの間の配線層は2層として説明したが、これを1層あるいは3層以上とすることもでき、また配線を用いることなく、コンタクトプラグのみによって両トランジスタを直接接続することもできる。この場合、例えばシリコン貫通電極（Through Silicon Via：TSV）技術を用いることもできる。また、配線は銅等の材料を絶縁膜中に埋め込むことで形成する場合について説明したが、例えばバリア膜、配線材料層、及びバリア膜の三層構造としてフォトリソグラフィ工程により配線パターンに加工したものを用いてもよい。

50

【0360】

特に、銅配線を第1の半導体材料を用いたトランジスタ305及びトランジスタ306と第2の半導体材料を用いたトランジスタ349との間の階層に形成する場合には、第2の半導体材料を用いたトランジスタ349の製造工程において付加する熱処理の影響を十分考慮する必要がある。換言すれば、第2の半導体材料を用いたトランジスタ349の製造工程において付加する熱処理の温度を配線材料の性質に適合するように留意する必要がある。例えば、トランジスタ349の構成部材に対して高温で熱処理を行った場合、銅配線では熱応力が発生し、これに起因したストレスマイグレーションなどの不都合が生じるためである。

【0361】

本実施の形態に示すトランジスタ349に含まれる酸化物半導体膜を有する多層膜351は、局在準位が低減されている。このため、優れた電気特性を有するトランジスタを作製することができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【0362】

また、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせる用いることができる。

【0363】

(実施の形態10)

上記実施の形態で開示された、酸化物半導体膜、In若しくはGaを含む酸化物膜はスパッタ法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使っても良い。

【0364】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0365】

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0366】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ(高速バルブとも呼ぶ)を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後不活性ガス(アルゴン、或いは窒素など)などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0367】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された酸化物半導体膜、In若しくはGaを含む酸化物膜を形成することができ、例えば、InGaZnO_x($x > 0$)膜を成膜する場合には、トリメチルインジウム、トリメチルガ

10

20

30

40

50

リウム、及びジエチル亜鉛を用いる。なお、トリメチルインジウム $(\text{CH}_3)_3\text{In}$ の化学式は、 $(\text{CH}_3)_3\text{In}$ である。また、トリメチルガリウム $(\text{CH}_3)_3\text{Ga}$ の化学式は、 $(\text{CH}_3)_3\text{Ga}$ である。また、ジエチル亜鉛 $(\text{CH}_3)_2\text{Zn}$ の化学式は、 $(\text{CH}_3)_2\text{Zn}$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム $(\text{C}_2\text{H}_5)_3\text{Ga}$ を用いることもでき、ジエチル亜鉛に代えてジメチル亜鉛 $(\text{C}_2\text{H}_5)_2\text{Zn}$ を用いることもできる。

【0368】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えば InGaZnO_x ($x > 0$) 膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて InGaO_2 層や InZnO_2 層、 GaInO 層、 ZnInO 層、 GaZnO 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

【0369】

(実施の形態11)

本実施の形態では、実施の形態1乃至5で説明したトランジスタを用いることのできる電子機器の例について説明する。

【0370】

実施の形態4乃至実施の形態9で説明した半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、テレビ、デスクトップ型またはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD(Digital Versatile Disc)などの記録媒体に記憶された静止画または動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、ICチップ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、放射線測定器、透析装置等の医療機器、などが挙げられる。また、煙感知器、ガス警報装置、防犯警報装置などの警報装置も挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車(EV)、内燃機関と電動機を併せ持ったハイブリッド車(HEV)、プラグインハイブリッド車(PHEV)、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型または大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。

【0371】

実施の形態4乃至実施の形態9で説明した半導体装置は、オフ電流が極めて小さいトランジスタを有するため、半導体装置において長期間のデータの保持が可能である。この結果、半導体装置において書込み回数を削減することが可能であると共に、書込みを行わないときには電源をオフ状態とすることが可能である。よって、当該半導体装置を電子機器に備えることで、電子機器の消費電力を低減することが可能である。

【0372】

また、本実施の形態に示す構成及び方法などは、他の実施の形態及び実施例に示す構成及び方法などと適宜組み合わせ用いることができる。

【実施例1】

【0373】

本実施例では、酸化物半導体膜を有する多層膜の局在準位について、一定光電流測定法(CPM: Constant Photocurrent Method)によって評価した。

【0374】

はじめに、CPM測定を行った試料1の構造及びその作製方法について以下に説明する。

10

【0375】

試料1の構造について、図16を用いて説明する。試料1には、ガラス基板701上に電極703が設けられ、電極703上に絶縁膜705が設けられる。絶縁膜705上にIn若しくはGaを含む酸化物膜707が設けられ、In若しくはGaを含む酸化物膜707上に酸化物半導体膜709が設けられる。酸化物半導体膜709上に一对の電極711、713が設けられ、酸化物半導体膜709上にIn若しくはGaを含む酸化物膜715が設けられ、In若しくはGaを含む酸化物膜715上に絶縁膜717が設けられる。

【0376】

また、In若しくはGaを含む酸化物膜715及び絶縁膜717に設けられた開口721により、電極711が露出する。In若しくはGaを含む酸化物膜715及び絶縁膜717に設けられた開口723により、電極713が露出する。絶縁膜705、In若しくはGaを含む酸化物膜715、及び絶縁膜717に設けられた開口725により、電極703が露出する。

20

【0377】

次に、試料1の作製方法について説明する。

【0378】

ガラス基板701上に、スパッタリング法により厚さ100nmのタングステン膜を形成した後、フォトリソグラフィ工程により形成したマスクを用いて該タングステン膜をエッチングして、電極703を形成した。

30

【0379】

ガラス基板701及び電極703上に絶縁膜705を形成した。ここでは、絶縁膜705として、CVD法により厚さ100nmの酸化窒化シリコン膜を形成した。

【0380】

絶縁膜705上にスパッタリング法により、In若しくはGaを含む酸化物膜を形成した。ここでは、In-Ga-Zn酸化物(In:Ga:Zn=1:3:2[原子数比])であるターゲットを用いて、スパッタリング法により厚さ30nmのIn-Ga-Zn酸化物を形成した。なお、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度を200とし、DC電力を0.5kW印加した。

40

【0381】

次に、In若しくはGaを含む酸化物膜にイオン注入法により酸素を添加した。ここでは、加速電圧を5keVとし、ドーズ量が $1 \times 10^{16} / \text{cm}^2$ の酸素イオンをIn若しくはGaを含む酸化物膜に注入した。

【0382】

次に、In若しくはGaを含む酸化物膜上に、スパッタリング法により、酸化物半導体膜を形成した。ここでは、In-Ga-Zn酸化物(In:Ga:Zn=1:1:1[原子数比])であるターゲットを用いて、スパッタリング法により厚さ100nmのIn-Ga-Zn酸化物を形成した。なお、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度を300とし、DC電力

50

を 0.5 kW 印加した。

【0383】

次に、酸化物半導体膜上にフォトリソグラフィ工程によりマスクを形成した後、In 若しくは Ga を含む酸化物膜及び酸化物半導体膜をそれぞれエッチングして、In 若しくは Ga を含む酸化物膜 707 及び酸化物半導体膜 709 を形成した。

【0384】

次に、加熱処理を行い、In 若しくは Ga を含む酸化物膜 707 に含まれる酸素の一部を酸化物半導体膜 709 に移動させ、酸化物半導体膜 709 の酸素欠損量を低減した。ここでは、窒素雰囲気において、450 で 1 時間の加熱処理を行った後、乾燥空気雰囲気において、450 で 1 時間加熱処理を行った。

10

【0385】

次に、酸化物半導体膜 709 上に一对の電極 711、713 を形成した。ここでは、スパッタリング法により厚さ 100 nm のタングステン膜を形成した後、フォトリソグラフィ工程により形成したマスクを用いて該タングステン膜をエッチングして、一对の電極 711、713 を形成した。

【0386】

次に、絶縁膜 705、In 若しくは Ga を含む酸化物膜 707、酸化物半導体膜 709、一对の電極 711、713 上に In 若しくは Ga を含む酸化物膜 715 を形成した後、CVD 法により絶縁膜 717 を形成した。

【0387】

20

In 若しくは Ga を含む酸化物膜 715 としては、ここでは、In-Ga-Zn 酸化物 (In:Ga:Zn = 1:3:2 [原子数比]) であるターゲットを用いて、スパッタリング法により厚さ 30 nm の In-Ga-Zn 酸化物を形成した。なお、成膜ガスとしてアルゴンガスを 30 sccm、酸素ガスを 15 sccm 用い、圧力を 0.4 Pa とし、基板の温度を 200 とし、DC 電力を 0.5 kW 印加した。

【0388】

ここでは、絶縁膜 717 として、スパッタリング法により厚さ 300 nm の酸化シリコン膜を形成した。

【0389】

次に、加熱処理を行った。ここでは、乾燥空気雰囲気において、300 で 1 時間の加熱処理を行った。

30

【0390】

次に、絶縁膜 717 上にフォトリソグラフィ工程によりマスクを形成した後、絶縁膜 705、In 若しくは Ga を含む酸化物膜 715、及び絶縁膜 717 の一部をエッチングして、開口 721、723、725 を形成し、電極 703、一对の電極 711、713 を露出させた。

【0391】

以上の工程により、試料 1 を作製した。

【0392】

次に、試料 1 を CPM 測定した。CPM 測定では、試料である酸化物半導体膜 709 に接して設けられた一对の電極 711、713 の間に電圧を印加した状態で光電流値が一定となるように一对の電極の間の試料面に照射する光量を調整し、照射光量から吸収係数を導出することを各波長にて行うものである。CPM 測定において、測定対象物に欠陥があるとき、欠陥の存在する準位に応じたエネルギー (波長より換算) における吸収係数が増加する。この吸収係数の増加分に定数を掛けることにより、測定対象物の欠陥密度を導出することができる。図 17 (A) に試料 1 の測定結果を示す。曲線 733 は、試料の吸収係数のカーブを示し、曲線 731 は、分光光度計を用いて光学的に測定した吸収係数を示し、鎖線 735 は曲線 733 の接線を示す。図 17 (A) の破線丸で囲んだエネルギー範囲において CPM 測定で導出した吸収係数 (曲線 733) から、アーバックテール (鎖線 735) の吸収係数分を差し引き、当該エネルギー範囲における吸収係数の積分値を導出

40

50

した結果を図 17 (B) に示す。

【 0 3 9 3 】

図 17 (A) において、横軸は光エネルギーを表し、縦軸は吸収係数を表す。また、図 17 (B) において、横軸は吸収係数を表し、縦軸は光エネルギーを表す。なお、図 17 (B) の縦軸において、酸化物半導体膜の伝導帯の下端を 0 e V とし、価電子帯の上端を 3 . 1 5 e V とする。図 17 (B) において、実線で示す曲線は試料 1 の局在準位に相当し、エネルギーが 1 . 5 e V 以上 2 . 3 e V 以下の範囲において、局在準位に起因する吸収が確認された。エネルギー毎の値を積分すると、試料 1 における吸収係数は、 $4 . 3 6 \times 10^{-5} / \text{cm}$ であった。

【 0 3 9 4 】

10

ここで得られた局在準位は、不純物や欠陥に起因する準位と考えられる。従って I n 若しくは G a を含む酸化物膜 7 0 7 及び酸化物半導体膜 7 0 9 は、不純物や欠陥に起因する準位が極めて少ないことがわかった。即ち、I n 若しくは G a を含む酸化物膜 7 0 7 及び酸化物半導体膜 7 0 9 を用いてトランジスタを作製することで、トランジスタのオン電流を増大させると共に、電界効果移動度を高めることができる。また、経時変化やストレス試験による電気特性の変動の少ない、信頼性の高いトランジスタを作製することができる。

【 実施例 2 】

【 0 3 9 5 】

本実施例では、酸素が添加された I n 若しくは G a を含む酸化物膜において、加熱による水素分子、水分子、及び酸素分子放出量を評価した結果について説明する。

20

【 0 3 9 6 】

はじめに、評価した試料の作製方法を説明する。作製した試料は、試料 2 乃至試料 6 である。

【 0 3 9 7 】

試料 2 及び試料 3 の作製方法について説明する。

【 0 3 9 8 】

基板として、シリコンウェハを用いた。塩化水素を含む酸素雰囲気において、基板を 9 5 0 °C で加熱して、基板表面に、厚さ 1 0 0 n m の塩素を含む酸化シリコン膜を形成した。

30

【 0 3 9 9 】

次に、塩素を含む酸化シリコン膜上に厚さ 3 0 0 n m の酸化窒化シリコン膜を C V D 法により形成した。この後、C M P 処理により酸化窒化シリコン膜の表面を平坦化処理した。

【 0 4 0 0 】

次に、スパッタリング法により、I n 若しくは G a を含む酸化物膜として、厚さ 3 0 n m の I n - G a - Z n 系酸化物膜を形成した。ここでは、I n : G a : Z n = 1 : 3 : 2 のターゲットを用い、スパッタガスとして流量 1 5 s c c m の酸素及び流量 3 0 s c c m のアルゴンを圧力 0 . 4 P a のチャンバーに導入し、基板温度を 2 0 0 °C とし、供給電力を 0 . 5 k W とした。

40

【 0 4 0 1 】

以上の工程により試料 2 を作製した。

【 0 4 0 2 】

次に、試料 2 に含まれる I n 若しくは G a を含む酸化物膜に酸素を添加して、酸素が添加された I n 若しくは G a を含む酸化物膜を形成した。ここでは、イオン注入法を用い、加速電圧を 5 k e V とし、ドーズ量が $1 \times 10^{16} / \text{cm}^2$ の酸素イオンを I n 若しくは G a を含む酸化物膜に注入した。

【 0 4 0 3 】

以上の工程により試料 3 を作製した。

【 0 4 0 4 】

50

ここで、試料 2 及び試料 3 の I n 若しくは G a を含む酸化物膜の膜密度を X 線反射率分析法 (XRR: X-ray Reflectometry Analysis) を用いて測定したところ、試料 2 の膜密度は 5.8 g/cm^3 であり、試料 3 の膜密度は 5.6 g/cm^3 であった。このことから、酸化物半導体膜に酸素を添加することで、膜密度が低下することがわかる。

【0405】

次に、試料 2 及び試料 3 について TDS 分析を行った。試料 2 及び試料 3 において、基板温度に対する水素分子の放出量をそれぞれ図 18 (A) 及び図 18 (B) に示し、水分子の放出量をそれぞれ図 18 (C) 及び図 18 (D) に示し、酸素分子の放出量をそれぞれ図 18 (E) 及び図 18 (F) に示す。

10

【0406】

図 18 (A) 及び図 18 (B) より、試料 2 及び試料 3 においては、水素分子の放出量は同様の傾向を示す。図 18 (C) 及び図 18 (D) より、試料 2 と比較すると試料 3 において、300 付近の水分子の放出量が多い。図 18 (E) 及び図 18 (F) より、試料 2 においては、基板を加熱しても I n 若しくは G a を含む酸化物膜から酸素が放出されないが、試料 3 においては、350 以上 510 以下において、酸素分子が放出されていることがわかる。

【0407】

また、外部に放出される分子の総量は、TDS 分析の結果を示す曲線の積分値に相当する。そこで、外部に放出される酸素分子の放出総量を求めた結果、試料 2 では $6.8 \times 10^{13} \text{ 個/cm}^2$ であり、試料 3 では、 $2.1 \times 10^{14} \text{ 個/cm}^2$ であった。

20

【0408】

以上のことから、I n 若しくは G a を含む酸化物膜に酸素を添加した後、加熱することで、I n 若しくは G a を含む酸化物膜から酸素が放出されることがわかる。

【0409】

次に、試料 2 において、基板上に形成した厚さ 300 nm の酸化窒化シリコン膜に、酸素を添加した後、該酸化窒化シリコン膜上に I n 若しくは G a を含む酸化物膜を形成した試料を試料 4 とする。

【0410】

また、試料 3 において、基板上に形成した厚さ 300 nm の酸化窒化シリコン膜に、酸素を添加した後、該酸化窒化シリコン膜上に I n 若しくは G a を含む酸化物膜を形成した試料を試料 5 とする。

30

【0411】

ここでは、イオン注入法を用い、加速電圧を 60 keV とし、ドーズ量が $2 \times 10^{16} / \text{cm}^2$ の酸素イオンを酸化窒化シリコン膜に注入した。

【0412】

次に、試料 4 及び試料 5 について TDS 分析を行った。試料 4 及び試料 5 において、基板温度に対する水素分子の放出量をそれぞれ図 19 (A) 及び図 19 (B) に示し、水分子の放出量をそれぞれ図 19 (C) 及び図 19 (D) に示し、酸素分子の放出量をそれぞれ図 19 (E) 及び図 19 (F) に示す。

40

【0413】

図 19 (A) 及び図 19 (B) より、試料 4 及び試料 5 においては、水素分子の放出量は同様の傾向を示す。図 19 (C) 及び図 19 (D) より、試料 4 と比較すると試料 5 において、300 付近の水分子の放出量が多い。図 19 (E) 及び図 19 (F) より、試料 4 においては、基板を加熱しても I n 若しくは G a を含む酸化物膜から酸素が放出されないが、試料 5 においては、350 以上 510 以下において、酸素分子が放出されていることがわかる。

【0414】

また、外部に放出される酸素分子の放出総量を求めた結果、試料 4 では $5.9 \times 10^{13} \text{ 個/cm}^2$ であり、試料 5 では、 $1.7 \times 10^{14} \text{ 個/cm}^2$ であった。

50

【0415】

以上のことから、In若しくはGaを含む酸化物膜に酸素を添加した後、加熱することで、In若しくはGaを含む酸化物膜から酸素が放出されることがわかる。また、図18(F)と図19(F)を比較すると、酸素分子の放出量が同等であるため、酸素が添加された酸化窒化シリコン膜から放出される酸素分子量は少なく、主にIn若しくはGaを含む酸化物膜から酸素分子が放出されていることがわかる。

【0416】

なお、試料4においてIn若しくはGaを含む酸化物膜を形成しない試料、即ち基板上に酸化窒化シリコン膜を形成し、該酸化窒化シリコン膜に酸素を添加した試料を試料6とする。

10

【0417】

次に、試料6についてTDS分析を行った。試料6において、基板温度に対する水素分子の放出量を図20(A)に示し、水分子の放出量を図20(B)に示し、酸素分子の放出量を図20(C)に示す。

【0418】

また、外部に放出される酸素分子の放出総量を求めた結果、試料6では 9.2×10^{15} 個/cm²であった。

【0419】

図20(B)及び図20(C)に示すように、試料2乃至試料5と比較すると試料6においては、水分子及び酸素分子それぞれの放出量が増えていることがわかる。このことから、試料2乃至試料5において、酸化窒化シリコン膜上に形成されたIn若しくはGaを含む酸化物膜は、水分子及び酸素分子の放出を防ぐブロッキング効果を有することがわかる。

20

【実施例3】

【0420】

本実施例では、加熱処理によって多層膜中の酸素が、350 または450 の加熱処理後に拡散する様子を図21を用いて説明する。

【0421】

図21に、多層膜のうち、いずれかの膜を¹⁸O₂ ガスを用いて成膜した試料について、SIMSを行い、深さ方向における¹⁸Oの濃度分布を測定した結果を示す。

30

【0422】

ここで、In若しくはGaを含む酸化物膜401aは、In-Ga-Zn酸化物(In:Ga:Zn=1:1:1[原子数比])であるターゲットを用いて、スパッタリング法にて成膜した。

【0423】

また、酸化物半導体膜401bは、In-Ga-Zn酸化物(In:Ga:Zn=3:1:2[原子数比])であるターゲットを用いて、スパッタリング法にて成膜した。

【0424】

また、In若しくはGaを含む酸化物膜401cは、In-Ga-Zn酸化物(In:Ga:Zn=1:1:1[原子数比])であるターゲットを用いて、スパッタリング法にて成膜した。

40

【0425】

ここで、図21(A)は、In若しくはGaを含む酸化物膜401aに¹⁸O₂ ガスを用い、そのほかの層には¹⁸O₂ ガスを用いていない試料のIn若しくはGaを含む酸化物膜401aおよび酸化物半導体膜401bの界面を含む深さ方向における¹⁸Oの濃度分布である。加熱処理なし(as-depoと表記、細実線)と比べ、350 加熱処理後(350 加熱後と表記、中実線)および450 加熱処理後(450 加熱後と表記、太実線)では、¹⁸OがIn若しくはGaを含む酸化物膜401aから酸化物半導体膜401bまで拡散していることがわかった。

【0426】

50

また、図 2 1 (B) は、酸化物半導体膜 4 0 1 b に $^{18}\text{O}_2$ ガスを用い、そのほかの層には $^{18}\text{O}_2$ ガスを用いていない試料の酸化物半導体膜 4 0 1 b および I n 若しくは G a を含む酸化物膜 4 0 1 c の界面を含む深さ方向における ^{18}O の濃度分布である。加熱処理なし (a s - d e p o と表記、細実線) と比べ、3 5 0 加熱処理後 (3 5 0 加熱後と表記、中実線) および 4 5 0 加熱処理後 (4 5 0 加熱後と表記、太実線) では、 ^{18}O が酸化物半導体膜 4 0 1 b から I n 若しくは G a を含む酸化物膜 4 0 1 c まで拡散していることがわかった。

【 0 4 2 7 】

また、図 2 1 (C) は、酸化物半導体膜 4 0 1 b に $^{18}\text{O}_2$ ガスを用い、そのほかの層には $^{18}\text{O}_2$ ガスを用いていない試料の I n 若しくは G a を含む酸化物膜 4 0 1 a および酸化物半導体膜 4 0 1 b の界面を含む深さ方向における ^{18}O の濃度分布である。加熱処理なし (a s - d e p o と表記、細実線) および 3 5 0 加熱処理後 (3 5 0 加熱後と表記、中実線) と比べ、4 5 0 加熱処理後 (4 5 0 加熱後と表記、太実線) では、 ^{18}O が酸化物半導体膜 4 0 1 b から I n 若しくは G a を含む酸化物膜 4 0 1 a まで拡散していることがわかった。

【 0 4 2 8 】

図 2 1 に示すように、多層膜中で酸素は相互に拡散し合うことがわかる。

【実施例 4】

【 0 4 2 9 】

本実施例では、本発明の一態様であるトランジスタに含まれる多層膜のシリコン濃度について説明する。ここでは、当該多層膜を S I M S 測定で評価した結果について説明する。

【 0 4 3 0 】

まず、S I M S 測定した試料について説明する。

【 0 4 3 1 】

シリコンウエハ上に厚さ 1 0 n m の I n 若しくは G a を含む酸化物膜 8 1 を形成し、I n 若しくは G a を含む酸化物膜 8 1 上に厚さ 1 0 n m の酸化物半導体膜 8 2 を形成し、酸化物半導体膜 8 2 上に厚さ 1 0 n m の I n 若しくは G a を含む酸化物膜 8 3 を形成することで多層膜を形成した。

【 0 4 3 2 】

本実施例において、I n 若しくは G a を含む酸化物膜 8 1 は、I n - G a - Z n 酸化物 (I n : G a : Z n = 1 : 3 : 2 [原子数比]) であるターゲットを用いて、スパッタリング法にて形成した酸化物膜である。なお、成膜ガスとしてアルゴンガスを 3 0 s c c m 、酸素ガスを 1 5 s c c m 用い、圧力を 0 . 4 P a とし、基板温度を 2 0 0 とし、D C 電力を 0 . 5 k W 印加することで形成した。

【 0 4 3 3 】

また、酸化物半導体膜 8 2 は、I n - G a - Z n 酸化物 (I n : G a : Z n = 1 : 1 : 1 [原子数比]) であるターゲットを用いて、スパッタリング法にて成膜した酸化物半導体膜である。なお、成膜ガスとしてアルゴンガスを 3 0 s c c m 、酸素ガスを 1 5 s c c m 用い、圧力を 0 . 4 P a とし、基板温度を 3 0 0 とし、D C 電力を 0 . 5 k W 印加することで形成した。

【 0 4 3 4 】

また、I n 若しくは G a を含む酸化物膜 8 3 は、I n - G a - Z n 酸化物 (I n : G a : Z n = 1 : 3 : 2 [原子数比]) であるターゲットを用いて、スパッタリング法にて形成した酸化物膜である。なお、成膜ガスとしてアルゴンガスを 3 0 s c c m 、酸素ガスを 1 5 s c c m 用い、圧力を 0 . 4 P a とし、基板温度を 2 0 0 とし、D C 電力を 0 . 5 k W 印加することで形成した。

【 0 4 3 5 】

多層膜を形成した後、加熱処理を行わない試料と、4 5 0 にて 2 時間の加熱処理を行った試料を準備した。加熱処理を行わない試料を試料 7 とし、加熱処理を行った試料を試

10

20

30

40

50

料 8 とした。

【 0 4 3 6 】

試料 7 及び試料 8 について、飛行時間二次イオン質量分析 (T o F - S I M S : T i m e - o f - f l i g h t s e c o n d a r y i o n m a s s s p e c t r o s c o p y) を行い、深さ方向の S i 濃度 [a t o m s / c m ³] を測定した。図 2 2 (A) に、試料 7 における多層膜の深さ方向の S i O ₃ の二次イオン強度から換算した S i 濃度 [a t o m s / c m ³] を示し、図 2 2 (B) に試料 8 における多層膜の深さ方向の S i O ₃ の二次イオン強度から換算した S i 濃度 [a t o m s / c m ³] を示す。

【 0 4 3 7 】

図 2 2 (A) 及び図 2 2 (B) より、シリコンウエハと I n 若しくは G a を含む酸化物膜 8 1 との界面、および I n 若しくは G a を含む酸化物膜 8 3 の上面において、S i 濃度が高くなることがわかった。また、酸化物半導体膜 8 2 の S i 濃度が T o F - S I M S の検出下限である 1×10^{18} a t o m s / c m ³ 程度であることがわかった。これは、I n 若しくは G a を含む酸化物膜 8 1 および I n 若しくは G a を含む酸化物膜 8 3 が設けられることにより、シリコンウエハや表面汚染などに起因したシリコンが酸化物半導体膜 8 2 にまで影響することがなくなるためであると考察できる。

【 0 4 3 8 】

また、図 2 2 (A) 及び図 2 2 (B) に示す結果より、加熱処理によってシリコンの拡散は起こりにくく、成膜時の混合が主であることがわかる。

【 0 4 3 9 】

以上より、本実施例に示すような多層膜を用いることで、安定した電気特性を有するとトランジスタを作製することができる。

【 符号の説明 】

【 0 4 4 0 】

- 1 基板
- 3 酸化絶縁膜
- 1 1 酸化物膜
- 1 1 a 酸化物膜
- 1 1 b 酸化物膜
- 1 3 酸素
- 1 5 酸化物半導体膜
- 1 5 a 酸化物半導体膜
- 1 7 多層膜
- 2 1 酸化物半導体膜
- 2 1 a 酸化物半導体膜
- 2 3 酸化物膜
- 2 3 a 酸化物膜
- 2 3 b 酸化物膜
- 2 5 酸素
- 2 7 多層膜
- 3 1 酸化物膜
- 3 1 a 酸化物膜
- 3 1 b 酸化物膜
- 3 2 酸化物半導体膜
- 3 3 酸素
- 3 5 酸化物半導体膜
- 3 5 a 酸化物半導体膜
- 3 7 酸化物膜
- 3 9 多層膜
- 5 0 トランジスタ

10

20

30

40

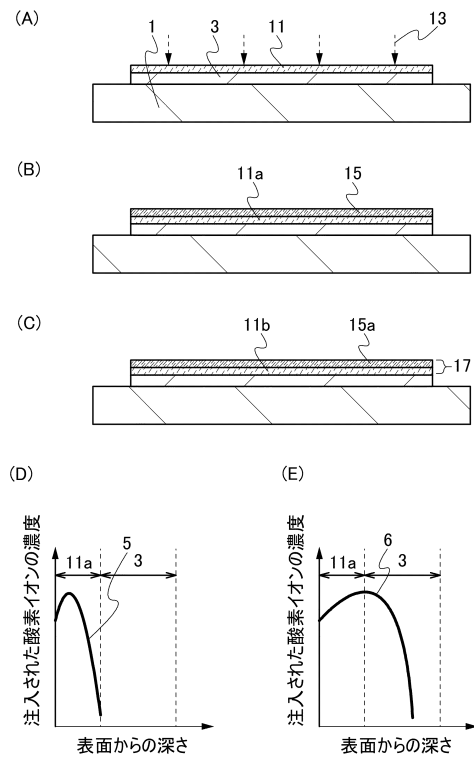
50

6 0	トランジスタ	
8 1	酸化物膜	
8 2	酸化物半導体膜	
8 3	酸化物膜	
1 0 1	基板	
1 0 3	ゲート電極	
1 0 4	ゲート絶縁膜	
1 0 5	酸化物半導体膜	
1 0 5 a	酸化物半導体膜	
1 0 7	酸化物膜	10
1 0 7 a	酸化物膜	
1 0 7 b	酸化物膜	
1 0 9	酸素	
1 1 1	酸化物半導体膜	
1 1 3	酸化物膜	
1 1 4	多層膜	
1 1 5	電極	
1 1 7	電極	
1 1 8	トラップ準位	
1 1 9	酸化絶縁膜	20
1 2 1	酸化絶縁膜	
1 2 3	窒化絶縁膜	
1 2 7	ゲート絶縁膜	
1 2 8	絶縁膜	
1 2 9 a	低抵抗領域	
1 2 9 b	低抵抗領域	
1 3 1	基板	
1 3 3	酸化絶縁膜	
1 3 5	酸化物膜	
1 3 5 a	酸化物膜	30
1 3 5 b	酸化物膜	
1 3 7	酸素	
1 3 9	酸化物半導体膜	
1 3 9 a	酸化物半導体膜	
1 4 1	酸化物膜	
1 4 3	酸化物膜	
1 4 5	酸化物半導体膜	
1 4 7	酸化物膜	
1 4 8	多層膜	
1 4 9	電極	40
1 5 1	電極	
1 5 3	ゲート絶縁膜	
1 5 5	ゲート電極	
1 5 7	保護膜	
1 5 9	配線	
1 6 1	配線	
1 6 3	トラップ準位	
1 6 5	トラップ準位	
1 7 0	ゲート絶縁膜	
1 7 1	導電膜	50

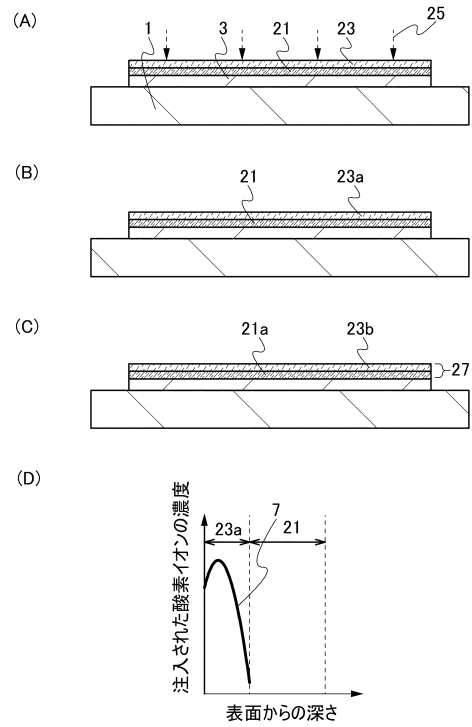
1 7 2	導電膜	
1 7 3	導電膜	
1 7 4	導電膜	
1 8 0	トランジスタ	
1 8 1	酸化物膜	
1 8 3	酸化物半導体膜	
1 8 4	多層膜	
1 8 5	酸化物膜	
1 8 7	導電膜	
1 8 9	導電膜	10
3 0 1	半導体基板	
3 0 3	S T I	
3 0 4	n ウェル領域	
3 0 5	トランジスタ	
3 0 6	トランジスタ	
3 0 7	チャネル領域	
3 0 8	チャネル領域	
3 0 9	不純物領域	
3 1 0	不純物領域	
3 1 1	ゲート絶縁膜	20
3 1 2	ゲート絶縁膜	
3 1 3	ゲート電極	
3 1 4	ゲート電極	
3 1 5	不純物領域	
3 1 6	不純物領域	
3 1 7	サイドウォール	
3 1 8	サイドウォール	
3 2 1	絶縁膜	
3 2 3	絶縁膜	
3 2 5	コンタクトプラグ	30
3 2 7	絶縁膜	
3 2 9	配線	
3 3 1	絶縁膜	
3 3 2	バリア膜	
3 3 3	絶縁膜	
3 3 5 a	配線	
3 3 5 b	配線	
3 3 5 c	配線	
3 4 2	絶縁膜	
3 4 3	絶縁膜	40
3 4 5 a	コンタクトプラグ	
3 4 5 b	コンタクトプラグ	
3 4 9	トランジスタ	
3 5 1	多層膜	
3 5 3	電極	
3 5 5	電極	
3 5 7	ゲート絶縁膜	
3 5 9	ゲート電極	
3 6 5	絶縁膜	
3 6 7	絶縁膜	50

4 0 1 a	酸化物膜	
4 0 1 b	酸化物半導体膜	
4 0 1 c	酸化物膜	
7 0 1	ガラス基板	
7 0 3	電極	
7 0 5	絶縁膜	
7 0 7	酸化物膜	
7 0 9	酸化物半導体膜	
7 1 1	電極	
7 1 3	電極	10
7 1 5	酸化物膜	
7 1 7	絶縁膜	
7 2 1	開口	
7 2 3	開口	
7 2 5	開口	
7 3 1	曲線	
7 3 3	曲線	
7 3 5	鎖線	
9 0 1	基板	
9 0 2	画素部	20
9 0 3	信号線駆動回路	
9 0 4	走査線駆動回路	
9 0 5	シール材	
9 0 6	基板	
9 0 8	液晶層	
9 1 0	トランジスタ	
9 1 1	トランジスタ	
9 1 3	液晶素子	
9 1 5	接続端子電極	
9 1 6	端子電極	30
9 1 7	導電膜	
9 1 8	F P C	
9 1 9	異方性導電剤	
9 2 1	平坦化膜	
9 2 3	絶縁膜	
9 2 4	絶縁膜	
9 2 5	シール材	
9 2 6	多層膜	
9 3 0	電極	
9 3 1	電極	40
9 3 2	絶縁膜	
9 3 3	絶縁膜	
9 3 5	スペーサ	
9 3 6	シール材	
9 6 0	隔壁	
9 6 1	発光層	
9 6 3	発光素子	
9 6 4	充填材	

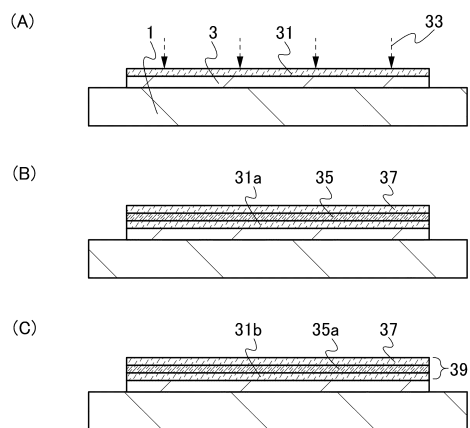
【図 1】



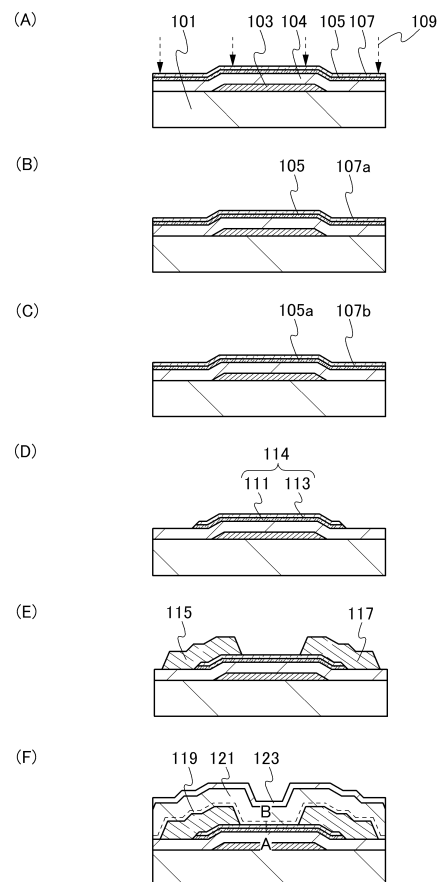
【図 2】



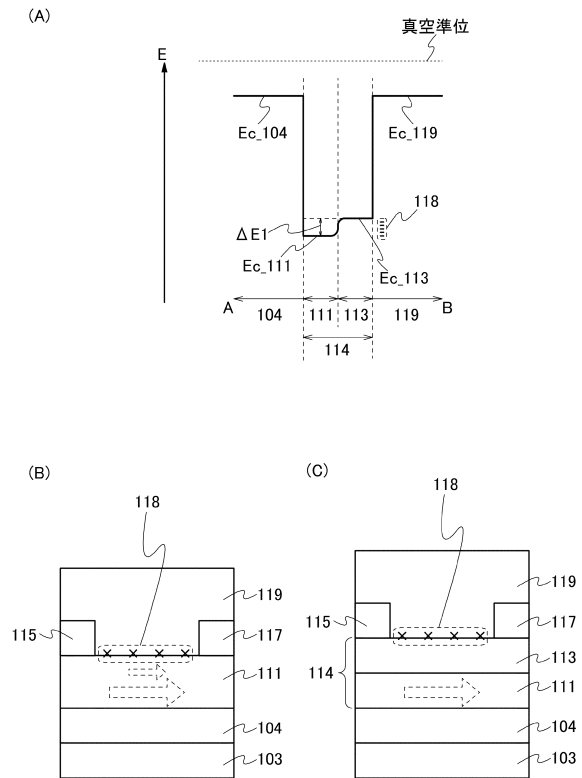
【図 3】



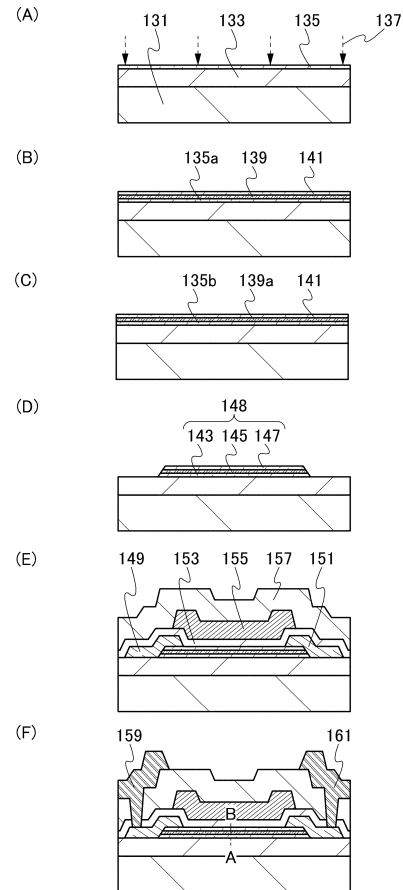
【図 4】



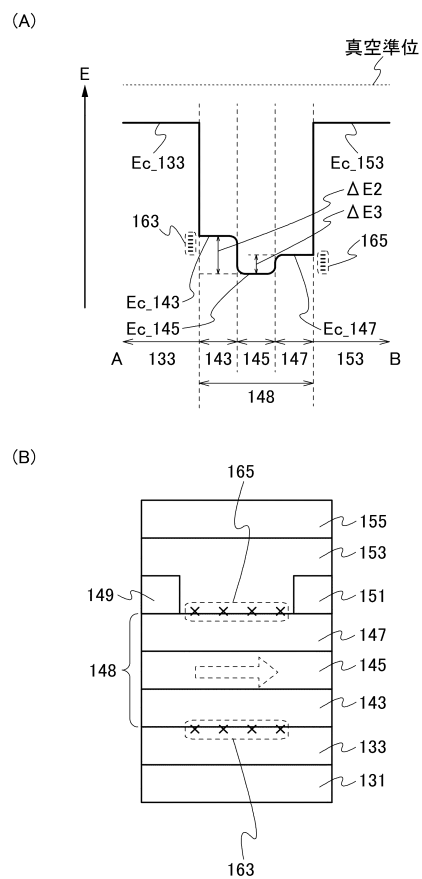
【図 5】



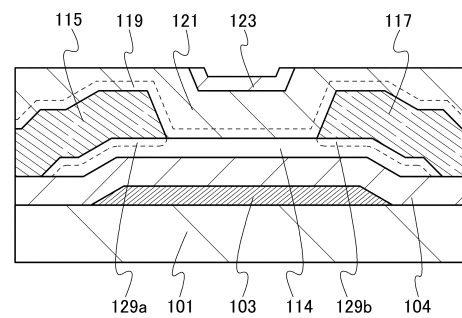
【図 6】



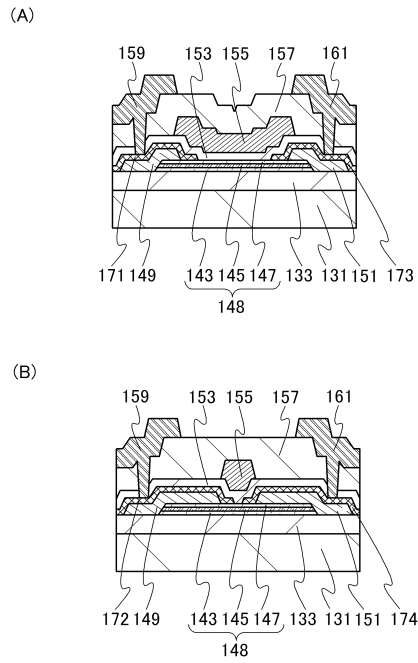
【図 7】



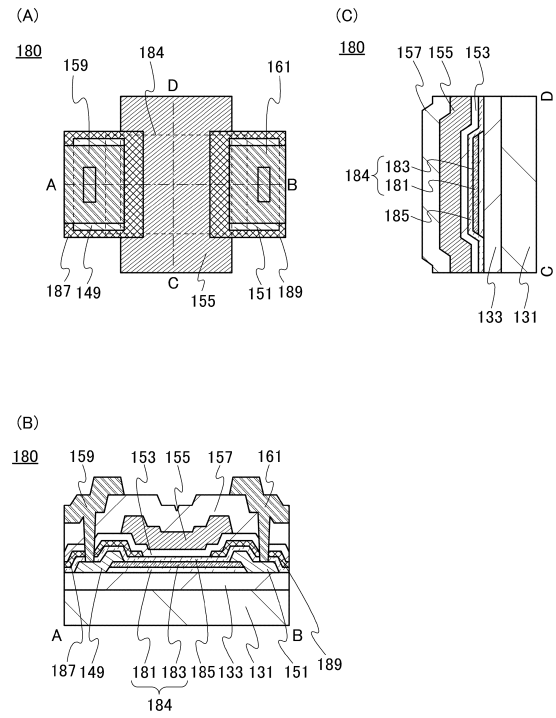
【図 8】



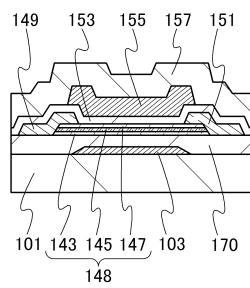
【図 9】



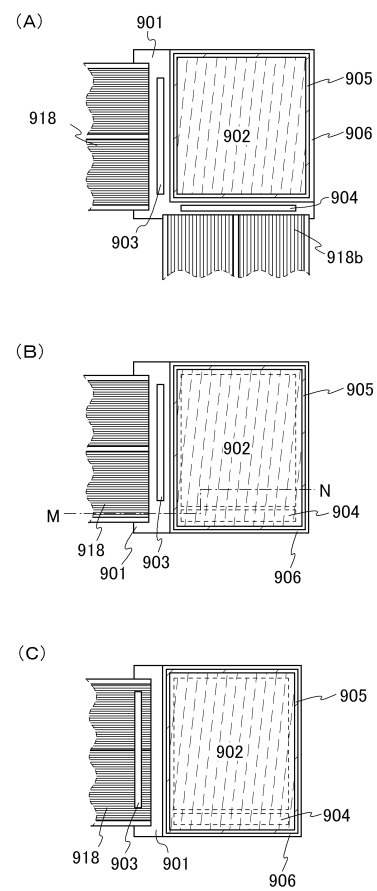
【図 10】



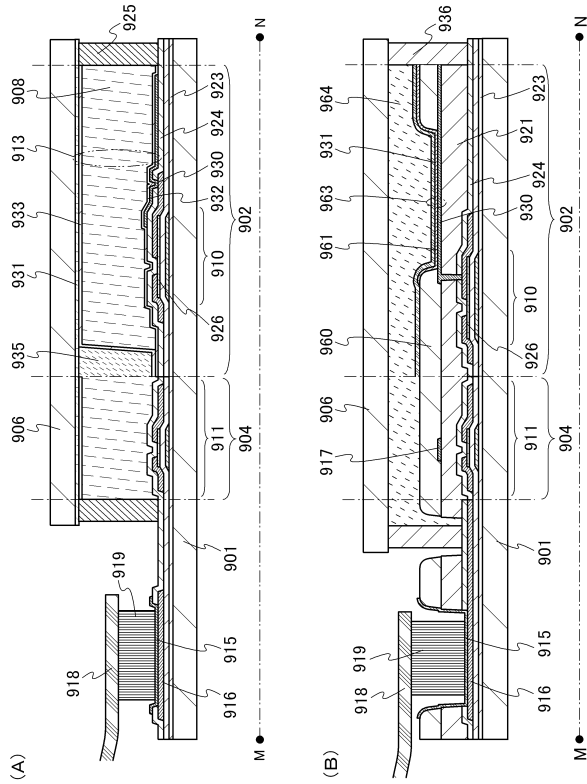
【図 11】



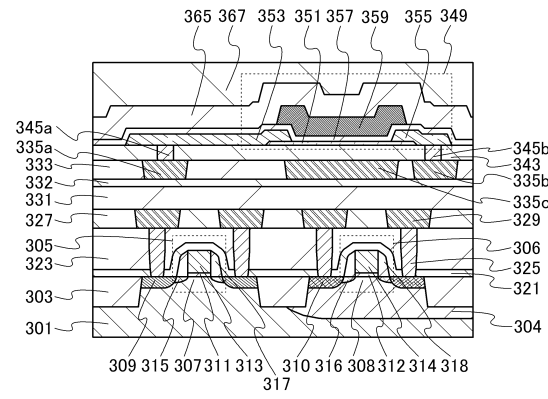
【図 12】



【図 13】

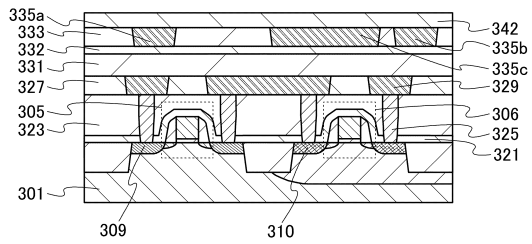


【図 14】

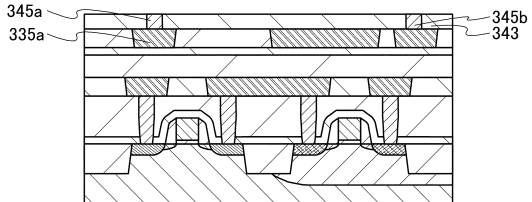


【図 15】

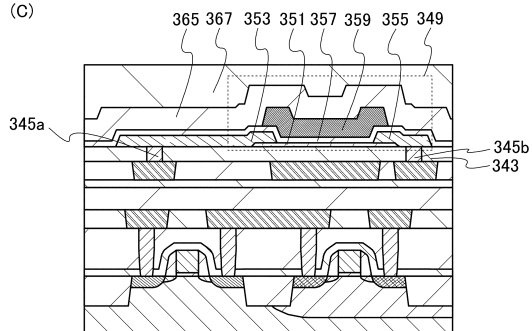
(A)



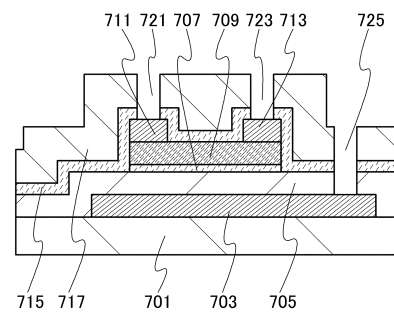
(B)



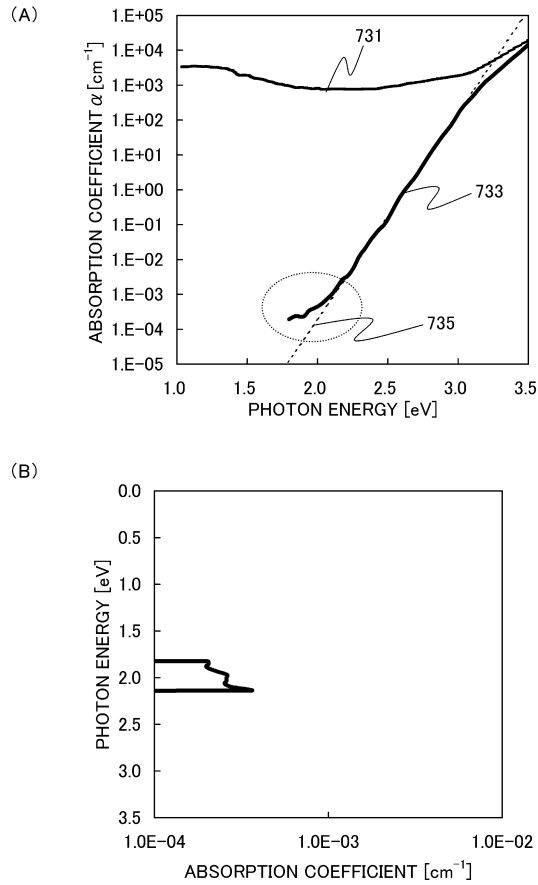
(C)



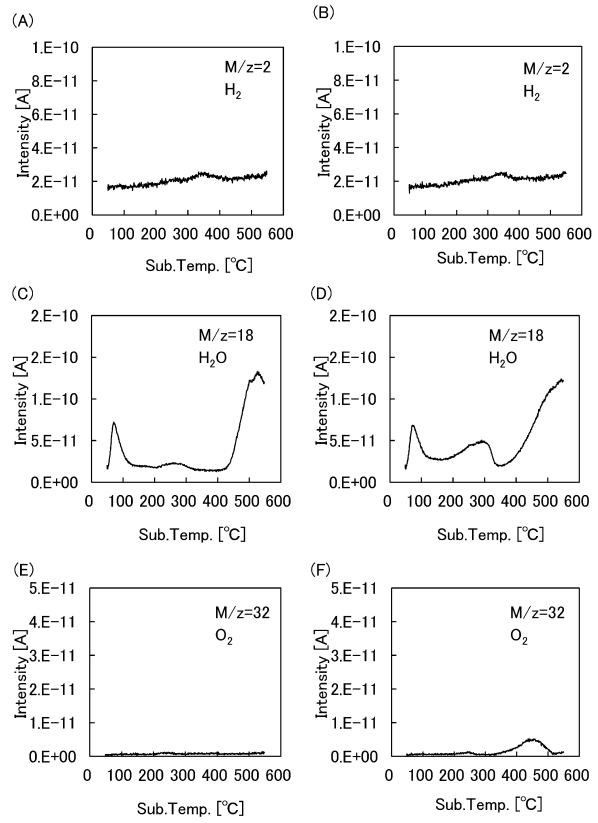
【図 16】



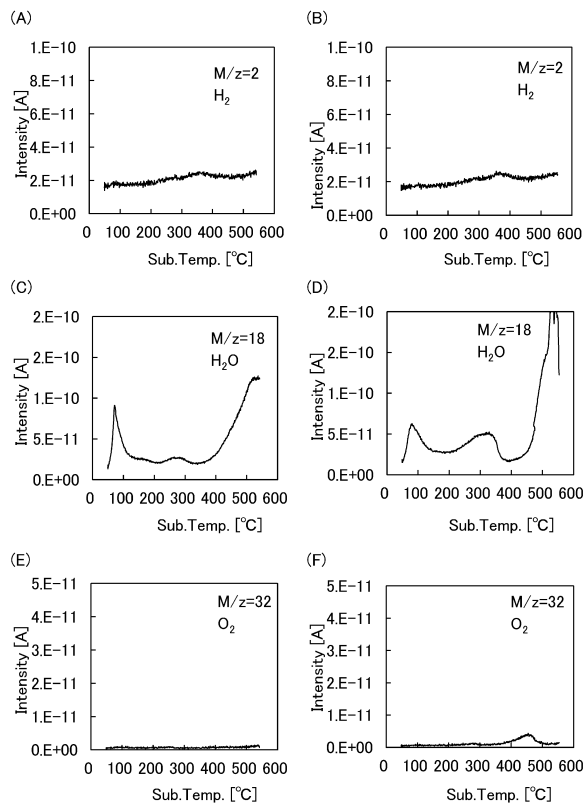
【図 17】



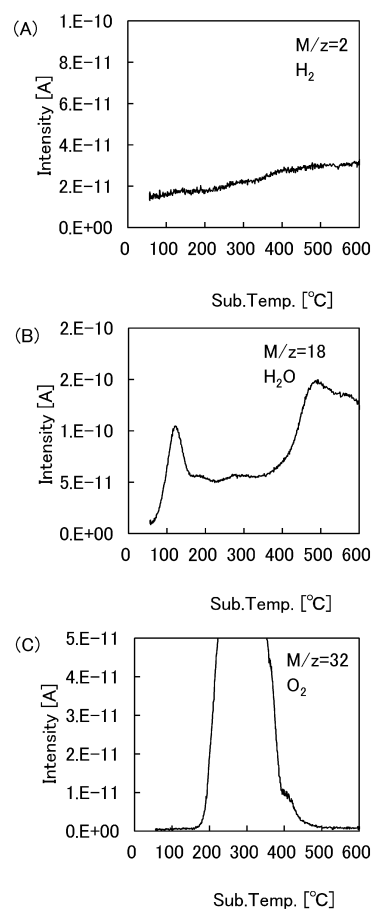
【図 18】



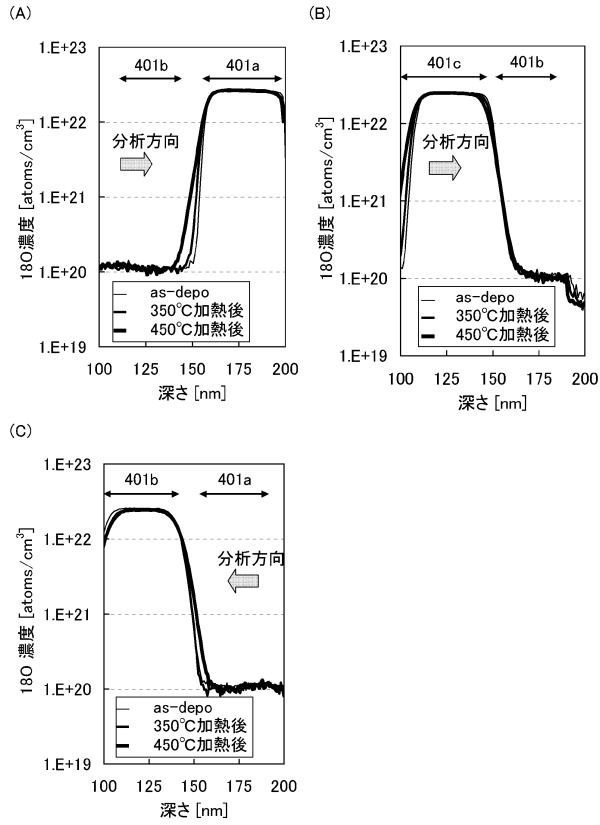
【図 19】



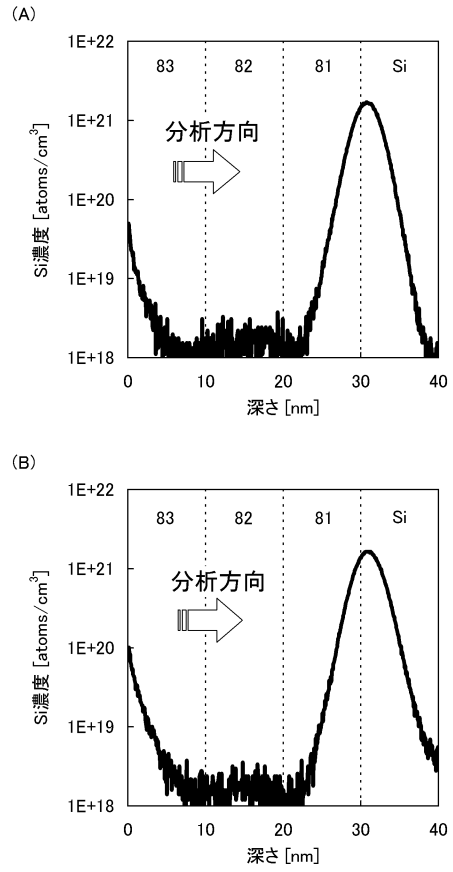
【図 20】



【図 2 1】



【図 2 2】



フロントページの続き

審査官 竹口 泰裕

(56)参考文献 特開 2 0 1 1 - 2 4 3 9 7 4 (J P , A)
特開 2 0 1 2 - 1 9 9 5 2 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6