

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 1 月 29 日(29.01.2015)



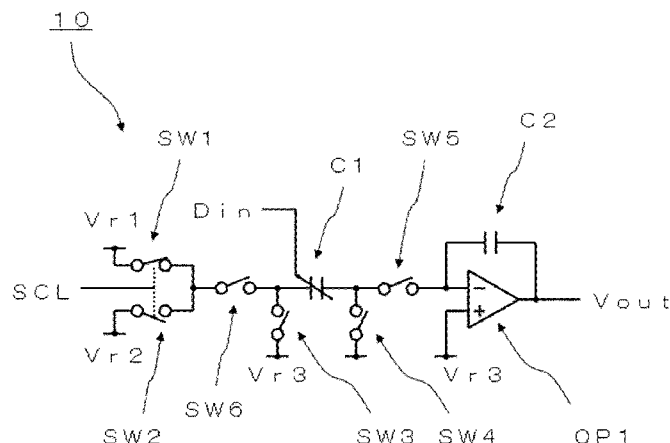
(10) 国際公開番号

WO 2015/012159 A1

- (51) 国際特許分類:
H03M 1/74 (2006.01)
- (21) 国際出願番号: PCT/JP2014/068812
- (22) 国際出願日: 2014 年 7 月 15 日(15.07.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-154491 2013 年 7 月 25 日(25.07.2013) JP
- (71) 出願人: アルプス電気株式会社(ALPS ELECTRIC CO., LTD.) [JP/JP]; 〒1458501 東京都大田区雪谷大塚町 1 番 7 号 Tokyo (JP).
- (72) 発明者: 斉藤 潤一(SAITO, Junichi); 〒1458501 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社内 Tokyo (JP). 佐藤 博喜(SATO, Hiroki); 〒1458501 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社内 Tokyo (JP).
- (74) 代理人: 野▲崎▼ 照夫(NOZAKI, Teruo); 〒1700013 東京都豊島区東池袋 1-2-1-1 オーク池袋ビルディング 3 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: D/A CONVERTER

(54) 発明の名称: D/A 変換器



(57) Abstract: The main section of this D/A converter (10) is equipped with a first switch (SW1) which is connected to a first reference voltage (Vr1), a second switch (SW2) which is connected to a second reference voltage (Vr2), and a third switch (SW3) which is connected to a third reference voltage (Vr3). The A/D converter is also equipped with a first capacitor (C1), a fourth switch (SW4) which is connected to the third reference voltage (Vr3), and a fifth switch (SW5) which is connected to the first capacitor (C1) and the fourth switch (SW4). In addition, the D/A converter is also equipped with an operational amplifier (OP1) which is connected to the fifth switch (SW5) and a second capacitor (C2) which is connected to the fifth switch (SW5) and the operational amplifier (OP1). When an input digital signal with polarity is zero, control is performed so as to switch between a case wherein the first switch (SW1) is closed and the second switch (SW2) is opened and a case wherein the first switch (SW1) is opened and the second switch (SW2) is closed. Consequently, a high-precision D/A converter is provided.

(57) 要約:

[続葉有]



D/A変換器10の主要部は、第1の基準電圧 V_{r1} に接続する第1のスイッチSW1と、第2の基準電圧 V_{r2} に接続する第2のスイッチSW2と、第3の基準電圧 V_{r3} に接続された第3のスイッチSW3と、を備えている。また、第1の容量 $C1$ と、第3の基準電圧 V_{r3} に接続された第4のスイッチSW4と、第1の容量 $C1$ 及び第4のスイッチSW4に接続された第5のスイッチSW5と、を備えている。そして、第5のスイッチSW5に接続されたオペアンプOP1と、第5のスイッチSW5とオペアンプOP1に接続された第2の容量 $C2$ と、を備えている。入力された極性付きデジタル信号がゼロのとき、第1のスイッチSW1が閉じられ、第2のスイッチSW2が開放される場合と、第1のスイッチSW1が開放され、第2のスイッチSW2が閉じられる場合と、を切り替える制御を行うことで、高精度なD/A変換器を提供する。

明 細 書

発明の名称 : D/A変換器

技術分野

[0001] 本発明は、デジタル信号をアナログ電圧に変換する高精度なD/A変換器に関する。

背景技術

[0002] デジタル信号をアナログ電圧に変換する方式は数多く提案されているが、近年では、精度および回路規模の観点から、オーバーサンプリングを用い、ノイズシェーピング機能をもつデルタシグマ変調器が多用されている。これは、オーバーサンプリング部とデルタシグマ変調部分がデジタル回路で構成されるため、近年の微細プロセス技術に適合しており、高速動作やサイズ縮小が見込めるためである。また別の理由は、デジタル回路以後のアナログ回路部分の要求、たとえば、真にデジタルからアナログへ変換する部分のビット幅・階調が小さくて済むことや、後置されるローパスフィルタ特性が緩和されるためである。

[0003] このようなデルタシグマ変調器から出力される信号を低ノイズでD/A変換するため、微細プロセス技術に適合したスイッチト・キャパシタ型のD/A変換器(digital to analog converter)が使用されている。例えば、特許文献1に開示されたD/A変換器では、正負の2つの基準電圧と複数のキャパシタを用いてD/A変換を行う。

[0004] 図10は、特許文献1に記載されたD/A変換器900を示す回路図である。

[0005] クロック供給部200から供給されるクロック ϕ 901がハイレベルである期間に、スイッチSUG1～SUGeの動作によって、容量素子C901～C90eの左側の端子が基準電圧Vr+又はVr-に接続され、容量素子C901～C90eはそれぞれ基準電圧に対応する電荷を保持する。また、スイッチSUGf～SUGiの動作によって、容量素子C90f～C90i

の左側の端子が基準電位 V_{r+} 、 V_{r-} 、又は接地電位に接続され、容量素子 $C_{90f} \sim C_{90i}$ は、それぞれ基準電圧に応じた電荷を保持する。

[0006] クロック ϕ_{902} がハイレベルになると、容量素子 $C_{901} \sim C_{90e}$ が、演算増幅器 100 の出力端子（出力電位 OUT ）と反転入力端子との間に並列に接続される。また、クロック ϕ_{902} がハイレベルになると、スイッチ $SUGf \sim SUGi$ のうち、基準電位 V_{r+} 又は V_{r-} に接続されるスイッチは開状態となり、接地電位に接続されるスイッチは閉状態となる。これによって、容量素子 $C_{90f} \sim C_{90i}$ に、クロック ϕ_{901} がハイレベルである期間に保持された電荷が、演算増幅器 100 の帰還容量素子 C_{fb} に転送つまり、積分される。

[0007] その結果、容量素子 $C_{901} \sim C_{90e}$ 及び帰還容量素子 C_{fb} の間で、電荷の分配が起こり、出力電位 OUT の最大振幅をより大きくすることができる。

先行技術文献

特許文献

[0008] 特許文献1：特開 2003-264464 号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、スイッチト・キャパシタ型の D/A 変換器は、電圧を出力する構成に、容量素子 $C_{901} \sim C_{90e}$ 等の容量を使用しているため、デジタル信号がゼロのときに蓄積される電荷が無視できず、アナログ電圧出力に誤差を生じてしまう可能性があった。

[0010] 本発明は、上述した課題を解決するものであり、高精度な D/A 変換器を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の D/A 変換器は、第 1 の基準電圧に接続する第 1 のスイッチと、第 2 の基準電圧に接続する第 2 のスイッチと、前記第 1 のスイッチ及び前記

第2のスイッチに接続され第3の基準電圧に接続する第3のスイッチと、前記第1のスイッチ、前記第2のスイッチ及び前記第3のスイッチに接続された第1の容量と、前記第1の容量に接続され第3の基準電圧に接続された第4のスイッチと、前記第1の容量及び前記第4のスイッチに接続された第5のスイッチと、前記第5のスイッチに接続されたオペアンプと、前記第5のスイッチと前記オペアンプに接続された第2の容量とを備え、入力された極性付きデジタル信号が0のとき、前記第1のスイッチが閉じられ、前記第2のスイッチが開放される場合と、前記第1のスイッチが開放され、前記第2のスイッチが閉じられる場合と、を切り替える制御が行われることを特徴とする。

[0012] この構成によれば、デジタル信号がゼロのとき、第1の基準電圧によって、正の出力がされる場合と、第2の基準電圧によって負の出力がされる場合と、を切り替えるので、いずれか一方の状態で蓄積される誤差が相殺され、ゼロに近い出力となる。

[0013] また本発明のD/A変換器において、入力された極性付きデジタル信号が0のときに、前記第1のスイッチが閉じられ、前記第2のスイッチが開放される回数と、前記第1のスイッチが開放され、前記第2のスイッチが閉じられる回数と、の差が最小となるように前記第1のスイッチと前記第2のスイッチとが制御されることが好ましい。

[0014] この構成によれば、デジタル信号が0のとき、第1の基準電圧によって、正の出力がされる場合と、第2の基準電圧によって負の出力がされる場合との回数の差が小さくなるように制御されるので、更にゼロに近い出力となる。

[0015] 本発明のD/A変換器において、入力された極性付きデジタル信号がゼロのときに、前記第1のスイッチと前記第2のスイッチとが交互に閉じられることが好ましい。

[0016] この構成によれば、デジタル信号が0のとき、第1の基準電圧によって、正の出力がされる場合と、第2の基準電圧によって負の出力がされる場合と

が交互に繰り返されるので、安定して0に近い出力となる。

[0017] 本発明のD/A変換器において、入力された極性付きデジタル信号がゼロのときに、前記第1のスイッチと前記第2のスイッチとがランダムとみなすことができる符号により開閉を制御されるようにしてもよい。

[0018] この構成によれば、デジタル信号がゼロのとき、第1の基準電圧によって、正の出力がされる場合と、第2の基準電圧によって負の出力がされる場合とがランダムに繰り返されるので、ゼロに近い出力となる。

[0019] 本発明のD/A変換器において、前記第1のスイッチ及び前記第2のスイッチと、前記第3のスイッチ及び前記第1の容量と、を接続するように挿入された第6のスイッチを備え、前記第1のスイッチと前記第2のスイッチとは、一方が閉じ他方が開放されるように制御線で制御されることが好ましい。

[0020] この構成によれば、第6のスイッチが開いていれば、第1のスイッチ及び第2のスイッチのいずれか一方が閉じていても開放されるので、制御線が1つで済む。第6のスイッチで必要なときに電流を流すように制御できるので、低消費電力で、高精度にすることができる。

[0021] 本発明のD/A変換器において、前記第1のスイッチを制御する第1の制御線と、前記第2のスイッチを制御する第2の制御線と、を備え、前記第1の制御線と前記第2の制御線とがいずれも開放されているか、いずれか一方が閉じるように制御されていることが好ましい。

[0022] この構成によれば、第1のスイッチ及び第2のスイッチを必要なときに電流を流すように制御できるので、低消費電力で、高精度にすることができる。

[0023] 本発明のD/A変換器において、第1の容量は、第7のスイッチ、第8のスイッチ及び第3の容量を備えたスイッチ付き容量が複数並列接続されてなる可変容量であることが好ましい。

[0024] この構成によれば、第1のスイッチ及び第2のスイッチを入力とする可変容量であるので、複雑な制御を必要とせず、低消費電力で、高精度にするこ

とができる。

発明の効果

[0025] 本発明によれば、デジタル信号がゼロのとき、正の出力がされる場合と負の出力がされる場合とを切り替えるので、誤差が相殺され、高精度なD/A変換器を提供することができる。

図面の簡単な説明

[0026] [図1]本発明の実施形態のD/A変換器を示す主要部の回路図である。

[図2]可変容量の具体的事例を含むD/A変換器を示す主要部の回路図である。

[図3]スイッチ付き容量の等価回路図であり、(a)は第1の基準電圧に接続されたスイッチ付き容量の等価回路図であり、(b)は第2の基準電圧に接続されたスイッチ付き容量の等価回路図である。

[図4]本発明の実施形態のD/A変換器の第1実施例における駆動方法を示す説明図である。

[図5]第2実施例における駆動方法を示す説明図である。

[図6]比較例における駆動方法を示す説明図である。

[図7]可変容量の具体的事例を含む第2変形例のD/A変換器を示す主要部の回路図である。

[図8]第3変形例のD/A変換器を示す主要部の回路図である。

[図9]可変容量の具体的事例を含む第3変形例のD/A変換器を示す主要部の回路図である。

[図10]従来のD/A変換器を示す回路図である。

発明を実施するための形態

[0027] 以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、分かりやすいように、図面は寸法を適宜変更している。

[0028] 図1は、本発明の実施形態のD/A変換器10を示す主要部の回路図である。図2は、可変容量の具体的事例を含むD/A変換器10を示す主要部の回路図である。図3は、スイッチ付き容量の等価回路図であり、図3(a)

は第1の基準電圧に接続されたスイッチ付き容量の等価回路図であり、図3(b)は、第2の基準電圧 V_{r2} に接続されたスイッチ付き容量 C_U の等価回路図である。

[0029] 本発明の実施形態のD/A変換器10は、出力端子と反転入力端子とが容量を介して接続されたオペアンプ（演算増幅器）を用いたスイッチト・キャパシタ型D/A変換器である。本実施形態のD/A変換器10は、デジタル信号に極性を示す符号が付いた符号付きデジタル信号を片極性のアナログ信号に変換する機能を有している。具体的には、例えば、4ビットのデジタル信号(0000)～(1111)の最上位を正負の極性データ（正の場合に1、負の場合に0）に割り当てた符号付きデジタル信号であり、変換後は1V～3V等のアナログ電圧を出力する。この場合、(0111)のデジタル値は負側の極性の最大値、(1111)のデジタル値が正側の極性の最大値であり、(1000)のデジタル値は正側の極性の最小値（ゼロ）であり、(0000)のデジタル値が負側の極性の最小値（ゼロ）である。なお、(0111)のデジタル値及び(1111)のデジタル値は、絶対値が同じ大きさである。(1000)のデジタル値及び(0000)のデジタル値は、量子化により符号データが付与されているが、実質的に同じゼロの値である。アナログ信号に変換されたアナログ電圧は、負側の最大値が1V、負側及び正側の最小値（ゼロ）が2V、正側の最大値が3Vで出力される。

[0030] 本発明の実施形態のD/A変換器10の主要部は、図1に示すように、第1の基準電圧 V_{r1} に接続する第1のスイッチSW1と、第2の基準電圧 V_{r2} に接続する第2のスイッチSW2と、第3の基準電圧 V_{r3} に接続された第3のスイッチSW3と、を備えている。また、入力データであるデジタル値に対応して容量値が可変される第1の容量 C_1 と、第3の基準電圧 V_{r3} に接続された第4のスイッチSW4と、第1の容量 C_1 及び第4のスイッチSW4に接続された第5のスイッチSW5と、を備えている。そして、第5のスイッチSW5に接続されたオペアンプOP1と、第5のスイッチSW5とオペアンプOP1に接続された第2の容量 C_2 と、を備えている。さら

に、第1のスイッチSW1及び第2のスイッチSW2と、第3のスイッチSW3及び第1の容量C1と、を接続するように挿入された第6のスイッチSW6を備えている。

[0031] 第1のスイッチSW1と第2のスイッチSW2とは、一方が閉じ他方が開放されるように制御線SCLで制御される。第1のスイッチSW1と第2のスイッチSW2とは、いずれか一方のみが閉じる相補関係になっている。一方、第1のスイッチSW1及び第2のスイッチSW2以外のスイッチ（SW3～SW6）は、クロック $\phi 1$ 及びクロック $\phi 2$ によって開閉制御されている。

[0032] 第3の基準電圧 V_{r3} は、本実施形態ではグランド電位である。本実施形態では、第1の基準電圧 V_{r1} は、第2の基準電圧 V_{r2} と大きさが同じで極性が異なる電圧である。また、オペアンプOP1の非反転入力端子は第3の基準電圧 V_{r3} に接続され、本実施形態ではグランド電位である。

[0033] なお、図示していないが、電源回路及び各スイッチ（SW1～SW6）を開閉制御するための制御回路によって、後述する回路動作が得られるように制御されている。また、アナログ電圧出力の初期値を設定するためのリセット回路や、ゲインを持たせた積分回路及び不完全積分回路等を備えるように、さらに他のスイッチや容量を追加するが、本実施形態の説明では省略している。なお、このような電源回路等を含むD/A変換器10の回路は、半導体集積回路として単体又は他の回路を含むシステムの状態を提供され、電子機器等に使用される。

[0034] 本発明の実施形態のD/A変換器10は、制御回路によって、入力データが正なのか負なのかを判断し、前述のように正の符号1のときは第1の基準電圧 V_{r1} に接続する第1のスイッチSW1を閉じる。極性が負の符号0のときは、第2の基準電圧 V_{r2} に接続する第2のスイッチSW2を閉じる。また、正の符号1のときは第2のスイッチSW2を開き、負の符号0のときは第1のスイッチSW1を開放する。第1のスイッチSW1と第2のスイッチSW2とは、いずれか一方が閉じると共に、いずれか他方が開放される。

[0035] 次に、制御回路によって、入力データの絶対値を求め、絶対値に比例した容量値となるように第1の容量 C_1 の大きさを決定する制御信号 D_{in} が生成される。例えば、(1010)の絶対値は2であり、単位容量を C_0 とすれば、 $C_1 = C_0 \times 2$ に調整される。

[0036] 本発明の実施形態のD/A変換器10は、以下のスイッチング動作を行うように制御されて、アナログ電圧が出力される。例えば、(1010)が入力されると、前述のように、第1のスイッチSW1を閉じ、第2のスイッチSW2を開放する。そして、クロック ϕ_1 がハイレベルである期間に、第3のスイッチSW3を開き、第4のスイッチSW4を閉じ、第5のスイッチSW5を開放すると共に、第6のスイッチSW6を閉じる。これによって、制御信号 D_{in} で調整された第1の容量 C_1 が第1の基準電圧 V_{r1} になるように充電される。

[0037] 続いて、クロック ϕ_2 がハイレベルである期間に、第4のスイッチSW4と第6のスイッチSW6とを開放すると共に、第3のスイッチSW3と第5のスイッチSW5とを閉じる。これによって、第1の容量 C_1 を充電していた電荷を第2の容量 C_2 に転送する。第2の容量 C_2 に電荷が蓄積される積分動作が得られると共に、オペアンプOP1の出力電圧は第1の容量 C_1 と第2の容量 C_2 との容量比に応じて決定される。

[0038] 第1の容量 C_1 は、入力データであるデジタル値に対応して容量値が可変される。より具体的には、本実施形態のD/A変換器10の主要部は、図2に示すように、第7のスイッチSW7、第8のスイッチSW8及び第3の容量 C_3 を備えたスイッチ付き容量 C_U が n 個並列接続されてなる可変容量を含む回路である。 n 個のスイッチ付き容量 C_U は、0個～ n 個が選択されて並列接続の合成容量値を階段状に設定可能になっている。

[0039] 本実施形態のD/A変換器10は、制御回路によって、入力データの絶対値を求め、絶対値に比例した容量値となるように制御信号 D_{in} でスイッチ付き容量 C_U の有効数が可変される。すなわち、入力データの絶対値に比例した有効数のスイッチ付き容量 C_U に対して、制御信号 D_{in} に基づき、第

7のスイッチSW7を閉じると共に、第8のスイッチSW8を開放するスイッチ制御が行われる。制御信号D_{in}に基づき、第7のスイッチSW7を閉じると共に、第8のスイッチSW8を開いていれば、スイッチ付き容量C_Uとして有効化され、この状態で第4のスイッチSW4が第3の基準電圧V_{r3}に接続されたときに第3の容量C₃が充電される。第7のスイッチSW7を開放すると共に、第8のスイッチSW8を閉じていれば、第3の容量C₃は第8のスイッチSW8と第4のスイッチSW4との両側が第3の基準電圧V_{r3}に接続されるので、スイッチ付き容量C_Uとして無効化される。

[0040] 次に、本実施形態のD/A変換器10が備えている特徴部分について、従来の問題点とその解決手法を実施例により説明する。

[0041] 図3に示すように、スイッチ付き容量C_Uの等価回路は、抵抗と容量とからなる3端子回路である。第7のスイッチSW7を開放すると共に、第8のスイッチSW8を閉じているときは、第7のスイッチSW7は高い抵抗値のオフ抵抗R_{off}、第8のスイッチSW8は低い抵抗値のオン抵抗R_{on}である。なお、図3の抵抗は、それぞれ1個のスイッチに対応させていたが、第6のスイッチSW6等のスイッチが接続された等価回路は直列接続の抵抗で表わすことができる。したがって、図3の抵抗値を合成抵抗の抵抗値に置き換えれば、以下の説明は同じである。図3(a)に示すように、第1の基準電圧V_{r1}が第7のスイッチSW7に印加されたときには、オフ抵抗R_{off}を介して、第3の容量C₃は、以下の式のように分圧された電圧V_{off1}に充電される。

$$[0042] \quad V_{off1} = (V_{r1} - V_{r3}) \times R_{on} / (R_{off} + R_{on})$$

[0043] 同様に、図3(b)に示すように、第2の基準電圧V_{r2}が第7のスイッチSW7に印加されたときには、オフ抵抗R_{off}を介して、第3の容量C₃は、以下の式のように分圧された電圧V_{off2}に充電される。

$$[0044] \quad V_{off2} = (V_{r2} - V_{r3}) \times R_{on} / (R_{off} + R_{on})$$

[0045] 第3の基準電圧V_{r3}は、本実施形態ではグランド電位である。本実施形態では、第1の基準電圧V_{r1}と第2の基準電圧V_{r2}とは大きさが同じで

極性が異なるので、電圧 V_{off1} と電圧 V_{off2} とは大きさが同じで極性が異なる数値である。

[0046] これらの電圧が、第3の容量 C_3 を充電する充電電圧 V_{in} となる。スイッチ付き容量 C_U が無効化されているとき、オフ抵抗 R_{off} を介した充電電圧 V_{in} による蓄積電荷については従来考慮されていなかった。また、大きなアナログ電圧を出力するとき、その電圧に対する誤差要因としては無視されるものであった。

[0047] しかしながら、より小さなアナログ電圧を出力するときには、誤差要因として無視できない。すなわち、出力する電圧が小さいときは、相対的に大きな割合を占めるようになると共に、図2のスイッチ付き容量 C_U の大半が無効化されているので、それらが加算された大きな誤差になる。これは、入力データがゼロのときに顕著となり、入力データが長時間ゼロであるようなデジタル信号のアナログ変換における高精度化の課題であった。

[0048] 本実施形態では、入力された極性付きデジタル信号がゼロのとき、第1のスイッチ SW_1 が閉じられ、第2のスイッチ SW_2 が開放される場合と、第1のスイッチ SW_1 が開放され、第2のスイッチ SW_2 が閉じられる場合と、を切り替える制御が行われる。このとき、第1のスイッチ SW_1 が閉じられ、第2のスイッチ SW_2 が開放される回数と、第1のスイッチ SW_1 が開放され、第2のスイッチ SW_2 が閉じられる回数と、の差が最小となるように第1のスイッチ SW_1 と第2のスイッチ SW_2 とが制御される。具体的には、以下に説明する。

実施例

[0049] 図4は、本発明の実施形態のD/A変換器10の第1実施例における駆動方法を示す説明図である。図5は、第2実施例における駆動方法を示す説明図である。図6は、比較例における駆動方法を示す説明図である。図4～図6の D_{in} はスイッチ付き容量 C_U を選択する信号（1又は0）、 SC_L は極性の符号（1又は0）であり、 V_{in} は第3の容量 C_3 の充電電圧であり、横軸は時間軸である。なお、説明を分かりやすくするために、クロック ϕ

1 がハイレベルである期間における状態のみを模式的に示したものであり、クロック $\phi 2$ がハイレベルである期間での挙動を省略している。

[0050] はじめに、比較例として、従来の駆動方法を説明する。図6に示すように、スイッチ付き容量 C_U として有効化され、第1の基準電圧 V_{r1} が第7のスイッチ SW_7 に印加されたときには、第3の容量 C_3 は第1の基準電圧 V_{r1} に充電される。スイッチ付き容量 C_U として無効化されているときには、第7のスイッチ SW_7 を開放すると共に、第8のスイッチ SW_8 を閉じているので、第1の基準電圧 V_{r1} が第7のスイッチ SW_7 に印加されたときには、第3の容量 C_3 は電圧 V_{off1} に充電される。一方、スイッチ付き容量 C_U として有効化され、第2の基準電圧 V_{r2} が第7のスイッチ SW_7 に印加されたときには、第3の容量 C_3 は第2の基準電圧 V_{r2} に充電される。スイッチ付き容量 C_U として無効化され、第2の基準電圧 V_{r2} が第7のスイッチ SW_7 に印加されたときには、第3の容量 C_3 は電圧 V_{off2} に充電される。図6に示すように、従来の駆動方法では、入力された極性付きデジタル信号がゼロのとき、第1のスイッチ SW_1 と第2のスイッチ SW_2 とが直前に選択された状態が継続する。このため、電圧 V_{off1} の状態で蓄積された電荷が連続して転送され、又は電圧 V_{off2} の状態で蓄積された電荷が連続して転送され、出力がされているので、大きな誤差を生じていた。

[0051] これに対し、本実施形態の第1実施例では、図4に示すように、入力データがゼロになった場合、その前にデータがゼロの状態の極性を記憶しておき、その反転の極性となるように第1のスイッチ SW_1 と第2のスイッチ SW_2 とを切り替える制御が行われる。すなわち、入力された極性付きデジタル信号がゼロのときに、第1のスイッチ SW_1 が閉じられる回数と、第2のスイッチ SW_2 が閉じられる回数と、の差が最小となるように、第1のスイッチ SW_1 と第2のスイッチ SW_2 とが交互に閉じられる。この構成によれば、デジタル信号がゼロのとき、第1の基準電圧 V_{r1} によって電圧 V_{off1} の状態で正の出力がされる場合と、第2の基準電圧 V_{r2} によって電圧 V_{off2} の状態で負の出力がされる場合と、を交互に行うことができる。

o f f 2の状態を負の出力がされる場合とが交互に繰り返されるので、いずれか一方の状態に蓄積される誤差が相殺され、安定してゼロに近い出力となる。

[0052] 本実施形態の第1変形例である第2実施例では、図5に示すように、入力された極性付きデジタル信号がゼロのときに、第1のスイッチSW1と第2のスイッチSW2とがランダムとみなすことができる符号により開閉を制御される。この構成によれば、デジタル信号が0のとき、第1の基準電圧 V_{r1} によって電圧 V_{off1} の状態に正の出力がされる場合と、第2の基準電圧 V_{r2} によって電圧 V_{off2} の状態に負の出力がされる場合とがランダムに繰り返されるので、平均化され、ゼロに近い出力となる。

[0053] 以下、本実施形態としたことによる効果について説明する。

[0054] 本実施形態のD/A変換器10は、入力された極性付きデジタル信号がゼロのとき、第1のスイッチSW1が閉じられ、第2のスイッチSW2が開放される場合と、第1のスイッチSW1が開放され、第2のスイッチSW2が閉じられる場合と、を切り替える制御が行われる。この構成によれば、デジタル信号がゼロのとき、第1の基準電圧 V_{r1} によって、正の出力がされる場合と、第2の基準電圧 V_{r2} によって負の出力がされる場合と、を切り替えるので、いずれか一方の状態に蓄積される誤差が相殺され、ゼロに近い出力となる。

[0055] また本実施形態のD/A変換器10において、入力された極性付きデジタル信号がゼロのときに、第1のスイッチSW1が閉じられ、第2のスイッチSW2が開放される回数と、第1のスイッチSW1が開放され、第2のスイッチSW2が閉じられる回数と、の差が最小となるように第1のスイッチSW1と第2のスイッチSW2とが制御されることが好ましい。この構成によれば、デジタル信号がゼロのとき、第1の基準電圧 V_{r1} によって、正の出力がされる場合と、第2の基準電圧 V_{r2} によって負の出力がされる場合との回数の差が小さくなるように制御されるので、更にゼロに近い出力となる。

- [0056] 本実施形態のD/A変換器10において、入力された極性付きデジタル信号がゼロのときに、第1のスイッチSW1と第2のスイッチSW2とが交互に閉じられることが好ましい。この構成によれば、デジタル信号がゼロのとき、第1の基準電圧 V_{r1} によって、正の出力がされる場合と、第2の基準電圧 V_{r2} によって負の出力がされる場合とが交互に繰り返されるので、安定してゼロに近い出力となる。
- [0057] 本実施形態のD/A変換器10において、入力された極性付きデジタル信号がゼロのときに、第1のスイッチSW1と第2のスイッチSW2とがランダムとみなすことができる符号により開閉を制御されるようにしてもよい。この構成によれば、デジタル信号がゼロのとき、第1の基準電圧 V_{r1} によって、正の出力がされる場合と、第2の基準電圧 V_{r2} によって負の出力がされる場合とがランダムに繰り返されるので、ゼロに近い出力となる。
- [0058] 本実施形態のD/A変換器10において、第6のスイッチSW6を備え、第1のスイッチSW1と第2のスイッチSW2とは、一方が閉じ他方が開放されるように制御線SCLで制御される。この構成によれば、第6のスイッチSW6が開いていれば、第1のスイッチSW1及び第2のスイッチSW2のいずれか一方が閉じていても開放されるので、制御線SCLが1つで済む。第6のスイッチSW6で必要なときに電流を流すように制御できるので、低消費電力で、高精度にすることができる。
- [0059] 本実施形態のD/A変換器10において、第1の容量C1は、第7のスイッチSW7、第8のスイッチSW8及び第3の容量C3を備えたスイッチ付き容量CUが複数並列接続されてなる可変容量である。この構成によれば、第1のスイッチSW1及び第2のスイッチSW2を入力とする可変容量であるので、複雑な制御を必要とせず、低消費電力で、高精度にすることができる。
- [0060] なお、より高分解能のD/A変換器を上記の可変容量で構成する場合は、並列接続するスイッチ付き容量CUの個数を増やせばよい。このとき、スイッチ付き容量CUの製造上のばらつきによって第3の容量の容量値が個々に

ばらつくため、有効化されるスイッチ付き容量C_Uとしてクロックφ₁ごとに異なるものを選択すれば、積分されたアナログ電圧の出力誤差への影響を低減することができる。このように制御すれば、さらに高精度にすることができる。

[0061] 以上のように、本発明の実施形態及び第1変形例のD/A変換器10の主要部を具体的に説明したが、本発明は上記の実施形態に限定されるものではなく、要旨を逸脱しない範囲で種々変更して実施することが可能である。例えば次のように変形して実施することができ、これらも本発明の技術的範囲に属する。

[0062] 図7は、可変容量の具体的事例を含む第2変形例のD/A変換器20を示す主要部の回路図である。図7に示すように、第2変形例のD/A変換器20の主要部は、図2に示すような第6のスイッチSW₆は挿入されていない。上記以外の部分は図2に示す可変容量の具体的事例を含むD/A変換器10の主要部と同じである。D/A変換器20においても、制御回路によって、入力データの絶対値を求め、絶対値に比例した容量値となるようにスイッチ付き容量C_Uの有効数が可変される。

[0063] 第2変形例のD/A変換器20は、制御回路によって、入力データが正なのか負なのかを判断し、極性が正の符号1のときは、クロックφ₁がハイレベルになるタイミングで、第1の基準電圧V_{r1}に接続する第1のスイッチSW₁を閉じる。極性が負の符号0のときは、クロックφ₁がハイレベルになるタイミングで、第2の基準電圧V_{r2}に接続する第2のスイッチSW₂を閉じる。また、正の符号1のときは第2のスイッチSW₂を開き、負の符号0のときは第1のスイッチSW₁を開放する。このとき、第1のスイッチSW₁と第2のスイッチSW₂とは、いずれか一方のみが閉じる相補関係になっている。

[0064] 第2変形例のD/A変換器20の主要部は、クロックφ₁がハイレベルになるタイミングで第1のスイッチSW₁又は第2のスイッチSW₂を閉じるように制御することと、第6のスイッチSW₆を挿入していないこと以外は

、図2に示す可変容量の具体的事例を含むD/A変換器10の主要部と同じである。

[0065] 第2変形例のD/A変換器20は、入力された極性付きデジタル信号がゼロのときに、第1のスイッチSW1が閉じられる回数と、第2のスイッチSW2が閉じられる回数と、の差が最小となるように、クロック ϕ 1がハイレベルになるタイミングで第1のスイッチSW1と第2のスイッチSW2とが制御される。

[0066] この構成によれば、第1の基準電圧 V_{r1} によって、正の出力がされる場合と、第2の基準電圧 V_{r2} によって負の出力がされる場合との回数の差が小さくなるように制御されるので、いずれか一方の状態で蓄積される誤差が相殺される。

[0067] 図8は、本発明の実施形態の第3変形例のD/A変換器30を示す主要部の回路図である。図9は、可変容量の具体的事例を含む第3変形例のD/A変換器30を示す主要部の回路図である。

[0068] 図8及び図9に示すように、第3変形例のD/A変換器30の主要部は、第1の基準電圧 V_{r1} に接続する第1のスイッチSW11を制御する第1の制御線SL1と、第2の基準電圧 V_{r2} に接続する第2のスイッチSW12を制御する第2の制御線SL2と、を備えている。これらの第1の制御線SL1と第2の制御線SL2とが、いずれも開放されているか、いずれか一方が閉じるように制御されている。

[0069] 具体的には、図示しない制御回路によって、第1の制御線SL1には、入力データが正のとき、クロック ϕ 1がハイレベルである期間に第1のスイッチSW11を閉じる制御信号が伝達される。また、第2の制御線SL2には、入力データが負のとき、クロック ϕ 1がハイレベルである期間に第2のスイッチSW12を閉じる制御信号が伝達される。それら以外の状態では、第1のスイッチSW11及び第2のスイッチSW12は開いているように制御される。第1のスイッチSW11及び第2のスイッチSW12と、第3のスイッチSW3及び第1の容量C1と、は直接接続され、図1及び図2に示す

ような第6のスイッチSW6は挿入されていない。

[0070] 図9は、上記以外の部分は図2に示す可変容量の具体的事例を含むD/A変換器10の主要部と同じである。D/A変換器30においても、制御回路によって、入力データの絶対値を求め、絶対値に比例した容量値となるようにスイッチ付き容量CUの有効数が可変される。

[0071] 入力された極性付きデジタル信号がゼロのとき、第1の制御線SL1と第2の制御線SL2とのいずれか一方には、クロックφ1がハイレベルの期間にスイッチを閉じる制御信号が伝達されている。これにより、無効化されているスイッチ付き容量CUのSW7を介した充電電圧Vinによる電荷が第3の容量C3に蓄積されてしまうので、アナログ電圧を出力するときの誤差になる。本発明の実施形態の第3変形例では、入力された極性付きデジタル信号がゼロのときに、適宜、第1の制御線SL1と第2の制御線SL2との制御信号を切り替えるように制御される。そして、入力された極性付きデジタル信号がゼロのときに、第1のスイッチSW11が閉じられる回数と、第2のスイッチSW2が閉じられる回数と、の差が最小となるように、第1のスイッチSW11と第2のスイッチSW12とが制御される。この構成によれば、ゼロを出力する誤差が相殺されると共に、第1のスイッチSW11及び第2のスイッチSW12を必要なときに電流を流すように制御できるので、低消費電力で、高精度にすることができる。

符号の説明

[0072] 10、20、30 D/A変換器

C1 第1の容量

C2 第2の容量

C3 第3の容量

CU スイッチ付き容量

SL 制御線

SL1 第1の制御線

SL2 第2の制御線

OP1 オペアンプ

Roff オフ抵抗

Ron オン抵抗

SW1、SW11 第1のスイッチ

SW2、SW12 第2のスイッチ

SW3 第3のスイッチ

SW4 第4のスイッチ

SW5 第5のスイッチ

SW6 第6のスイッチ

SW7 第7のスイッチ

SW8 第8のスイッチ

Vr1 第1の基準電圧

Vr2 第2の基準電圧

Vr3 第3の基準電圧

請求の範囲

- [請求項1] 第1の基準電圧に接続する第1のスイッチと、第2の基準電圧に接続する第2のスイッチと、前記第1のスイッチ及び前記第2のスイッチに接続され第3の基準電圧に接続する第3のスイッチと、前記第1のスイッチ、前記第2のスイッチ及び前記第3のスイッチに接続された第1の容量と、前記第1の容量に接続され第3の基準電圧に接続された第4のスイッチと、前記第1の容量及び前記第4のスイッチに接続された第5のスイッチと、前記第5のスイッチに接続されたオペアンプと、前記第5のスイッチと前記オペアンプに接続された第2の容量とを備え、
- 入力された極性付きデジタル信号がゼロのとき、前記第1のスイッチが閉じられ、前記第2のスイッチが開放される場合と、前記第1のスイッチが開放され、前記第2のスイッチが閉じられる場合と、を切り替える制御が行われることを特徴とするD/A変換器。
- [請求項2] 入力された極性付きデジタル信号がゼロのときに、前記第1のスイッチが閉じられ、前記第2のスイッチが開放される回数と、前記第1のスイッチが開放され、前記第2のスイッチが閉じられる回数と、の差が最小となるように前記第1のスイッチと前記第2のスイッチとが制御されることを特徴とする請求項1に記載のD/A変換器。
- [請求項3] 入力された極性付きデジタル信号がゼロのときに、前記第1のスイッチと前記第2のスイッチとが交互に閉じられることを特徴とする請求項2に記載のD/A変換器。
- [請求項4] 入力された極性付きデジタル信号がゼロのときに、前記第1のスイッチと前記第2のスイッチとがランダムとみなすことができる符号により開閉を制御されることを特徴とする請求項1又は請求項2に記載のD/A変換器。
- [請求項5] 前記第1のスイッチ及び前記第2のスイッチと、前記第3のスイッチ及び前記第1の容量と、を接続するように挿入された第6のスイッ

チを備え、

前記第1のスイッチと前記第2のスイッチとは、一方が閉じ他方が開放されるように制御線で制御されることを特徴とする請求項1乃至請求項4のいずれかに記載のD/A変換器。

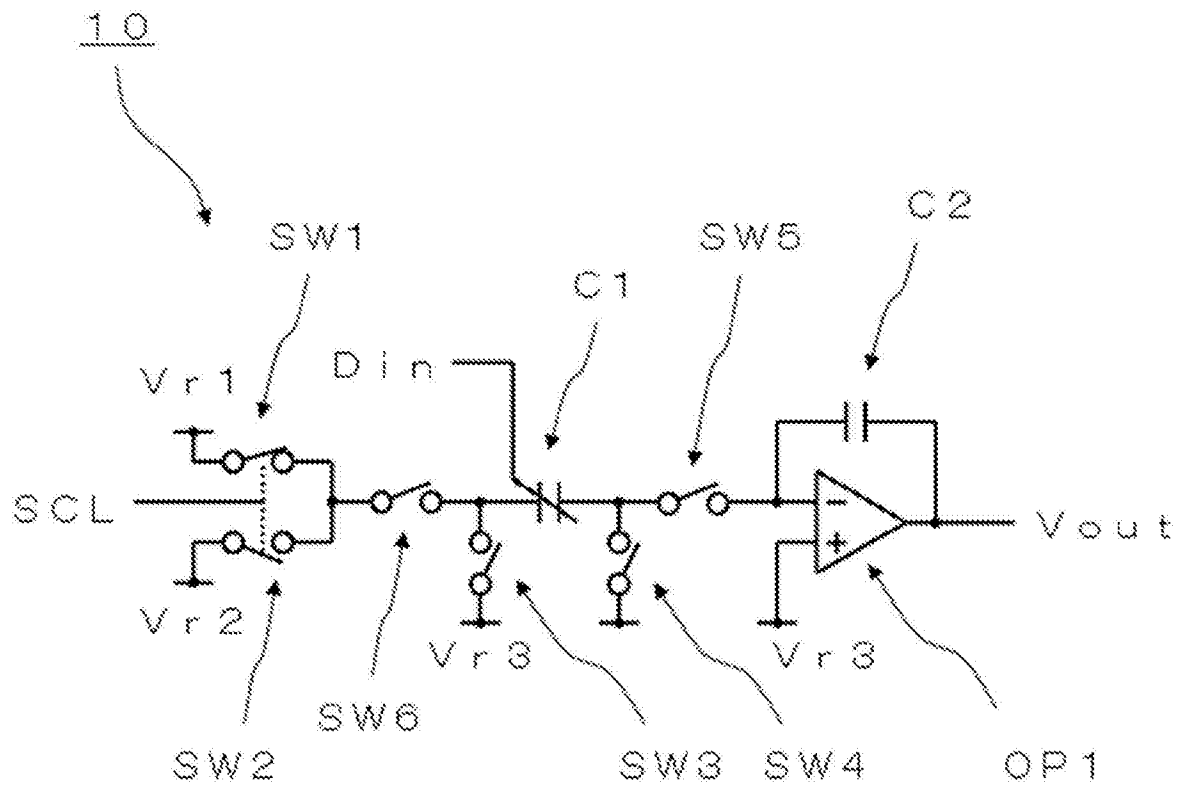
[請求項6]

前記第1のスイッチを制御する第1の制御線と、前記第2のスイッチを制御する第2の制御線と、を備え、前記第1の制御線と前記第2の制御線とがいずれも開放されているか、いずれか一方が閉じるように制御されていることを特徴とする請求項1乃至請求項4のいずれかに記載のD/A変換器。

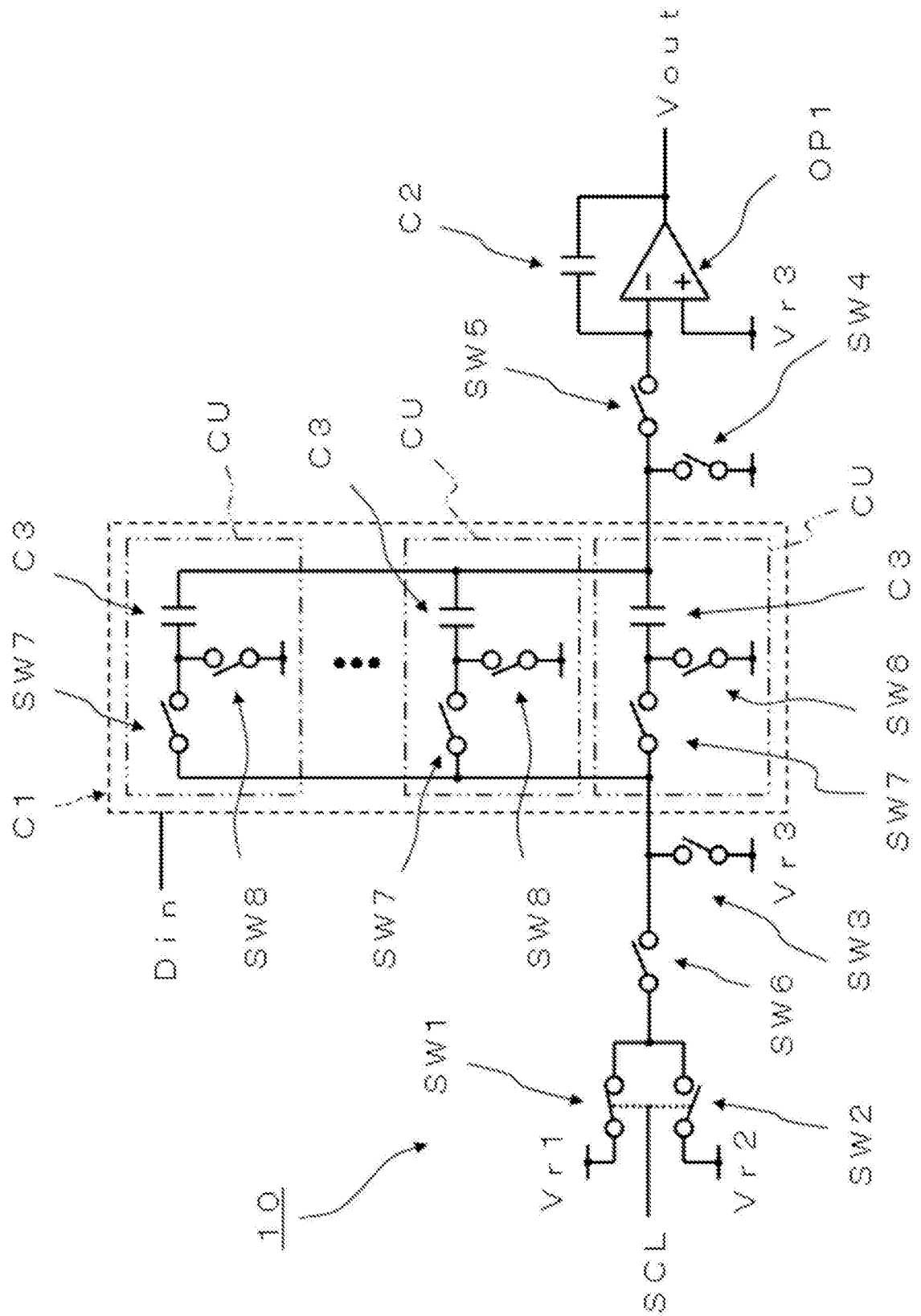
[請求項7]

前記第1の容量は、第7のスイッチ、第8のスイッチ及び第3の容量を備えたスイッチ付き容量が複数並列接続されてなる可変容量であることを特徴とする請求項1乃至請求項6のいずれかに記載のD/A変換器。

[図1]

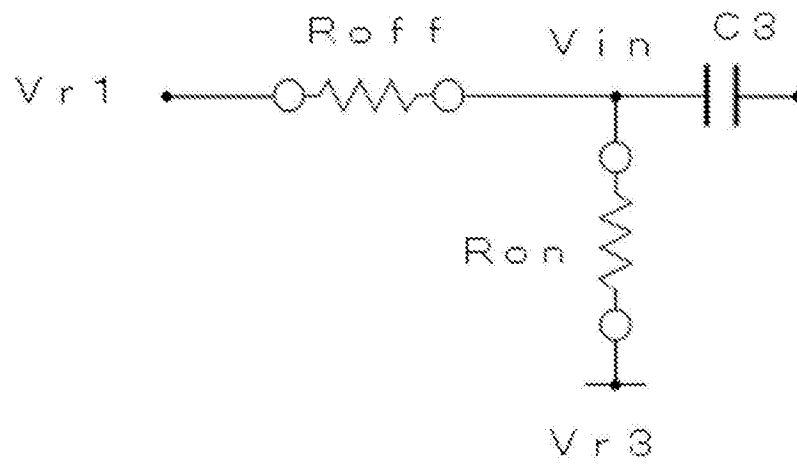


[図2]

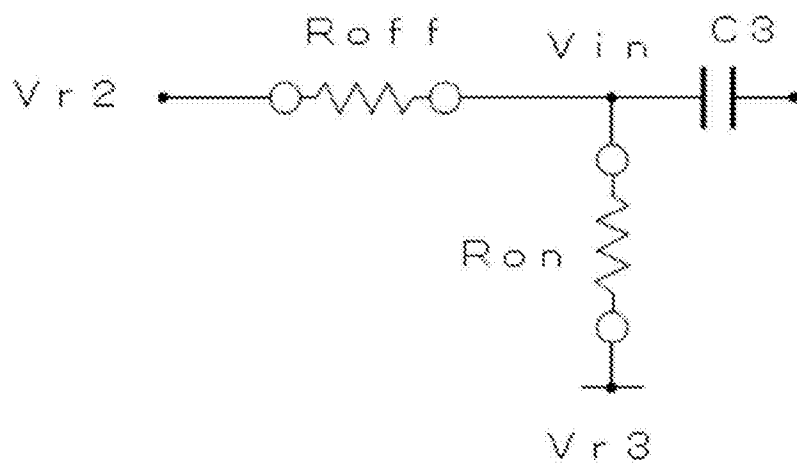


[図3]

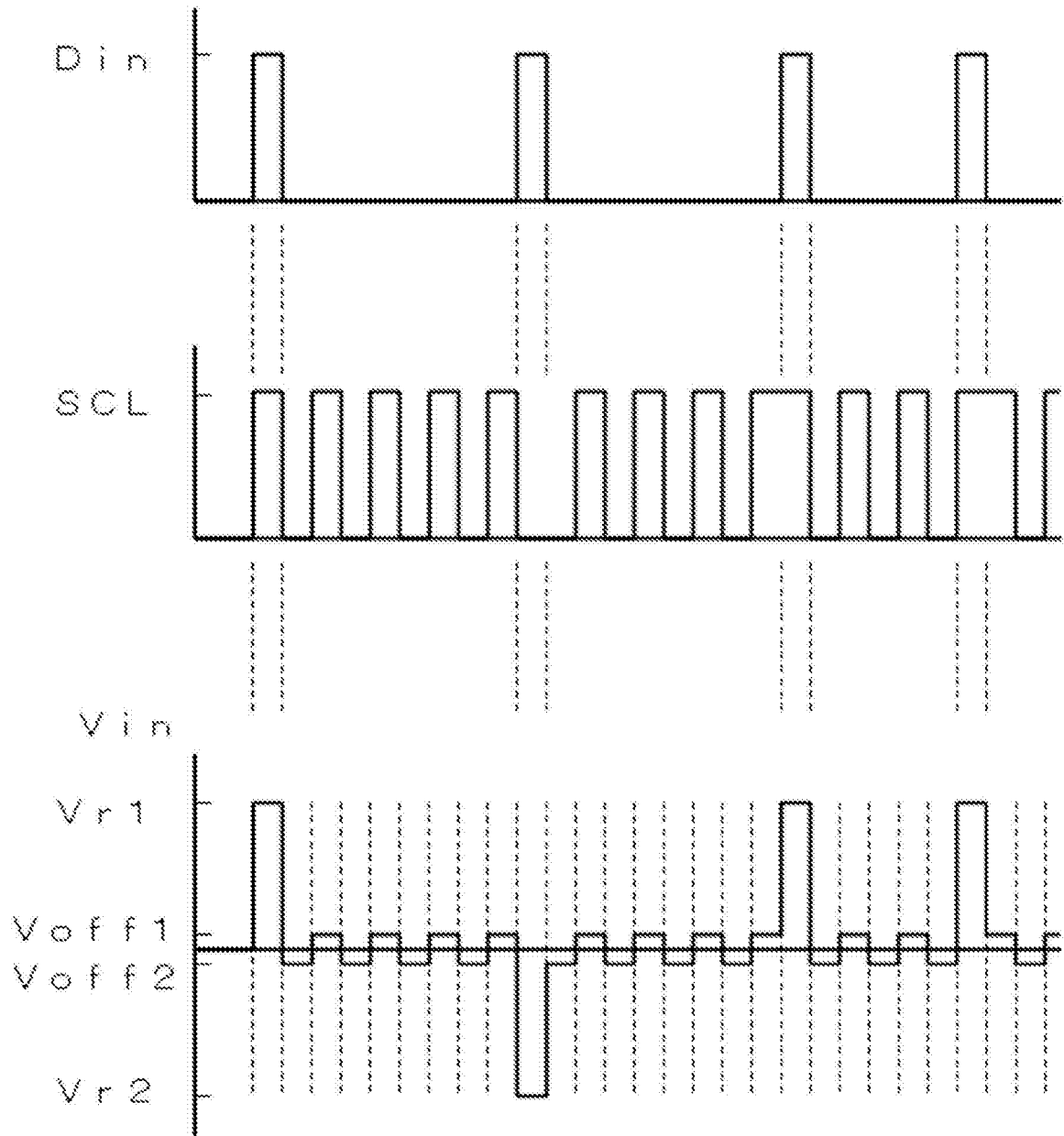
(a)



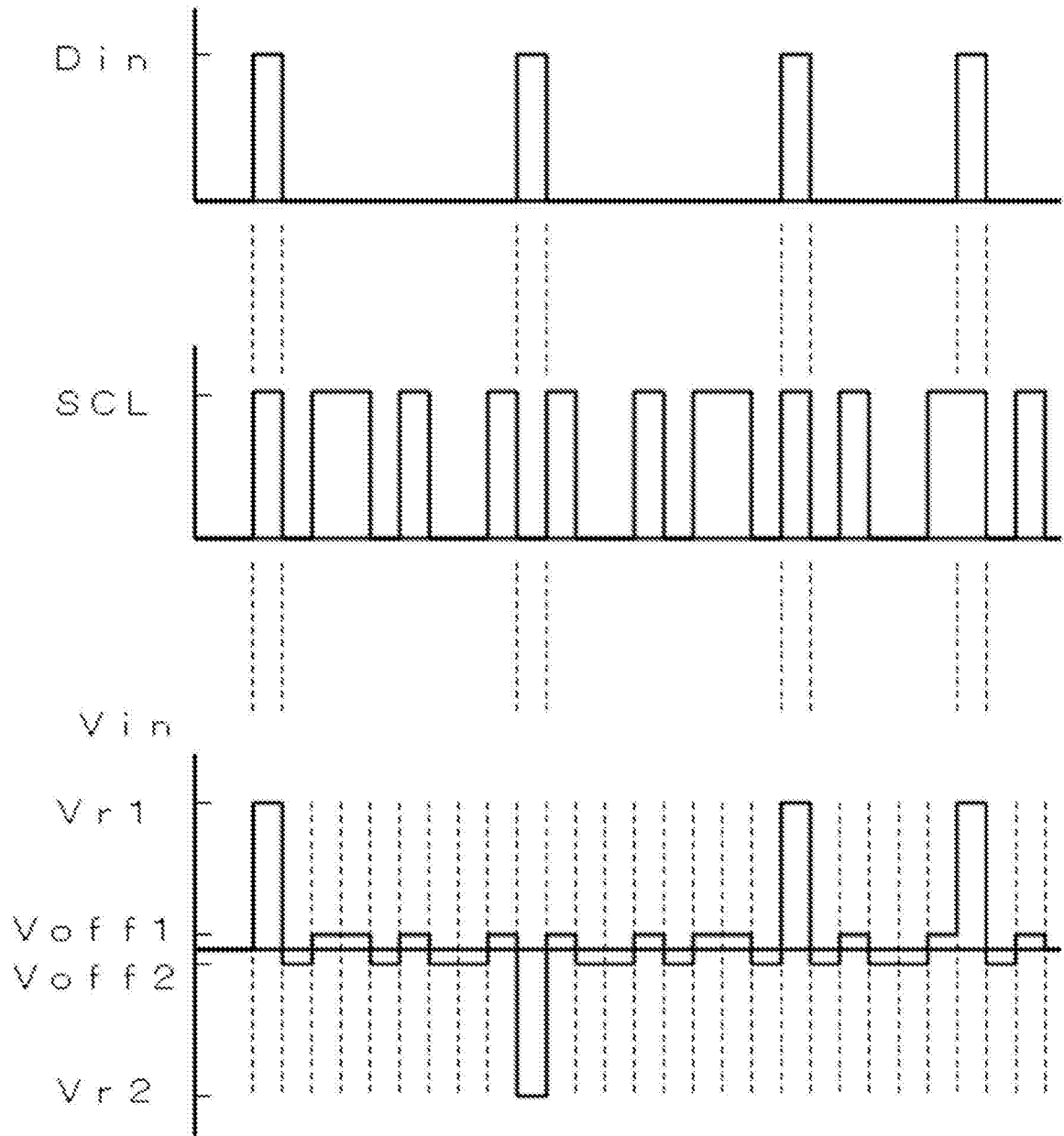
(b)



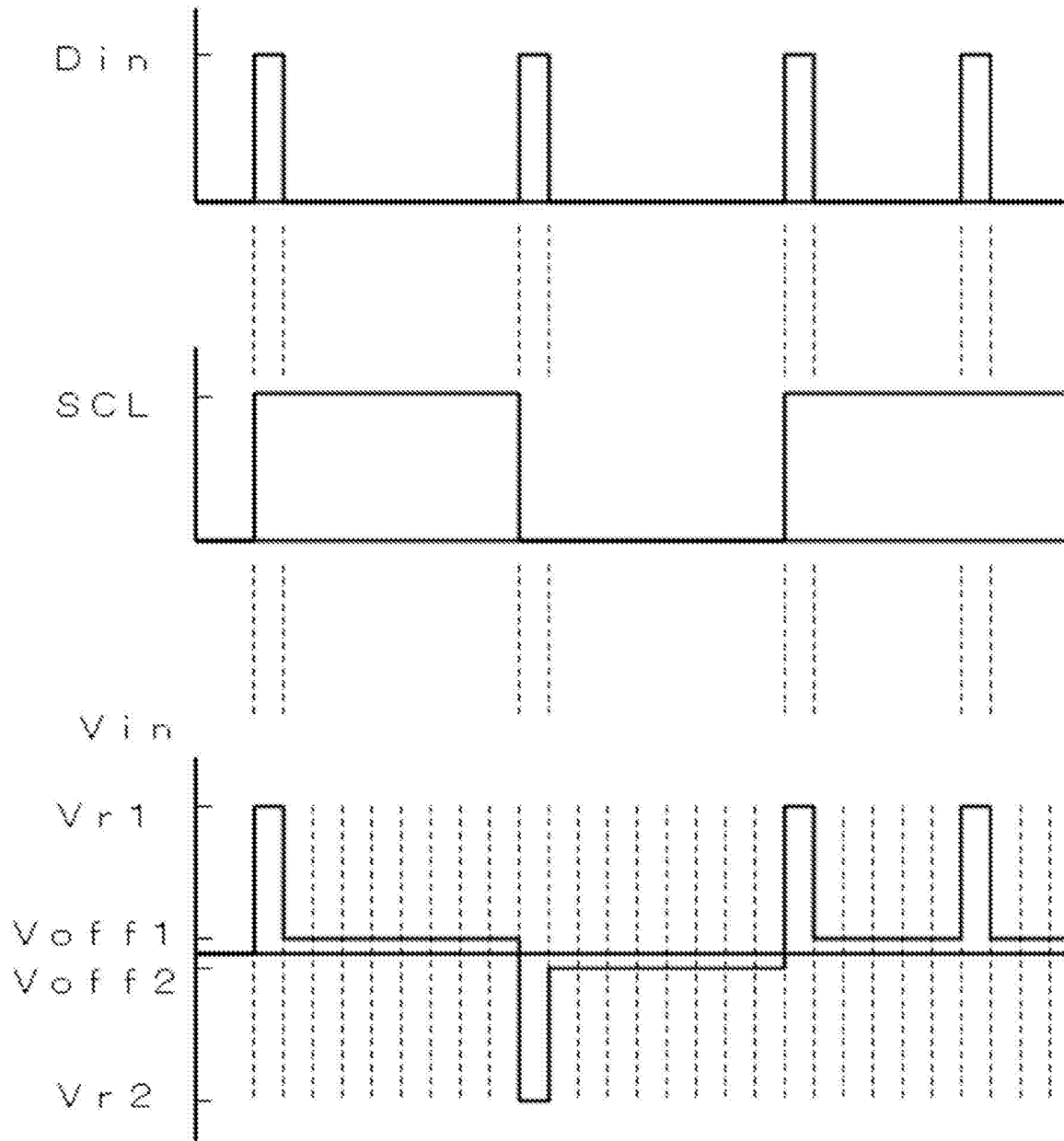
[図4]



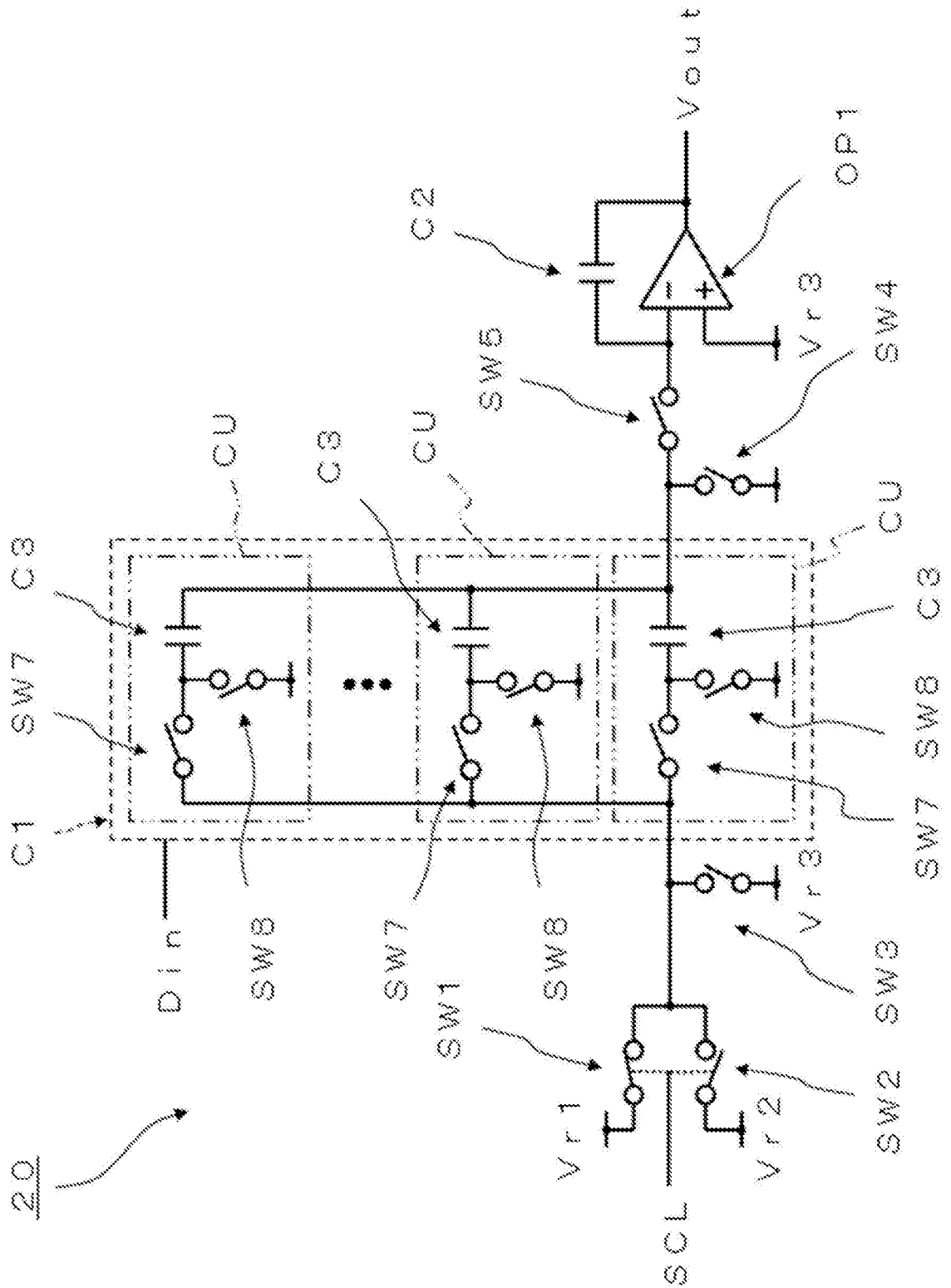
[図5]



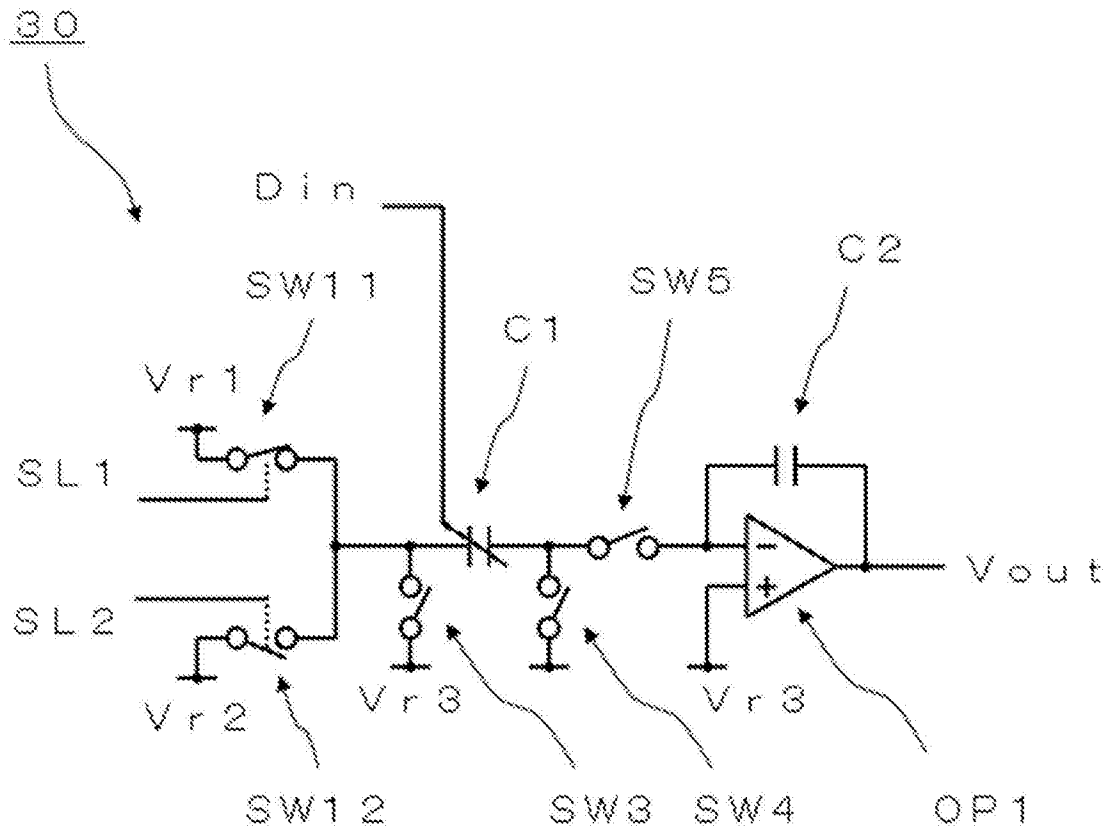
[図6]



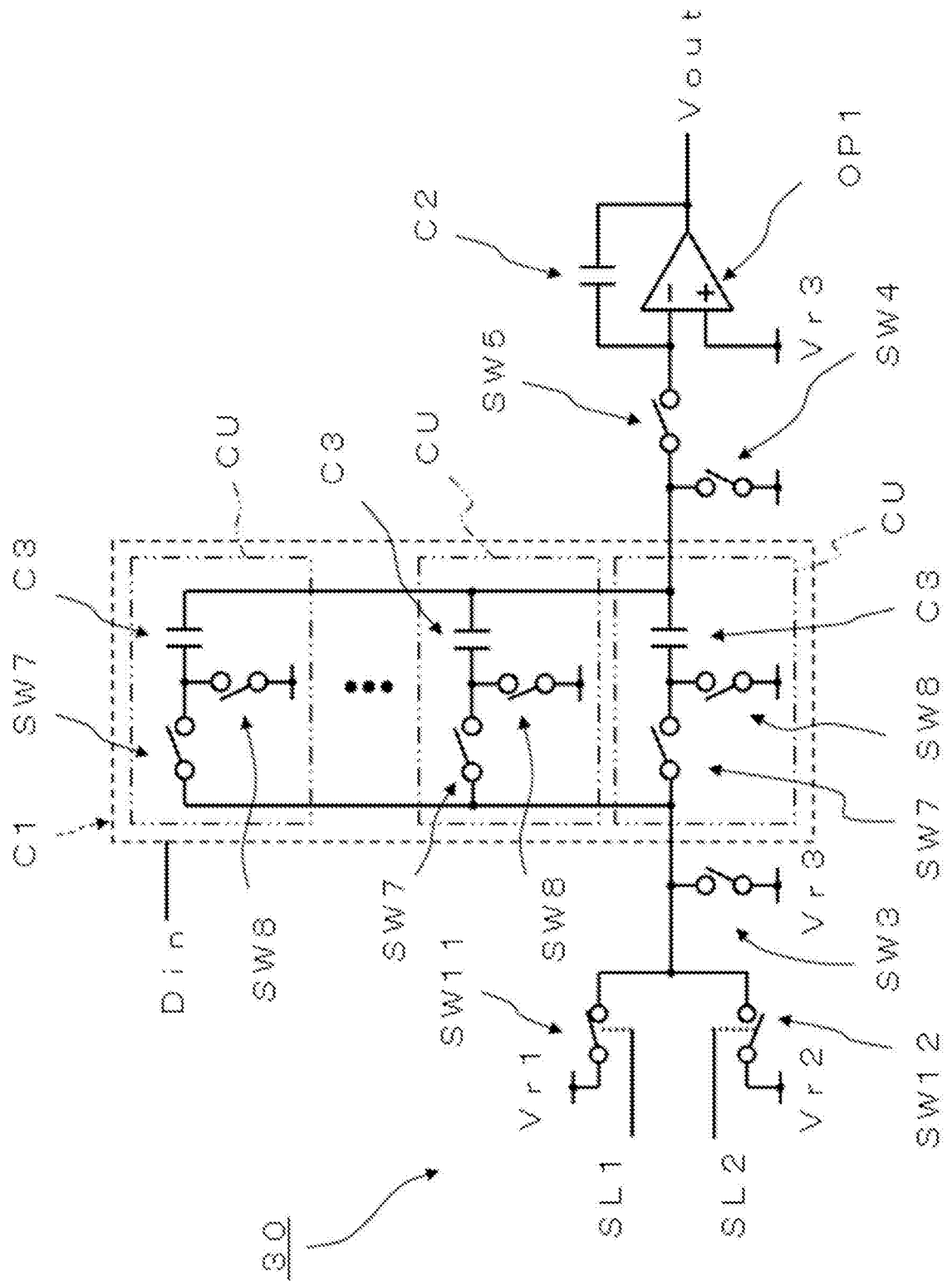
[図7]



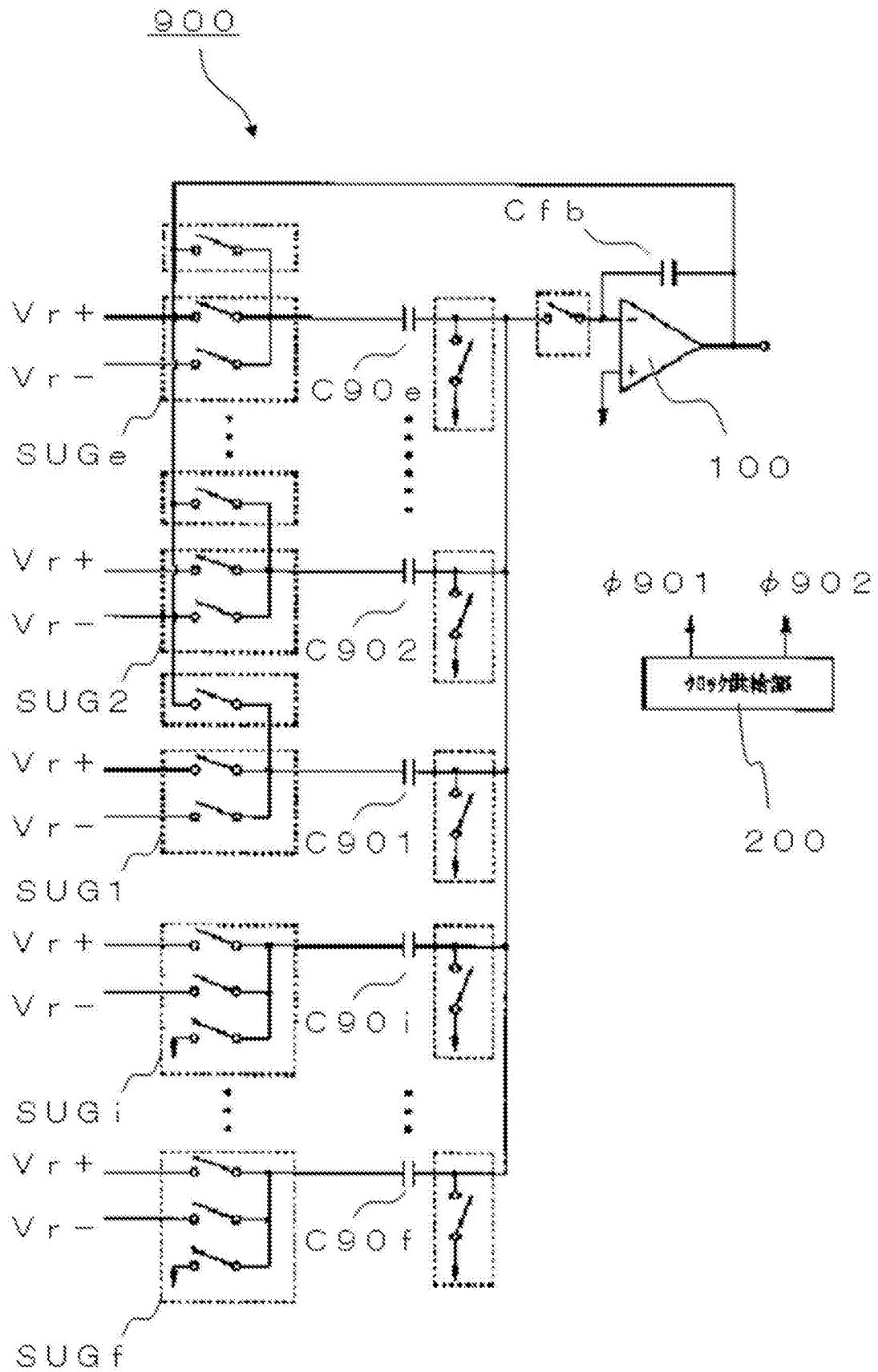
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/068812

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/74 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2000-286708 A (NEC Corp.), 13 October 2000 (13.10.2000), paragraphs [0002] to [0003]; fig. 11 to 13 (Family: none)	1, 2, 6 3-5 7
Y	JP 2002-064384 A (Sony Corp.), 28 February 2002 (28.02.2002), paragraphs [0005] to [0006]; fig. 11, 13 (Family: none)	3-5
Y	JP 2006-092483 A (Asahi Kasei Microsystems Co., Ltd.), 06 April 2006 (06.04.2006), fig. 1 (Family: none)	5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 September, 2014 (25.09.14)

Date of mailing of the international search report
07 October, 2014 (07.10.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/068812

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-303143 A (Matsushita Electric Industrial Co., Ltd.), 28 October 1994 (28.10.1994), fig. 1 (Family: none)	5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/74(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/74

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2000-286708 A（日本電気株式会社）2000.10.13, 段落 0002-0003,	1, 2, 6
Y	図 11-13（ファミリーなし）	3-5
A		7
Y	JP 2002-064384 A（ソニー株式会社）2002.02.28, 段落 0005-0006,	3-5
	図 11, 13（ファミリーなし）	
Y	JP 2006-092483 A（旭化成マイクロシステム株式会社）2006.04.06,	5
	図 1（ファミリーなし）	
Y	JP 6-303143 A（松下電器産業株式会社）1994.10.28, 図 1（ファミ リーなし）	5

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

25.09.2014

国際調査報告の発送日

07.10.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮島 郁美

5 X

5290

電話番号 03-3581-1101 内線 3596