

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成16年11月25日(2004.11.25)

【公表番号】特表2000-515269(P2000-515269A)

【公表日】平成12年11月14日(2000.11.14)

【出願番号】特願平9-527053

【国際特許分類第7版】

G 06 F 9/30

G 06 F 9/34

【F I】

G 06 F 9/30 350 F

G 06 F 9/34 340 A

【手続補正書】

【提出日】平成16年1月15日(2004.1.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

**手続補正書**

平成16年1月15日

特許庁長官 殿



1. 事件の表示 平成9年特許願第527053号

2. 補正をする者

事件との関係 特許出願人

住 所 アメリカ合衆国カリフォルニア州94303 パロアルト  
サンアントニオロード 901

名 称 サン・マイクロシステムズ・インコーポレイテッド

3. 代理人

居 所 〒162-0825 東京都新宿区神楽坂6丁目42番地  
喜多川ビル7階 電話 3266-9811

氏 名 (8926) 弁理士 大島 陽一



4. 補正対象書類名 明細書

5. 補正対象項目名 特許請求の範囲

7. 補正の内容 特許請求の範囲を別紙の通り補正する。



請求の範囲

1. 命令が通常オペランドスタックの先頭エントリからオペランドを取り出し、演算結果をそこへ入れる仮想マシン命令処理装置において、

命令ストアと、

オペランドスタックと、

データストアと、

実行ユニットと、

前記命令ストアに接続され、そこに提示されたフォールディング可能な命令シーケンスを特定する命令デコーダとを有することを特徴とし、

前記フォールディング可能な命令シーケンスが、第1命令及び第2命令を含み、前記第1命令は、前記データストアから第1オペランド値を、単に第2命令のための第1ソースオペランドとして、前記オペランドスタックにプッシュし、前記命令デコーダが、前記データストアにおける前記第1ソースオペランドに対して選択的な第1オペランドアドレス識別子を含み前記フォールディング可能な命令シーケンスと等価な一つのフォールディングされたオペレーションを、前記実行ユニットに供給するように接続されており、これによって前記第1命令に相当する明示的なオペレーションを不要にしていることを特徴とする仮想マシン命令処理装置。

2. 前記データストアが、ローカル変数ストレージを含むことを特徴とする請求項1に記載の装置。

3. 前記データストアが、定数をストアするコンスタントストレージを含むことを特徴とする請求項1に記載の装置。

4. 前記オペランドスタック及び前記データストアがスタックキャッシュを含むストレージ階層に設けられることを特徴とし、

前記スタックキャッシュが、オペランドスタック及びデータストアにおけるエントリの少なくとも一部をキャッシュすることを特徴とする請求項1に記載の装置。

5. 前記第1オペランド値が前記ストレージ階層の前記スタックキャッシュ部分に存在していない場合、前記命令デコーダが、前記等価な一つのフォールディン

グされたオペレーションの供給をディスエーブル状態にし、代わりに実行ユニットに前記第1命令のみに相当するオペレーション識別子及びオペランドアドレス識別子を供給することを特徴とする請求項4に記載の装置。

6. 命令バッファに表現された命令のシーケンスがフォールディング可能なシーケンスでない場合、前記命令デコーダが、前記第1命令のみに対応するオペレーション識別子及びオペランドアドレス識別子を実行ユニットに供給することを特徴とする請求項1に記載の装置。

7. 前記命令デコーダが、前記フォールディング可能な命令シーケンスにおける第3命令を識別し、前記第3命令は、前記データストアから第2オペランド値を、単に第2命令のための第2ソースオペランドとして前記オペランドスタックにプッシュすることを特徴とし、

前記フォールディング可能な命令シーケンスを、前記等価な一つのフォールディングされたオペレーションが、前記データストアにおける前記第2オペランド値に対して選択的な第2オペランドアドレス識別子を有し、これによって前記第3命令に相当する明示的なオペレーションを不要にしていることを特徴とする請求項1に記載の装置。

8. 前記命令デコーダが更に、前記フォールディング可能な命令シーケンスにおける第4命令を識別し、前記第4命令は、前記オペランドスタックから前記第2命令の演算結果をポップし、その結果を前記データストアの演算結果位置にストアすることを特徴とし、

前記フォールディング可能な命令シーケンスと前記等価な一つのフォールディングされたオペレーションが、前記データストアにおける前記演算結果位置に対して選択的な行先アドレス識別子を含み、これによって第4命令に相当する明示的なオペレーションを不要にしていることを特徴とする請求項1に記載の装置。

9. 前記命令デコーダが更に前記フォールディング可能な命令シーケンスにおける第3及び第5命令を識別し、前記第3及び第5命令はそれぞれ、前記データストアから第2及び第3オペランド値を単にそれぞれ前記第2命令のための第2及び第3ソースオペランドとして、前記オペランドスタックにプッシュするための命令であることを特徴とし、

前記フォールディング可能な命令シーケンスと前記等価な一つのフォールディングされたオペレーションが、前記データストアにおけるそれぞれ前記第2及び第3オペランドに対して選択的な第2及び第3オペランドアドレス識別子を含み、これによって前記第3及び第5命令に相当する明示的なオペレーションを不要にしていることを特徴とする請求項1に記載の装置。

10. 前記命令デコーダが更に、前記フォールディング可能な命令シーケンスにおける第4及び第6命令を識別し、前記第4及び第6命令はそれぞれ、前記オペランドスタックから前記第2命令の第1及び第2演算結果をポップし、その第1及び第2演算結果を、それぞれ前記データストアの第1及び第2演算結果位置にストアする命令であることを特徴とし、

前記フォールディングされた命令シーケンスと前記等価な一つのフォールディングされたオペレーションが、前記データストアにおける前記第1及び第2演算結果位置に対してそれぞれ選択的な第1及び第2行先アドレス識別子を含み、これによって前記第4及び第6命令に相当する明示的なオペレーションを不要としていることを特徴とする請求項1に記載の装置。

11. 前記フォールディング可能な命令シーケンスが2以上の命令を含むことを特徴とする請求項1に記載の装置。

12. 前記フォールディング可能な命令シーケンスが4つの命令を含むことを特徴とする請求項1に記載の装置。

13. 前記フォールディング可能な命令シーケンスが5つの命令を含むことを特徴とする請求項1に記載の装置。

14. 前記フォールディング可能な命令シーケンスが5以上の命令を含むことを特徴とする請求項1に記載の装置。

15. 前記命令デコーダが、フォールドデコード経路からのフォールド表示に応じて、そこからオペレーション、オペランド、及び行先識別子を選択し、そのフォールド表示がない場合には、前記ノーマルデコード経路からオペレーション、オペランド、及び行先識別子を選択する、前記フォールディングされたデコード経路に応答するスイッチング手段を有することを特徴とする請求項1に記載の装置。

16. 前記仮想マシン命令プロセッサが、ハードウェア仮想マシン命令プロセッサであり、前記命令デコーダがデコードロジックを有することを特徴とする請求項1に記載の装置。

17. 前記仮想マシンマイクロプロセッサが、ジャストインタイムコンパイラのインプリメンテーションであり、前記命令デコーダが前記実行ユニットを含むハードウェアプロセッサ上で実行可能なソフトウェアを含むことを特徴とする請求項1に記載の装置。

18. 前記仮想マシンプロセッサがバイトコードインタプリタのインプリメンテーションであり、前記命令デコーダが、前記実行ユニットを含むハードウェアプロセッサ上で実行可能なソフトウェアを含むことを特徴とする請求項1に記載の装置。

19. ノーマルオペランドstackの先頭エントリからオペランドを取り出し、演算結果をそこに入れる、仮想マシン命令プロセッサにおける仮想マシン命令のデコード方法であって、

仮想マシン命令シーケンスの第1命令がデータストアから第1オペランド値を、単に第2命令のための第1ソースオペランドとして前記オペランドstackにpushする命令であるか否かを判定する第1判定過程と、

前記第1判定過程における判定の結果が真である場合、前記実行ユニットに、第1命令及び第2命令を含むforallディング可能なシーケンスと等価な一つforallディングされたオペレーションを供給する過程であって、前記一つのforallディングされたオペレーションが、前記第1オペランド値に対して選択的な第1オペランド識別子を含み、これによって前記第1命令に相当する明示的なオペレーションを不要にしている、該過程とを含むことを特徴とする仮想マシン命令プロセッサにおける仮想マシン命令のデコード方法。

20. 前記第1判定過程の判定結果が偽である場合、前記仮想マシン命令シーケンスにおける前記第1命令に相当するオペレーションを前記実行ユニットに供給する過程を更に含むことを特徴とする請求項19に記載の方法。

21. 前記仮想マシン命令シーケンスの第3命令が前記オペランドstackから前記第2命令の演算結果値をポップし、その演算結果値を前記データストアの演

算結果位置にストアする命令であるか否かを判定する第2判定過程と、

前記第2判定過程の判定結果が真である場合、前記等価な一つのフォールディングされたオペレーションに前記演算結果位置に対して選択的な演算結果識別子を含め、これによって前記第3命令に相当する明示的なオペレーションを不要にする過程とを更に含むことを特徴とする請求項19に記載の方法。

22. 前記第2判定過程の判定結果が偽である場合、前記オペランドスタックの先頭位置に対して選択的な演算結果識別子を前記等価な一つのフォールディングされたオペレーションに含める過程を更に含める過程を更に含むことを特徴とする請求項21に記載の方法。

23. 前記第1判定過程が、

前記第1命令が前記データストアから前記第1オペランド値を前記オペランドスタックにプッシュする命令であるか否かを判定する第1-1判定過程と、

前記第2命令がオペランドスタック上の第1オペランド値に作用して、前記第2命令の演算結果を前記オペランドスタックにプッシュし、前記第1オペランド値が前記オペランドスタックの先頭エントリに存在しないようになっているか否かを判定する第1-2判定過程とを更に含むことを特徴とする請求項19に記載の方法。

24. 前記第1-1判定過程と前記第1-2判定過程とを概ね同時並行的に実行することを特徴とする請求項23に記載の方法。

25. 前記第1判定過程と前記第2判定過程とを概ね同時並行的に実行することを特徴とする請求項23に記載の方法。

26. スタックベースの仮想マシンインプリメンテーションであって、

ランダムにアクセス可能なオペランドスタック表現と、

ランダムにアクセス可能なローカル変数ストレージ表現と、

仮想マシン命令を選択的にデコードし、その選択された配列を一体にフォールディングして、前記オペランドスタック上の不要な一次ストレージを取り除いた仮想マシン命令デコーダとを含むことを特徴とするスタックベースの仮想マシンインプリメンテーション。

27. ハードウェアスタックキャッシュ、ハードウェア命令デコーダ、及び実行

ユニットを含むハードウェア仮想マシン命令プロセッサを更に保持することを特徴とし、

前記ランダムにアクセス可能なオペランドスタックローカル変数ストレージ表現が、少なくとも部分的に前記ハードウェアスタックキャッシュに存在することを特徴とし、

それぞれハードウェア仮想マシン命令プロセッサオペレーション及びハードウェアスタックキャッシュ内の位置に対して選択的なオペコード、オペランド、及び演算結果識別子を、仮想マシン命令の選択されたシーケンスに等価な一つのハードウェア仮想マシン命令プロセッサオペレーションとして実行ユニットに供給するべく接続されたハードウェア命令デコーダを含むことを特徴とする請求項26に記載のスタックベースの仮想マシンインプリメンテーション。

28. コンピュータで読み出し可能な媒体においてコード化された、ハードウェアプロセッサ上で実行可能なソフトウェアを更に有することを特徴とし、

前記ランダムにアクセス可能なオペランドスタックローカル変数ストレージ表現が少なくとも部分的に前記ハードウェアプロセッサのレジスタに存在することを特徴とし、

前記仮想マシン命令デコーダが少なくとも部分的に前記ソフトウェア内にインプリメントされていることを特徴とし、

前記仮想マシン命令デコーダが、ハードウェアプロセッサオペレーション及び前記レジスタ内の位置に対してそれぞれ選択的なオペコード、オペランド、及び演算結果識別子を、仮想マシン命令の前記選択されたシーケンスと等価な一つのハードウェアプロセッサオペレーションとして、供給するべく接続されていることを特徴とする請求項26に記載のスタックベースの仮想マシンインプリメンテーション。