

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年10月20日(20.10.2016)



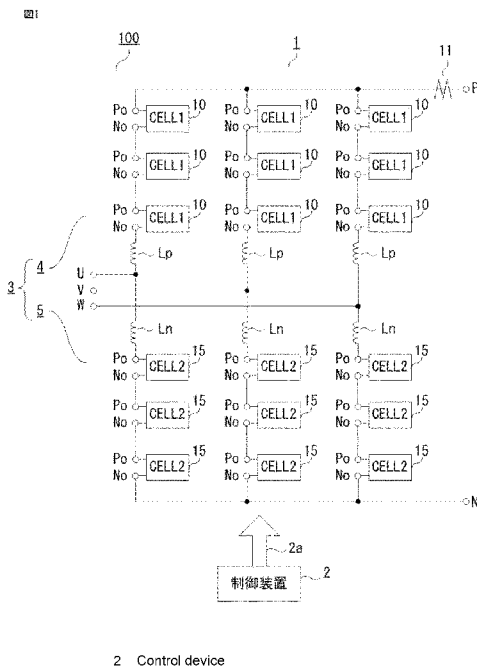
(10) 国際公開番号
WO 2016/167114 A1

- (51) 国際特許分類:
H02M 7/497 (2007.01) H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2016/060125
- (22) 国際出願日: 2016年3月29日(29.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-081392 2015年4月13日(13.04.2015) JP
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 地道 拓志(JIMICHI Takushi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小柳 公之(KOYANAGI Kimiyuki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 菊地 健(KIKUCHI Takeshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 村上 啓吾, 外(MURAKAMI Keigo et al.); 〒6610033 兵庫県尼崎市南武庫之荘3丁目35番8号 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ELECTRIC POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: An electric power conversion device (100) that performs electric power conversion between multi-phase alternating current and direct current, wherein first converter cells (10) of each phase of a first arm (4) of an electric power converter (1) are configured from a capacitor (20), from a Leg A that has a switching element on upper and lower arms, and from a Leg B that has a switching element on one of an upper and a lower arm and only a diode on the other. Second converter cells (15) of a second arm (5) are configured from a capacitor (40) and from a Leg Aa that has a switching element on upper and lower arms. A control device (2) is provided with a normal mode and a protection mode and, upon detecting a short circuit between direct-current terminals of the electric power converter (1), switches from the normal mode to the protection mode, turns off all of the switching elements of the first converter cells (10) of the first arm (4), and performs control such that the second converter cells (15) of the second arm (5) perform a reactive electric power compensation operation.

(57) 要約: 多相交流と直流との間で電力変換する電力変換装置(100)において、電力変換器(1)の各相の第1アーム(4)の第1変換器セル(10)は、キャパシタ(20)と上下アームにスイッチング素子を有するLeg Aと上下アームの一方がスイッチング素子を有し他方がダイオードのみを有するLeg Bとから構成され、第2アーム(5)の第2変換器セル(15)は、キャパシタ(40)と上下アームにスイッチング素子を有するLeg Aaとから構成される。制御装置(2)は、定常モードと、保護モードとを備え、電力変換器(1)の直流端子間の短絡を検出すると、定常モードから保護モードに切り替えて、第1アーム(4)の第1変換器セル(10)の全てのスイッチング素子をオフさせ、第2アーム(5)の第2変換器セル(15)は、無効電力補償動作をするように制御する。

WO 2016/167114 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電力変換装置

技術分野

[0001] この発明は、多相交流と直流との間で電力変換を行う電力変換装置に係り、特に変換器を多重化した大容量の電力変換装置に関するものである。

背景技術

[0002] 大容量の電力変換装置は、変換器出力が高電圧または大電流となるため、複数の変換器を直列または並列に多重化して構成されることが多い。変換器を多重化することは、変換器容量を大きくするのみでなく、出力を合成することにより、出力電圧波形に含まれる高調波を低減し、その結果系統に流出する高調波電流を低減することができる。

変換器を多重化する方法として、複数の変換器の出力をカスケード接続したモジュラーマルチレベル変換器がある。モジュラーマルチレベル変換器の各アームは、複数の変換器セルがカスケード接続されて構成されている。

[0003] 従来のモジュラーマルチレベル変換器では、各相の交流端子と正負の直流端子との間に形成される各相の第1アーム、第2アームが、それぞれチョップセル（変換器セル）とリアクトルとを備える。チョップセルは2つの半導体スイッチが互いに直列接続され、これに直流コンデンサが並列接続される。第1アーム、第2アームは、それぞれ同数のチョップセルがそれぞれの出力端を介して直列接続される。そして、第1アーム、第2アームの電圧指令をそれぞれ用い、第1アーム、第2アーム内の各チョップセル内の半導体スイッチング素子をオンオフ制御することにより、交流端子には交流電圧を直流端子には直流電圧を発生させる（例えば、非特許文献1）。

[0004] また、直流端子P、N間が短絡した時に発生する短絡電流を抑制する目的で、変換器セルを半導体スイッチング素子のフルブリッジ構成としたマルチレベル回路によるモジュラーマルチレベル変換器が開示されている（例えば、特許文献1）。

[0005] さらに、変換器セルの交流側を相毎に直列接続したスター結線方式のモジュラーマルチレベル変換器を用いて無効電力補償を行う Static Synchronous Compensator (STATCOM) が提案されている (例えば、非特許文献 2)。

先行技術文献

特許文献

[0006] 特許文献 1 : 国際公開第 2011/012174 号

非特許文献

[0007] 非特許文献 1 : 萩原誠、赤木泰文著「モジュラー・マルチレベル変換器 (MMC) の PWM 制御法と動作検証」、電気学会論文誌 D、128 巻、7 号、2008 年 (pp. 957-965)

非特許文献 2 : 柴野勇士、太田ジョン豊、新村直人、赤木泰文著「モジュラー・マルチレベル・カスケード変換器 (MMCC-SSBC) を用いた位相シフト PWM STATCOM」、電気学会論文誌 D、133 巻、9 号、2013 年 (pp. 928-935)

発明の概要

発明が解決しようとする課題

[0008] 上記非特許文献 1 に示すモジュラーマルチレベル変換器を用いて多相交流と直流との間で電力変換を行う従来の電力変換装置では、直流短絡事故時に過大な短絡電流が流れ、変換器内の素子が劣化する懸念があった。

また、上記特許文献 1 に示すモジュラーマルチレベル変換器を用いた場合、直流短絡事故時に短絡電流を抑制することはできるが、各変換器セルがフルブリッジ回路で構成されているため、半導体スイッチング素子の数が増加し、装置構成が大型化するという問題点があった。また、直流短絡事故時に短絡電流を抑制している間は、交流側の電圧制御ができず、交流系統に接続されている場合は、交流系統に悪影響を与えるものであった。

また、上記非特許文献 2 記載のモジュラーマルチレベル変換器を用いた従

来の電力変換装置では、交流側に無効電力を出力して交流系統の電圧変動や安定性低下を抑制するが、多相交流と直流との間の電力変換に用いる事はできない。

[0009] この発明は、上記のような問題点を解消するために成されたものであって、多相交流と直流との間の大容量の電力変換が可能で、直流端子間の短絡時における短絡電流を抑制でき、かつ直流端子間の短絡時にも交流側に悪影響を与えない、小型で低コストの電力変換装置を提供することを目的とする。

課題を解決するための手段

[0010] この発明に係る電力変換装置は、エネルギー蓄積要素と、上下アーム共に半導体スイッチング素子を有する第1ブリッジとを備えた変換器セルが、それぞれ1あるいは複数直列接続されて成る第1アームと第2アームとが直列接続され、その接続点が各相交流端子に接続される複数のレグ回路を正負の直流端子間に並列接続して備え、多相交流と直流との間で電力変換を行う電力変換器と、上記各レグ回路の上記第1アーム、第2アームの電圧指令をそれぞれ生成して、上記第1アーム、第2アーム内の上記各変換器セルを出力制御して上記電力変換器を制御する制御装置とを備える。上記電力変換器における上記各レグ回路の上記第1アームにおける上記1あるいは複数の変換器セルは、上記エネルギー蓄積要素と上記第1ブリッジと、上下アームの一方が半導体スイッチング素子を有し他方がダイオードのみを有する第2ブリッジとを備えたフルブリッジ構成の第1変換器セルを含み、上記各レグ回路の上記第2アームにおける上記1あるいは複数の変換器セルは、上記エネルギー蓄積要素と上記第1ブリッジとを備えたハーフブリッジ構成の第2変換器セルを含む。上記制御装置は、定常モードと、保護モードとの2つの制御モードを備え、上記直流端子間の短絡を検出すると、上記定常モードから上記保護モードに切り替えて、上記各レグ回路の上記第1アームに対し、上記各変換器セル内の全ての上記半導体スイッチング素子をオフさせ、上記第2アームに対し、無効電力補償動作をするように上記各変換器セルを出力制御するものである。

発明の効果

[0011] この発明の電力変換装置によれば、多相交流と直流との間の大容量の電力変換が可能で、小型化、低コスト化の促進された装置構成で、直流端子間の短絡時における短絡電流を抑制できる。しかも直流端子間の短絡時にも交流側に無効電力補償を行うため、交流側に悪影響を与えることなく、信頼性の高い運転を継続できる。

図面の簡単な説明

- [0012] [図1]この発明の実施の形態1による電力変換装置の概略構成図である。
- [図2]この発明の実施の形態1による第1変換器セルの構成を示す回路図である。
- [図3]この発明の実施の形態1による第1変換器セルの動作説明図である。
- [図4]この発明の実施の形態1の別例による第1変換器セルの構成を示す回路図である。
- [図5]この発明の実施の形態1の別例による第1変換器セルの動作説明図である。
- [図6]この発明の実施の形態1による第2変換器セルの構成を示す回路図である。
- [図7]この発明の実施の形態1による第2変換器セルの動作説明図である。
- [図8]この発明の実施の形態1による電力変換装置の制御動作を説明するフロー図である。
- [図9]この発明の実施の形態1による電力変換器内に流れる短絡電流経路を説明する図である。
- [図10]この発明の実施の形態1による第1変換器セルを流れる短絡電流経路を説明する図である。
- [図11]この発明の実施の形態1による第2変換器セルを流れる短絡電流経路を説明する図である。
- [図12]この発明の実施の形態1の別例による電力変換器の概略構成図である。
- 。

[図13]この発明の実施の形態1の別例による電力変換器の概略構成図である。

[図14]この発明の実施の形態1の別例による電力変換器の概略構成図である。

[図15]この発明の実施の形態2による電力変換装置の概略構成図である。

[図16]この発明の実施の形態2による電力変換装置の制御動作を説明するフロー図である。

[図17]この発明の実施の形態3による電力変換装置の制御動作を説明するフロー図である。

[図18]この発明の実施の形態4による第1変換器セルの構成を示す回路図である。

[図19]この発明の実施の形態4の別例による第1変換器セルの構成を示す回路図である。

[図20]この発明の実施の形態4の別例による第1変換器セルの構成を示す回路図である。

[図21]この発明の実施の形態4の別例による第1変換器セルの構成を示す回路図である。

[図22]この発明の実施の形態4の別例による第1変換器セルの構成を示す回路図である。

[図23]この発明の実施の形態4の別例による第1変換器セルの構成を示す回路図である。

[図24]この発明の実施の形態4による第2変換器セルの構成を示す回路図である。

[図25]この発明の実施の形態4によるゲート駆動回路の構成を示す回路図である。

[図26]この発明の実施の形態5による電力変換装置の接続構成を示す図である。

発明を実施するための形態

[0013] 実施の形態 1.

以下、この発明の実施の形態 1 による電力変換装置を図に基づいて説明する。図 1 は、この発明の実施の形態 1 による電力変換装置の概略構成図である。

図 1 に示すように、電力変換装置 100 は、主回路である電力変換器 1 と、電力変換器 1 を制御する制御装置 2 とを備える。電力変換器 1 は、多相交流（この場合、三相）と直流との間で電力変換を行うもので、交流端子 U、V、W と、直流端子 P、N とを有する。

電力変換器 1 の各相は、各々の交流端子 U、V、W と正極の直流端子 P との間の第 1 アーム 4 と、各々の交流端子 U、V、W と負極の直流端子 N との間の第 2 アーム 5 とが直列接続され、その接続点が各相交流線に接続されるレグ回路 3 で構成される。そして、3 つのレグ回路 3 は正負の直流端子 P、N 間に並列接続される。

[0014] 各レグ回路 3 の第 1 アーム 4 は、フルブリッジ構成の第 1 変換器セル 10 が複数台、直列に接続された変換器セル群を有する。各レグ回路 3 の第 2 アーム 5 は、ハーフブリッジ構成の第 2 変換器セル 15 が複数台、直列に接続された変換器セル群を有する。なお、第 1 アーム 4 内の第 1 変換器セル 10、第 2 アーム 5 内の第 2 変換器セル 15 は、それぞれ 1 台のみであっても良い。なお、この場合第 1 アーム 4 は、変換器セルとして第 1 変換器セル 10 のみ、第 2 アーム 5 は、変換器セルとして第 2 変換器セル 15 のみを有するものとする。

このように、第 1、第 2 アーム 4、5 のそれぞれは、1 以上の第 1、第 2 変換器セル 10、15 を直列接続した変換器セル群を有し、正側リアクトル L_p 、負側リアクトル L_n がそれぞれ直列に挿入される。また、電力変換器 1 の直流端子 P 側に電流検出器 11 が設けられる。

[0015] 制御装置 2 は、各レグ回路 3 の第 1 アーム 4、第 2 アーム 5 の電圧指令をそれぞれ生成して、第 1 アーム 4、第 2 アーム 5 内の各第 1 変換器セル 10、第 2 変換器セル 15 を出力制御する制御信号 2a を出力して電力変換器 1

を制御する。

[0016] 第1変換器セル10の2種の構成(第1変換器セル10A、10B)を以下に示す。

図2は第1変換器セル10Aの構成を示す回路図であり、図3は第1変換器セル10Aの動作説明図である。

図2に示すように、第1変換器セル10Aは、上下アーム共に半導体スイッチ21、22で構成された第1ブリッジであるLeg Aと、上アームがダイオード23のみで、下アームが半導体スイッチ24で構成された第2ブリッジであるLeg Bと、エネルギー蓄積要素としてのキャパシタ20とを備え、Leg AとLeg Bとをキャパシタ20に並列接続したフルブリッジ回路である。そして、Leg Aの中間点である半導体スイッチ21、22の接続点には正極のセル出力端子Poが、Leg Bの中間点であるダイオード23と半導体スイッチ24との接続点には負極のセル出力端子Noが接続される。

[0017] なお、半導体スイッチ21、22、24は、各々、半導体スイッチング素子21s、22s、24sと、それらに各々逆並列に接続された還流ダイオード21d、22d、24dとで構成される。半導体スイッチング素子21s、22s、24sには、IGBT(Insulated-Gate Bipolar Transistor)、GCT(Gate Commutated Turn-off thyristor)、MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)などの自己消弧型の半導体スイッチング素子が使用される。

また、半導体スイッチング素子21s、22s、24sにダイオード(ボディダイオード)が内在する場合は、還流ダイオード21d、22d、24dを省略してもよい。

[0018] 次に、第1変換器セル10Aのスイッチング状態と動作モードについて、図3に基づいて説明する。

半導体スイッチング素子 21s、24s がオン、半導体スイッチング素子 22s がオフの場合、第1変換器セル10Aの出力端子間にはキャパシタ20の両端電圧が出力される（モード1）。半導体スイッチング素子21sがオフ、半導体スイッチング素子22s、24sがオンの場合、零電圧出力となる（モード2）。

全ての半導体スイッチング素子21s、22s、24sがオフの場合は保護モードとなり、ダイオード整流器として動作する（モード3）。

[0019] 図4は第1変換器セル10Bの構成を示す回路図であり、図5は第1変換器セル10Bの動作説明図である。

図4に示すように、第1変換器セル10Bは、上下アーム共に半導体スイッチ33、34で構成された第1ブリッジであるLegAと、上アームが半導体スイッチ31で、下アームがダイオード32のみで構成された第2ブリッジであるLegBと、キャパシタ20とを備え、LegAとLegBとをキャパシタ20に並列接続したフルブリッジ回路である。そして、LegAの中間点である半導体スイッチ33、34の接続点には負極のセル出力端子Noが、LegBの中間点である半導体スイッチ31とダイオード32との接続点には正極のセル出力端子Poが接続される。

[0020] なお、半導体スイッチ31、33、34は、各々、半導体スイッチング素子31s、33s、34sと、それらに各々逆並列に接続された還流ダイオード31d、33d、34dとで構成される。半導体スイッチング素子31s、33s、34sには、IGBT、GCT、MOSFETなどの自己消弧型の半導体スイッチング素子が使用される。また、半導体スイッチング素子31s、33s、34sにダイオード（ボディダイオード）が内在する場合は、還流ダイオード31d、33d、34dを省略してもよい。

[0021] 次に、第1変換器セル10Bのスイッチング状態と動作モードについて、図5に基づいて説明する。

半導体スイッチング素子31s、34sがオン、半導体スイッチング素子33sがオフの場合、第1変換器セル10Bの出力端子間にはキャパシタ2

0の両端電圧が出力される（モード1）。半導体スイッチング素子34sがオフ、半導体スイッチング素子31s、33sがオンの場合、零電圧出力となる（モード2）。

全ての半導体スイッチング素子31s、33s、34sがオフの場合は保護モードとなり、ダイオード整流器として動作する（モード3）。

[0022] 制御装置2は、定常モードと保護モードとの2種の制御モードを備えて電力変換器1を制御する。

定常モードでは、第1変換器セル10A（10B）は、モード1およびモード2を用いて制御され、生成された電圧指令に基づいてLegAの半導体スイッチング素子21s、22s（33s、34s）がスイッチング制御され、LegBの半導体スイッチング素子24s（31s）はオン状態に固定される。なお、モード1とモード2とを切り替える際にデッドタイムと呼ばれる短絡防止期間を設けてもよい。デッドタイム中はLegAの半導体スイッチング素子21s、22s（33s、34s）が全てオフとなる。

保護モードは、直流端子P、N間が短絡時の制御モードであり、保護モードにおいて、第1変換器セル10A（10B）はモード3を用いて制御され、即ち、全ての半導体スイッチング素子21s、22s、24s（31s、33s、34s）がオフ状態に制御される。

[0023] 次に、第2変換器セル15の2種の構成（第2変換器セル15A、15B）を以下に示す。図6（a）、図6（b）は第2変換器セル15A、15Bの構成を示す回路図であり、図7は第2変換器セル15A、15Bの動作説明図である。

第2変換器セル15Aは、図6（a）に示すように、上下アーム共に半導体スイッチ41、42で構成された第1ブリッジであるLegAaと、エネルギー蓄積要素としてのキャパシタ40とを備え、LegAaをキャパシタ40に並列接続したハーフブリッジ回路である。そして、LegAaの中間点である半導体スイッチ41、42の接続点には正極のセル出力端子Poが、半導体スイッチ42とキャパシタ40との接続点には負極のセル出力端子N

○が接続される。

[0024] 第2変換器セル15Bは、図6(b)に示すように、上下アーム共に半導体スイッチ51、52で構成された第1ブリッジであるLegAaと、キャパシタ40とを備え、LegAaをキャパシタ40に並列接続したハーフブリッジ回路である。そして、LegAaの中間点である半導体スイッチ51、52の接続点には負極のセル出力端子Noが、半導体スイッチ51とキャパシタ40との接続点には正極のセル出力端子Poが接続される。

[0025] なお、半導体スイッチ41、42、51、52は、各々、半導体スイッチング素子41s、42s、51s、52sと、それらに各々逆並列に接続された還流ダイオード41d、42d、51d、52dとで構成される。半導体スイッチング素子41s、42s、51s、52sには、IGBT、GCT、MOSFETなどの自己消弧型の半導体スイッチング素子が使用される。また、半導体スイッチング素子41s、42s、51s、52sにダイオード(ボディダイオード)が内在する場合は、還流ダイオード41d、42d、51d、52dを省略してもよい。

[0026] 次に、第2変換器セル15A(15B)のスイッチング状態と動作モードについて、図7に基づいて説明する。

半導体スイッチング素子41s(52s)がオン、半導体スイッチング素子42s(51s)がオフの場合、第2変換器セル15A(15B)の出力端子間にはキャパシタ40の両端電圧が出力される(モード1)。半導体スイッチング素子41s(52s)がオフ、半導体スイッチング素子42s(51s)がオンの場合、零電圧出力となる(モード2)。

第2変換器セル15A(15B)では、定常モードと保護モードとの双方でモード1およびモード2を用いて制御され、生成された電圧指令に基づいてLegAaの半導体スイッチング素子41s、42s(51s、52s)がスイッチング制御される。

[0027] 定常モードにおいて、第1変換器セル10A、10BのLegBは固定の制御であり、第1変換器セル10AのLegAの制御は、第2変換器セル1

5 Aと等価である。また、第1変換器セル10BのLeg Aの制御は、第2変換器セル15Bと等価である。そして、キャパシタ20、40の電圧を同じとすると、第1変換器セル10A、10Bが出力する電圧と、第2変換器セル15A、15Bが出力する電圧とは等価になる。

このように、第1変換器セル10（10A、10B）は、Leg Bを固定制御して、ハーフブリッジ回路、即ち第2変換器セル15（15A、15B）と同様に制御できるため、例えば、上記非特許文献1に記載される制御方法を用いて以下のように制御する。

[0028] 制御装置2は、第1アーム4、第2アーム5の各変換器セル（第1変換器セル10、第2変換器セル15）に対し電圧指令を演算する。各変換器セルの電圧指令は、各変換器セルの直流電圧平均値をキャパシタ電圧指令値に追従させる平均値制御、および各変換器セルの直流電圧を均一化するバランス制御によりキャパシタ電圧を制御しつつ、所望の交流電圧および直流電圧を発生させるように演算される。そして、制御装置2は、演算された電圧指令に基づいて、第1変換器セル10のLeg Aおよび第2変換器セル15、即ち、Leg AおよびLeg A内の各半導体スイッチング素子をPWM制御によりスイッチング制御するための制御信号を生成する。この制御信号は、Leg Bを固定制御するための制御信号と共に、制御装置2から各変換器セル（第1変換器セル10、第2変換器セル15）に制御信号2aとして出力される。

[0029] 図8は、この実施の形態1による電力変換装置100の制御動作を説明するフロー図である。

制御装置2は、運転開始指令が与えられると（ステップS1）、定常モードでの制御を開始し、電力変換器1は定常運転動作を開始する。即ち、第1変換器セル10のLeg Bの半導体スイッチング素子をオンに固定し、第1変換器セル10のLeg Aおよび第2変換器セル15、即ち、Leg AおよびLeg A内の各半導体スイッチング素子を定常運転動作させる、即ち、上述した電圧指令に基づくPWM制御によりスイッチング制御する（ステッ

プS 2)。

[0030] 次に、制御装置 2 は、電流検出器 1 1 から検出電流を得て (ステップ S 3)、この検出電流に基づいて直流端子 P、N 間で短絡が発生したか否かの判断を短絡判別部にて行う。例えば、検出電流が設定された基準値を超える過電流になると、短絡が発生したと判断する (ステップ S 4)。

なお、電流検出器 1 1 は直流端子 P に流れる電流を検出しており、ステップ S 4 において短絡の発生が無いとされた場合は、ステップ S 3 に戻り、制御装置 2 は電流検出器 1 1 から検出電流を得て短絡判別する動作を周期的に繰り返し行う。

[0031] ステップ S 4 において、直流端子 P、N 間で短絡が発生したと判断されると、制御装置 2 は、保護モードでの制御を開始し、電力変換器 1 は保護運転動作を開始する。即ち、第 1 アーム 4 の第 1 変換器セル 1 0 内の全ての半導体スイッチング素子をオフ状態に制御し、第 2 アーム 5 の三相分の第 2 変換器セル 1 5 を STATCOM として動作させる (ステップ S 5)。なお、第 1 アーム 4 の第 1 変換器セル 1 0 と第 2 アーム 5 の第 2 変換器セル 1 5 の制御とは、同時に開始しても、どちらかが先でも良い。

そして、交流端子 U、V、W と直流端子 P、N 間の電力のやり取りを行う動作の再開である再起動を待つ (ステップ S 6)。

[0032] このように、制御装置 2 は、直流端子 P、N 間の短絡を検出すると、制御モードを定常モードから保護モードに切り替えて、第 1 アーム 4 に対し、第 1 変換器セル 1 0 内の全ての半導体スイッチング素子をオフ状態に制御し、第 2 アーム 5 の三相分の第 2 変換器セル 1 5 を STATCOM として動作させる。第 2 アーム 5 の三相分の第 2 変換器セル 1 5 は、スター結線方式のモジュラーマルチレベル変換器と同様の構成となるため、例えば、上記非特許文献 2 に記載される制御方法を用いて以下のように制御する。

制御装置 2 は、各第 2 変換器セル 1 5 のキャパシタ電圧を制御しつつ、所望の交流電圧の無効電力を交流端子 U、V、W に発生させるように電圧指令を演算する。そして、演算された電圧指令に基づいて、各第 2 変換器セル 1

5内の各半導体スイッチング素子をPWM制御によりスイッチング制御することにより、第2アーム5の各第2変換器セル15は、無効電力補償動作を行う。

[0033] なお、この場合、第2変換器セル15はハーフブリッジ構成で正の電圧出力しかできないため、全相で共通の直流電圧を重畳した電圧指令を用いて無効電力補償動作を制御することで、所望の交流電圧が出力可能となる。重畳された直流電圧により零相電圧が発生するが、交流電圧に影響を与えない。

[0034] 直流端子P、N間の短絡時において、制御装置2の保護モードでは、第1アーム4の第1変換器セル10内の全ての半導体スイッチング素子がオフ状態であるため、短絡電流 i_a は流れない、あるいは流れても僅かである。

例えば、U相からV相に流れる短絡電流 i_a の電流経路を図9に示す。短絡電流 i_a は各第1、第2変換器セル10、15の負極のセル出力端子 N_o から正極のセル出力端子 P_o に流れる。

図10は、第1変換器セル10(10A、10B)を流れる短絡電流 i_a の経路を説明する図である。特に、第1変換器セル10Aの負極のセル出力端子 N_o から正極のセル出力端子 P_o に流れる短絡電流 i_a の経路を図10(a)に、第1変換器セル10Bの負極のセル出力端子 N_o から正極のセル出力端子 P_o に流れる短絡電流 i_a の経路を図10(b)に示す。

[0035] 第1変換器セル10A(10B)では、全ての半導体スイッチング素子21s、22s、24s(31s、33s、34s)がオフ状態であるため、図10に示すように、ダイオード整流器のような経路で短絡電流 i_a が流れる。この場合、第1変換器セル10A(10B)内のキャパシタ20が短絡電流 i_a を抑制するように働く。セル出力端子 N_o 、 P_o 間の電圧がキャパシタ電圧より低いと、第1変換器セル10A(10B)内のダイオード23、22d(32、33d)は導通せず、短絡電流 i_a は流れない。各第1変換器セル10のセル出力端子 N_o 、 P_o は直列に接続されているため、全体で考えると、交流端子U、V、W間の電圧が短絡電流経路内のキャパシタ電圧の総和よりも低ければ、短絡電流 i_a は流れない。

なお、ここでキャパシタ電圧とは、キャパシタ 20 の定格使用電圧ではなく、実際の使用状態での充電電圧（使用電圧）である。

[0036] 図 11 は、第 2 変換器セル 15（15 A、15 B）を流れる短絡電流 i_a の経路を説明する図である。特に、第 2 変換器セル 15 A の負極のセル出力端子 N_o から正極のセル出力端子 P_o に流れる短絡電流 i_a の経路を図 11（a）に、第 2 変換器セル 15 B の負極のセル出力端子 N_o から正極のセル出力端子 P_o に流れる短絡電流 i_a の経路を図 11（b）に示す。

第 2 変換器セル 15 A（15 B）は無効電力補償動作をしているが、図 11 では短絡電流成分のみを図示した。この場合、第 2 変換器セル 15 A（15 B）のスイッチング状態に拘わらず、仮に短絡電流 i_a が流れるとすると、負極のセル出力端子 N_o から半導体スイッチ 42（51）を介して正極のセル出力端子 P_o に流れる。

[0037] なお、この実施の形態では、定常モードでの出力動作を維持する目的で、各第 1、第 2 アーム 4、5 内のキャパシタ電圧の総和を交流端子間の電圧（交流系統に接続する場合は系統電圧）よりも高く設定するため、保護モードでの短絡電流 i_a は原則、流れない。仮に短絡電流 i_a が流れても、短絡電流経路内のキャパシタ電圧の総和によって短絡電流 i_a は抑制され僅かである。

[0038] 以上のように、この実施の形態 1 による電力変換装置 100 は、直流端子 P、N 間の短絡を検出すると、第 1 アーム 4 の第 1 変換器セル 10 内の全ての半導体スイッチング素子をオフさせ、第 2 アーム 5 の第 2 変換器セル 15 を STATCOM として動作させる。これにより、直流端子 P、N 間の短絡によって生じる過電流（短絡電流 i_a ）を抑制でき、しかも、短絡時においても継続的に交流端子 U、V、W に対して無効電力を出力することができるので、交流側、例えば交流系統に悪影響を与えることなく、信頼性の高い運転を継続できる。

[0039] また、この実施の形態では、第 2 アーム 5 の第 2 変換器セル 15 をハーフブリッジ構成とし、第 1 アーム 4 の第 1 変換器セル 10 は、上下アーム共に

半導体スイッチング素子を有するLeg Aと、上下アームの一方は半導体スイッチング素子を有し他方はダイオードのみを有したLeg Bとを備えたフルブリッジ構成としたため、半導体スイッチング素子数を低減でき、電力変換装置100の装置構成の小型化、低コスト化が図れると共に、素子の故障率が低減し信頼性が向上する。さらに、このような小型化、低コスト化が促進し、信頼性の高い装置構成で、上述したように直流端子P、N間の短絡時における信頼性の高い運転が可能な高性能な電力変換装置100が実現できる。

[0040] また、定常モードでは、第1変換器セル10のLeg Bは、半導体スイッチング素子をオン状態に固定する制御であるため、制御装置2内の回路構成を簡素化することができ、さらに小型で信頼性の高い電力変換装置100が実現できる。

[0041] また、第1変換器セル10のLeg Bに用いられるダイオード23、32は、保護モード時の比較的短い時間にのみ電流が流れる。このため、ダイオード23、32の定格電流を、定常モードで電流が流れる半導体スイッチング素子やそれに逆並列に接続される還流ダイオードの定格電流よりも小さく設定することができ、小型化、低コスト化がさらに図れる。定格電流を小さくする方法は、例えば、ダイオード23、32を構成する半導体チップの面積を小さくする。

[0042] なお、上記実施の形態1の図1では、第1変換器セル10を有する第1アーム4を正側アーム、第2変換器セル15を有する第2アーム5を負側アームとして図示したが、第1アーム4を負側アーム、第2アーム5を正側アームとしても良い。

[0043] また、各レグ回路3の第1アーム4では、フルブリッジ構成の第1変換器セル10のみを説明し、第2アーム5では、ハーフブリッジ構成の第2変換器セル15のみを説明したが、第1、第2アーム4、5は、それぞれ第1変換器セル10と第2変換器セル15との双方を含むものでも良い。

その場合、制御装置2は、保護モードにおいて、第1アーム4に対し、全

ての変換器セル（第1、第2変換器セル10、15）内の半導体スイッチング素子をオフ状態にすると共に、第2アーム5に対し、三相分の第1、第2変換器セル10、15をSTATCOMとして動作させる。なお、第2アーム5内にある第1変換器セル10のキャパシタ20は、短絡電流 i_a の抑制には貢献しない。

[0044] 交流端子間の電圧よりも第1アーム4内の第1の変換器セル10のキャパシタ電圧の総和が高い場合、即ち、「交流端子間電圧の最大値」÷「キャパシタ電圧」で求められるセル数よりも多くの第1変換器セル10を第1アーム4内に有していれば、短絡電流 i_a は流れない。

[0045] また、正側リアクトル L_p 、負側リアクトル L_n の構成および電流検出器11の構成は、図1で示したものに限らない。

図1では、電流検出器11を正極の直流端子P側に設けたが、負極の直流端子N側に設けても良い。

電流検出器11は、直流端子P、N間の短絡を検出する為に、少なくとも電力変換器1内の半導体スイッチング素子に流れる電流を直接、或いは間接に検出できるものであれば良い。

[0046] 図12に示す電力変換器1aでは、正側リアクトルと負側リアクトルとが結合された3端子のリアクトル L_{pn} が、交流端側に接続されている。また、各相の正側アーム（この場合、第1アーム4）の正極側に、それぞれ電流検出器11U、11V、11Wを設けている。

[0047] 図13に示す電力変換器1bでは、負側リアクトル L_n のみが、各相の負側アーム（この場合、第2アーム5）に接続されている。なお、正側リアクトル L_p のみが、各相の正側アームに接続されても良い。

[0048] 正側リアクトル L_p 、負側リアクトル L_n は、インダクタンス成分があれば良く、ケーブルなどの配線のインダクタンスを用いても良い。図14に示す電力変換器1cでは、リアクトルを接続せずに、配線のインダクタンスを利用する構成である。

[0049] 実施の形態2.

次に、この発明の実施の形態2による電力変換装置を説明する。図15は、この発明の実施の形態2による電力変換装置の概略構成図である。

図15に示すように、電力変換装置100aは、主回路である電力変換器1dと、電力変換器1dを制御する制御装置12とを備え、制御装置12は、制御信号12aを出力して電力変換器1dを制御する。

この実施の形態2では、電力変換器1dの正極の直流端子Pが開閉部としての開閉器8に接続される。なお、開閉器8は、負極の直流端子Nに接続しても良く、また電力変換器1dが備えても、外付けで接続するものでもよい。その他の構成は、上記実施の形態1と同様である。

[0050] 正極の直流端子Pに接続される開閉部（開閉器8）は、同電位にある2つの導体の電位を切り離す機能を有するもので、開閉器8の他、遮断器や断路器でもよく、さらに、機械式の開閉部でも、半導体素子を用いた開閉部でもよい。

[0051] 図16は、この実施の形態2による電力変換装置100dの制御動作を説明するフロー図である。

制御装置12は、運転開始指令が与えられると（ステップS11）、定常モードでの制御を開始し、電力変換器1dは上記実施の形態1と同様に定常運転動作を開始する。即ち、第1変換器セル10のLegBの半導体スイッチング素子をオンに固定し、第1変換器セル10のLegAおよび第2変換器セル15、即ち、LegAおよびLegAa内の各半導体スイッチング素子を定常運転動作させる（ステップS12）。

[0052] 次に、制御装置12は、電流検出器11から検出電流を得て（ステップS13）、上記実施の形態1と同様に、検出電流に基づいて直流端子P、N間で短絡が発生したか否かの判断を短絡判別部にて行う（ステップS14）。

ステップS14において短絡の発生が無いとされた場合は、ステップS13に戻り、制御装置12は電流検出器11から検出電流を得て短絡判別する動作を周期的に繰り返し行う。

[0053] ステップS14において、直流端子P、N間で短絡が発生したと判断され

ると、制御装置 12 は、保護モードでの制御を開始し、電力変換器 1d は上記実施の形態 1 と同様に保護運転動作を開始する。即ち、第 1 アーム 4 の第 1 変換器セル 10 内の全ての半導体スイッチング素子をオフ状態に制御し、第 2 アーム 5 の三相分の第 2 変換器セル 15 を STATCOM として動作させる（ステップ S 15）。なお、第 1 アーム 4 の第 1 変換器セル 10 と第 2 アーム 5 の第 2 変換器セル 15 の制御とは、同時に開始しても、どちらかが先でも良い。

[0054] 次に、制御装置 12 は、開閉器 8 をオフ状態（開状態）に動作させる。なお、一般的に開閉器 8 が実際にオフするまでは 5ms～10ms の時間を有するため、制御装置 12 は、ステップ S 15 において、保護モードでの制御を開始する際に、同時に開閉器 8 をオフさせる指令を出力する（ステップ S 16）。

次に、第 1 アーム 4 の三相分の第 1 変換器セル 10 を、第 2 変換器セル 15 と同様に、STATCOM として動作させる（ステップ S 17）。

そして、交流端子 U、V、W と直流端子 P、N 間の電力のやり取りを行う動作の再開である再起動を待つ（ステップ S 18）。

[0055] この実施の形態では、直流端子 P、N 間の短絡を検出すると、制御装置 12 は、上記実施の形態 1 と同様に定常モードから保護モードに切り替えて、第 1 アーム 4 の第 1 変換器セル 10 内の全ての半導体スイッチング素子をオフさせ、第 2 アーム 5 の第 2 変換器セル 15 を STATCOM として動作させる。そして、直流端子 P、N 間の短絡によって生じる過電流（短絡電流 i_a ）が抑制された状態で、開閉器 8 をオフさせて短絡電流経路を開状態にして、第 1 アーム 4 の第 1 変換器セル 10 も、第 2 変換器セル 15 と同様に、STATCOM として動作させる。

[0056] 上述したように、第 2 アーム 5 の第 2 変換器セル 15 を STATCOM として動作させる場合、第 2 変換器セル 15 は、全相で共通の直流電圧を重畳した電圧指令を用いて無効電力補償動作を行う。そして、開閉器 8 をオフさせた後に、第 1 アーム 4 の第 1 変換器セル 10 も、第 2 変換器セル 15 と同

様に、全相で共通の直流電圧を重畳した電圧指令を用いて無効電力補償動作を行う。重畳される直流電圧は、第1アーム4の第1変換器セル10と第2アーム5の第2変換器セル15とで等しい。

[0057] 第2アーム5の第2変換器セル15のみをSTATCOMとして動作させた場合、重畳された直流電圧により零相電圧が発生する。通常、この零相電圧は問題とならないが、電力変換装置100aの交流端子U、V、Wに、リアクトルや変圧器等で三相の中性点を形成し、それを接地する場合、零相電圧によって対地電流に相当する零相電流が流れることがある。対地電流は、他の機器の誤動作などの悪影響を及ぼす懸念があり、極力低減する必要がある。

この実施の形態では、開閉器8をオフさせ、第1アーム4の第1変換器セル10と、第2アーム5の第2変換器セル15との双方をSTATCOMとして動作させるため、第1アーム4側と第2アーム5側とで、零相電圧は極性が逆になり対地電流は流れない。このため、他の機器への悪影響を抑制でき、電力変換装置100aの信頼性が向上する。

[0058] このため、上記実施の形態1と同様に、直流端子P、N間の短絡時に、過大な短絡電流 i_a を流すことなく、しかも、継続的に交流端子U、V、Wに対して無効電力を出力することができ、さらに、対地電流を抑制できるため他の機器への悪影響を抑制できる。このため、交流側、例えば交流系統に悪影響を与えることなく、また他の機器への悪影響を抑制でき、信頼性の高い運転を継続できる。また、上記実施の形態1と同様に、小型化、低コスト化が促進し、信頼性の高い装置構成で、直流端子P、N間の短絡時における信頼性の高い運転が可能な高性能な電力変換装置100aが実現できる。

[0059] また、開閉器8がオフする時点では、第1の変換器セル10の全ての半導体スイッチング素子がオフして短絡電流 i_a が抑制されているので、開閉器8は、ゼロ電流もしくは極小さい電流を遮断することになる。このため開閉部（開閉器8）は、大きな電流遮断能力を要さず、例えば、電流遮断能力である遮断可能な最大電流を、電力変換器1dの定格直流電流の2倍よりも小

さい電流とする。なお、電力変換装置に用いられる一般的な電流遮断手段の電流遮断能力は定格直流電流の2倍程度である。

[0060] また、上記実施の形態では、直流端子P、N間が短絡している間、第2アーム5の第2変換器セル15を継続的にSTATCOMとして動作させるとしたが、必要に応じて停止をさせ、開閉器8がオフして短絡が解消された後に、第2変換器セル15をSTATCOMとして動作させてもよい。

[0061] また、対地電流の抑制効果は得られないが、開閉器8がオフして短絡が解消された後に、第1アーム4の第1変換器セル10をSTATCOMとして動作させず、第2変換器セル15のみをSTATCOMとして継続して動作させることもできる。

[0062] さらに、上記実施の形態1と同様に、第1、第2アーム4、5は、それぞれ第1変換器セル10と第2変換器セル15との双方を含むものでも良い。

その場合、制御装置2は、保護モードにおいて、第1アーム4に対し、全ての変換器セル（第1、第2変換器セル10、15）内の半導体スイッチング素子をオフ状態にすると共に、第2アーム5に対し、三相分の第1、第2変換器セル10、15をSTATCOMとして動作させる。そして、開閉器8をオフした後に、第1アーム4に対しても、三相分の第1、第2変換器セル10、15をSTATCOMとして動作させる。

[0063] また、この実施の形態においても、正側リアクトル L_p 、負側リアクトル L_n の構成および電流検出器11の構成は、上記実施の形態1と同様に、図12～図14で示す構成が適用でき、さらにそれらにも限定されない。

[0064] 実施の形態3.

次に、この発明の実施の形態3による電力変換装置を説明する。この実施の形態3では、上記実施の形態1の図1で示した電力変換装置100の構成を用いるが、制御動作が異なる。

制御装置2は、制御モードとして、上記実施の形態1と同様の定常モードと保護モードとを備え、さらに待機モードを備えて電力変換器1を制御する。待機モードでは、第1アーム4および第2アーム5の各変換器セル（第1

変換器セル10、第2変換器セル15)内の全ての半導体スイッチング素子をオフ状態に制御する。

[0065] 図17は、この実施の形態3による電力変換装置100の制御動作を説明するフロー図である。

制御装置2は、運転開始指令が与えられると(ステップS21)、定常モードでの制御を開始し、電力変換器1は上記実施の形態1と同様に定常運転動作を開始する。即ち、第1変換器セル10のLegBの半導体スイッチング素子をオンに固定し、第1変換器セル10のLegAおよび第2変換器セル15、即ち、LegAおよびLegAa内の各半導体スイッチング素子を定常運転動作させる(ステップS22)。

[0066] 次に、制御装置2は、電流検出器11から検出電流を得て(ステップS23)、上記実施の形態1と同様に、検出電流に基づいて直流端子P、N間で短絡が発生したか否かの判断を短絡判別部にて行う(ステップS24)。

ステップS24において短絡の発生が無いとされた場合は、ステップS23に戻り、制御装置2は電流検出器11から検出電流を得て短絡判別する動作を周期的に繰り返し行う。

[0067] ステップS24において、直流端子P、N間で短絡が発生したと判断されると、制御装置2は、待機モードでの制御を開始し、電力変換器1は待機状態となる。即ち、第1アーム4および第2アーム5の各変換器セル(第1変換器セル10、第2変換器セル15)内の全ての半導体スイッチング素子をオフ状態に制御する(ステップS25)。

制御装置2は、予め設定された待機期間の経過により、待機モードから保護モードへの移行を判定し(ステップS26)、保護モードでの制御を開始して、電力変換器1は上記実施の形態1と同様に保護運転動作を開始する。即ち、第1アーム4の第1変換器セル10内の全ての半導体スイッチング素子をオフ状態に制御し、第2アーム5の三相分の第2変換器セル15をSTATCOMとして動作させる(ステップS27)。

そして、交流端子U、V、Wと直流端子P、N間の電力のやり取りを行う

動作の再開である再起動を待つ（ステップS28）。

[0068] この実施の形態においても、上記実施の形態1と同様に、電力変換装置100は、直流端子P、N間の短絡を検出すると、保護運転動作を行って、第1アーム4の第1変換器セル10内の全ての半導体スイッチング素子をオフさせ、第2アーム5の第2変換器セル15をSTATCOMとして動作させる。これにより、上記実施の形態1と同様に、直流端子P、N間の短絡によって生じる過電流（短絡電流 i_a ）を抑制でき、しかも、短絡時においても交流端子U、V、Wに対して無効電力を出力することができるので、交流側に悪影響を与えることなく、信頼性の高い運転を継続できる。

[0069] また、この実施の形態では、制御装置2は、定常モードで電力変換器1を運転中に直流端子P、N間の短絡を検出すると、保護モードに切り替えるのに先立って、設定された待機期間の間だけ、待機モードに切り替え、第1アーム4および第2アーム5の各変換器セル（第1変換器セル10、第2変換器セル15）内の全ての半導体スイッチング素子をオフさせる待機状態にする。

このように、保護モードに切り替える前に、一度、全ての半導体スイッチング素子をオフさせる待機状態とすることで、直流端子P、N間の短絡によって生じる過電流を完全に抑制すると共に、過渡的な事象に伴う不要な電流を交流側、例えば交流系統に流出するのが防止できる。そして、第2アーム5の三相分の第2変換器セル15を安定してSTATCOMとして動作させることができる。

[0070] また、第2アーム5の第2変換器セル15は、定常運転からSTATCOMとして動作する保護運転への切り替えを、待機状態を挟んで行うことで瞬時に行う必要がない。このため、処理時間に余裕が生じ制御装置2の負担が軽減できる。第2アーム5の第2変換器セル15において、定常運転から保護運転への切り替えは、出力電流の変更を伴うもので、瞬時に切り替えると高速な電流制御が必要となる。しかし、この実施の形態では、待機状態を挟んで切り替えるため、高速な電流変化に対応させる制御系を構成する必要が

なく、制御設計の自由度が向上する。

また、電力変換器 1 を開閉機器などで交流側から解列する事なく、キャパシタ電圧を維持したまま待機状態とするため、保護運転の開始時に、第 2 アーム 5 の第 2 変換器セル 1 5 は、STATCOM の動作を高速に開始できる。

[0071] なお、待機モードで制御する待機期間は、直流端子 P、N 間の短絡によって生じる過渡事象が収束するのに要する時間を、予め設定して用いる。

[0072] また、上述したステップ S 2 6 における、待機モードから保護モードに移行する移行判定は、設定された待機期間を用いるものに限らない。例えば電力変換装置 1 0 0 の上位のシステムから与えられる動作指令により保護モードに移行しても良い。

[0073] さらに、この実施の形態 3 は上記実施の形態 2 に適用することもできる。即ち、保護モードに移行した後、直流端子 P、N 間の短絡によって生じる過電流（短絡電流 i_a ）が抑制された状態で、開閉器 8 をオフさせて短絡電流経路を開状態にする。そして、第 1 アーム 4 の第 1 変換器セル 1 0 も、第 2 変換器セル 1 5 と同様に、STATCOM として動作させる。これにより、上記実施の形態 2 と同様の効果も得られる。

[0074] 実施の形態 4.

次に、この発明の実施の形態 4 による電力変換装置を説明する。この実施の形態 4 の電力変換装置は、大電流容量用途に対応するため、実施の形態 1 の第 1 変換器セル 1 0 および第 2 変換器セル 1 5 の各 Leg A、Leg B、Leg A a における半導体素子（半導体スイッチング素子、ダイオード）の数を増やして、並列接続する構成としたものである。

第 1 変換器セル 1 0 および第 2 変換器セル 1 5 の構成以外は、上記実施の形態 1 と同様である。また、この実施の形態で示す第 1 変換器セル 1 0 および第 2 変換器セル 1 5 の構成は、上記各実施の形態 1 ~ 3 で説明した電力変換装置 1 0 0、1 0 0 a の制御に、同様に適用できる。

[0075] まず、第 1 変換器セル 1 0 の 2 種の構成（第 1 変換器セル 1 0 C、1 0 D

) を以下に示す。

図18は第1変換器セル10Cの構成を示す回路図である。この第1変換器セル10Cは、図2で示した第1変換器セル10Aの各アームの半導体素子を2個ずつ並列接続したものである。

図18に示すように、第1変換器セル10Cは、第1変換器セル10Aと同様に、上下アーム共に半導体スイッチで構成された第1ブリッジであるLeg Aと、上アームがダイオードのみで、下アームが半導体スイッチで構成された第2ブリッジであるLeg Bと、キャパシタ20とを備え、Leg AとLeg Bとをキャパシタ20に並列接続したフルブリッジ回路である。そして、Leg Aの中間点である半導体スイッチの接続点には正極のセル出力端子P_oが、Leg Bの中間点であるダイオードと半導体スイッチとの接続点には負極のセル出力端子N_oが接続される。

[0076] 第1変換器セル10CのLeg Aの上アームは半導体スイッチ211、212を並列接続して備え、下アームは半導体スイッチ221、222を並列接続して備える。Leg Bの上アームはダイオード231、232を並列接続して備え、下アームは半導体スイッチ241、242を並列接続して備える。

各半導体スイッチ211、212、221、222、241、242は、各々、半導体スイッチング素子211s、212s、221s、222s、241s、242sと、それらに各々逆並列に接続された還流ダイオード211d、212d、221d、222d、241d、242dとで構成される。

そして、制御装置2は、並列接続された半導体スイッチング素子を同時にオン、オフ制御することで、上記実施の形態1で示した第1変換器セル10Aと同様に第1変換器セル10Cを制御する。

[0077] 図19は第1変換器セル10Dの構成を示す回路図である。この第1変換器セル10Dは、図4で示した第1変換器セル10Bの各アームの半導体素子を2個ずつ並列接続したものである。

図19に示すように、第1変換器セル10Dは、第1変換器セル10Bと同様に、上下アーム共に半導体スイッチで構成された第1ブリッジであるLeg Aと、上アームが半導体スイッチで、下アームがダイオードのみで構成された第2ブリッジであるLeg Bと、キャパシタ20とを備え、Leg AとLeg Bとをキャパシタ20に並列接続したフルブリッジ回路である。そして、Leg Aの中間点である半導体スイッチの接続点には負極のセル出力端子Noが、Leg Bの中間点である半導体スイッチとダイオードとの接続点には正極のセル出力端子Poが接続される。

[0078] 第1変換器セル10DのLeg Aの上アームは半導体スイッチ331、332を並列接続して備え、下アームは半導体スイッチ341、342を並列接続して備える。Leg Bの上アームは半導体スイッチ311、312を並列接続して備え、下アームはダイオード321、322を並列接続して備える。

各半導体スイッチ311、312、331、332、341、342は、各々、半導体スイッチング素子311s、312s、331s、332s、341s、342sと、それらに各々逆並列に接続された還流ダイオード311d、312d、331d、332d、341d、342dとで構成される。

そして、制御装置2は、並列接続された半導体スイッチング素子を同時にオン、オフ制御することで、上記実施の形態1で示した第1変換器セル10Bと同様に、第1変換器セル10Dを制御する。

[0079] なお、第1変換器セル10C、10D内の各半導体スイッチング素子には、IGBT、GCT、MOSFETなどの自己消弧型の半導体スイッチング素子が使用される。また、半導体スイッチング素子にダイオード（ボディダイオード）が内在する場合は、還流ダイオードを省略してもよい。

[0080] 以上のように、第1変換器セル10C、10Dを、各アームの半導体素子を2個ずつ並列接続して構成し、並列接続された半導体スイッチング素子を同時にオン、オフ制御することで電流容量の増加が図れる。

[0081] 上述したように、第1変換器セル10のLeg Bに用いられるダイオードは、保護モード時の比較的短い時間にのみ電流が流れる。このため、第1変換器セル10C（10D）において、Leg B内の並列接続されたダイオード231、232（321、322）を1素子としても発熱や損失の増加はほとんど無視できる。

図20に示す第1変換器セル10Eは、図18で示した第1変換器セル10Cの並列接続されたダイオード231、232を1素子のダイオード23に置き換えたものである。また、図21に示す第1変換器セル10Fは、図19で示した第1変換器セル10Dの並列接続されたダイオード321、322を1素子のダイオード32に置き換えたものである。

このように、1素子のダイオード23（32）を用いる事で、第1変換器セル10E、10Fは、電流容量の増加が図れると共に、素子数を低減でき小型化が図れる。

[0082] さらに、上述したように、定常モードでは、第1変換器セル10のLeg Bは、半導体スイッチング素子をオン状態に固定する制御である。このため、第1変換器セル10E（10F）において、Leg B内の半導体スイッチング素子241s、242s（311s、312s）は、Leg A内の半導体スイッチング素子よりもスイッチング損失が小さくなる。このため、第1変換器セル10E（10F）において、Leg B内の並列接続された半導体スイッチ241、242（311、312）を1素子とすることができる。

[0083] 図22に示す第1変換器セル10Gは、図20で示した第1変換器セル10Eの並列接続された半導体スイッチ241、242を1素子の半導体スイッチ24に置き換えたものである。また、図23に示す第1変換器セル10Hは、図21で示した第1変換器セル10Fの並列接続された半導体スイッチ311、312を1素子の半導体スイッチ31に置き換えたものである。

この場合、Leg Aは上下アームとも素子の2並列構成で、Leg Bは上下アームとも並列させない1素子構成である。これにより、第1変換器セル10G、10Hは、電流容量の増加が図れると共に、さらに素子数を低減で

き小型化が図れる。

[0084] 次に、第2変換器セル15の2種の構成（第2変換器セル15C、15D）を図24に基づいて以下に示す。図24（a）に示す第2変換器セル15Cは、図6（a）で示した第2変換器セル15Aの各アームの半導体スイッチを2個ずつ並列接続したものである。図24（b）に示す第2変換器セル15Dは、図6（b）で示した第2変換器セル15Bの各アームの半導体スイッチを2個ずつ並列接続したものである。

[0085] 図24（a）に示すように、第2変換器セル15Cは、上下アーム共に半導体スイッチで構成された第1ブリッジであるLegAaと、キャパシタ40とを備え、LegAaをキャパシタ40に並列接続したハーフブリッジ回路である。そして、LegAaの中間点である半導体スイッチの接続点には正極のセル出力端子Poが、半導体スイッチとキャパシタ40との接続点には負極のセル出力端子Noが接続される。

第2変換器セル15CのLegAaの上アームは半導体スイッチ411、412を並列接続して備え、下アームは半導体スイッチ421、422を並列接続して備える。

[0086] 図24（b）に示すように、第2変換器セル15Dは、上下アーム共に半導体スイッチで構成された第1ブリッジであるLegAaと、キャパシタ40とを備え、LegAaをキャパシタ40に並列接続したハーフブリッジ回路である。そして、LegAaの中間点である半導体スイッチの接続点には負極のセル出力端子Noが、半導体スイッチとキャパシタ40との接続点には正極のセル出力端子Poが接続される。

第2変換器セル15DのLegAaの上アームは半導体スイッチ511、512を並列接続して備え、下アームは半導体スイッチ521、522を並列接続して備える。

[0087] 第2変換器セル15C（15D）の各半導体スイッチ411、412、421、422（511、512、521、522）は、各々、半導体スイッチング素子411s、412s、421s、422s（511s、512s

、521s、522s)と、それらに各々逆並列に接続された還流ダイオード411d、412d、421d、422d(511d、512d、521d、522d)とで構成される。

なお、第1変換器セル15C、15D内の各半導体スイッチング素子には、IGBT、GCT、MOSFETなどの自己消弧型の半導体スイッチング素子を使用される。また、半導体スイッチング素子にダイオード(ボディダイオード)が内在する場合は、還流ダイオードを省略してもよい。

[0088] そして、制御装置2は、並列接続された半導体スイッチング素子を同時にオン、オフ制御することで、上記実施の形態1で示した第2変換器セル15A(15B)と同様に、第2変換器セル15C(15D)を制御する。

このように、第2変換器セル15C、15Dを、各アームの半導体スイッチを2個ずつ並列接続して構成し、並列接続された半導体スイッチング素子を同時にオン、オフ制御することで電流容量の増加が図れる。

[0089] 以上のように、この実施の形態4では、第1変換器セル10および第2変換器セル15の各LegA、LegB、LegAaにおける半導体素子(半導体スイッチング素子、ダイオード)の数を増やして並列接続したため、大電流容量の用途に適した電力変換装置を実現できる。

なお、並列接続する場合、素子の2並列を示したが、3以上の素子を並列接続しても良い。その場合も、第1変換器セル10のLegBのダイオードの並列数は、LegA、LegB内の各アームの半導体スイッチング素子の並列数以下にでき、第1変換器セル10のLegBの半導体スイッチング素子の並列数は、LegA内の各アームの半導体スイッチング素子の並列数以下にできる。このように効果的に素子数を削減することで、大電流容量の用途に適した電力変換装置を、効率的に小型化することができる。

[0090] なお、上記各実施の形態において、電力変換器1、1a~1d内の各半導体スイッチング素子には、ゲート駆動回路が設けられ、制御装置2、12からの制御信号2a、12aに基づいて、各ゲート駆動回路が各半導体スイッチング素子を駆動する。

図25は、半導体スイッチング素子SWを駆動するゲート駆動回路60の構成例を示す回路図である。

図に示すように、ゲート駆動回路60は、半導体スイッチング素子SWのゲート端子に一端が接続されたゲート抵抗 R_g と、半導体スイッチング素子SWのターンオンを制御するスイッチQ1と、半導体スイッチング素子SWのターンオフを制御するスイッチQ2とを備える。さらに、ゲート駆動回路60は、半導体スイッチング素子SWのゲート端子に正のゲートバイアス電圧を与える直流電圧源 V_{G1} と、負のゲートバイアス電圧を与える直流電圧源 V_{G2} とを備える。また、ゲート駆動回路60には、スイッチング指令信号である制御信号2a、12aから生成された入力信号61が与えられる。

[0091] なお、ゲート駆動回路60の基準電位は、半導体スイッチング素子SWのエミッタ端子の電位と等しい。また、スイッチQ1、Q2は、例えばMOSFET等の自己消弧型の半導体スイッチング素子が使用される。

[0092] 半導体スイッチング素子SWをターンオンさせるときは、入力信号61によりスイッチQ1をオンさせゲート電流が、直流電圧源 V_{G1} からゲート抵抗 R_g を介して半導体スイッチング素子SWのゲート端子に流れ込んでゲート端子を充電する。また、半導体スイッチング素子SWをターンオフさせるときは、入力信号61によりスイッチQ2をオンさせ、ゲート抵抗 R_g を介して半導体スイッチング素子SWのゲート端子を放電させる。

[0093] 第1変換器セル10のLegB内のゲート駆動回路60は、第1、第2変換器セル10、15のLegA、LegAa内のゲート駆動回路60に比べ、ゲート抵抗値 R_g （ゲート抵抗 R_g の値）を大きくできる。

ゲート駆動回路60のゲート抵抗値 R_g を大きくすると、半導体スイッチング素子のスイッチング速度が遅くなって、電流遮断時（ターンオフ時）のサージ電圧を抑制できると共に、1回のスイッチング当りのスイッチング損失が増加する。LegB内の半導体スイッチング素子は、定常モードではスイッチングを行わないので、ゲート抵抗値 R_g を大きくしてもスイッチング損失を増加させずにサージ電圧を抑制できる。このため、第1変換器セル1

0のLe g Bの半導体スイッチング素子の並列数を削減しても、大きな電流遮断能力を確保することができる。

[0094] また、第1、第2変換器セル10、15内の全て、あるいは一部の半導体素子（半導体スイッチング素子、ダイオード）の材料としてワイドバンドギャップ半導体を用いてもよい。半導体素子の材料としては珪素が用いられることが多い。ワイドバンドギャップ半導体の材料として、例えば、炭化珪素や窒化ガリウム系材料またはダイヤモンドがある。

ワイドバンドギャップ半導体を使用すると、半導体素子の高耐圧化が可能なため、変換器セルの直列台数を低減できる。さらに、ワイドバンドギャップ半導体はスイッチング損失を低減できる。

[0095] したがって、例えば、定常状態でスイッチング動作を行う半導体スイッチング素子とそれに逆並列に接続される還流ダイオードにのみ、ワイドバンドギャップ半導体を用いてもよい。

また、ワイドバンドギャップ半導体は、チップ面積を大きくすることで、導通損失を低減することができる。これを用いると、定常状態で常時オンとする半導体スイッチング素子のみをワイドバンドギャップ半導体とすることで、導通損失を低減することができる。

全ての半導体素子をワイドバンドギャップ半導体とすれば、前述の両方の効果を得ることができる。

[0096] 実施の形態5.

上記各実施の形態1～4で示した電力変換装置100、100aは、一台の電力変換装置で構成したが、同様の電力変換装置を複数台備えて、直流側で接続して用いても良い。

この実施の形態5では、複数台の電力変換装置による装置群で構成される電力変換装置1000について説明する。図26に示すように、装置群で構成される電力変換装置1000は、上記実施の形態1の電力変換装置100と同様の装置を例えば、3台備える。即ち、3台の電力変換器1-A、1-B、1-Cと、各電力変換器1-A、1-B、1-Cを個別に制御する3つ

の制御装置 2-A、2-B、2-C とを備える。そして、3台の電力変換器 1-A、1-B、1-C の各直流端子 P、N は、直流線路 65 を介して互いに接続されている。

3台の電力変換器 1-A、1-B、1-C は、上記実施の形態 1 と同様に各制御装置 2-A、2-B、2-C により同様に制御されている。

[0097] 例えば、電力変換器 1-A の直流端子 P、N 間で短絡が発生したことを、制御装置 2-A が検出すると、制御装置 2-A は、電力変換器 1-A を保護モードで運転する。また、短絡点から遠方にある電力変換器 1-B、1-C も同様に保護モードで運転する。その後、短絡点を挟む位置に接続された開閉器（図示せず）を開くことで、事故を除去することが出来る。

これにより、電力変換器 1-A では、上記実施の形態 1 と同様に、直流端子 P、N 間の短絡によって生じる過電流（短絡電流 i_a ）を抑制でき、しかも、短絡時においても交流端子 U、V、W に対して無効電力を出力することができるので、交流側に悪影響を与えることなく、信頼性の高い運転を継続できる。そして、開閉器により事故が除去されるため、他の 2 台の電力変換器 1-B、1-C への悪影響は抑制され、2 台の電力変換器 1-B、1-C は互いの接続状態を保ち、定常モードでの運転を再開することができる。

[0098] なお、このような電力変換装置 1000 は、複数の電力変換器 1-A、1-B、1-C の直流側の出力が組み合わせられることにより、さらに高電圧の直流電力を扱う発電、送配電等のシステムに利用できる。

[0099] またこの発明は、発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

請求の範囲

[請求項1]

エネルギー蓄積要素と、上下アーム共に半導体スイッチング素子を有する第1ブリッジとを備えた変換器セルが、それぞれ1あるいは複数直列接続されて成る第1アームと第2アームとが直列接続され、その接続点が各相交流端子に接続される複数のレグ回路を正負の直流端子間に並列接続して備え、多相交流と直流との間で電力変換を行う電力変換器と、

上記各レグ回路の上記第1アーム、第2アームの電圧指令をそれぞれ生成して、上記第1アーム、第2アーム内の上記各変換器セルを出力制御して上記電力変換器を制御する制御装置とを備えた電力変換装置であって、

上記電力変換器における上記各レグ回路の上記第1アームにおける上記1あるいは複数の変換器セルは、上記エネルギー蓄積要素と上記第1ブリッジと、上下アームの一方が半導体スイッチング素子を有し他方がダイオードのみを有する第2ブリッジとを備えたフルブリッジ構成の第1変換器セルを含み、上記各レグ回路の上記第2アームにおける上記1あるいは複数の変換器セルは、上記エネルギー蓄積要素と上記第1ブリッジとを備えたハーフブリッジ構成の第2変換器セルを含み、上記制御装置は、定常モードと、保護モードとの2つの制御モードを備え、上記直流端子間の短絡を検出すると、上記定常モードから上記保護モードに切り替えて、上記各レグ回路の上記第1アームに対し、上記各変換器セル内の全ての上記半導体スイッチング素子をオフさせ、上記第2アームに対し、無効電力補償動作をするように上記各変換器セルを出力制御する、
電力変換装置。

[請求項2]

上記制御装置は、上記2つの制御モードに加え、上記各レグ回路の上記第1アームおよび上記第2アームに対し、上記各変換器セル内の全ての上記半導体スイッチング素子をオフさせる待機モードを備え、上

記直流端子間の短絡を検出すると、上記定常モードから上記保護モードに切り替えるに先立って上記待機モードに切り替える、
請求項 1 に記載の電力変換装置。

[請求項3] 上記制御装置は、上記直流端子間の短絡を検出すると、上記定常モードから上記待機モードに切り替え、設定された待機期間後に上記保護モードに切り替える、
請求項 2 に記載の電力変換装置。

[請求項4] 上記制御装置は、上記直流端子間の短絡を検出すると、上記定常モードから上記待機モードに切り替え、外部から与えられる動作指令により上記保護モードに切り替える、
請求項 2 に記載の電力変換装置。

[請求項5] 上記各レグ回路の上記第 1 アーム内の上記変換器セルは、全て上記第 1 変換器セルであり、上記第 2 アーム内の上記変換器セルは、全て上記第 2 変換器セルである、
請求項 1 から請求項 4 のいずれか 1 項に記載の電力変換装置。

[請求項6] 上記制御装置は、上記定常モードにおいて、上記第 1、第 2 変換器セルの上記第 1 ブリッジ内の上記半導体スイッチング素子を上記電圧指令に基づいてスイッチング制御すると共に、上記第 1 変換器セルの上記第 2 ブリッジ内の上記半導体スイッチング素子をオン状態に固定して制御する、
請求項 1 から請求項 5 のいずれか 1 項に記載の電力変換装置。

[請求項7] 上記直流端子の一方は開閉部に接続され、
上記制御装置は、上記保護モードにおいて、上記第 1 アームに対し、上記各変換器セル内の全ての上記半導体スイッチング素子をオフさせた後、上記開閉部を開状態に動作させる、
請求項 1 から請求項 6 のいずれか 1 項に記載の電力変換装置。

[請求項8] 上記制御装置は、上記保護モードにおいて、上記開閉部を開状態に動作させた後、上記第 1 アームに対し、無効電力補償動作をするように

上記各変換器セルを出力制御する、
請求項 7 に記載の電力変換装置。

[請求項9] 上記制御装置は、上記保護モードにおいて、全相で共通の直流電圧を重畳した電圧指令を用いて上記無効電力補償動作を制御する、
請求項 1 から請求項 8 のいずれか 1 項に記載の電力変換装置。

[請求項10] 上記開閉部は、上記電力変換器の定格直流電流の 2 倍よりも小さい電流を遮断可能とする、
請求項 7 または請求項 8 に記載の電力変換装置。

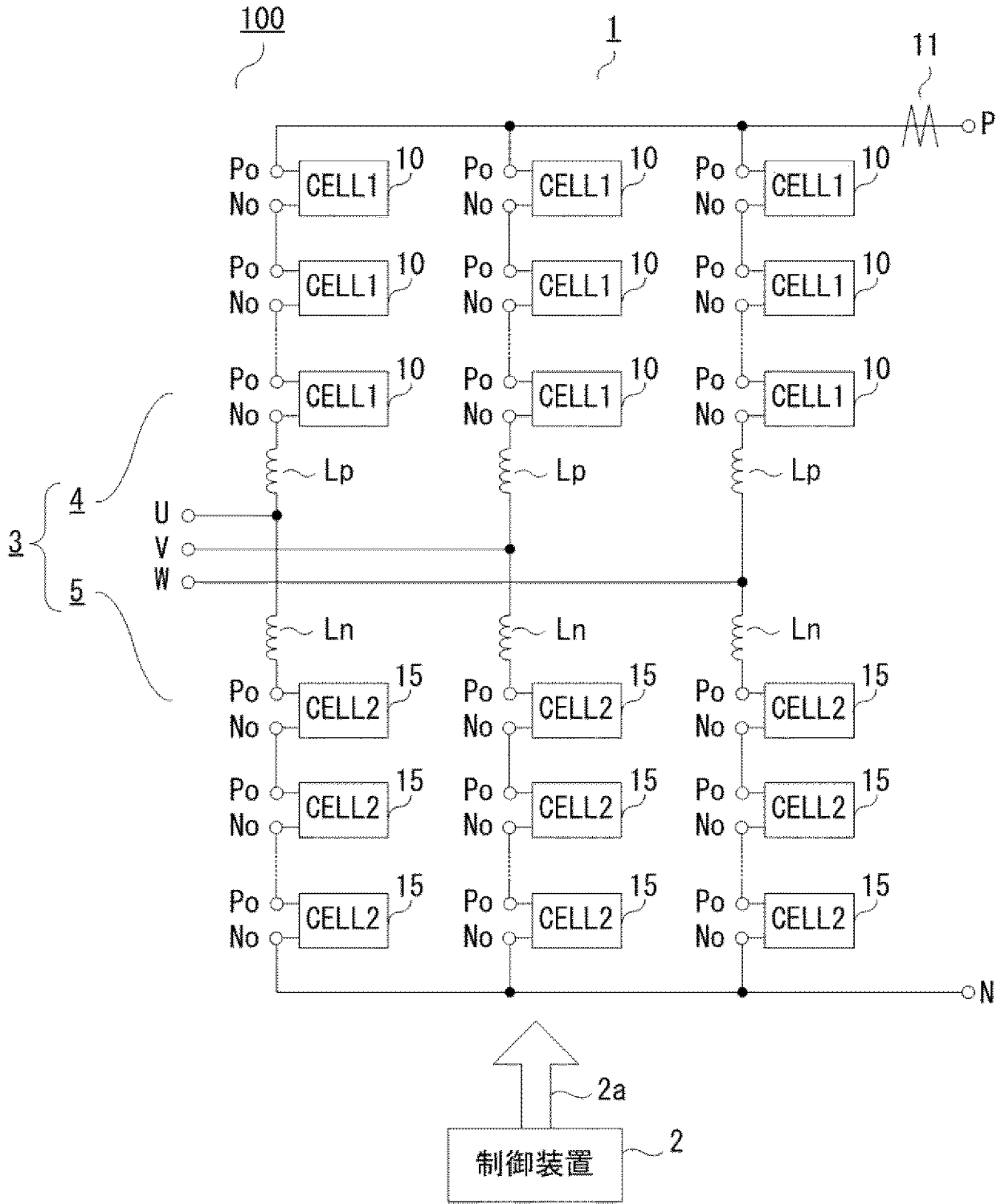
[請求項11] 上記第 1 変換器セル内の上記第 1 ブリッジの上記各上下アームは、上記半導体スイッチング素子を複数個並列接続して備え、上記第 2 ブリッジの上記上下アームの一方は、上記半導体スイッチング素子を 1 個あるいは複数個並列接続して備え、他方は上記ダイオードを 1 個あるいは複数個並列接続して備え、
上記第 2 ブリッジの上記半導体スイッチング素子の並列数は、上記ダイオードの並列数以上で有り、かつ上記第 1 ブリッジの上記半導体スイッチング素子の並列数以下である、
請求項 1 から請求項 10 のいずれか 1 項に記載の電力変換装置。

[請求項12] 上記第 1、第 2 変換器セルは、上記各半導体スイッチング素子をそれぞれ駆動するゲート駆動回路を備え、上記第 1 変換器セルの上記第 2 ブリッジ内の上記ゲート駆動回路は、上記第 1、第 2 変換器セルの上記第 1 ブリッジ内の上記ゲート駆動回路に比べ、ゲート抵抗値が大きい、
請求項 1 から請求項 11 のいずれか 1 項に記載の電力変換装置。

[請求項13] 複数の上記電力変換器と、該各電力変換器を個別に制御する複数の上記制御装置とを備え、上記複数の電力変換器の上記各直流端子は互いに接続されている、
請求項 1 から請求項 12 のいずれか 1 項に記載の電力変換装置。

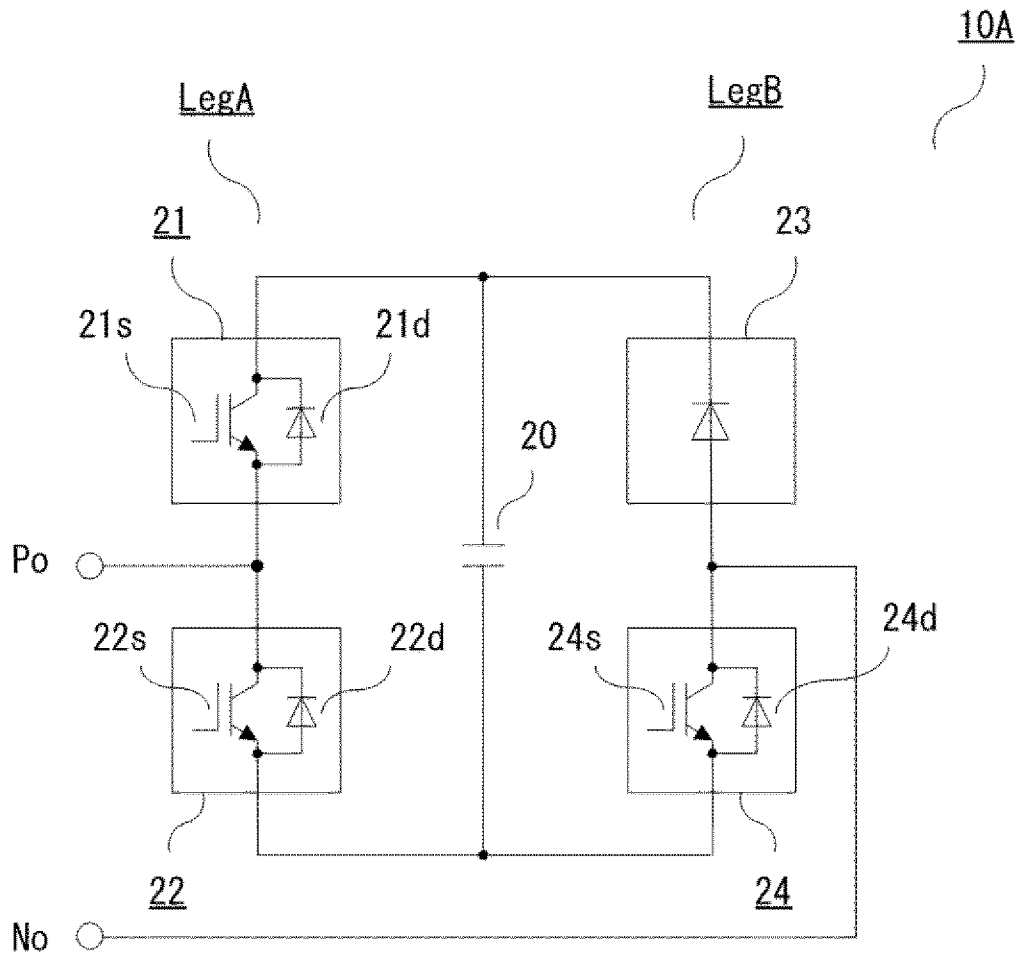
[図1]

図1



[図2]

図2



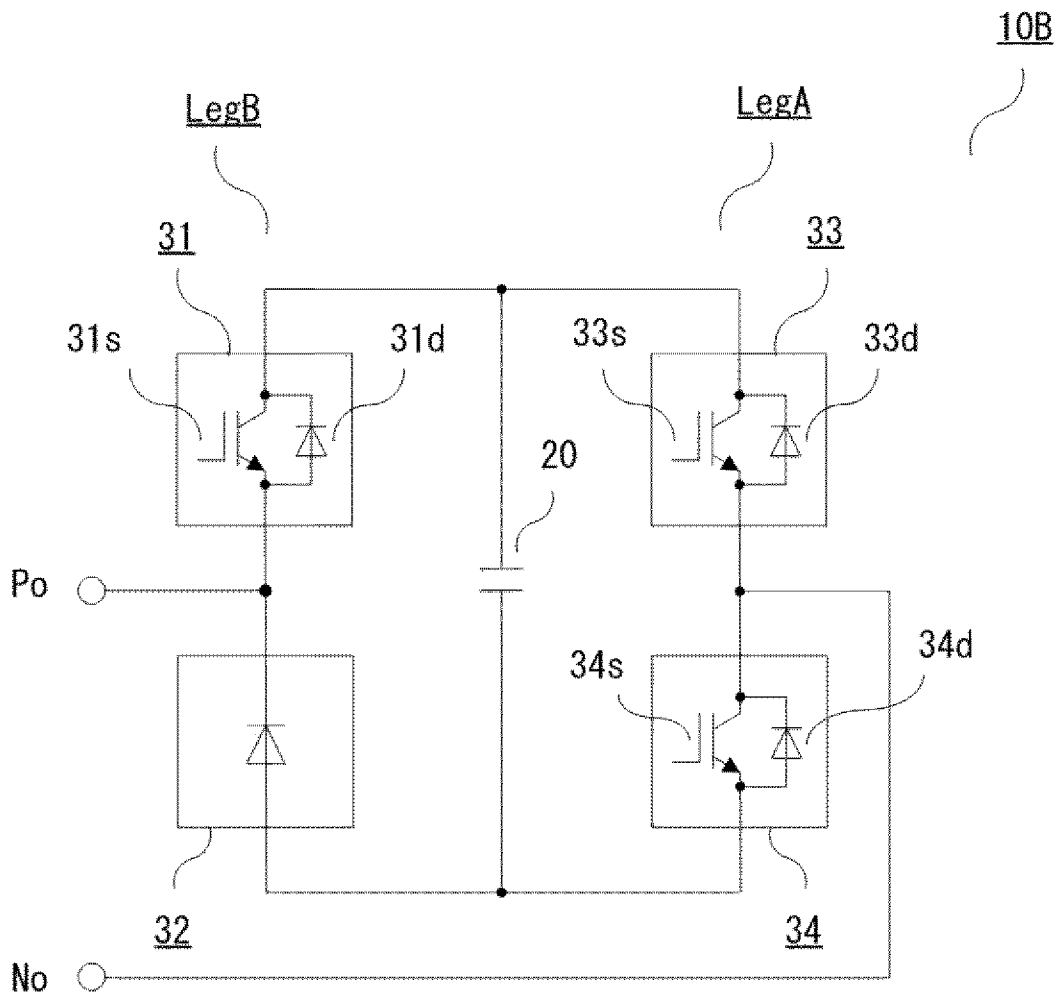
[図3]

図3

	スイッチング状態			動作モード
	21s	22s	24s	
モード1	ON	OFF	ON	キャパシタの 両端電圧を出力
モード2	OFF	ON	ON	零電圧出力
モード3	OFF	OFF	OFF	保護モード

[図4]

図4



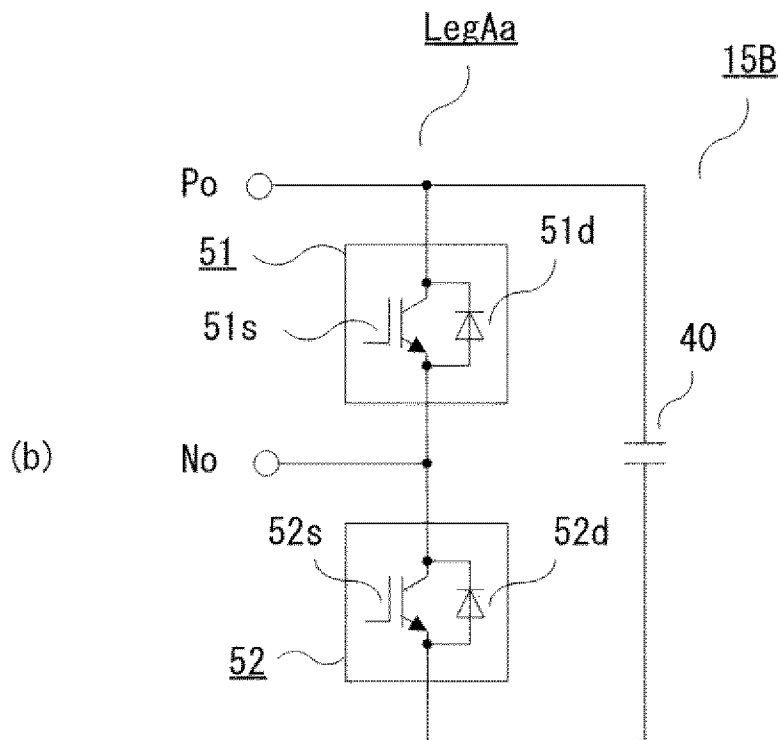
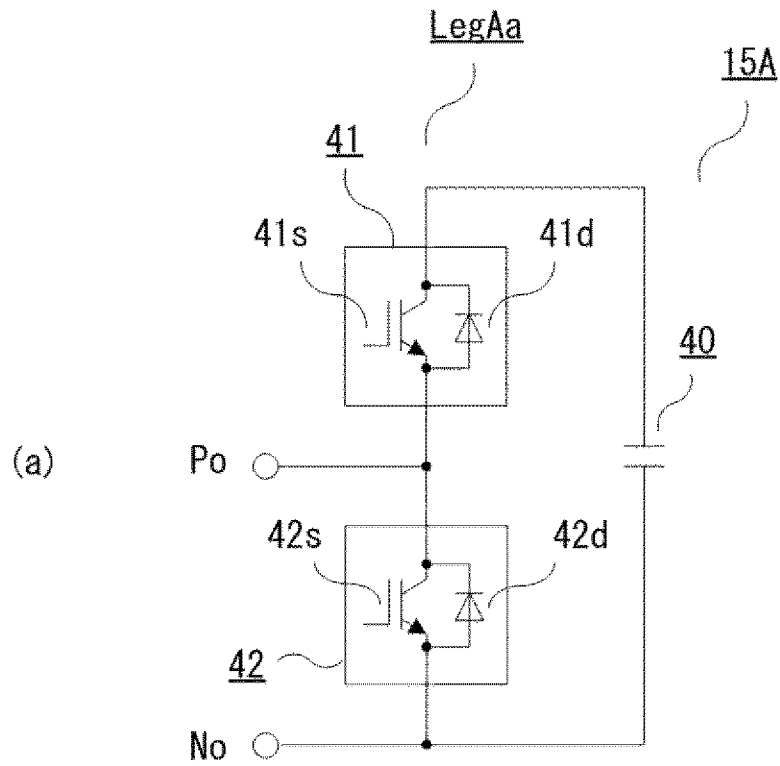
[図5]

図5

	スイッチング状態			動作モード
	31s	33s	34s	
モード1	ON	OFF	ON	キャパシタの 両端電圧を出力
モード2	ON	ON	OFF	零電圧出力
モード3	OFF	OFF	OFF	保護モード

[図6]

図6



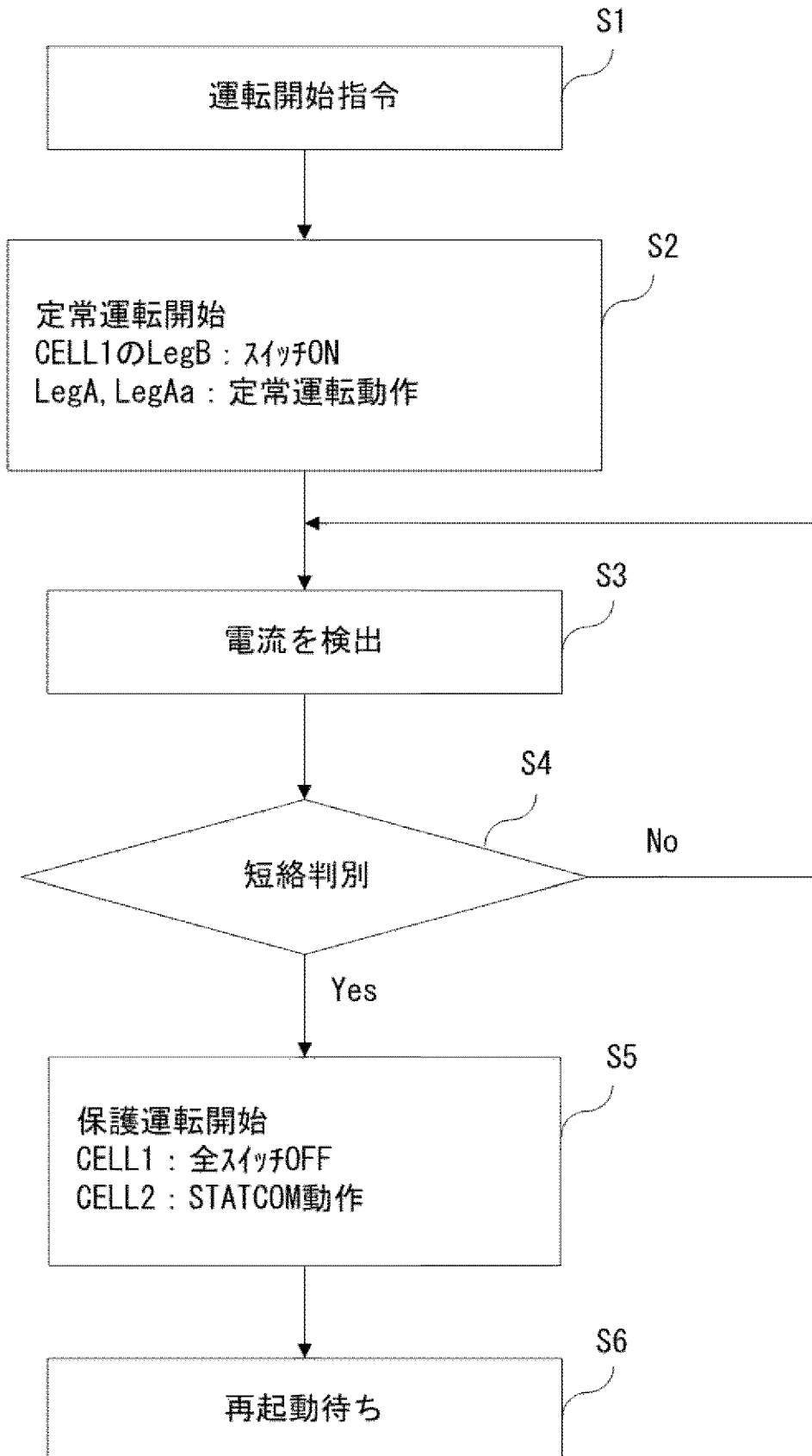
[図7]

	スイッチング状態		動作モード
	41s, 52s	42s, 51s	
モード1	ON	OFF	キャパシタの 両端電圧を出力
モード2	OFF	ON	零電圧出力

図7

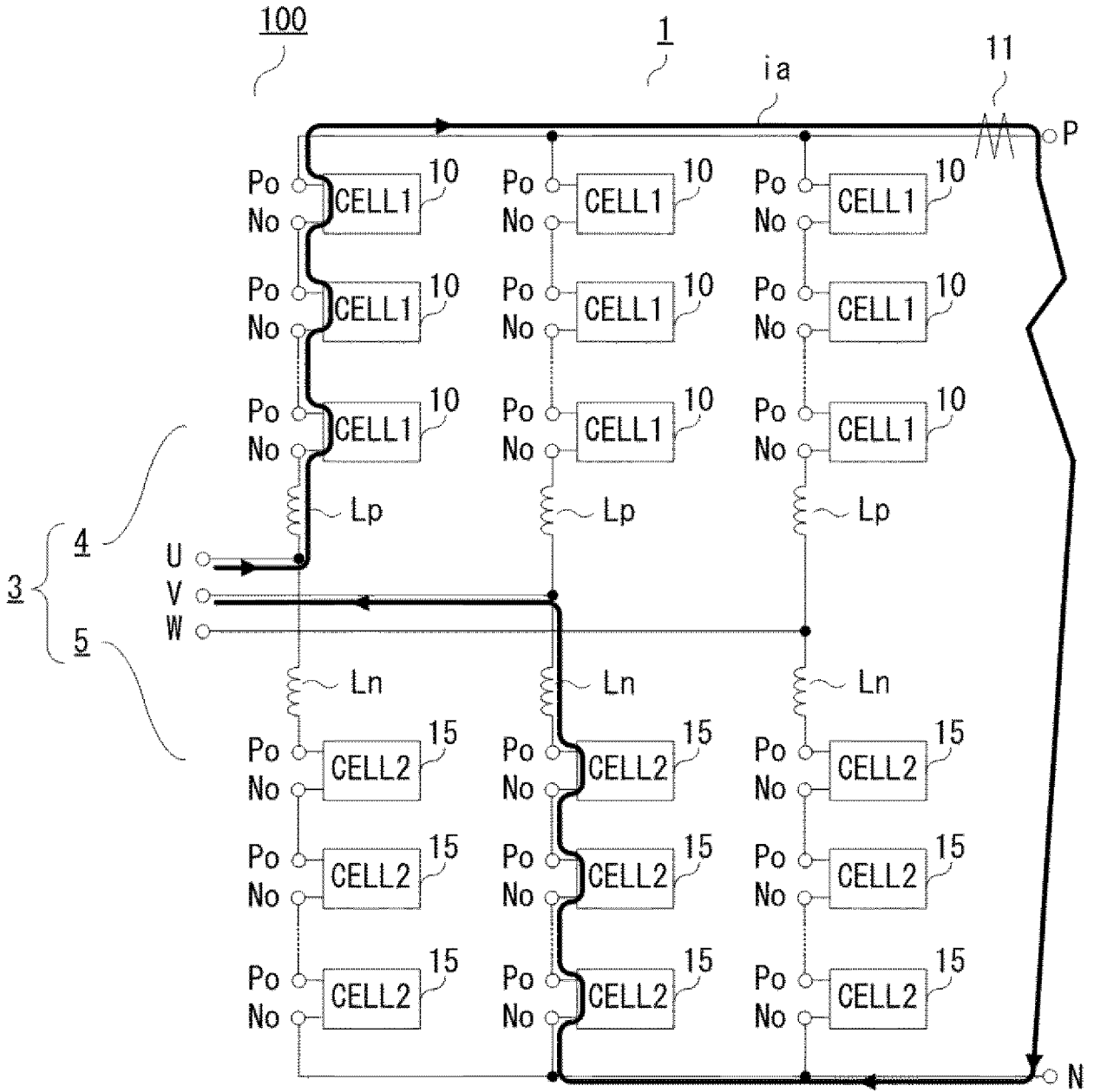
[図8]

図8



[図9]

図9



[図10]

図10

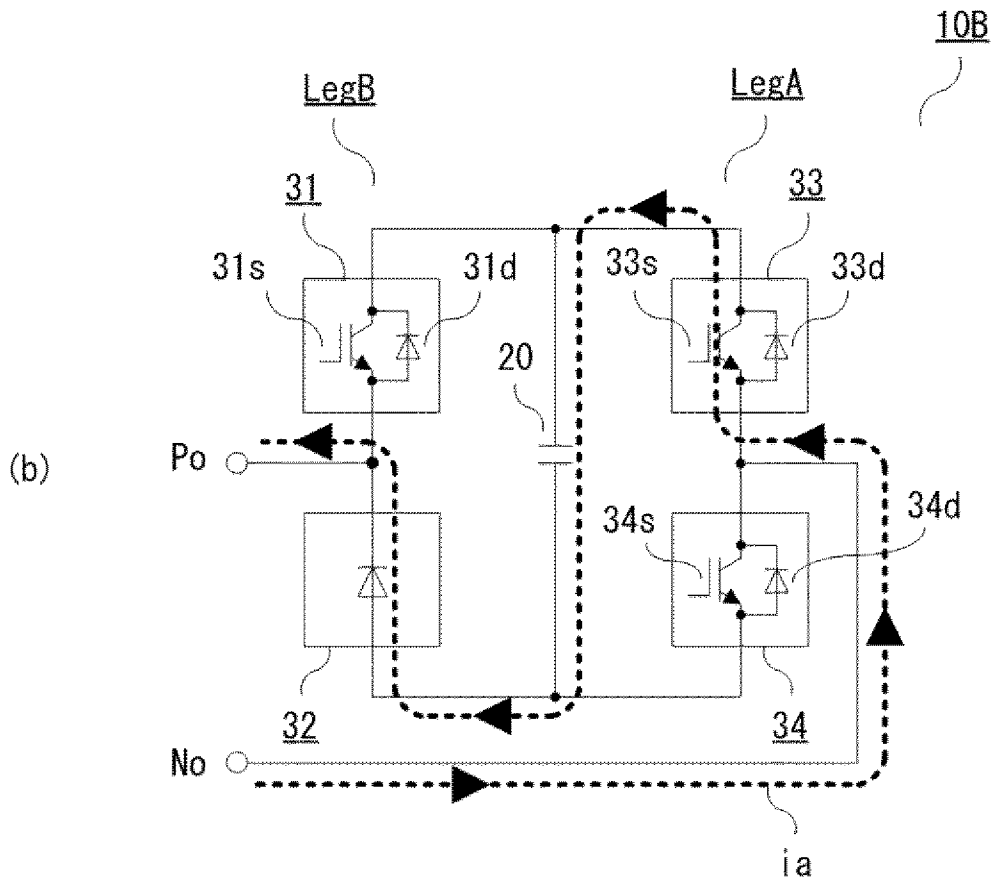
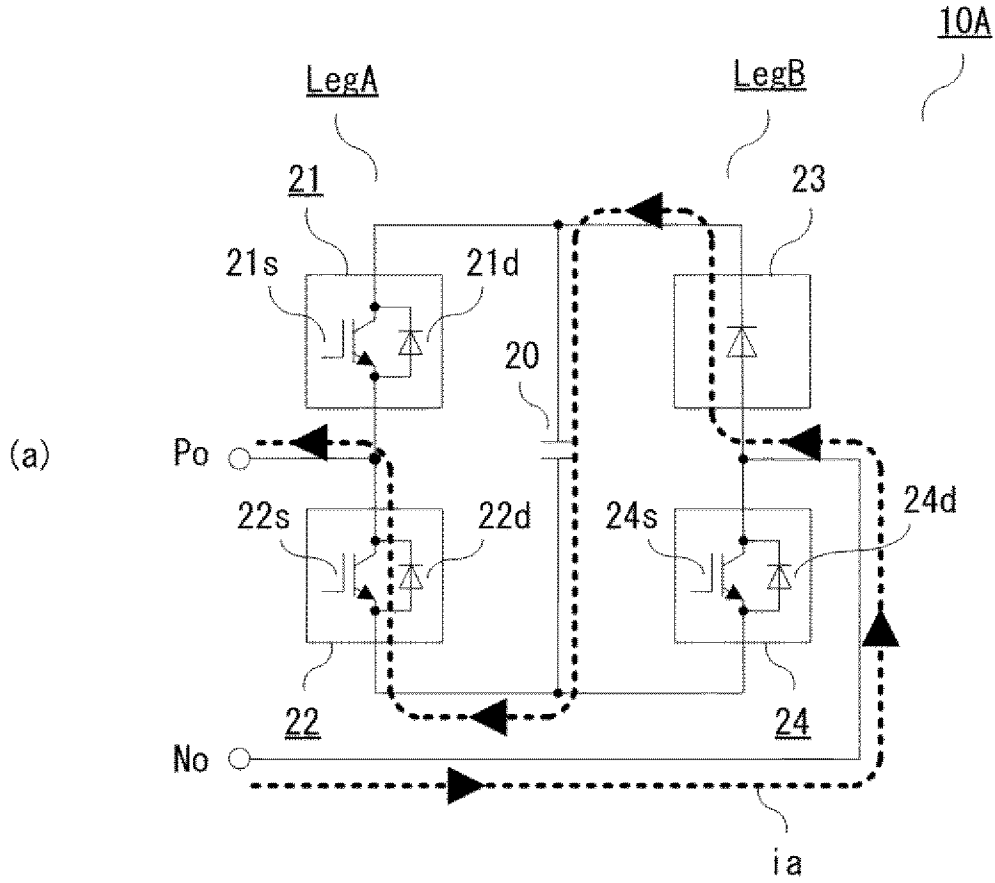
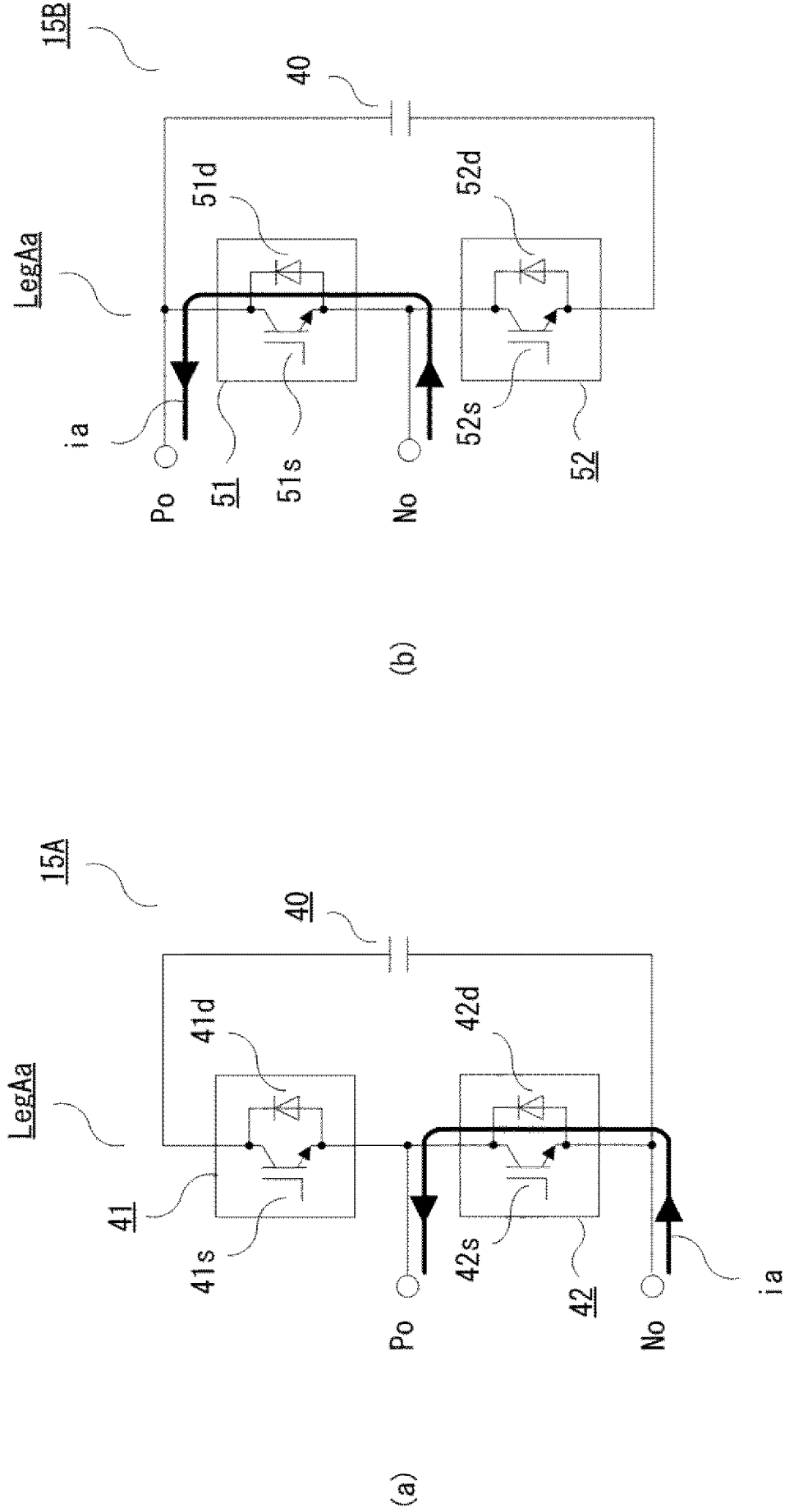
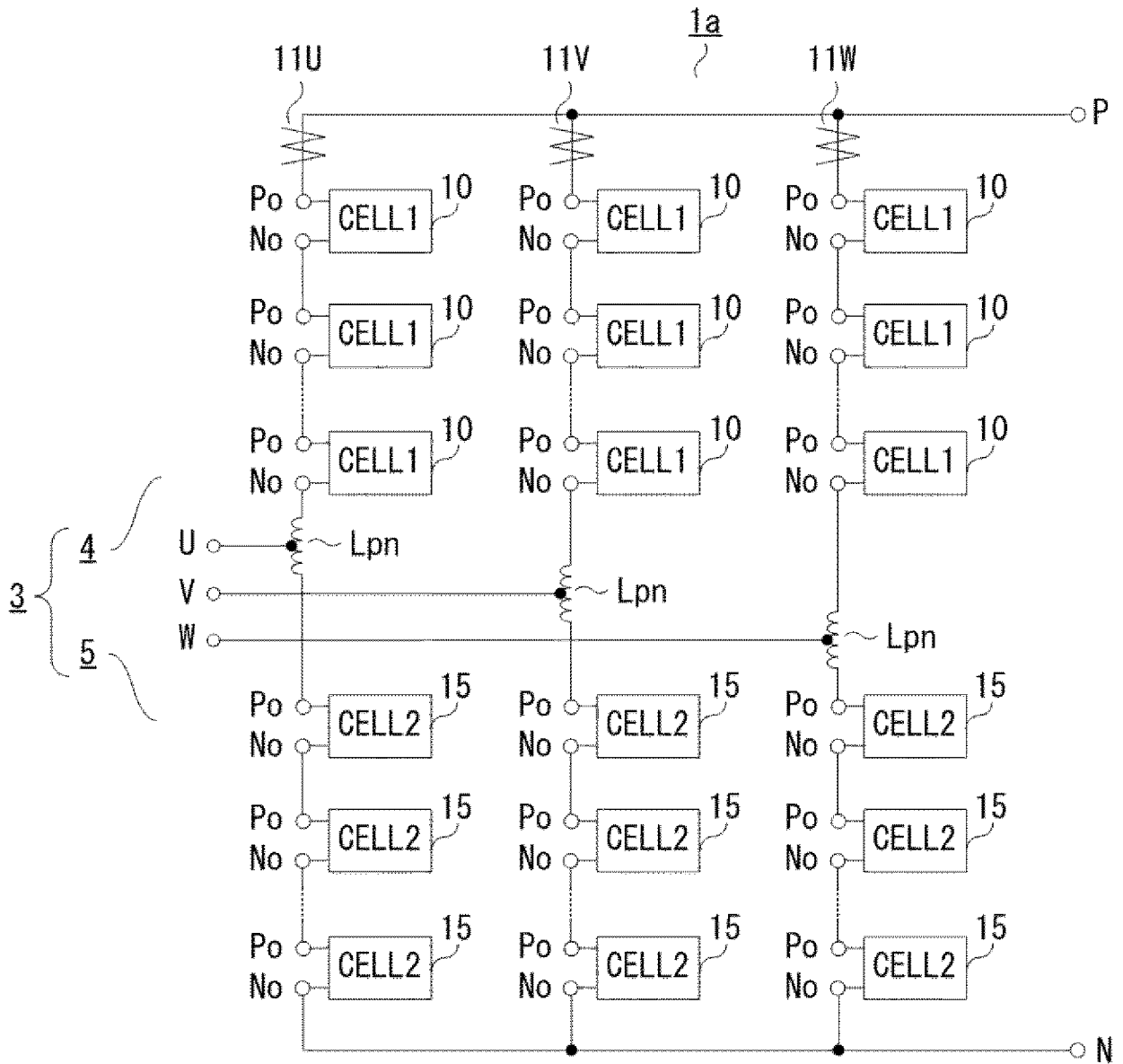


图11



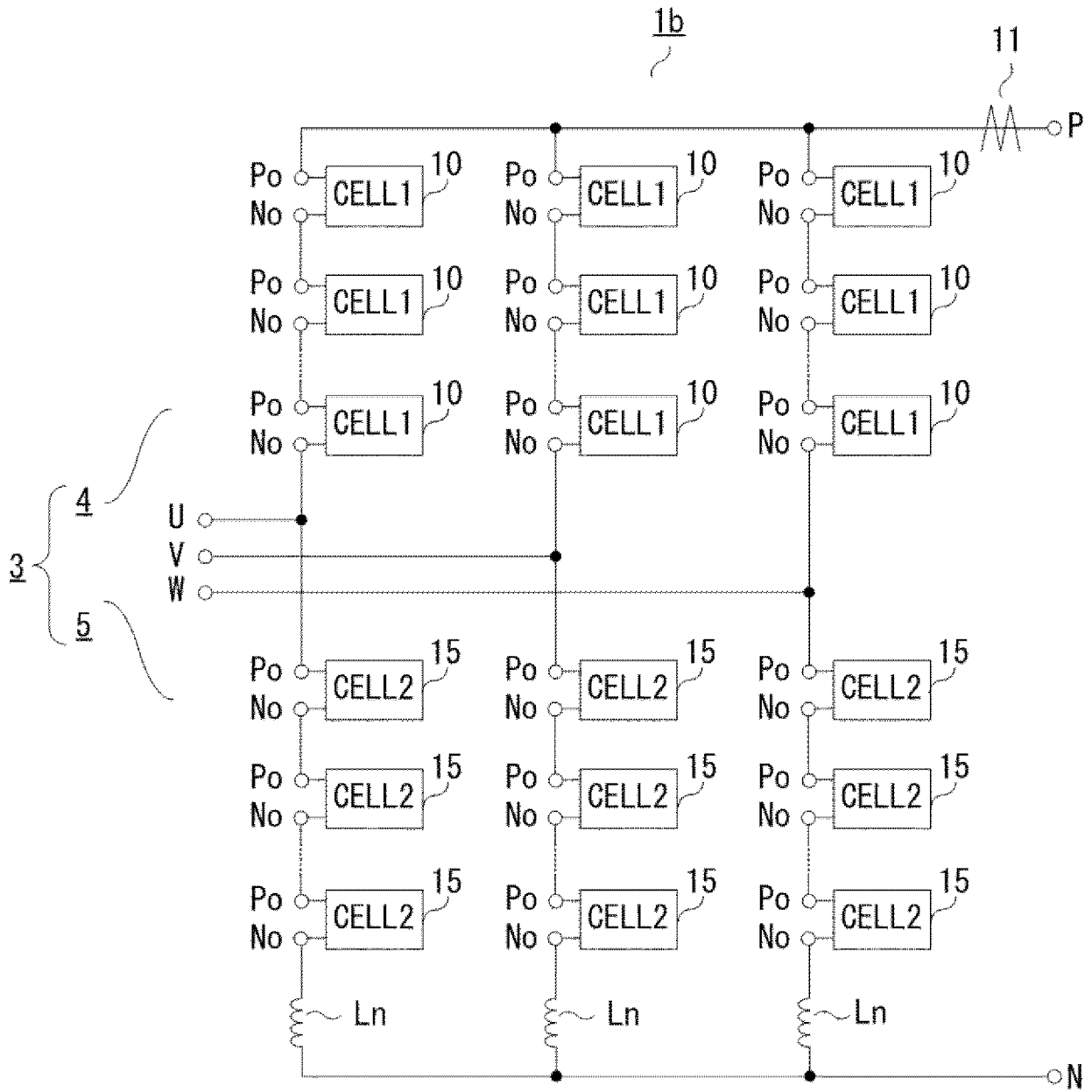
[図12]

図12



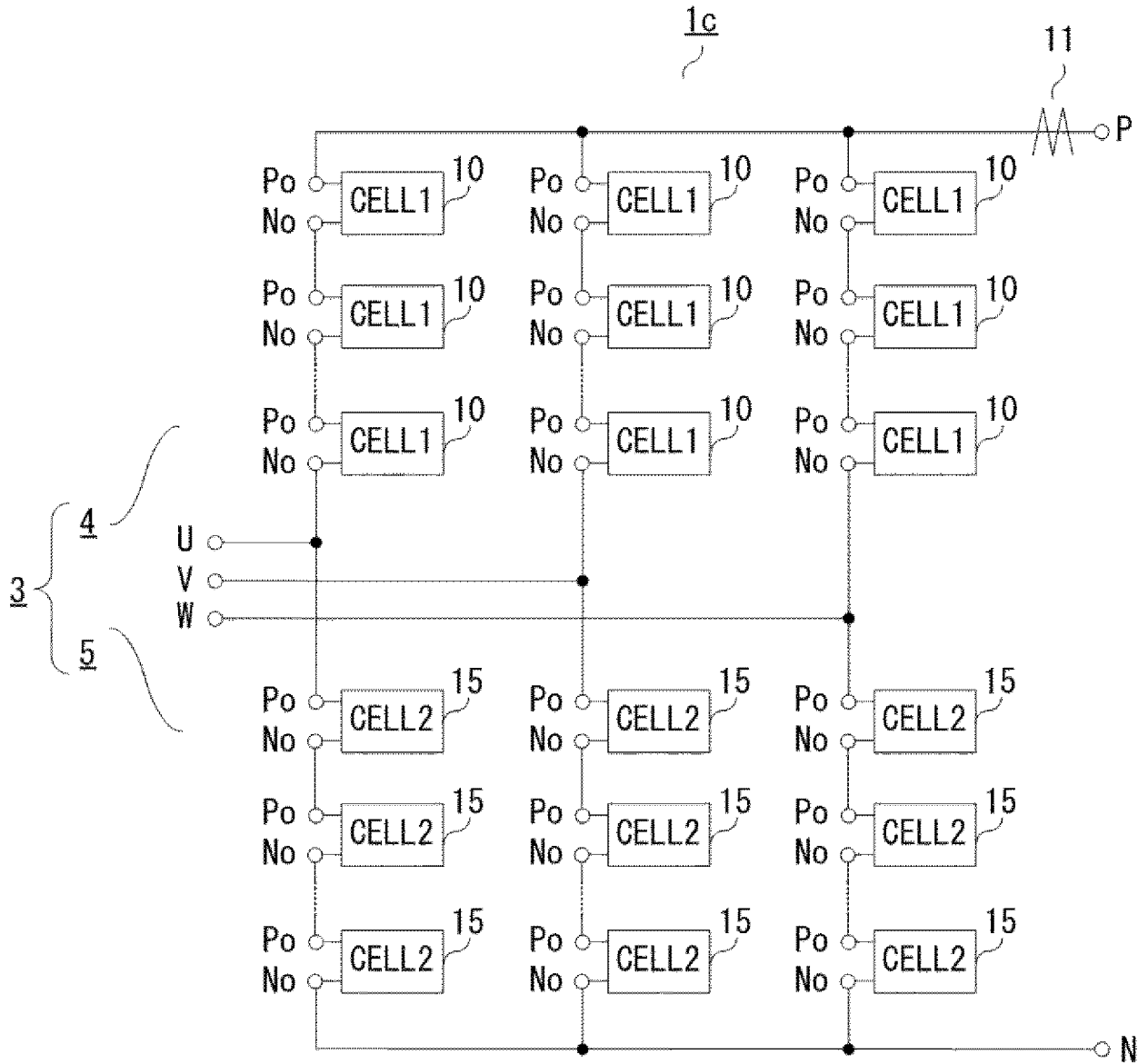
[] 13

13



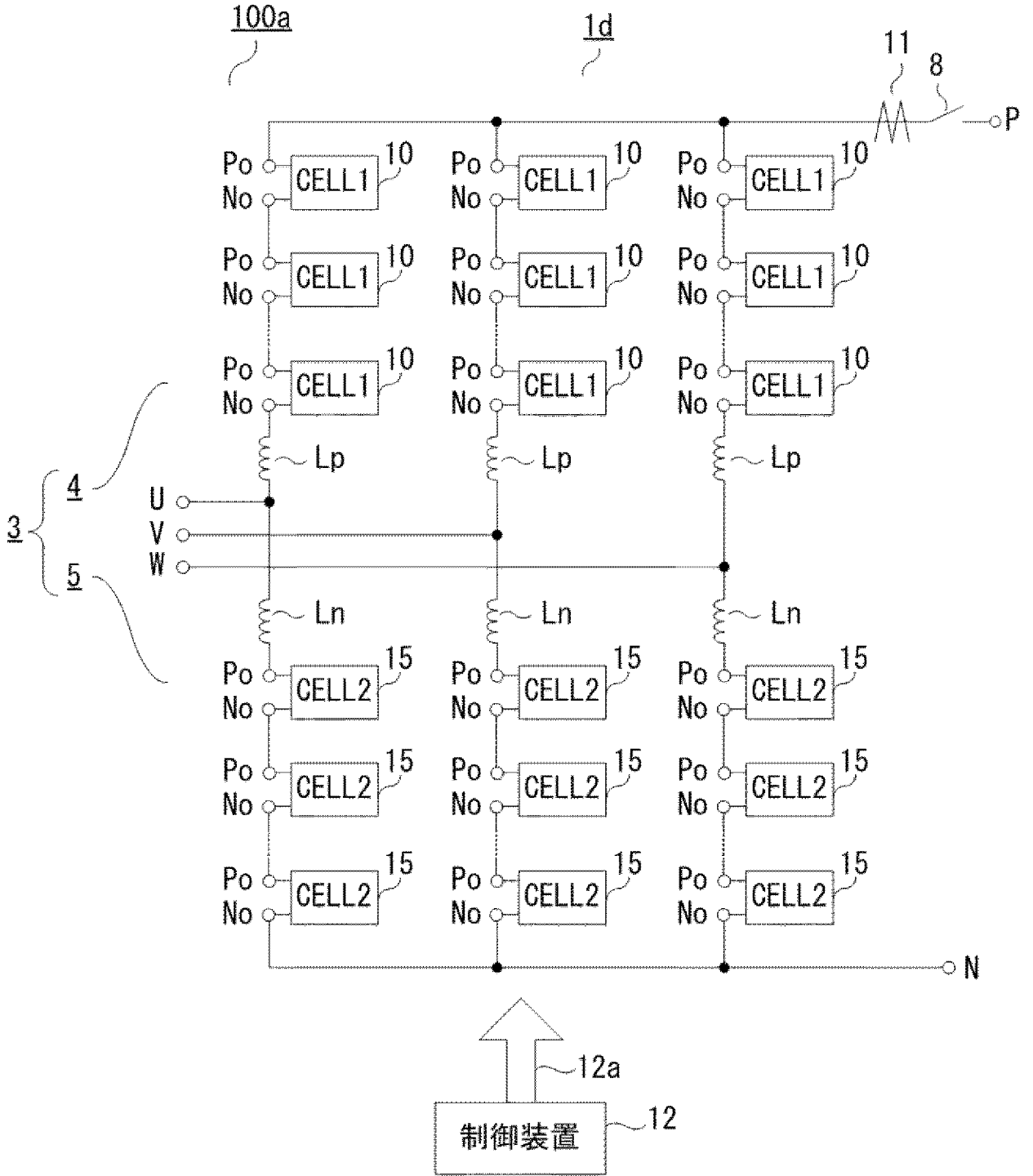
[図14]

図14



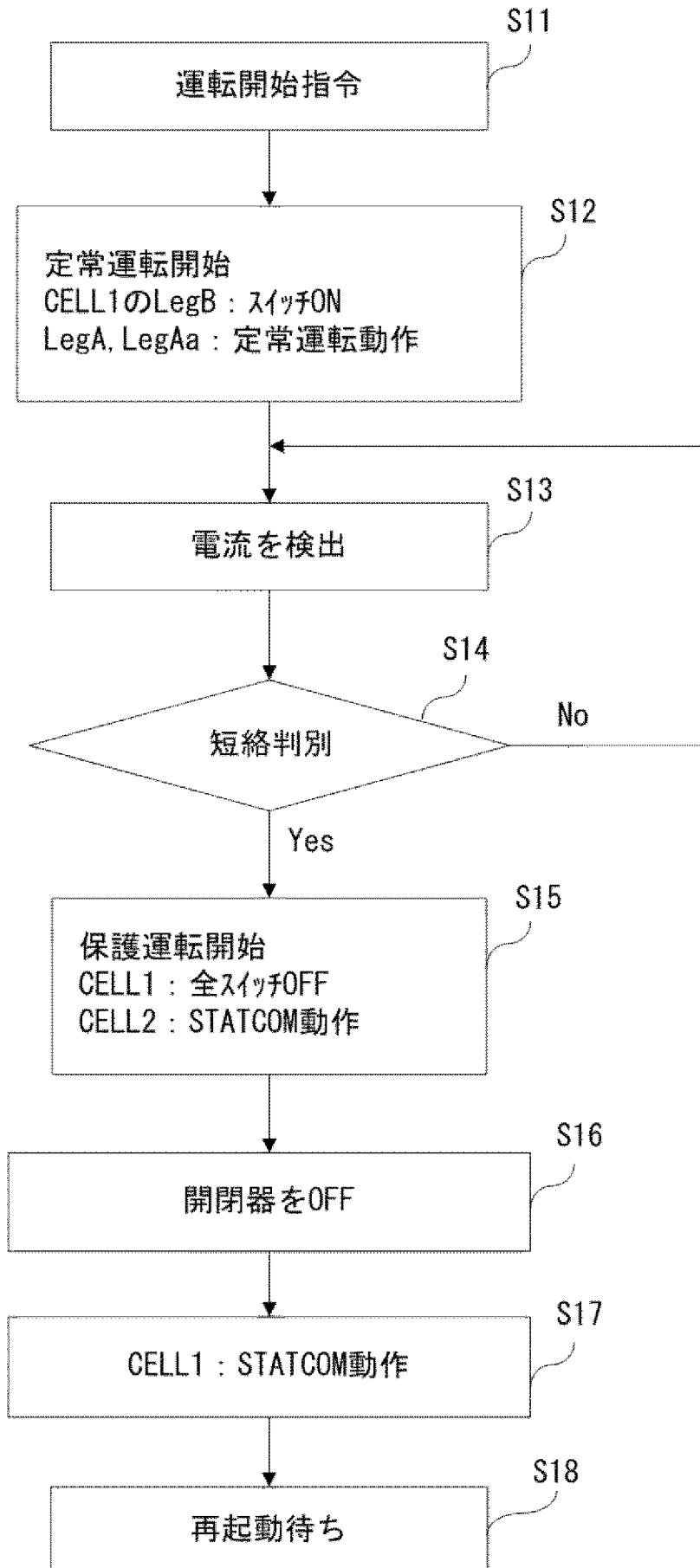
[図15]

図15



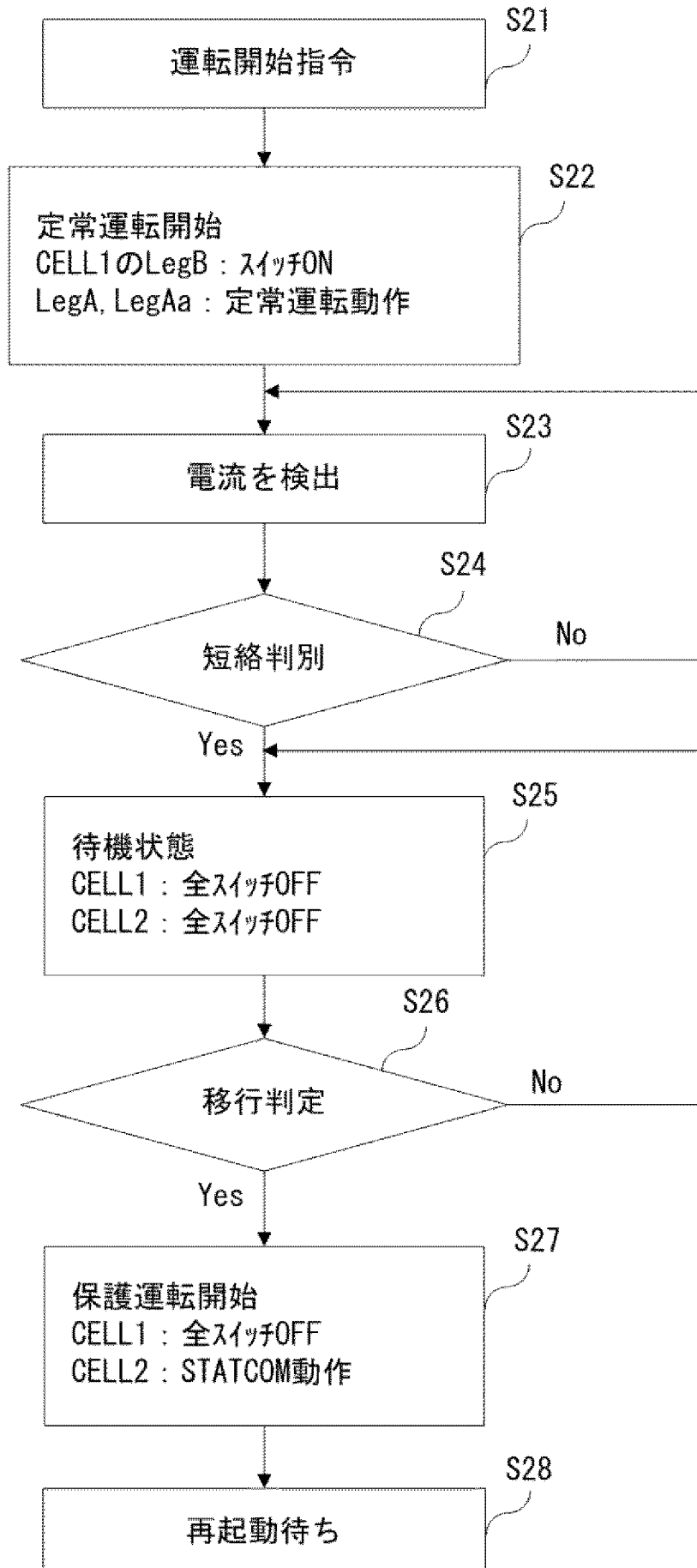
[図16]

図16



[図17]

図17



[圖18]

10C

LegB

LegA

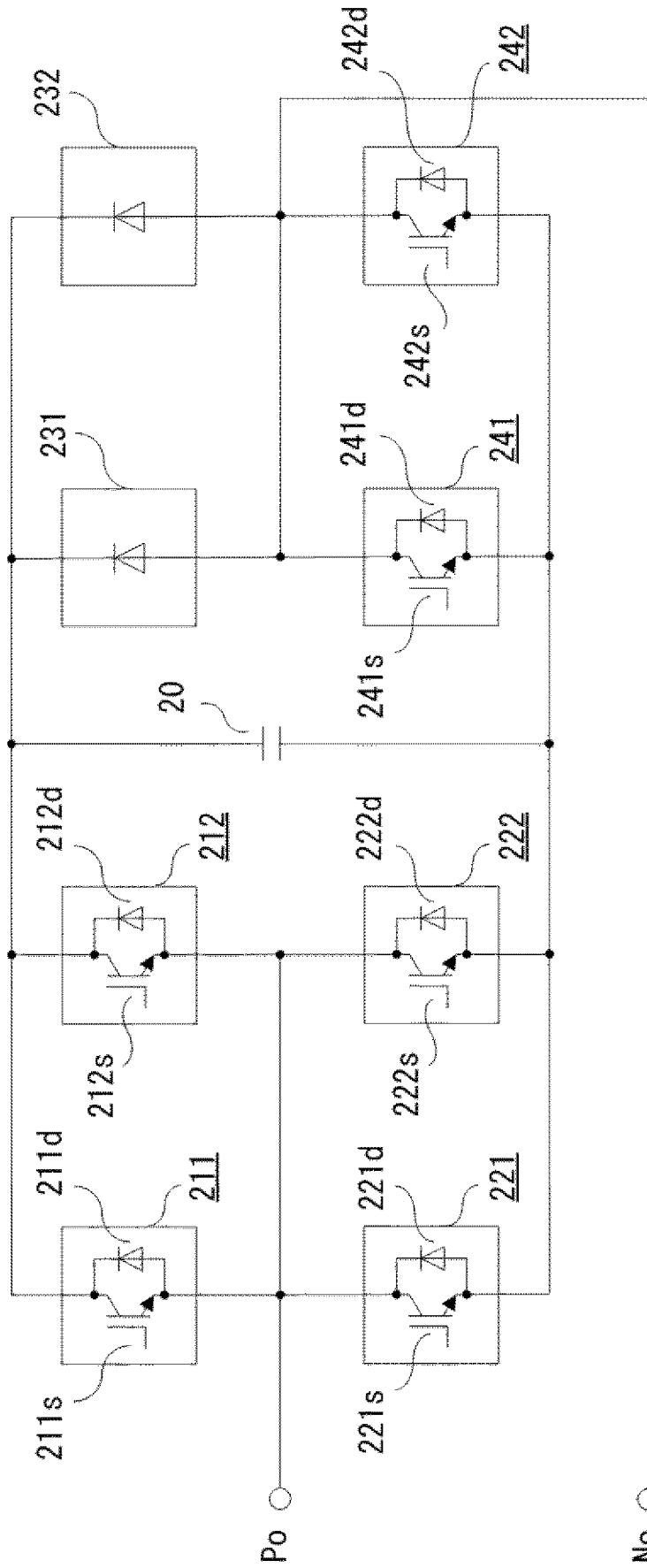


圖18

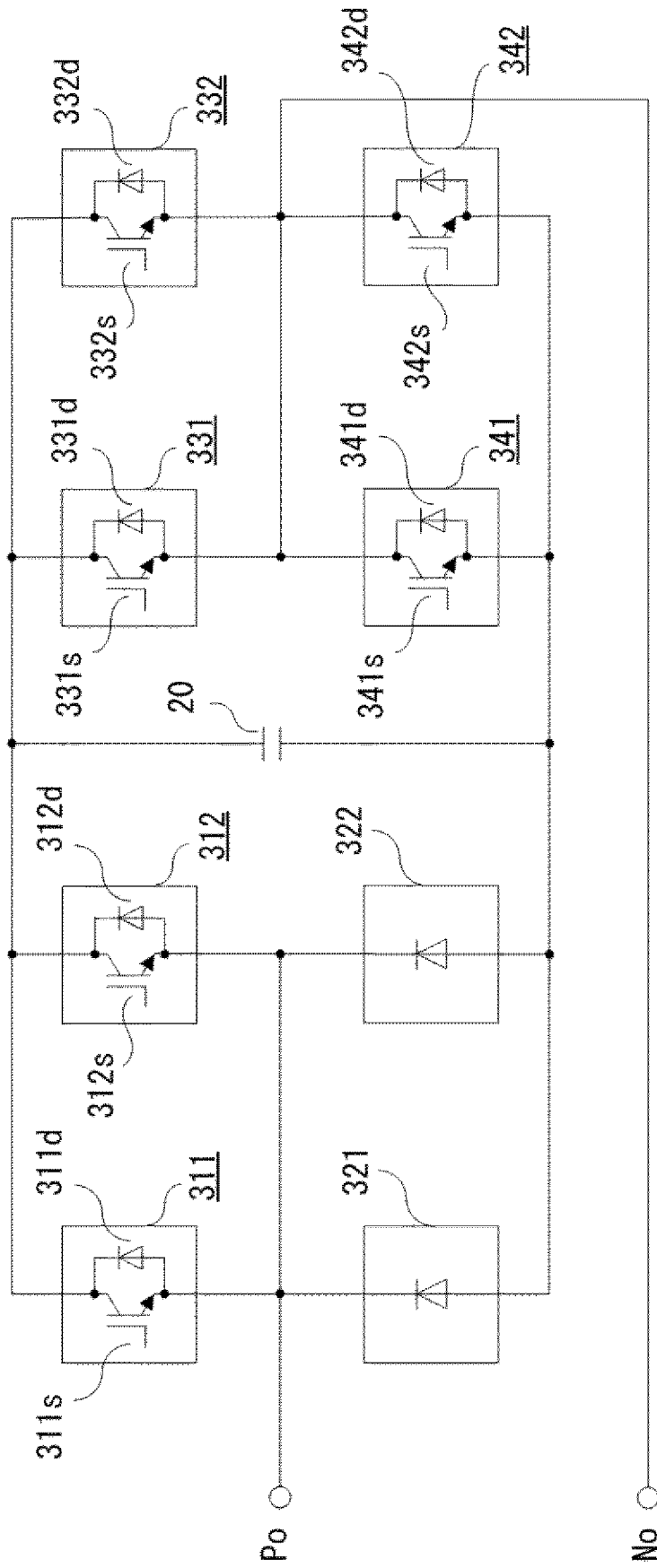
図19

19

10D

LegA

LegB



[図20]

図20

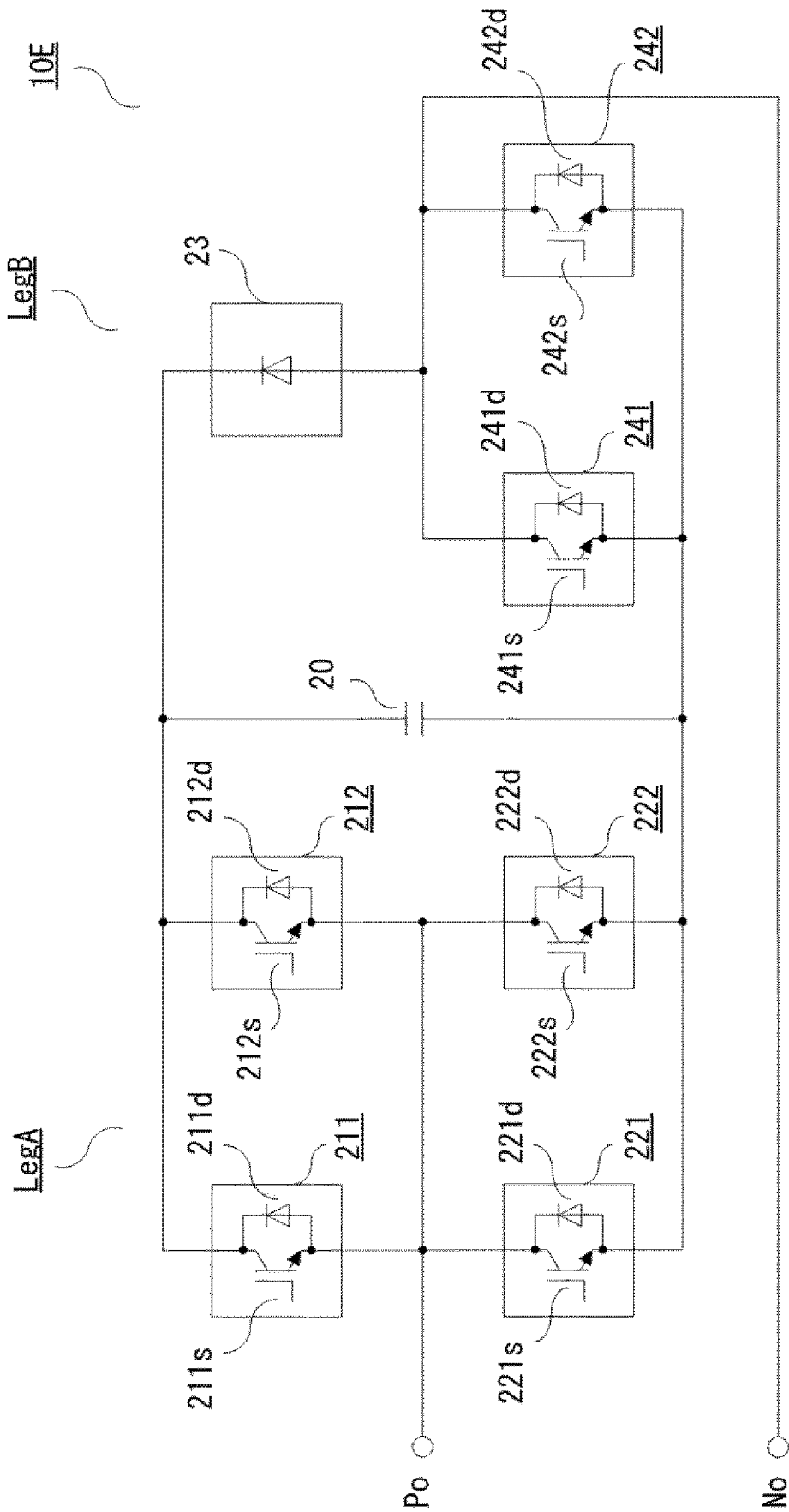


图21

图21

10F

LegA

LegB

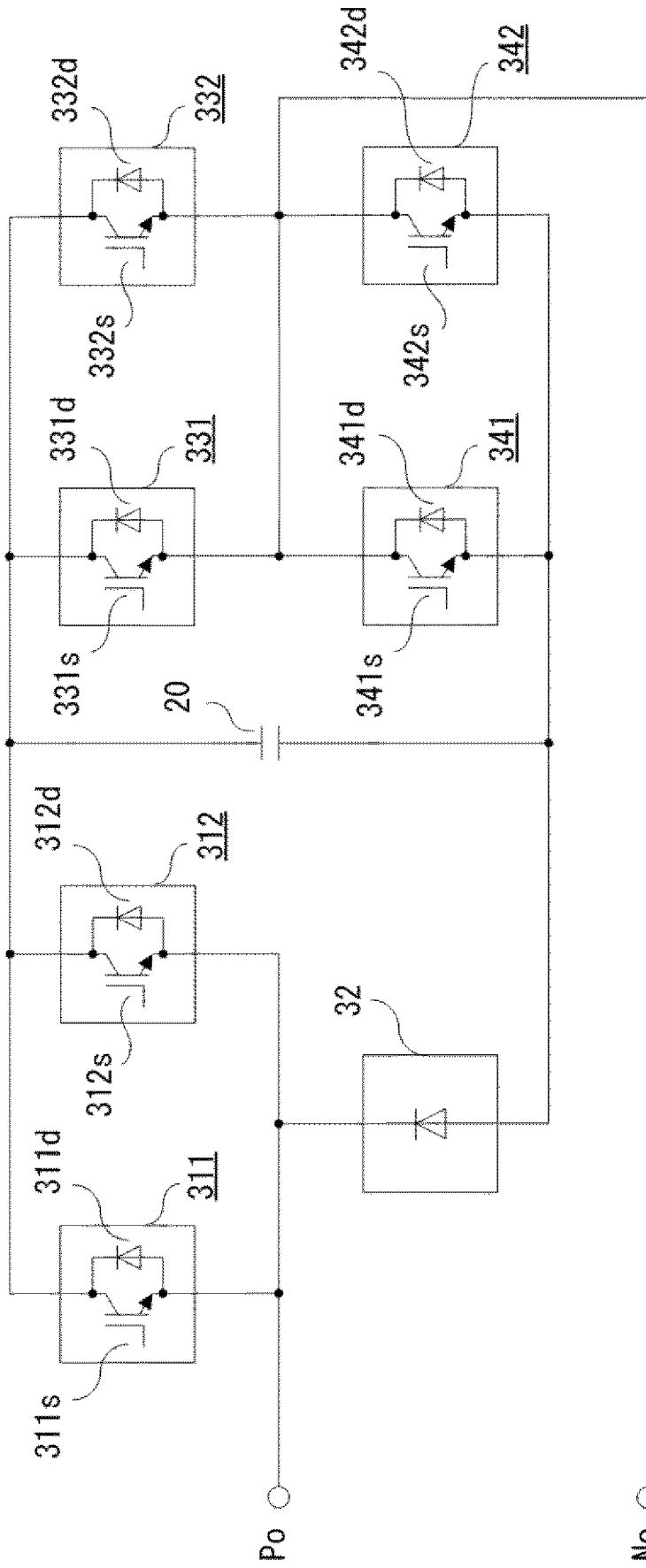


图22

10G

LegB

LegA

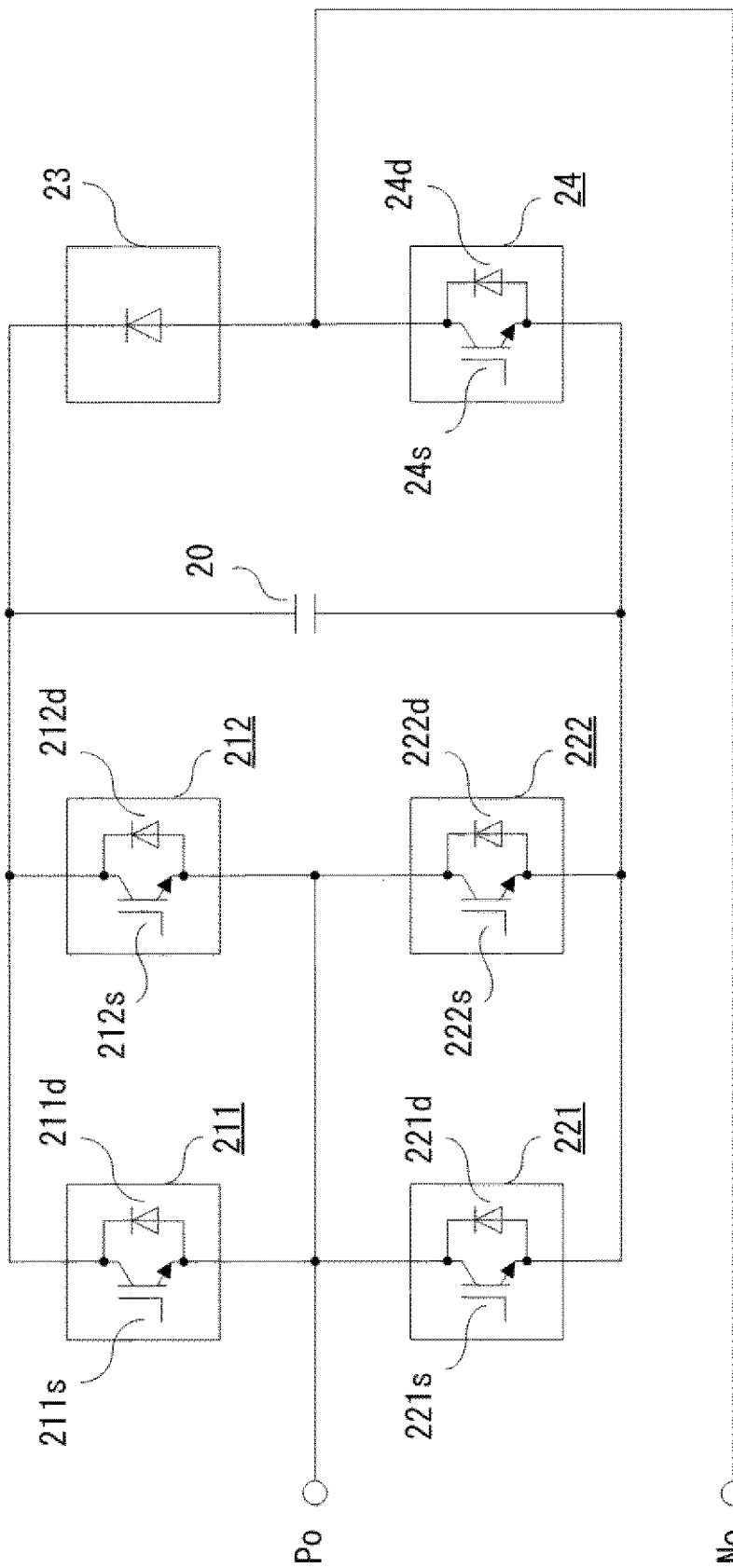


图22

图23

10H

LegA

LegB

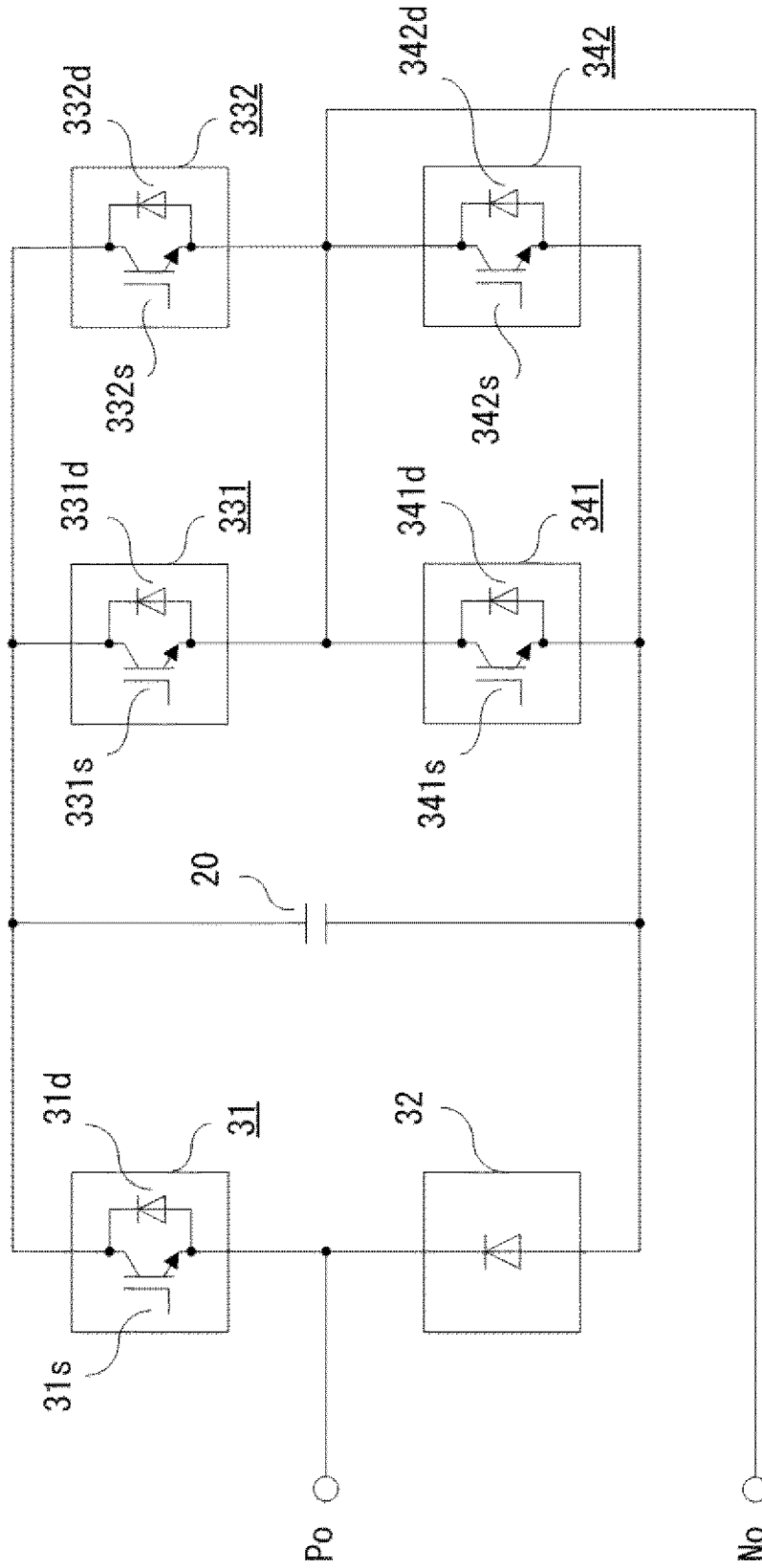
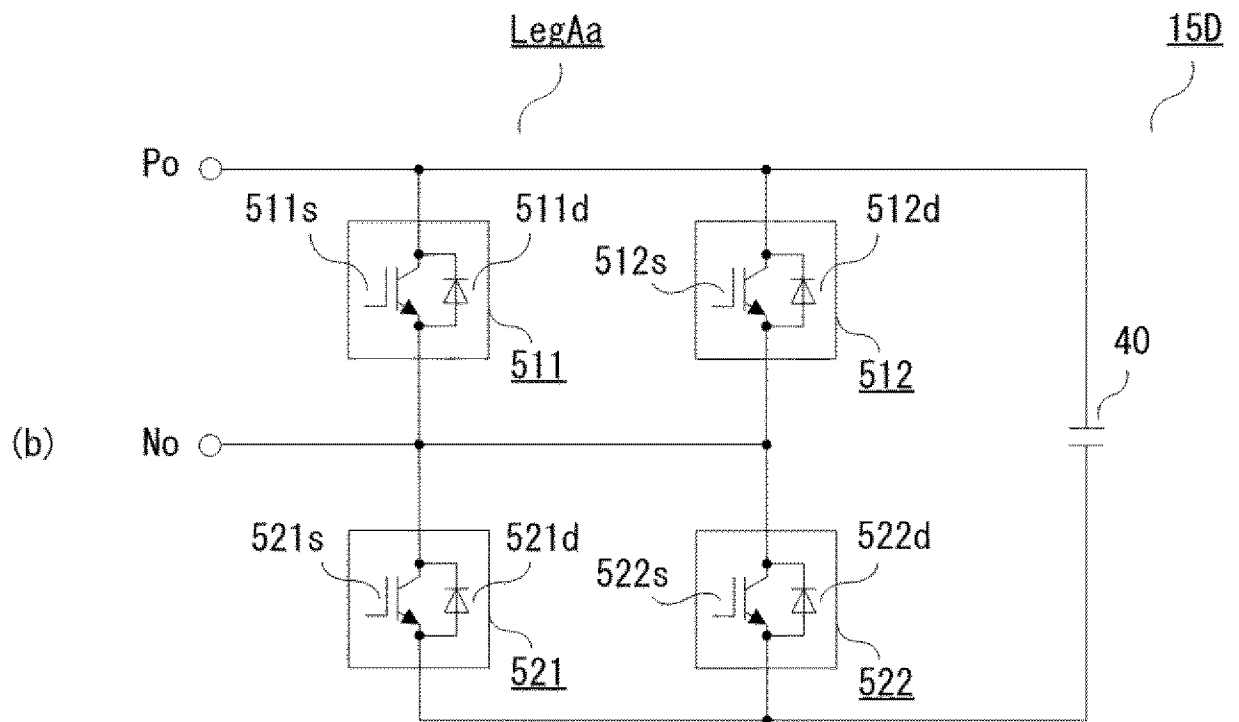
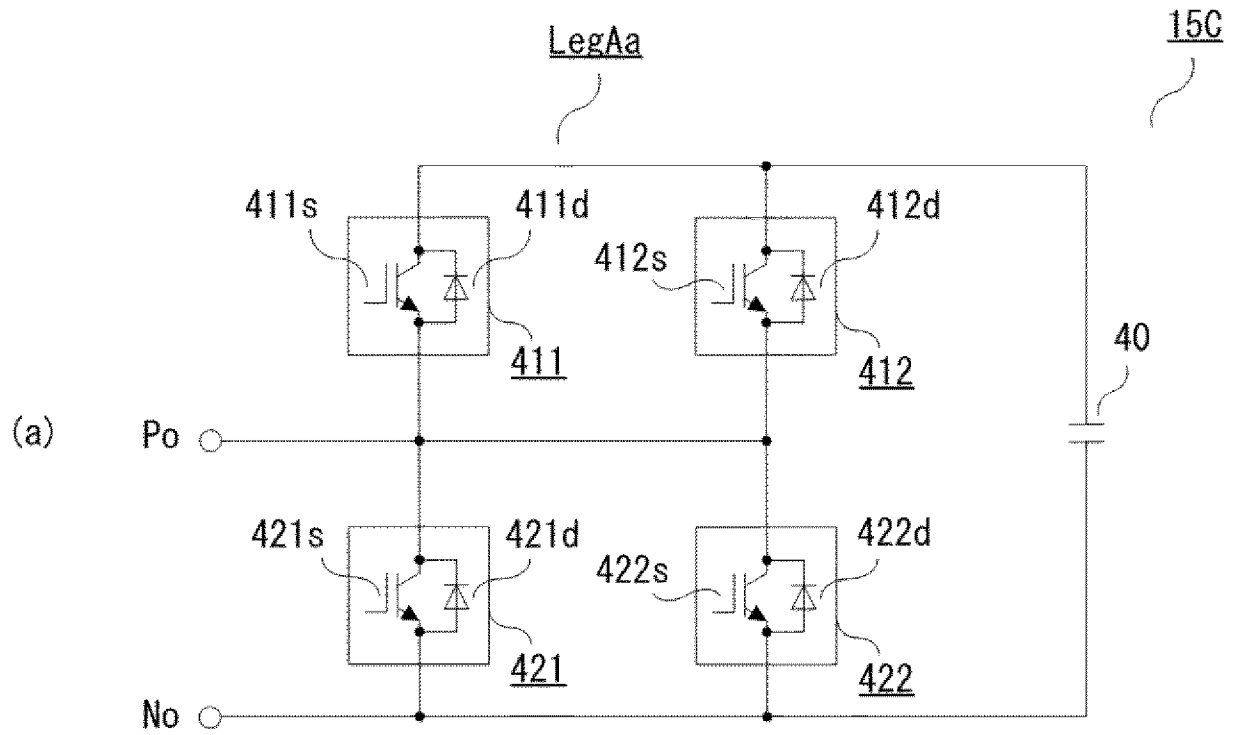


图23

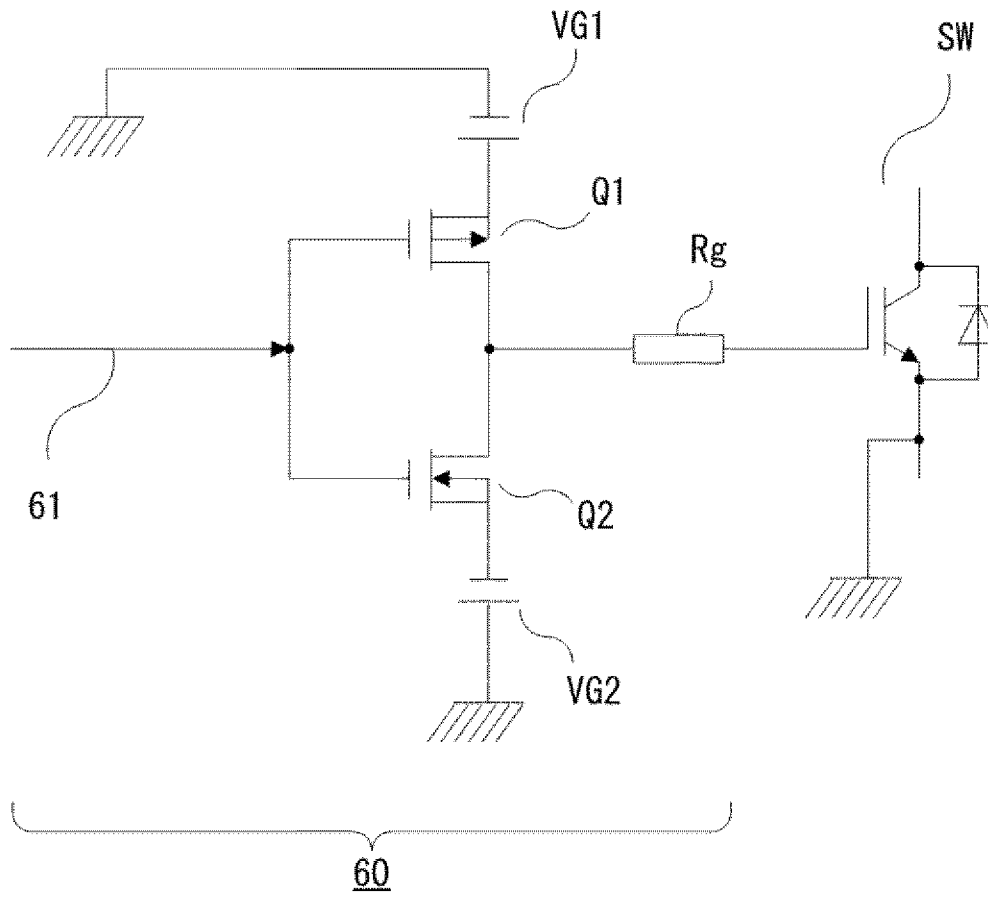
[図24]

図24



[図25]

図25



[図26]

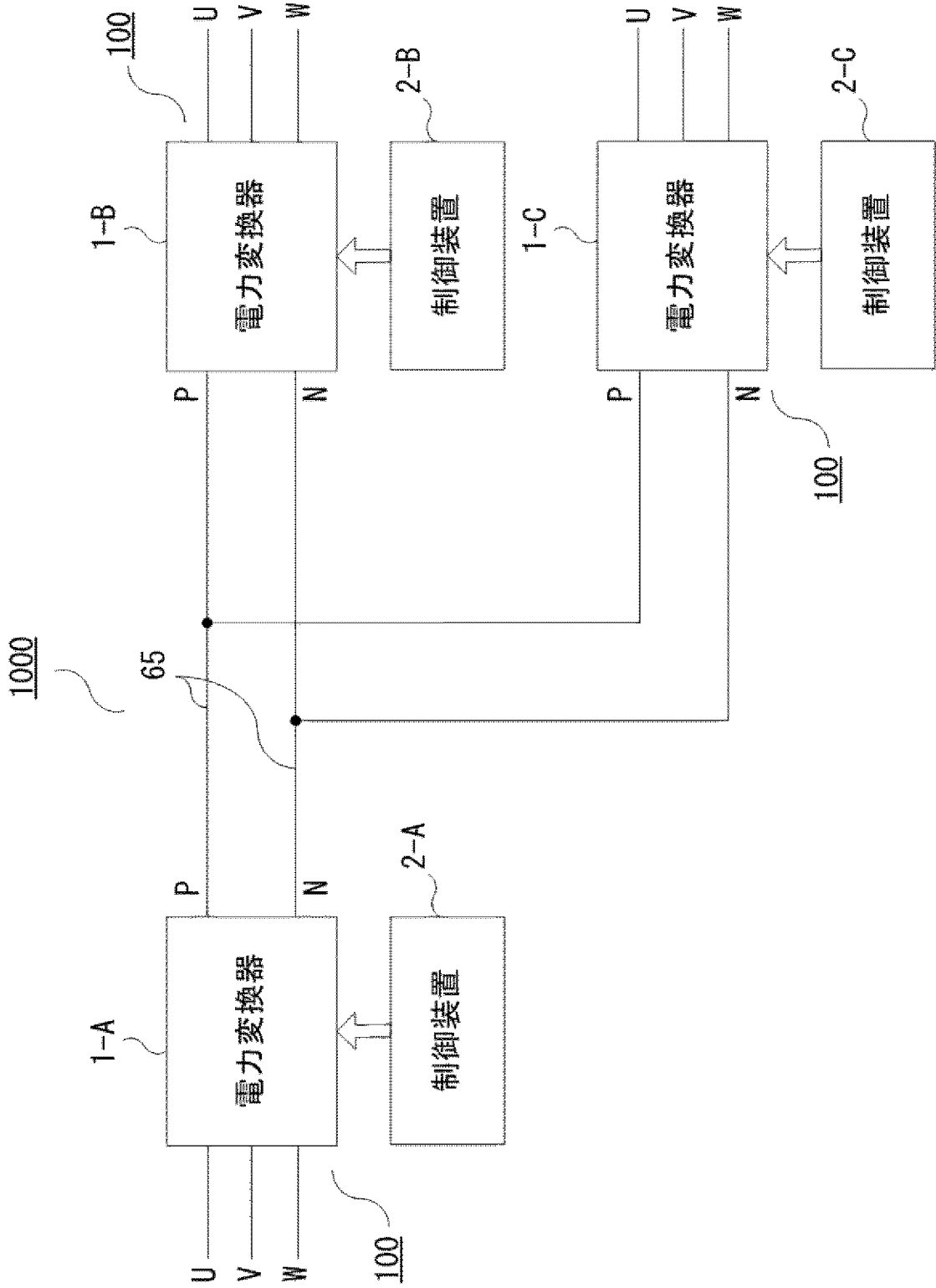


图26

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/060125

A. CLASSIFICATION OF SUBJECT MATTER
H02M7/497(2007.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M7/497, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-179781 A (Central Research Institute of Electric Power Industry), 09 September 2013 (09.09.2013), entire text; all drawings (Family: none)	1-13
A	JP 2013-121223 A (Hitachi, Ltd.), 17 June 2013 (17.06.2013), entire text; all drawings & US 2013/0148392 A1 entire text; all drawings & EP 2602927 A2	1-13
A	JP 2013-27221 A (Hitachi, Ltd.), 04 February 2013 (04.02.2013), entire text; all drawings (Family: none)	1-13

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 June 2016 (08.06.16)	Date of mailing of the international search report 21 June 2016 (21.06.16)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M7/497(2007.01)i, H02M7/48(2007.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M7/497, H02M7/48		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-179781 A（一般財団法人 電力中央研究所）2013.09.09, 全文, 全図（ファミリーなし）	1-13
A	JP 2013-121223 A（株式会社日立製作所）2013.06.17, 全文, 全図 & US 2013/0148392 A1, 全文, 全図 & EP 2602927 A2	1-13
A	JP 2013-27221 A（株式会社日立製作所）2013.02.04, 全文, 全図（ファミリーなし）	1-13
☐ C欄の続きにも文献が列挙されている。		
☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 08.06.2016	国際調査報告の発送日 21.06.2016	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 高野 誠治 電話番号 03-3581-1101 内線 3526	5G 3567