

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 26.05.94.

⑯ Priorité : 15.10.93 US 138276.

⑰ Date de la mise à disposition du public de la demande : 21.04.95 Bulletin 95/16.

⑱ Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

⑲ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : HEWLETT-PACKARD COMPANY — US.

⑵ Inventeur(s) : Badyal Rajeev.

⑶ Titulaire(s) :

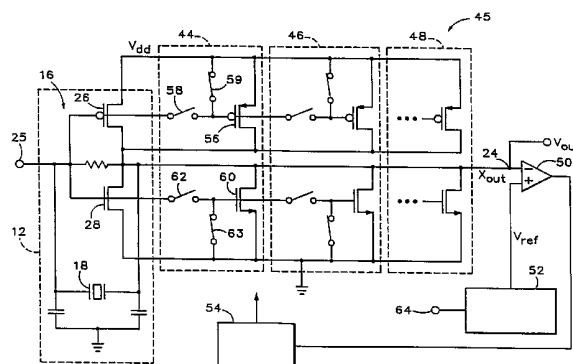
⑷ Mandataire : Cabinet Regimbeau Martin Schrimpf Warcoin Ahner.

⑸ Procédé et dispositif pour commander le taux d'impulsions d'un oscillateur.

⑹ L'invention concerne un procédé et un dispositif pour commander le taux d'impulsions d'un oscillateur.

Ce système comprend un oscillateur (12) servant à produire un signal de régulation répétitif, un circuit amplificateur (16) qui possède une entrée (25) pour recevoir le signal de l'oscillateur et une sortie (24) pour délivrer un signal de cadencement logique numérique possédant un taux d'impulsions donné, et possède une tension de polarisation donnée, et un circuit de commande (45) couplé à l'amplificateur pour commander le taux d'impulsions du signal de cadencement en fonction de la tension de polarisation de l'amplificateur et formé d'étages à transistors (44, 46, 48).

Application notamment aux systèmes de calibrage et de correction du taux d'impulsions d'oscillateurs.



La présente invention concerne d'une manière générale des circuits oscillateurs et plus particulièrement un système pour sélectionner le taux d'impulsions d'un signal de tension numérique.

5           On utilise les circuits oscillateurs pour produire des signaux de cadencement qui synchronisent un circuit numérique. Un circuit oscillateur à quartz, qui utilise la technologie métal-oxyde-semiconducteur (MOS), est l'oscillateur Pierce. Les oscillateurs Pierce sont bien  
10 connus des spécialistes de la technique et sont décrits de façon détaillée dans "Crystal Oscillator's Using HCMOS ICs", Synetics Data Book 1986. Les oscillateurs Pierce sont également décrits dans le brevet US N°4 383 244 déposé par Saari et qui est incorporé ici en référence.

15           L'oscillateur Pierce produit un signal répétitif délivré par un cristal et qui est ensuite amplifié par un inverseur. L'inverseur produit un signal d'horloge ayant des niveaux logiques numériques différents, pour la synchronisation du circuit logique numérique. L'inverseur  
20 possède un gain élevé de manière à détecter de façon précise de faibles variations de la tension de sortie du cristal. Cependant, avec un inverseur à gain élevé, il est essentiel que le circuit à transistors situé dans l'inverseur soit adapté d'une manière uniforme pour  
25 délivrer des signaux d'horloge possédant un taux d'impulsions uniforme.

Des oscillateurs actuels, tels que l'oscillateur Pierce décrit précédemment, fournissent difficilement un taux d'impulsions uniforme pour différents composants de  
30 circuits intégrés (IC). Par exemple, en raison de variations de processus, deux circuits intégrés possédant le même circuit oscillateur peuvent produire des signaux d'horloge ayant des taux d'impulsions différents. Une désadaptation de processus entre des premier et second  
35 transistors FET (de façon typique utilisés pour créer un

inverseur) peuvent modifier de façon conséquente le taux d'impulsions du signal de sortie du circuit oscillateur. Par conséquent, de faibles variations de processus dans différentes pastilles de circuits intégrés ou même dans  
5 différentes microplaquettes de circuits intégrés situés sur la même pastille peuvent modifier les caractéristiques du signal d'horloge.

Il est également difficile de modifier d'une manière efficace des fréquences d'horloge sans avoir  
10 également à recalculer les paramètres de processus pour chaque composant dans le circuit oscillateur. Par exemple un cristal possédant une fréquence de 16 MHz, connu en tant que cristal fondamental, peut posséder un taux d'impulsions propre de 50 % avec un inverseur donné. Un taux  
15 d'impulsions à 50 % (taux d'impulsions 50/50) est un signal qui est un un logique pendant la première moitié d'une période d'horloge et un zéro logique pendant la seconde moitié du signal de la période d'horloge. Cependant, un cristal à 32 MHz, connu en tant que cristal oscillateur  
20 d'harmoniques, oscille sur le troisième harmonique. Bien que le cristal à 16 MHz puisse produire le taux d'impulsions 50/50 désiré, le cristal à 32 MHz peut créer un taux d'impulsions différents avec le même amplificateur.

En outre, pour chaque circuit numérique, on peut  
25 avoir des exigences différentes concernant le taux d'impulsions. Par exemple, un premier circuit oscillant peut requérir et un taux d'impulsions 50/50, tandis qu'un second circuit peut nécessiter un taux d'impulsions 60/40. Le fait d'avoir à concevoir à nouveau le circuit  
30 oscillateur et par conséquent les paramètres du système à transistors, comme par exemple la longueur et la largeur des canaux, pour chaque fréquence d'oscillation requise et chaque taux d'impulsions, augmente le temps de conception et le coût. En outre, en raison de variations du système à  
35 circuits intégrés (IC), comme décrit précédemment, le

circuit oscillateur peut encore fonctionner tel qu'il a été conçu à l'origine.

Par conséquent, par exemple il reste nécessaire de disposer d'un circuit oscillateur qui délivre un signal  
5 d'horloge possédant un taux d'impulsions uniforme dans une gamme étendue de paramètres de fonctionnement de circuits intégrés et de fréquences de fonctionnement.

C'est pourquoi un but de la présente invention est de maintenir un taux d'impulsions uniforme du signal  
10 d'horloge pour des circuits oscillateurs ayant des paramètres de fonctionnement différents.

Un autre but de l'invention est de réduire le temps et le coût nécessaires pour modifier les caractéristiques de cadencement d'un circuit oscillateur.

15 Un autre but de l'invention est de recalibrer automatiquement un signal d'horloge pour qu'il corresponde à une réponse de sortie désiré.

La présente invention concerne un circuit de calibrage, qui règle le taux d'impulsions d'un circuit  
20 oscillateur. Un circuit oscillateur de Pierce typique inclut un cristal qui produit un signal d'entrée répétitif et un amplificateur (par exemple un inverseur), qui reçoit le signal de l'oscillateur à quartz et produit un signal d'horloge logique numérique correspondant. Le signal  
25 d'horloge possède un taux d'impulsions donné avec des niveaux logiques qui varie en fonction d'une tension de polarisation donnée d'un amplificateur. Le circuit de calibrage est couplé aux bornes du circuit oscillation et modifie la tension de polarisation de l'amplificateur au  
30 moyen d'une validation de différents étages à transistors. Une modification proportionnelle à la tension de polarisation de l'amplificateur modifie le taux d'impulsions du signal d'horloge.

Le circuit de calibrage comprend des étages à  
35 transistors multiples, qui soit augmentent, soit réduisent

la tension de polarisation de l'amplificateur. Chaque étage à transistors comprend des premier et second transistors. Soit le premier transistor, soit le second transistor peuvent être branchés de façon sélective en parallèle avec l'amplificateur. L'amplificateur et chaque étage à transistors du circuit de calibrage possèdent sensiblement la même configuration de circuits. Cependant, chaque transistor du circuit de calibrage possède des paramètres de fonctionnement inférieurs à ceux des transistors de l'amplificateur. Par conséquent, la tension de polarisation de l'amplificateur est accrue ou réduite d'une manière incrémentale par activation du transistor approprié dans un nombre approprié d'étages à transistors.

Grâce au contrôle de la tension de polarisation de l'amplificateur, le circuit de calibrage détermine quel transistor doit être activé et le nombre d'étages à transistors devant être activés. La tension de polarisation initiale contrôlée est comparée à une tension de référence. En fonction du fait que la tension de polarisation de l'amplificateur est supérieure ou inférieure à la tension de référence, le circuit de calibrage active le premier ou le second transistor dans chaque étage à transistors. Des étages successifs sont validés jusqu'à ce que la tension de polarisation de l'amplificateur soit sensiblement égale à la tension de référence. Par conséquent, l'invention modifie automatiquement et de façon sélective le circuit oscillant pour produire un signal d'horloge ayant un taux d'impulsions très précis.

La tension de référence représente une tension de polarisation désirée de l'amplificateur, qui fournit un signal d'horloge possédant le taux d'impulsions désiré. Par conséquent, une modification de la tension de polarisation effective de l'amplificateur de manière qu'elle corresponde à la tension de référence règle le signal d'horloge de manière à fournir une réponse de sortie désirée. Par

exemple, il peut être souhaitable que le signal d'horloge possède un taux d'impulsions qui soit un un logique pour la première moitié d'une période d'horloge et soit un zéro logique pour la seconde moitié de chaque période d'horloge (c'est-à-dire un taux d'impulsions 50/50). Pour une tension d'alimentation en énergie  $V_{dd}$ , une tension de polarisation de l'amplificateur égale à  $V_{dd}/2$  fournit de façon typique un signal d'horloge possédant un taux d'impulsions 50/50. Par conséquent, la tension de référence est réglée à  $V_{dd}/2$  et la tension effective de polarisation de l'amplificateur est réglée jusqu'à ce qu'elle soit adaptée à la tension de référence. La tension de référence est programmable, ce qui permet un ajustement de la caractéristique de sortie désirée du signal d'horloge. Par exemple, le taux d'impulsions du signal d'horloge peut être réglé pour des applications à différents circuits et pour différentes conditions de fonctionnement.

D'autres caractéristiques et avantages de la présente invention ressortiront de la description donnée ci-après prise en référence aux dessins annexés, sur lesquels :

- la figure 1 représente le schéma d'un circuit d'un oscillateur Pierce de l'art antérieur;
- la figure 2 représente le schéma détaillé de l'inverseur représenté sur la figure 1;
- la figure 3 représente la réponse de sortie de l'inverseur représenté sur la figure 1;
- la figure 4 représente le schéma du circuit d'un diviseur de tension, qui utilise deux transistors à effet de champ;
- la figure 5 représente le schéma du circuit qui représente le circuit inverseur représenté sur la figure 2, avec une tension de polarisation modifiée;
- la figure 6 représente le schéma d'un circuit de commande de taux d'impulsions selon l'invention;

- la figure 7 représente le schéma d'un circuit du générateur de tension de référence représenté sur la figure 6;

5 - la figure 8 représente le schéma du circuit de commande du taux d'impulsions, qui est représenté sur la figure 6, avec des paramètres binaires de fonctionnement des transistors.

La figure 1 représente le schéma d'un circuit d'un oscillateur Pierce 12 de l'art antérieur.  
10 L'oscillateur Pierce comprend un circuit à quartz comportant un quartz 18, un condensateur 20 et un condensateur 22. Une résistance de réaction 14 et un inverseur 16 sont couplés au circuit à quartz entre une borne d'entrée 25 et une borne de sortie 24.

15 La figure 2 représente un schéma détaillé du circuit de l'inverseur 16 représenté sur la figure 1. L'inverseur comprend un transistor FET 26 à canal p, et un transistor FET 28 à canal n, qui sont couplés, au niveau de leurs grilles respectives, à une borne d'entrée 25 et sont  
20 couplés, au niveau de leurs sorties, à une borne 24.

L'inverseur 16 reçoit un signal périodique relativement faible produit par le quartz 18, au niveau de sa borne d'entrée 25 et produit une tension de sortie ( $V_{out}$ ) au niveau de la borne de sortie 24. L'inverseur 16  
25 agit à la manière d'un amplificateur qui crée, sur la borne de sortie 24, un signal avec les niveaux logiques numériques appropriés de tension pour commander un circuit logique numérique (non représenté) couplé à la borne de sortie 24. Une résistance de réaction 14 place l'inverseur  
30 à la saturation pour l'obtention d'un gain maximum.

Étant donné que l'inverseur 16 fonctionne en tant qu'amplificateur de signaux, il doit délivrer un gain maximum pour convertir de façon effective le signal de l'oscillateur à quartz présent sur la borne 25  $V_{in}$  en un un  
35 logique ou en un zéro logique sur la borne 24. Avec un gain

plus élevé de l'inverseur, le signal de sortie présent sur la borne 24 possède un taux d'impulsions comportant un pourcentage plus élevé de l'un des deux niveaux logiques numériques (c'est-à-dire le un logique ou le zéro logique).

5 Pour de plus amples explications, on a représenté sur la figure 3 la réponse de sortie de l'inverseur 16 représenté sur la figure 1. La courbe 30 montre qu'une faible tension d'entrée présente sur la borne d'entrée 25 (figure 1) conduit à ce que la tension de sortie ( $V_{out}$ ) sur  
10 la borne 24 est sensiblement égale à la tension d'alimentation en énergie  $V_{dd}$  (c'est-à-dire un un logique) comme cela est représenté par la section de courbe 32. Lorsque la tension d'entrée augmente, la tension  $V_{out}$  tombe à zéro volt (c'est-à-dire le zéro logique) comme cela est  
15 représenté par la section de courbe 34. Il est souhaitable d'avoir une section de transition pentue 36 de sorte qu'un signal d'entrée relativement petit délivré par le quartz 18 (figure 1) peut placer la sortie de l'inverseur 16 à la fois à un niveau un logique et à un niveau zéro logique. En  
20 outre, une pente plus accusée dans la section de transition 36 réduit l'intervalle de temps pendant lequel le signal d'horloge reste dans un état transitoire instable.

La pente de la courbe 30 augmente proportionnellement au gain de l'inverseur 16. Cependant, avec un  
25 inverseur à gain élevé, il est critique que les transistors FET 26 et 28 (figure 2) soient adaptés d'une manière uniforme. Si les transistors FET ne sont pas adaptés de façon uniforme, il est probable que le taux d'impulsions de la tension de sortie sur la borne de sortie 24 s'écartera  
30 de la valeur prévue. Par exemple, des transistors désadaptés de l'inverseur, qui possèdent des canaux ayant des largeurs différentes et des longueurs différentes ou qui ont des tensions de seuil différentes, modifient la tension de polarisation de l'inverseur et par conséquent  
35 modifient le taux d'impulsions attendu du signal de sortie.

La tension de polarisation, telle qu'elle est utilisée ici, se réfère à la réponse de sortie à l'état stationnaire du circuit inverseur 16.

Les effets de la désadaptation du transistor à la tension de polarisation de l'inverseur sont représentés d'une manière plus détaillée sur la figure 4. L'expression "tension de polarisation" est utilisée pour définir la réponse de sortie de l'inverseur 16 lorsqu'il n'est pas commandé par la tension d'entrée ( $V_{in}$ ) délivrée par le circuit à quartz (figure 1). Par exemple la figure 4 représente des transistors FET 26, 28 du circuit inverseur de la figure 2, qui est reconfiguré essentiellement en tant que diviseur de tension. Si le transistor 26 à canal n et le transistor 28 à canal p sont parfaitement équilibrés, par exemple si les transistors 26 et 28 possèdent les mêmes paramètres de fonctionnement, comme par exemple une même largeur de canal et une même longueur de canal, le court-circuitage des deux grilles des transistors FET sur leurs drains respectifs produit une tension de polarisation égale à  $V_{dd}/2$  sur la borne de sortie 24. Ceci est équivalent au fait d'avoir deux résistances ayant des dimensions identiques. Avec des transistors de l'inverseur adapté d'une manière égale, la tension de sortie sur la borne 24 de la figure 1 possède le taux d'impulsions désiré égal à 50 %. Cependant, en raison de variations du fonctionnement des circuits intégrés fréquemment les résistances équivalentes des deux transistors FET 26 et 28 ne sont pas les mêmes.

En se référant à nouveau à la figure 3, la tension de polarisation de l'inverseur, qui est représentée par une ligne formée de tirets 38, se situe approximativement à mi-chemin entre le niveau de tension correspondant au un logique et le niveau de tension correspondant au zéro logique (c'est-à-dire  $V_{dd}/2$ ) pour un taux d'impulsions 50/50. Cependant, la tension de polarisation de l'inverseur

et par conséquent le taux d'impulsions peuvent différer de  $V_{dd}/2$ , si les transistors FET 26 et 28 sur la figure 2 ne sont pas adaptés uniformément.

Une tension de polarisation supérieure produit un  
5 taux d'impulsions plus élevé (c'est-à-dire que la tension de sortie reste au niveau de tension correspondant au un logique pendant un pourcentage plus important de chaque période d'horloge). Sinon, si la tension de polarisation est inférieure à  $V_{dd}/2$  (c'est-à-dire qu'une ligne formée  
10 de tirets 38 se situe à une tension inférieure), la tension  $V_{out}$  possède un taux d'impulsions plus faible. Par conséquent, toute désadaptation de fonctionnement entre les transistors FET 26 et 28 dans l'inverseur 16 (figure 1) modifie le taux d'impulsions de la tension de sortie sur la  
15 borne de sortie 24. Les désadaptations de fonctionnement dans les circuits oscillateurs sont particulièrement problématiques dans des cristaux oscillateurs d'harmoniques fonctionnant aux hautes fréquences. S'il n'existe pas une bonne adaptation entre le circuit amplificateur et le  
20 circuit de cristal correspondant, le taux d'impulsions peut varier d'une manière conséquente par rapport à la valeur qui était prévue à l'origine.

La figure 5 est un circuit à résistance représentant l'impédance de l'inverseur 16 représenté sur  
25 la figure 2, avec une tension de polarisation ajustée. Pour corriger les désadaptations de fonctionnement entre les transistors de l'inverseur 16, on modifie les paramètres de fonctionnement effectifs pour l'un des transistors. Par exemple,  $R_1$  désigne l'impédance du transistor FET 26 et  $R_2$   
30 désigne l'impédance du transistor FET 28. Si  $R_1$  et  $R_2$  ne sont pas égales, une impédance additionnée est ajoutée au transistor FET 26 (c'est-à-dire  $\Delta R_1$ ) ou au transistor FET 28 (c'est-à-dire  $\Delta R_2$ ) 26 jusqu'à ce que l'impédance effective totale du transistor FET 26 soit égale à l'impé-  
35 dance globale 42 du transistor FET 28. Sous l'effet de la

désadaptation des impédances 40 et 42, la tension de polarisation sur la borne 24 devient égale à  $V_{dd}/2$ .

Pour créer des impédances additionnelles contrôlables  $\Delta R_1$  et  $\Delta R_2$ , qui sont utilisées pour adapter de  
5 façon effective les paramètres de traitement de transistors FET 26 et 28, des étages multiples à transistors sont branchés de façon sélective entre les transistors FET 26 et 28 (figure 2) comme cela sera décrit plus loin.

La figure 6 représente le schéma d'un circuit  
10 montrant un circuit oscillant possédant un taux d'impulsions réglable conformément à l'invention. Le circuit oscillant 12, représenté précédemment sur la figure 1, est raccordé à la borne d'entrée 25 et, au niveau d'une borne de sortie 24, à un circuit 45 de commande du taux  
15 d'impulsions. Un circuit oscillant 12 est représenté avec les transistors FET 26 et 28 (c'est-à-dire l'inverseur 16 de la figure 1). Le circuit 45 de commande du taux d'impulsions comprend les étages à transistors 44, 46, 48, un générateur de tension de référence 52, un comparateur 50  
20 et une unité logique de décodage 54.

Le comparateur 50 reçoit le signal de sortie ( $V_{out}$ ) du circuit oscillateur 12 et un signal de référence de tension désiré ( $V_{ref}$ ) du générateur de référence de tension 52. Le comparateur 50 envoie un signal de commande  
25 de sortie au circuit logique de décodage 54. Le circuit logique de décodage 54 accouple sélectivement différents étages à transistors 44, 46 et 48 au circuit oscillant 12. Le circuit d'étalonnage est couplé au circuit oscillant 12 pour commander la valeur du signal de sortie  $X_{out}$  présent  
30 sur la borne 24.

Il est important de noter que  $X_{out}$  désigne la tension de polarisation délivrée par l'inverseur 16 lorsqu'aucun signal d'entrée n'est appliqué à la borne d'entrée 25 ou bien qu'un signal d'entrée prédéterminé est  
35 appliqué à cette borne. Sinon,  $V_{out}$  désigne à la tension de

sortie délivrée par l'inverseur 16 après l'envoi d'un signal d'entrée par le cristal 18 à la borne 25. Par conséquent, le signal  $X_{out}$  est ajusté avant d'activer le cristal 18, de manière que la tension de sortie  $V_{out}$  possède un taux d'impulsions désiré.

Chaque étage à transistors 44, 46 et 48 peut accroître ou réduire la tension de polarisation de l'inverseur ce qui modifie de façon effective le taux d'impulsions de  $V_{out}$ . En référence à l'étage à transistors 44, un transistor 56 à canal p est couplé de façon sélective au moyen de l'interrupteur 58 de manière à accroître  $X_{out}$ , et un transistor 60 à canal n est couplé de façon sélective par l'interrupteur 62 à la borne d'entrée 25 pour réduire  $X_{out}$ . Chaque étage à transistors présent dans le circuit de commande possède essentiellement le même agencement de circuit que l'inverseur 16. Cependant, les transistors FET 56 et 60 possèdent les mêmes paramètres de fonctionnement que ceux des transistors FET correspondants 26 et 28 dans l'inverseur 16. Ces paramètres de traitement plus faibles dans chaque étage à transistors permettent d'appliquer de faibles variations incrémentales à  $X_{out}$ .

Comme cela a été décrit précédemment, le comparateur 50 compare  $X_{out}$  à une référence de tension désirée  $V_{ref}$  délivrée par le générateur de référence de tension 52. La figure 7 montre un exemple d'un circuit diviseur de tension simple, qui délivre la tension de référence désirée  $V_{dd}/2$  à la sortie du générateur de tension de référence 52. Dans une forme de réalisation du circuit 52, des résistances en polysilicium 66 et 68 sont adaptées à moins de 0,1 % pour produire une référence de tension  $V_{ref}$  de grande précision.

Sinon, le générateur de référence de tension comprend un convertisseur numérique/analogique qui modifie de façon sélective  $V_{ref}$  conformément à un signal d'entrée délivré par un dispositif de commande externe (non

représenté). Le dispositif de commande, tel qu'un microprocesseur, est raccordé au générateur de tension de référence, au niveau de la borne 64.

L'unité logique de décodage 54 reçoit le signal  
5 de commande de sortie du comparateur 50 et par conséquent ferme ou ouvre les interrupteurs 58, 59, 62 et 63 dans chaque étage à transistors. Une unité logique de décodage 54 est de façon typique un oscillateur en anneau ou un automate fini. Par exemple, l'unité logique de décodage 54  
10 branche soit le transistor FET 56, soit le transistor FET 60 dans l'étage 44, puis attend pendant un certain intervalle de temps, pour déterminer le nouvel état de  $X_{out}$ . Ensuite, si cela est nécessaire, l'unité logique de décodage 54 branche des transistors supplémentaires dans  
15 des étages à transistors 46 et 48, jusqu'à ce que  $X_{out}$  soit sensiblement égal à  $V_{out}$ . Sinon, l'unité logique de décodage pourrait être agencée de manière à déterminer la différence de tension entre  $X_{out}$  et  $V_{ref}$  et rendre conducteur le nombre approprié d'étages à transistors à un  
20 instant donné. La réalisation de l'unité logique de décodage est un détail de conception qui est connu des spécialistes de la technique.

Dans une forme de réalisation de l'invention, si  $X_{out}$  est supérieur à  $V_{ref}$ , l'unité logique de décodage 54  
25 ouvre l'interrupteur 63 normalement fermé et ferme l'interrupteur 62 normalement ouvert. Par conséquent, le transistor FET 60 à canal n est effectivement branché en parallèle avec le transistor FET 28 à partir de l'inverseur 16. La mise à l'état conducteur du transistor FET 60 réduit  
30 le signal  $X_{out}$  sur la borne 24, ce qui permet d'ajuster la caractéristique effective de fonctionnement du transistor FET 28 pour qu'elle s'adapte plus étroitement à la caractéristique de fonctionnement du transistor FET 26. Si le signal  $X_{out}$  est encore supérieur à  $V_{ref}$  après la mise à  
35 le branchement du transistor FET 60, l'unité logique de

décodage 54 branche le transistor FET à canal n suivant de l'étage à transistors 46. Des transistors FET supplémentaires à canal n de l'étage à transistors 48, etc. sont branchés jusqu'à ce que le signal  $X_{out}$  soit sensiblement égal à  $V_{ref}$ .

5 Sinon, si le signal  $X_{out}$  est inférieur à  $V_{ref}$ , l'unité logique de décodage 54 branche le transistor FET 56 à canal p en ouvrant l'interrupteur 59 normalement fermé et en fermant l'interrupteur 58 normalement ouvert, dans  
10 l'étage à transistors 44. Par conséquent le transistor FET 56 est branché en parallèle avec le transistor FET 26. Le transistor FET 56 adapte plus étroitement, en liaison avec le transistor FET 26 de l'inverseur, la caractéristique de fonctionnement du transistor FET 26, que ce n'est le cas  
15 lors du fonctionnement du seul transistor FET 26. Par conséquent, des transistors supplémentaires FET à canal p d'étages à transistors 46, 48, etc. peuvent être connectés sauf si le signal  $X_{out}$  est sensiblement égal à  $V_{ref}$ .

Par conséquent, les multiples étages à  
20 transistors 44, 46 et 48 sont utilisés pour adapter les paramètres de processus des transistors FET 26 et 28 de l'inverseur. Il est important de noter que chaque étage à transistors est utilisé pour compenser toute variation de fonctionnement entre les transistors FET 26 et 28. Par  
25 exemple, les variations de fonctionnement peuvent produire des largeurs différentes de canal, des longueurs différentes de canal ou des tensions de seuil différentes dans chaque transistor FET de l'inverseur. Étant donné que le signal  $X_{out}$  est modifié jusqu'à ce qu'il atteigne la  
30 réponse de sortie idéale  $V_{ref}$ , le système de commande du taux d'impulsions sur la figure 6 corrige toute variation de fonctionnement d'un circuit intégré, qui peut modifier la réponse désirée du signal de sortie produit par le circuit oscillant 12. Les paramètres de fonctionnement de  
35 chaque transistor dans chacun des étages à transistors 44,

46, 48, etc. peuvent être réglés de manière à modifier  $X_{out}$  en des grandeurs différentes. Par exemple, un code pondéré en binaire permet à chaque étage ultérieur aval à transistors de modifier le signal  $X_{out}$  selon des incréments  
5 successivement plus petits. La figure 8 représente le schéma d'un circuit représenté sur la figure 6 avec des étages à transistors pondérés en binaire. Les transistors 56 et 60 possèdent chacun une largeur de canal de 2 microns ( $\mu m$ ) et une longueur de canal de 1  $\mu m$  (c'est-à-dire un  
10 rapport de canal 2/1). Les transistors contenus dans l'étage 44 possèdent un rapport de canal 4/1 (c'est-à-dire une largeur de canal de 4  $\mu m$ /une longueur de canal de 1  $\mu m$ ) et l'étage à transistors 48 possède un rapport de canal 8/1.

15 Par conséquent, chaque étage à transistors fournit un niveau supérieur de commande de fonctionnement, qui apporte des modifications proportionnellement plus petites au signal  $X_{out}$ . Sinon, chaque étage à transistors peut posséder le même rapport de canal ou n'importe quelle  
20 combinaison qui est plus efficace pour adapter la technologie de fonctionnement du circuit oscillateur donné. La caractéristique de traitement pour chaque transistor dans chaque étage à transistors dépend de la position requise lors de l'adaptation des transistors FET 26 et 28  
25 de l'inverseur. Par exemple, si les transistors contenus dans l'inverseur possédaient un courant de fonctionnement maximum de 100 milliampères (mA), les transistors de calibrage pourraient avoir des tailles un peu plus petites, comme par exemple un transistor possédant un courant de  
30 fonctionnement maximum de 0,2 mA.

On peut également utiliser le circuit de la figure 6 pour programmer de façon sélective le taux d'impulsions de  $X_{out}$  contrairement à la procédure d'adaptation de transition décrite précédemment. Précédemment, on a  
35 décrit de quelle manière le circuit de commande du taux

d'impulsions de la figure 6 était utilisé pour adapter les transistors situés dans l'inverseur 16 pour produire par exemple un taux d'impulsions de 50 %. Cependant, le circuit de commande du taux d'impulsions peut être également  
5 utilisé pour sélectionner différents taux d'impulsions. Par exemple, si le signal  $V_{out}$  possède actuellement un taux d'impulsions 50/50, les transistors supplémentaires FET 56 et 59 (figure 6) peuvent être connectés de manière à accroître le taux d'impulsions de  $V_{out}$  (par exemple 55/45).

10 La modification du taux d'impulsions est exécutée au moyen d'un simple accroissement ou réduction de  $V_{ref}$ . Par conséquent, l'unité logique de décodage 54 connecte des étages à transistors jusqu'à ce que le signal  $X_{out}$  atteigne la nouvelle tension de référence. Par conséquent, la  
15 tension de polarisation effective  $X_{out}$  de l'amplificateur varie en introduisant des modifications correspondantes du taux d'impulsions de  $V_{out}$ . Pour le circuit représenté sur la figure 6, un accroissement de  $V_{ref}$  accroît le taux d'impulsions de  $V_{out}$  et une réduction de  $V_{ref}$  réduit le  
20 taux d'impulsions de  $V_{out}$ .

Le circuit de calibrage de la figure 6 fonctionne normalement pendant chaque séquence d'accroissement de la puissance des circuits intégrés. Cependant, le système peut être connecté de l'extérieur, par l'intermédiaire par  
25 exemple d'un bit de registre dans l'unité logique de décodage 54. Par conséquent, un microprocesseur externe (non représenté) peut déclencher une procédure de calibrage pour  $V_{out}$ , conformément à différents stimuli d'entrée externe (par exemple une température). Le circuit de  
30 calibrage est suffisamment simple pour être introduit dans une cellule en forme de plot sur la face d'une microplaquette à circuits intégrés.

Le circuit représenté sur la figure 6 fonctionne de la manière indiquée ci-après. Lors du démarrage initial  
35 du circuit, le cristal 18 est empêché de délivrer un signal

d'entrée alternatif à la borne d'entrée 25. Par exemple, une tension prédéterminée est réglée sur la borne d'entrée 25. La tension de référence désirée  $V_{ref}$  est alors délivrée par le générateur de référence de tension 52. Le circuit  
5 logique de décodage 54 est validé et le circuit 45 de commande du taux d'impulsions mesure la tension de polarisation  $X_{out}$  appliquée à l'entrée inverseuse du comparateur 50. La tension de polarisation  $X_{out}$  est modifiée comme cela a été décrit précédemment, sauf si elle  
10 est sensiblement égale à  $V_{ref}$ .

A cet instant, la tension de polarisation  $X_{out}$  de l'inverseur 16 possède une valeur qui fournit un taux d'impulsions désiré pour  $V_{out}$ . Le cristal 18 est alors connecté par exemple par suppression du signal externe à la  
15 borne d'entrée 25 ou bien au moyen d'un circuit de commutation. Le cristal 18 délivre alors à la borne d'entrée 25 un signal qui commande l'inverseur 16 et produit un signal de sortie  $V_{out}$  possédant le taux d'impulsions désiré.

20 Après avoir décrit et illustré les principes de l'invention dans une forme de réalisation préférée de cette dernière, il apparaît à l'évidence que l'on peut modifier l'agencement et les détails de l'invention sans s'écarter de tels principes. Je revendique toutes les modifications  
25 et tous les changements entrant dans le cadre des revendications indiquées ci-après.

REVENDICATIONS

1. Système de commande d'oscillateur, caractérisé en ce qu'il comporte

un oscillateur (12) servant à produire un signal  
5 d'activation répétitif;

un circuit amplificateur (16) couplé à l'oscillateur et comportant une entrée (25) servant à recevoir le signal d'activation de l'oscillateur, et une sortie (24) servant à délivrer un signal de cadencement  
10 logique numérique possédant un taux d'impulsions donné, le circuit amplificateur possédant une tension de polarisation de données; et

un circuit de commande (45) couplé à l'amplificateur de manière à commander le taux d'impulsions du  
15 signal de cadencement en fonction de la tension de polarisation de l'amplificateur.

2. Système selon la revendication 1, caractérisé en ce que le circuit de commande comprend plusieurs étages à transistors (44, 46, 48) pouvant être sélectionnés, à la  
20 fois pour accroître et réduire la tension de polarisation de l'amplificateur.

3. Système selon la revendication 2, caractérisé en ce que chaque étage à transistors comprend des premier et second transistors (56, 60) couplés chacun de façon  
25 sélective en parallèle avec l'amplificateur, le premier transistor (56) servant à accroître la tension de polarisation de l'amplificateur et le second transistor (60) servant à réduire la tension de polarisation de l'amplificateur.

30 4. Système selon la revendication 2, caractérisé en ce que l'amplificateur (16) et chaque étage à transistors du circuit de commande possèdent la même configuration de circuit, chaque étage à transistors possédant une tension de polarisation inférieure à celle de l'ampli-  
35 ficateur.

5. Système selon la revendication 1, caractérisé en ce que le circuit de commande comprend des moyens pour contrôler la tension de polarisation de l'amplificateur.

6. Système selon la revendication 5, caractérisé en ce que les moyens de contrôle de la tension de polarisation de l'amplificateur comprennent un comparateur (50) qui compare la tension de polarisation de l'amplificateur à une référence de tension (52).

7. Système selon la revendication 6, caractérisé en ce que la tension de référence (52) est programmable de manière à modifier de façon sélective le taux d'impulsions du signal de cadencement.

8. Système selon la revendication 1, caractérisé en ce que le circuit de commande comprend une unité logique de décodage (54), qui règle la tension de polarisation de l'amplificateur selon une séquence prédéfinie.

9. Système selon la revendication 1, caractérisé en ce que l'amplificateur comprend un premier transistor FET à canal p (26) et un second transistor FET à canal n (28) et que le dispositif de commande comprend un réseau de transistors FET à canal n (60) pouvant être sélectionnés, qui sont branchés en parallèle avec le transistor FET à canal n de l'amplificateur, et un réseau de transistors FET à canal p (56) pouvant être sélectionnés, qui sont branchés en parallèle avec le transistor FET à canal p de l'amplificateur.

10. Système selon la revendication 9, caractérisé en ce que chaque transistor du préamplificateur (16) et du dispositif de commande (45) possède un ensemble donné de paramètres de traitement servant à commander les caractéristiques fonctionnelles du transistor, chaque transistor du dispositif de commande possédant des paramètres de traitement, qui sont plus faibles que ceux des transistors de l'amplificateur de sorte que la tension de polarisation de l'amplificateur peut être accrue ou réduite d'une

manière incrémentale pour produire un signal de sortie possédant un taux d'impulsions très précis.

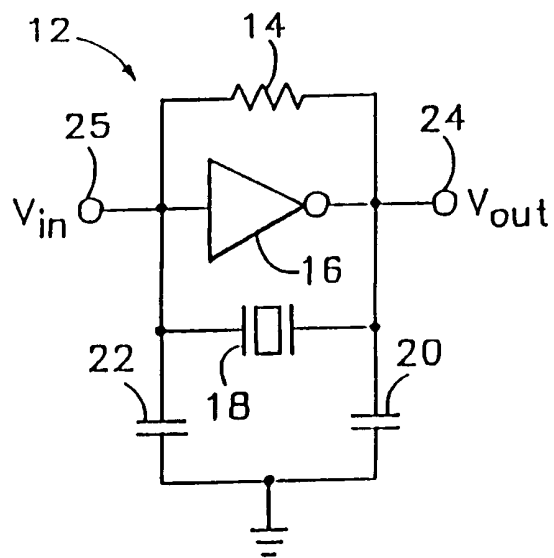


Fig. 1

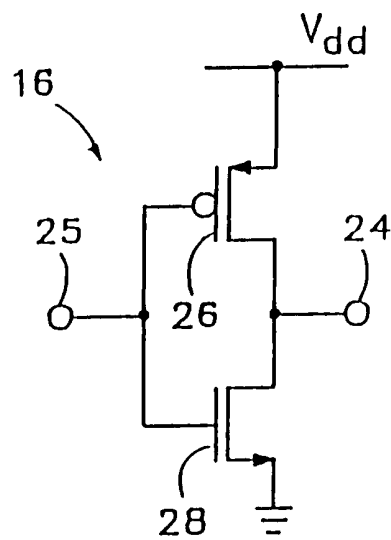


Fig. 2

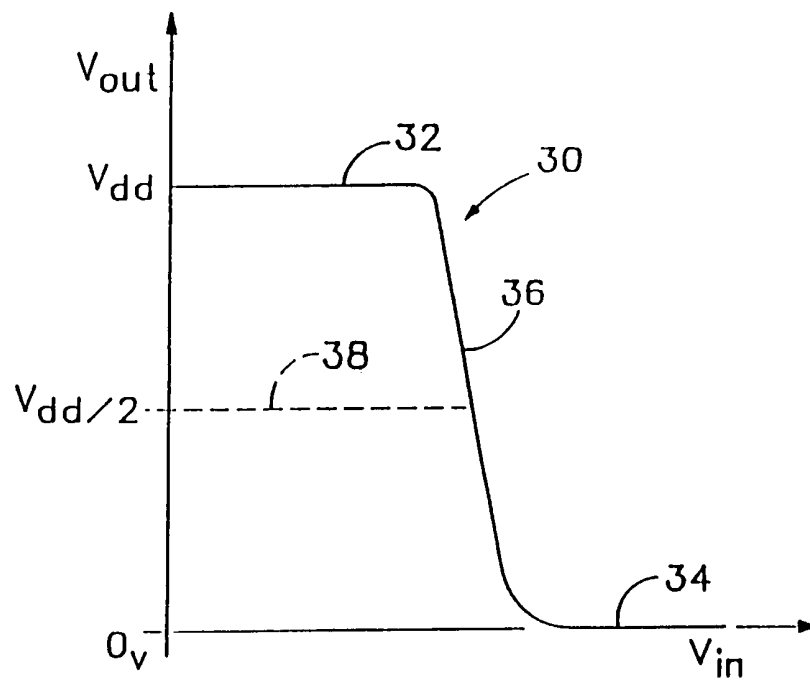


Fig. 3

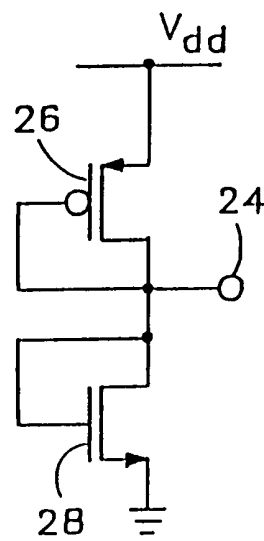
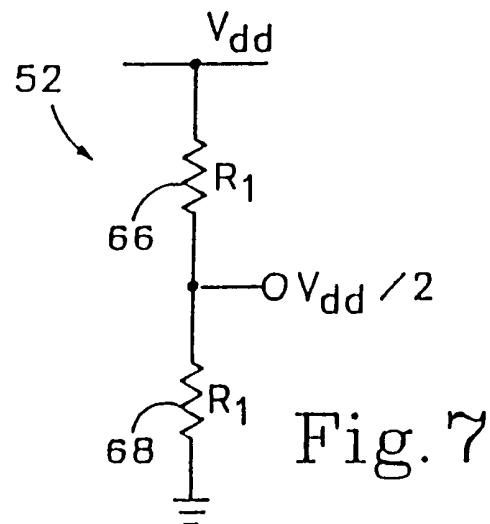
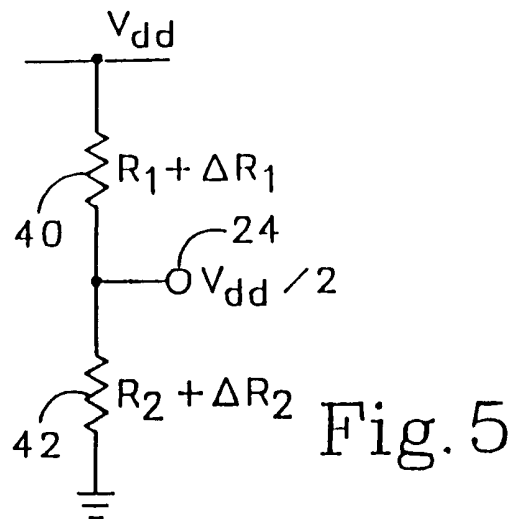


Fig. 4



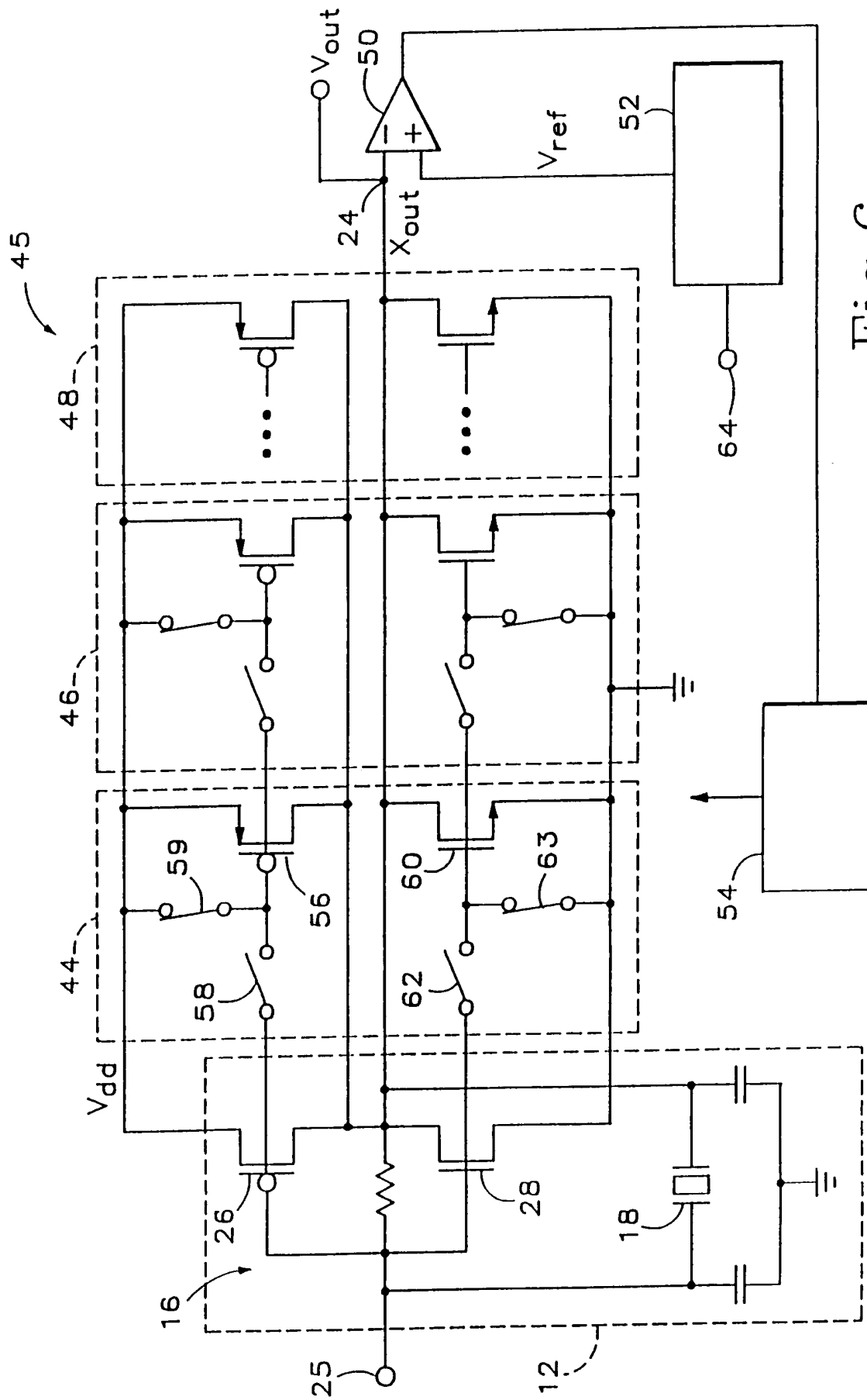


Fig. 6

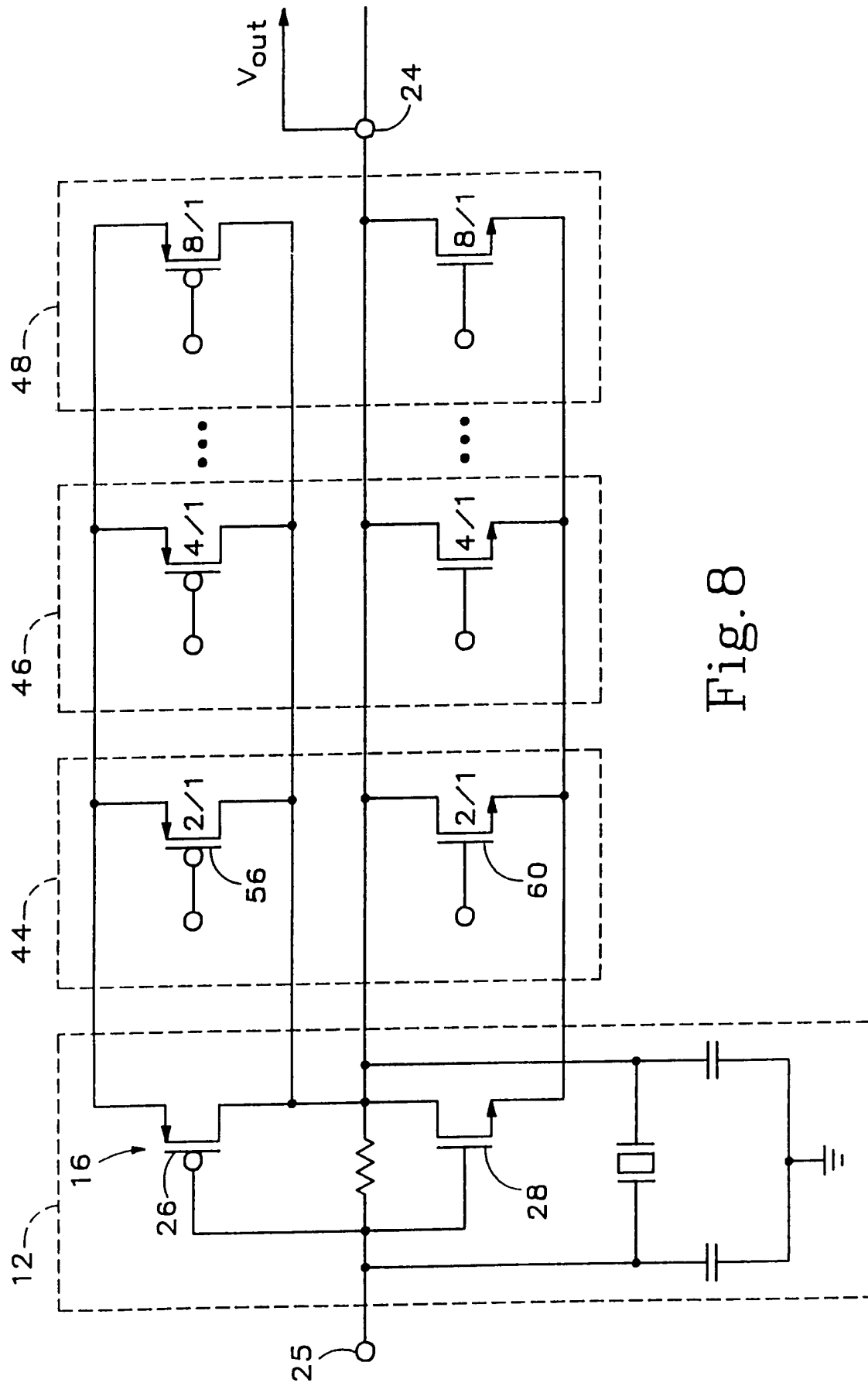


Fig. 8