



(12)发明专利申请

(10)申请公布号 CN 107437526 A

(43)申请公布日 2017. 12. 05

(21)申请号 201710375239.0

(22)申请日 2017.05.24

(30)优先权数据

1654689 2016.05.25 FR

(71)申请人 SOITEC公司

地址 法国贝尔尼

(72)发明人 C·马拉坎 L·埃卡尔诺

D·帕里西

(74)专利代理机构 北京戈程知识产权代理有限

公司 11314

代理人 程伟 王锦阳

(51)Int.Cl.

H01L 21/762(2006.01)

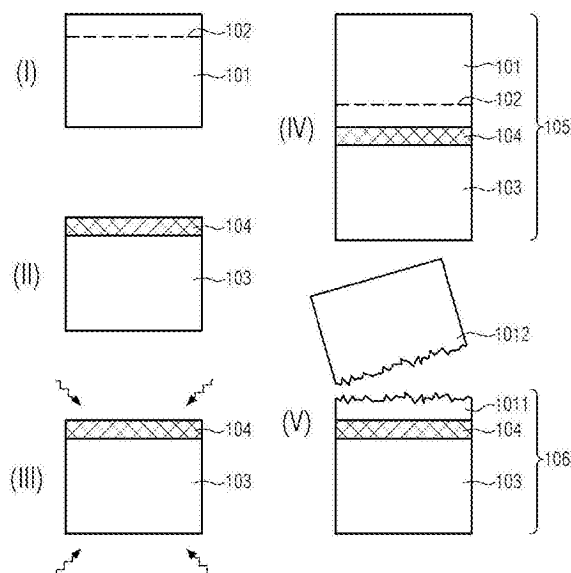
权利要求书2页 说明书5页 附图2页

(54)发明名称

制造高电阻率半导体衬底的工艺

(57)摘要

本发明涉及制造高电阻率半导体衬底的工艺,所述工艺包括以下步骤:提供具有在深度内的弱化层(102)的第一衬底(101);提供在表面具有氧化物层(104)的第二衬底(103);将所述第一衬底(101)附接至所述第二衬底(103)以形成包括隐埋氧化物层(104)的复合衬底(105);以及在所述弱化层(102)的水平劈裂所述复合衬底(105)。在弱化层(102)的水平的劈裂步骤之前,所述工艺还包括对具有氧化层(104)的第二衬底(103)的至少一个稳定化步骤,特别是稳定化热处理。



1. 制造高电阻率半导体衬底的工艺,所述工艺包括以下步骤:
提供具有在深度内的弱化层(102)的第一衬底(101);
提供在表面具有氧化物层(104)的第二衬底(103);
将所述第一衬底(101)附接至所述第二衬底(103),以形成包括隐埋氧化物层(104)的复合衬底(105);以及
在所述弱化层(102)的水平劈裂所述复合衬底(105);
其特征在于
在弱化层(102)的水平的劈裂步骤之前,所述工艺还包括对具有氧化物层(104)的第二衬底(103)的至少一个稳定化步骤,特别是稳定化热处理。
2. 根据权利要求1所述的制造高电阻率半导体衬底的工艺,其中,所述至少一个稳定化步骤是析出物的成核、沉淀和生长步骤,特别是包括数个恒定温度阶段的热处理。
3. 根据权利要求1和2中任一项所述的制造高电阻率半导体衬底的工艺,其中,通过在所述第一衬底(101)中进行离子注入而提供所述弱化层(102)。
4. 根据权利要求1至3中任一项所述的制造高电阻率半导体衬底的工艺,其中,对具有氧化物层(104)的所述第二衬底(103)进行的至少一个稳定化步骤在两个衬底(101,103)的附接步骤之前进行。
5. 根据前述权利要求中任一项所述的制造高电阻率半导体衬底的工艺,其中,所述第一衬底(101)包括半导体材料,特别是硅、锗或硅和锗的化合物,和/或一种或多种III-V半导体的合金和/或一种或多种IV族半导体的合金。
6. 根据前述权利要求中任一项所述的制造高电阻率半导体衬底的工艺,其中,所述第二衬底(103)包括硅,特别是具有高间隙氧浓度的硅,优选为具有至少约 12×10^{17} 原子 $\cdot \text{cm}^{-3}$ 的间隙氧浓度的硅。
7. 根据前述权利要求中任一项所述的制造高电阻率半导体衬底的工艺,其中,所述至少一个稳定化步骤是热处理,所述热处理包括在约650℃至约1200℃的范围内的温度的数个恒温阶段。
8. 根据权利要求7所述的制造高电阻率半导体衬底的工艺,其中,恒定温度阶段的持续时间在约30分钟至约10小时的范围内,优选为在约1小时至约8小时的范围内。
9. 根据权利要求7和8中任一项所述的制造高电阻率半导体衬底的工艺,其中,恒定温度阶段的气氛能够是氧化型气氛,特别是基于水和氧的氧化型气氛,或者非氧化型气氛,特别是利用基于氩气的气体的中性型气氛。
10. 根据前述权利要求中任一项所述的制造高电阻率半导体衬底的工艺,在所述弱化层(102)的水平进行所述复合衬底(105)的劈裂步骤之后,所述工艺还包括至少一个平滑化退火步骤,特别是快速退火步骤。
11. 根据权利要求10所述的制造高电阻率半导体衬底的工艺,其中,所述至少一个平滑化退火步骤在约1075℃至约1250℃,优选为约1175℃至约1230℃的范围内的温度下进行,特别是在约1200℃的温度下进行。
12. 根据权利要求10和11中任一项所述的制造高电阻率半导体衬底的工艺,其中,所述至少一个平滑化退火步骤持续的时间段在约15秒至约120秒的范围内,优选为在约20秒至约90秒的范围内,特别是为约30秒的时间段。

13. 根据权利要求10至12中任一项所述的制造高电阻率半导体衬底的工艺, 其中, 所述至少一个平滑化退火步骤在非氧化型气氛下进行, 特别是包含0%至约50%氢气的氩气和/或氢气的气氛下进行。

14. 根据前述权利要求中任一项所述的制造高电阻率半导体衬底的工艺, 在所述弱化层(102)的水平劈裂所述复合衬底(105)的步骤之后, 所述工艺还包括第一衬底(101)的剩余物(1012)的再循环的步骤。

制造高电阻率半导体衬底的工艺

技术领域

[0001] 本发明涉及通过层转移来制造高电阻率半导体衬底的工艺,特别地涉及对具有高电阻率并且具有高间隙氧浓度的绝缘体上硅型衬底的改进。

背景技术

[0002] 通常认可的是,具有高间隙氧浓度(或“高[Oi]”或者“HiOi”)的绝缘体上硅(或“SOI”)型的高电阻率(或“HR”)半导体衬底的使用需要使用热处理以稳定化硅中存在的氧(成核,沉淀)从而使衬底具有高电阻率。

[0003] 在本文中,“高电阻率”应理解为意指大约 $750\ \Omega\cdot\text{m}$ 或以上,而“高间隙氧浓度”应理解为大约25ppma或以上,即大约 12.5×10^{17} 原子 $\cdot\text{cm}^{-3}$ 或以上。

[0004] 上述稳定化步骤通常在例如通过已知的SmartCut®技术进行层转移之后在SOI的牺牲氧化步骤期间进行。通常地,稳定化步骤具体在层转移后的平滑化退火(通常是快速退火,即RTA(“快速热退火”))之后进行。公开的专利申请FR 2 858 462 A1揭露了在层转移后的快速退火步骤之后的这种稳定化步骤。

[0005] 在进行这些材料(伪-MOS材料)的电学表征时,展示出异常高的界面态密度(通常达到至少为 $20\times 10^{11}\text{cm}^{-2}\cdot\text{eV}^{-1}$ 的值),其导致SOI中的差的载流子迁移率(对于电子而言,通常为约 $400\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$ 或更小)。在去除隐埋氧化物接触上的SOI膜和铝之后的附加分析(MOS电容器的C(V)表征)已经揭示了隐埋氧化物中的固定电荷值至少为 $5\times 10^{10}\text{cm}^{-2}$,以及峰值界面态密度至少为 $2\times 10^{11}\text{cm}^{-2}\cdot\text{eV}^{-1}$,从而表明这种不良界面品质的来源源于隐埋氧化物下的界面。

[0006] 被提出的一个假设是平滑化退火(RTA型)导致衬底中未稳定的氧的分布发生改变,从而导致隐埋氧化物下的陷阱的量增加。

[0007] 克服这个问题的一个解决方案在于使用具有非常低的间隙氧浓度(即“低[Oi]”)的HR衬底,也就是约12ppma以下(即约 6×10^{17} 原子 $\cdot\text{cm}^{-3}$ 以下),其不需要对硅中的氧的稳定化退火(成核,沉淀)。这是因为这种类型的衬底自然地具有高电阻率,而不需要进行特定的处理。

[0008] 然而,低[Oi]HR衬底的缺点是对热处理期间的位错传播的非常高的敏感性。因此,使用这种衬底来获得滑动面型(sliding plane type)的无缺陷的SOI是非常困难的。

发明内容

[0009] 因此,高[Oi]HR衬底的品质的改善仍然是所需的。由此,本发明的目的是提供一种用于制造高电阻率半导体衬底的工艺,所述工艺使得(特别是对于具有高间隙氧浓度的绝缘体上硅型的衬底)可以获得相对于本领域已知状态而在品质上有所改善的衬底。

[0010] 上述目的是通过这样的制造高电阻率半导体衬底的工艺而实现的,所述工艺包括以下步骤:提供具有在深度内的弱化层的第一衬底;提供在表面具有氧化物层的第二衬底;将所述第一衬底附接至所述第二衬底以形成包括隐埋氧化物层的复合衬底;以及在所述弱

化层的水平劈裂所述复合衬底。此外,在弱化层水平进行劈裂的步骤之前,所述工艺包括对具有氧化物层的第二衬底的至少一个稳定化步骤,特别是稳定化热处理。

[0011] 现有技术(尤其如FR 2 858 462 A1所示)教导了在平滑化退火步骤之后进行稳定化步骤,该平滑化退火步骤是在复合衬底在弱化层水平劈裂之后进行的步骤。然而,现有技术没有教导在平滑化退火之前,特别是在分离弱化层之前,进行至少一个稳定化步骤。

[0012] 令人惊讶的是,已经证明,通过在弱化层水平进行劈裂步骤之前(也即,在进行RTA型的平滑化退火之前)进行至少一次热处理来稳定化硅中的间隙氧(析出物的成核、沉淀、生长),可以改善所得衬底(特别是界面)的电学性质,特别是对于高间隙氧浓度而言。优选地,所述至少一个稳定化步骤因此可以是析出物的成核、沉淀和生长步骤,特别是包括数个恒定温度阶段的热处理步骤。

[0013] 换言之,本发明提出在制备SOI型衬底期间,在RTA型的任何平滑化处理之前,特别是在劈裂步骤之前,进行目标在于使具有高间隙氧浓度的衬底具有高电阻率的处理(成核,沉淀)。因此,本发明使得可以在这种衬底上获得与CMOS型晶体管的制备相容的电学性质。

[0014] 因此,本发明提供的解决方案有利地使得可以利用具有高间隙氧浓度的衬底来制备用于RF、光子学、成像、数字等类型的应用的SOI衬底,而无需求助于在引入的变形和缺陷方面而言对于热处理非常敏感的具有非常低的间隙氧浓度的衬底。

[0015] 根据本发明的实施方案的可能的替代形式,并且不意味着任何限制:

[0016] 在一些实施方案中,弱化层可以通过在第一衬底中进行离子注入来提供。因此,可以通过SmartCut®型的技术进行层转移。

[0017] 在一些实施方案中,优选在两个衬底的附接步骤之前进行对具有氧化物层的第二衬底的所述至少一个稳定化步骤。因此,在所有情况下,所述至少一个稳定化步骤可以在劈裂之前并且因此在劈裂之后的任何平滑化退火之前进行。

[0018] 在一些实施方案中,第一衬底(换言之,层转移中的供体衬底)可以包括半导体材料,特别是硅、锗或硅和锗的化合物。更一般地,供体衬底可以包括一种或多种III-V半导体的合金和/或一种或多种IV族半导体的合金。

[0019] 在一些实施方案中,第二衬底可以包括硅,特别是具有高间隙氧浓度的硅。优选地,第二衬底可以包括具有至少约 12×10^{17} 原子 $\cdot \text{cm}^{-3}$ 间隙氧浓度的硅。

[0020] 在一些实施方案中,所述至少一个稳定化步骤是这样的热处理,所述热处理包含在约650°C至约1200°C的范围内的温度的数个恒温阶段。

[0021] 在一些实施方案中,恒定温度阶段的持续时间在约30分钟至约10小时的范围内,优选在约1小时至约8小时的范围内。

[0022] 在一些实施方案中,恒定温度阶段的气氛可以是氧化型(特别是基于水和氧),或非氧化型(特别是利用基于氩气的气体的中性型)气氛。

[0023] 用于恒定温度阶段的上述参数给出的结果使得可以改善所得衬底(特别是界面的)的电学性质,尤其是就高间隙氧浓度而言。

[0024] 在一些实施方案中,在弱化层的水平劈裂复合衬底的步骤之后,所述工艺可以额外包括至少一个平滑化退火步骤,特别是快速热退火步骤。因此,可以改善层转移之后衬底的表面粗糙度。

[0025] 在一些实施方案中,所述至少一个平滑化退火步骤可以在约1075°C至约1250°C,

优选约1175℃至约1230℃的范围内的温度下进行,特别是在约1200℃的温度下进行。

[0026] 在一些实施方案中,所述至少一个平滑化退火步骤可以持续在约15秒至约120秒,优选为约20秒至约90秒的范围内的时间段,特别是持续约30秒的时间段。

[0027] 在一些实施方案中,所述至少一个平滑化退火步骤可以在非氧化型气氛下进行,特别是在包含0%至约50%氢气的氩气和/或氢气的气氛下进行。

[0028] 在一些实施方案中,在弱化层水平劈裂复合衬底的步骤之后,所述工艺可以额外包括再循环第一衬底的剩余物的步骤。因此,可以将残余物再次用作用于其它层转移工艺的供体衬底。

附图说明

[0029] 借助于有益的实施方案和下述附图的支持,本发明将在下文中得到更详细地解释,其中:

[0030] -图1示意性地示出了根据本发明的第一示例性实施方案的用于制造高电阻率半导体衬底的工艺的步骤;以及

[0031] -图2示意性地示出了根据本发明的第二示例性实施方案的用于制造高电阻率半导体衬底的工艺的步骤。

具体实施方式

[0032] 在以下对根据本发明的用于制造高电阻率半导体衬底的工艺的示例性实施方案的描述中,可能使用类似的附图标记来表示在不同实施例中重复的相同元件。此外,为了简洁起见,可能会省略对已经描述过的元件的描述。

[0033] 现在将参照图1来描述用于制造高电阻率半导体衬底工艺的第一示例性实施方案。在该实施方案中,半导体材料层的转移将从供体衬底朝向受体衬底进行。

[0034] 如图1的步骤(I)所示,提供包括在深度内的弱化层102的供体衬底101,以用于向受体衬底进行层转移。衬底101可以是半导体材料,例如硅、锗或硅和锗的化合物。更一般地,供体衬底可以包括一种或多种III-V半导体的合金和/或一种或多种IV族半导体的合金。

[0035] 如图1的步骤(II)所示,还提供了在表面包含氧化物层104的衬底103,以用于接收转移的半导体层。衬底103可以包含硅,且特别包含具有至少约 12×10^{17} 原子 $\cdot \text{cm}^{-3}$ 的间隙氧浓度的硅。氧化物层104可以是天然氧化物层或者通过生长或沉积而获得的 SiO_2 层。层104也可以是例如在半导体中使用的氧化铝(Al_2O_3)型的绝缘体,也可以是例如 Si_3N_4 的氮化物型的绝缘体。

[0036] 如图1的步骤(III)所示,在从供体衬底101转移层之前,特别是在附接至供体衬底101之前,对在表面包括氧化物层104的衬底103进行至少一个对间隙氧的稳定化处理的步骤。因此,该步骤可以是析出物的成核、沉淀和生长的步骤。因此,它可以是包括数个恒定温度阶段的热处理。这种处理,特别是恒定温度阶段可以在氧化型气氛下(特别是基于水和氧)或在非氧化型气氛下(特别是利用基于氩气的气体的中性气氛)进行。因此,包含氧化物层104的衬底103可以在大约650℃至大约1200℃的范围内经受温度,尤其是恒定温度阶段。此外,该处理,特别是每个恒定温度阶段,可持续约30分钟至约10小时,优选为约1小时至约

8小时。

[0037] 随后,在稳定化处理之后,如图1的步骤(IV)所示,供体衬底101通过氧化物层104附接至(特别是粘附结合至,例如通过分子粘附或任何其它粘附结合半导体的工艺)受体衬底103上,以形成SOI型的具有隐埋氧化物层104的复合衬底105。

[0038] 随后,在粘附结合步骤之后,如图1的步骤(V)所示,通过在深度内的弱化层102的水平进行劈裂而将供体衬底101的一部分1012从复合衬底105上分离,从而留下通过氧化物层104而附接至受体衬底103的供体衬底101的转移层1011,由此形成包括转移层1011的新的复合衬底106。然后,通过使复合衬底106经受一次或多次平滑化热处理,特别是快速退火(即RTA)型的热处理,可以改善转移层1011的表面粗糙度。此外,供体衬底101的剩余物1012可以再循环以在另一层转移工艺中形成新的供体衬底。

[0039] 在所有情况下,复合衬底105和106都是HiOi HR SOI型的衬底,即具有高间隙氧浓度的高电阻率绝缘体上硅型的衬底。考虑到所述至少一个间隙氧的稳定化步骤已经在层转移之前进行,换言之,在劈裂步骤之前进行,且因此在任何平滑化退火之前进行,所以可以获得具有小于 $5 \times 10^{11} \text{cm}^{-2} \cdot \text{eV}^{-1}$ 的界面态密度和大于 $700 \text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 的SOI中的载流子迁移率(对电子而言)的HiOi HR SOI衬底。在隐埋氧化物接触上去除SOI膜和铝之后,隐埋氧化物中的固定电荷值于是可以小于 $3 \times 10^{10} \text{cm}^{-2}$,且峰值界面态密度可以小于 $5 \times 10^{10} \text{cm}^{-2} \cdot \text{eV}^{-1}$ 。

[0040] 换言之,与通过常规工艺(即在平滑化退火之后进行稳定化步骤)而获得的HiOi HR SOI衬底相比,复合衬底105和106(特别是界面处)的电学性质得到非常显著的改善。

[0041] 现在将参考图2描述用于制造高电阻率半导体衬底工艺的第二示例性实施方案。第二实施方案重复了第一实施方案的所有特征,并且还给出了可选工艺步骤的细节。

[0042] 如图2的步骤(I)所示,首先提供与第一实施方案的供体衬底101相同的供体衬底201。因此,衬底201可以也是半导体材料,例如硅、锗或硅和锗的化合物。更一般地,供体衬底可以包括一种或多种III-V半导体的合金和/或一种或多种IV族半导体的合金。

[0043] 图2的步骤(II)示出,如在第一实施方案中那样,供体衬底201随后可以经受在深度内弱化的步骤以提供在深度内的弱化层202,以用于向受体衬底进行的层转移。该步骤尤其可以通过离子注入,特别是通过注入离子实体(entities),如 H^+ 和/或 He^+ ,来进行。

[0044] 如图2的步骤(III)所示,还提供了在表面包括氧化物层204的衬底203,以用于接收转移的半导体层。正如第一实施方案的衬底103,第二实施方案的衬底203可以因此包含硅,特别是包含具有至少大约 $12 \times 10^{17} \text{原子} \cdot \text{cm}^{-3}$ 的间隙氧浓度的硅。仍然类似于第一实施方案,氧化物层204可以再次为天然氧化物层、通过生长或沉积而获得的 SiO_2 层,或者还可以为半导体中使用的氧化铝(Al_2O_3)型或氮化物型(例如 Si_3N_4)的绝缘体。

[0045] 如图2的步骤(IV)所示,在从供体衬底201转移层之前,特别是在附接至供体衬底201之前,在表面包括氧化物层204的衬底203经受至少一次对间隙氧的稳定化处理步骤。类似于第一实施方案,在第二实施方案中,稳定化处理可以是析出物的成核、沉淀和生长的步骤。因此,它可以是包括数个恒定温度阶段的热处理。这种处理,特别是恒定温度阶段,可以在氧化型(特别是基于水和氧的)气氛下,或者在非氧化型(特别是利用基于氩气的气体的中性型)气氛下进行。因此,包括氧化物层204的衬底203也可以在大约 650°C 至大约 1200°C 的范围内经受温度,特别是恒定温度阶段。此外,该处理,特别是每个恒定温度阶段,可持续

约30分钟至约10小时,优选为约1小时至约8小时。

[0046] 在稳定化处理之后,如图2的步骤(V)所示,类似于第一实施方案的粘附结合步骤,供体衬底201和受体衬底203在氧化物层204的水平粘附结合,以形成具有隐埋氧化物层204的SOI型的复合衬底205。在这种情况下,同样也可以通过分子粘附或用于粘附结合半导体层的任何其它工艺进行粘附结合。

[0047] 随后,如图2的步骤(VI)所示,粘附结合的步骤之后进行劈裂步骤,其中通过在深度内的弱化层202的水平进行劈裂而将供体衬底201的一部分2012从复合衬底205分离,从而留下通过氧化物层204而附接至受体衬底203的供体衬底201的转移层2011,由此形成包括转移层2011的新的复合衬底206。这样的劈裂步骤可以通过在N₂或Ar的中性气氛下使复合衬底205处于约300℃至约600℃的温度持续约30分钟至约5小时的时间来进行。

[0048] 随后,在劈裂步骤之后,图2的步骤(VII)示出了可选的后续平滑化步骤,所述平滑化步骤使得可以改善转移层2011的暴露表面207的粗糙度。该步骤可以通过进行包括一次或多次退火,优选为一次或多次快速退火(即RTA)的热处理来进行。然后将复合衬底206暴露于约1075℃至约1250℃,优选为约1175℃至约1230℃,特别是约1200℃温度下,这将在非氧化型气氛下(特别是包含0%至约50%氢气的氩气和/或氢气的气氛下)持续在约15秒至约120秒,优选为在约20秒至约90秒的范围内的时间段,特别是约30秒的时间段。

[0049] 最后,如上所述,供体衬底201的剩余物2012也可以再循环以便在另一层转移工艺中形成新的供体衬底。

[0050] 因此,类似于第一实施方案,在第二实施方案中可以获得HiOI HR SOI型的复合衬底205和206,即具有高间隙氧浓度的高电阻率绝缘体上硅型的衬底。特别地,考虑到在层转移之前(换言之在劈裂步骤之前,并且因此在任何平滑化退火之前)进行所述至少一个间隙氧的稳定化步骤,正如在第一实施方案中那样,在第二实施方案中可以获得界面态密度小于 $5 \times 10^{11} \text{cm}^{-2} \cdot \text{eV}^{-1}$ 和(对于电子而言)SOI中载流子的迁移率大于 $700 \text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 的HiOI HR SOI衬底。在隐埋氧化物接触上去除SOI膜和铝之后,隐埋氧化物中的固定电荷值于是可以小于 $3 \times 10^{10} \text{cm}^{-2}$,峰值界面态密度可以小于 $5 \times 10^{10} \text{cm}^{-2} \cdot \text{eV}^{-1}$ 。

[0051] 换言之,正与复合衬底105和106一样,与通过常规工艺(即在平滑化退火之后进行稳定化步骤)而获得的HiOI HR SOI衬底相比,复合衬底205和206的电学性质(特别是界面特性)也得到非常显著的改善。

[0052] 此外,本发明的实施方案的不同示例可以彼此组合,从而创建根据本发明的其他实施方案。

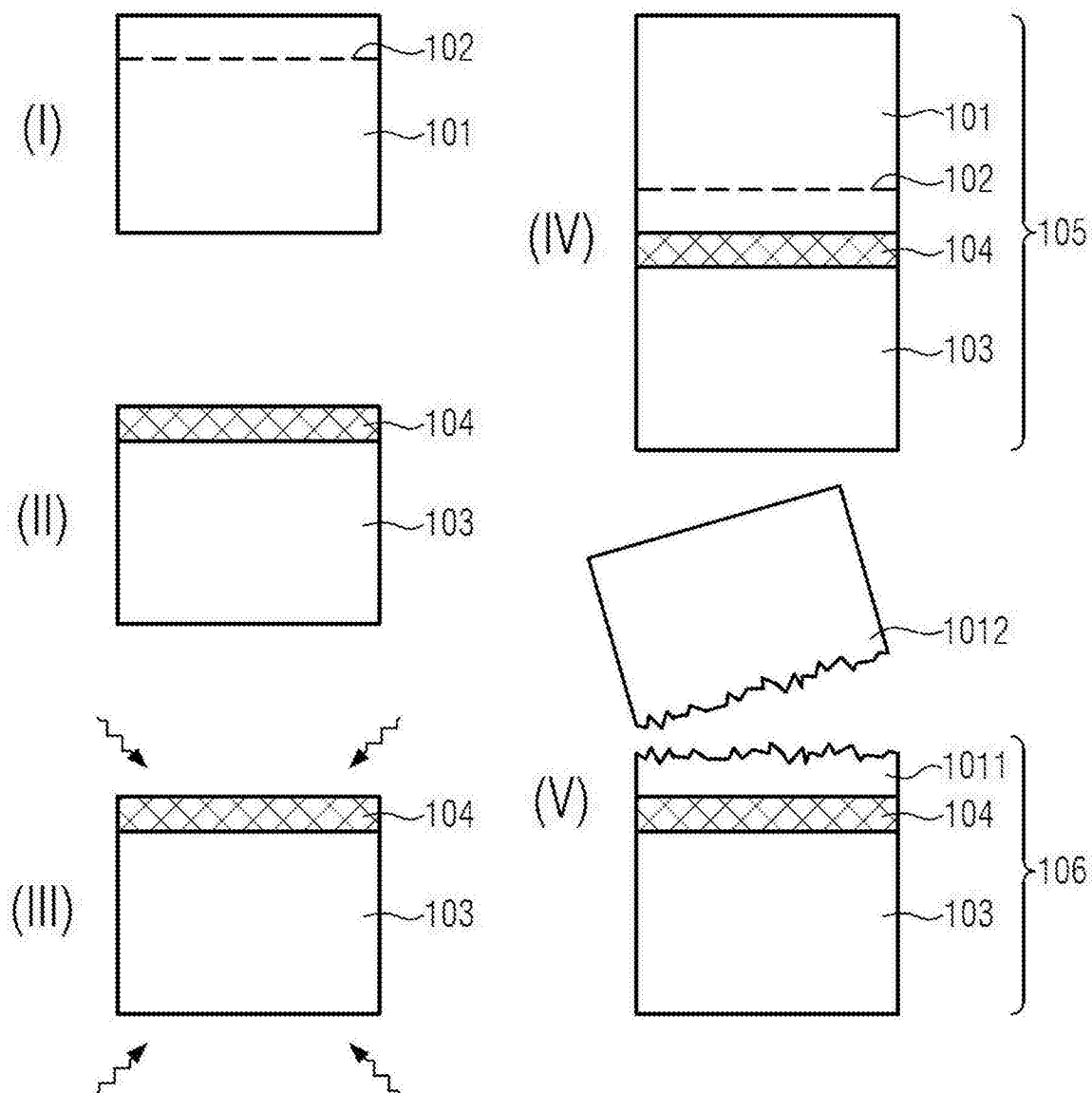


图1

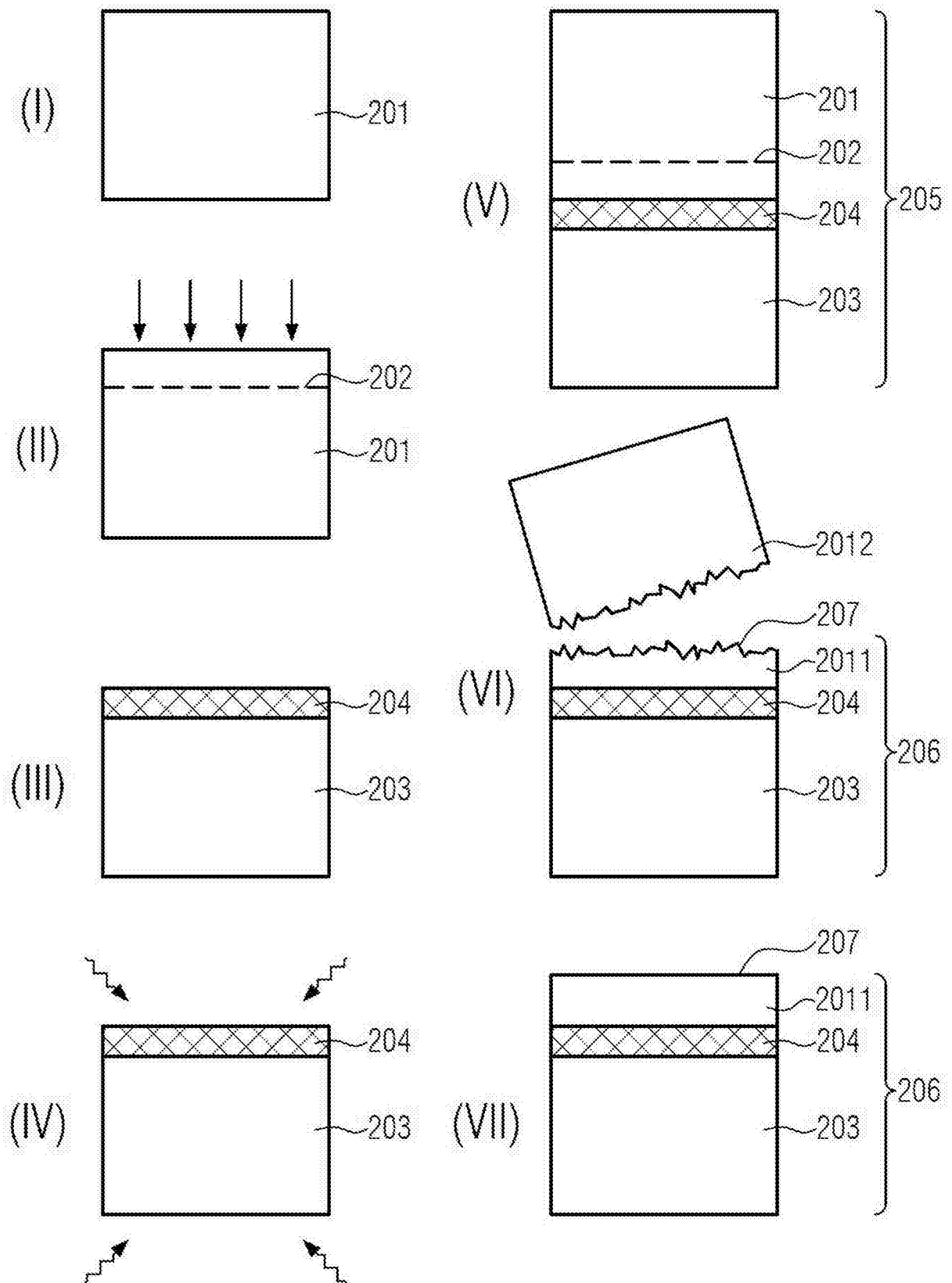


图2