

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5245871号
(P5245871)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int.Cl.

G05F 3/24 (2006.01)

F I

G05F 3/24

B

請求項の数 6 (全 9 頁)

(21) 出願番号 特願2009-20400 (P2009-20400)
(22) 出願日 平成21年1月30日(2009.1.30)
(65) 公開番号 特開2010-176538 (P2010-176538A)
(43) 公開日 平成22年8月12日(2010.8.12)
審査請求日 平成23年9月21日(2011.9.21)

(73) 特許権者 000006220
ミツミ電機株式会社
東京都多摩市鶴牧2丁目11番地2
(74) 代理人 100090033
弁理士 荒船 博司
(74) 代理人 100093045
弁理士 荒船 良男
(72) 発明者 高野 陽一
東京都多摩市鶴牧2丁目11番地2 ミツ
ミ電機株式会社内

審査官 槻木澤 昌司

最終頁に続く

(54) 【発明の名称】 基準電圧発生回路

(57) 【特許請求の範囲】

【請求項1】

通常の耐圧を有するデプレッション型のMOSトランジスタを有し所定の基準電圧を発生する基準電圧回路と、

該基準電圧回路の電源端子と前記MOSトランジスタの耐圧よりも高い電源電圧が印加される第1の電源電圧端子との間に接続された前記通常の耐圧よりも高い耐圧を有するクランプ用MOSトランジスタと、

該クランプ用MOSトランジスタのゲート端子に印加されるバイアス電圧を生成するバイアス回路と、

を備え、前記基準電圧回路の電源端子に前記バイアス電圧に応じてクランプされた電圧を供給するようにした基準電圧発生回路であって、

前記バイアス回路は、

カレントミラー回路と、

該カレントミラー回路の第1の電流出力端子と第2の電源電圧端子との間に直列に接続された第1のMOSトランジスタ、抵抗および第1のダイオードを有する第1回路と、

前記カレントミラー回路の第2の電流出力端子と第2の電源電圧端子との間に直列に接続された第2のMOSトランジスタ、第3のMOSトランジスタおよび前記第1のダイオードよりもサイズの小さな第2のダイオードを有する第2回路と、を備え、

前記第2のMOSトランジスタおよび第3のMOSトランジスタは各々ゲート端子とドレイン端子が結合され、前記第3のMOSトランジスタと前記第1のMOSトランジスタ

10

20

は互いのゲート端子同士が接続されてなり、前記第2のMOSトランジスタのドレイン端子から前記バイアス電圧が出力されるように構成されていることを特徴とする基準電圧発生回路。

【請求項2】

前記カレントミラー回路の第1の電流出力端子から出力される電流と第2の電流出力端子から出力される電流との比は1:1であることを特徴とする請求項1に記載の基準電圧発生回路。

【請求項3】

前記第1、第2および第3のMOSトランジスタは前記通常の耐圧よりも高い耐圧を有する素子であることを特徴とする請求項1または2に記載の基準電圧発生回路。

10

【請求項4】

前記基準電圧回路は、前記通常の耐圧を有するデプレッション型のMOSトランジスタと通常の耐圧を有するエンハンスメント型のMOSトランジスタとが直列形態に接続され、前記デプレッション型のMOSトランジスタはそのゲート端子とソース端子とが結合され、前記エンハンスメント型のMOSトランジスタはそのゲート端子とドレイン端子とが結合されていることを特徴とする請求項1～3に記載の基準電圧発生回路。

【請求項5】

前記MOSトランジスタはすべてNチャネル型のMOSトランジスタであることを特徴とする請求項1～4のいずれかに記載の基準電圧発生回路。

【請求項6】

20

前記カレントミラー回路の第1の電流出力端子に接続され、前記カレントミラー回路から一時的に電流を引き込んで前記バイアス回路を起動させる起動回路を備えることを特徴とする請求項1～5のいずれかに記載の基準電圧発生回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デプレッション型MOSFETを使用した基準電圧発生回路に関し、特に高耐圧特性を有する基準電圧発生回路に関するものである。

【背景技術】

【0002】

30

従来より、ゲートとソースを結合したデプレッション型MOSFET（絶縁ゲート型電界効果トランジスタ：以下MOSトランジスタと称する）と、ゲートとドレインを結合したエンハンスメント型のMOSトランジスタとを、図2のように、電源電圧端子VDDと接地電位点GNDとの間に直列に接続した基準電圧発生回路が知られている。

【0003】

この基準電圧発生回路は、デプレッション型MOSトランジスタが定電流源として動作し、エンハンスメント型MOSトランジスタのソース・ドレイン間に発生する定電圧を基準電圧Vrefとして取り出すものであり、Vrefは2つのMOSトランジスタのしきい値電圧Vt(d)とVt(e)の差分Vt(e) - Vt(d)として表わされる。

【0004】

40

上記デプレッション型MOSトランジスタを使用した基準電圧発生回路は、素子数が少ない上、デプレッション型MOSトランジスタとエンハンスメント型のMOSトランジスタの温度特性がほぼ同一であるため、温度依存性の小さな基準電圧Vrefを発生できるという利点がある。なお、デプレッション型MOSトランジスタを使用した基準電圧発生回路に関する発明としては、例えば特許文献1や特許文献2に記載されているものがある。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-091590号公報

【特許文献2】特開2005-134939号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0006】

液晶パネルやCCD（チャージカップルドデバイス）は10V以上の高電圧を必要とすることがあるため、かかるデバイス用の電源電圧を発生する昇圧型のレギュレータのような電源装置を構成する電源制御用IC（半導体集積回路）に使用される基準電圧発生回路は、高耐圧である必要がある。そのため、従来の回路構成のまま基準電圧発生回路の耐圧を高めるには、デプレッション型MOSトランジスタとエンハンスメント型MOSトランジスタとして高耐圧プロセスで製造したMOSトランジスタを使用しなければならない。

【0007】

しかしながら、従来の高耐圧プロセスでは、高耐圧のエンハンスメント型MOSトランジスタと同一の工程で高耐圧のデプレッション型MOSトランジスタを製造することができないため、従来の回路構成のまま基準電圧発生回路の耐圧を高めることができない。また、デプレッション型MOSトランジスタも高耐圧とするには別途オプションプロセスが必要であり、コストアップを招くという課題がある。

【0008】

なお、特許文献1や特許文献2に記載されている発明は、プロセスばらつきや温度変化に対する依存性が低くばらつきのある小さな基準電圧 V_{ref} を発生できるようにすることを目的としており、本発明とは目的および解決手段が異なっている。

【0009】

この発明の目的は、高耐圧のデプレッション型MOSトランジスタを用いることなく、つまりオプションプロセスの追加による大幅なコストアップを招くことなく耐圧を高めることができる基準電圧発生回路を提供することにある。

【0010】

この発明の他の目的は、高耐圧のデプレッション型MOSトランジスタを用いることなく耐圧を高めるとともに、占有面積および消費電流の増加を抑制することができる基準電圧発生回路を提供することにある。

【課題を解決するための手段】

【0011】

上記目的を達成するため、この発明は、通常の耐圧を有するデプレッション型のMOSトランジスタを有し所定の基準電圧を発生する基準電圧回路と、該基準電圧回路の電源端子と前記MOSトランジスタの耐圧よりも高い電源電圧が印加される第1の電源電圧端子との間に接続された前記通常の耐圧よりも高い耐圧を有するクランプ用MOSトランジスタと、該クランプ用MOSトランジスタのゲート端子に印加されるバイアス電圧を生成するバイアス回路と、を備え、前記基準電圧回路の電源端子に前記バイアス電圧に応じてクランプされた電圧を供給するようにした基準電圧発生回路において、前記バイアス回路は、カレントミラー回路と、該カレントミラー回路の第1の電流出力端子と第2の電源電圧端子との間に直列に接続された第1のMOSトランジスタ、抵抗および第1のダイオードを有する第1回路と、前記カレントミラー回路の第2の電流出力端子と第2の電源電圧端子との間に直列に接続された第2のMOSトランジスタ、第3のMOSトランジスタおよび前記第1のダイオードよりもサイズの小さな第2のダイオードを有する第2回路と、を備え、前記第2のMOSトランジスタおよび第3のMOSトランジスタは各々ゲート端子とドレイン端子が結合され、前記第3のMOSトランジスタと前記第1のMOSトランジスタは互いのゲート端子同士が接続されてなり、前記第2のMOSトランジスタのドレイン端子から前記バイアス電圧が出力されるように構成したものである。

【0012】

上記した構成によれば、デプレッション型のMOSトランジスタとエンハンスメント型のMOSトランジスタとを直列形態に接続してなる基準電圧回路を有する基準電圧発生回路において、基準電圧回路の電源電圧がバイアス回路からのバイアス電圧に応じてクランプされるため、高耐圧のデプレッション型MOSトランジスタを用いることなく耐圧を高

10

20

30

40

50

めることができる。

【 0 0 1 3 】

ここで、望ましくは、前記カレントミラー回路の第 1 の電流出力端子から出力される電流と第 2 の電流出力端子から出力される電流との比が 1 : 1 となるように構成する。これにより、バイアス回路の回路設計を容易にすることができる。

【 0 0 1 4 】

また、望ましくは、前記第 1、第 2 および第 3 の MOS トランジスタは前記通常の耐圧よりも高い耐圧を有する素子を用いる。これにより、バイアス回路を構成する素子数を減らして回路面積の増大を抑えることができる。

【 0 0 1 5 】

さらに、望ましくは、前記基準電圧回路は、前記通常の耐圧を有するデプレッション型の MOS トランジスタと通常の耐圧を有するエンハンスメント型の MOS トランジスタとが直列形態に接続され、前記デプレッション型の MOS トランジスタはそのゲート端子とソース端子とが結合され、前記エンハンスメント型の MOS トランジスタはそのゲート端子とドレイン端子とが結合された構成とする。これにより、デプレッション型の MOS トランジスタのしきい値電圧とエンハンスメント型の MOS トランジスタのしきい値電圧との差に相当する基準電圧を発生することができる。

【 0 0 1 6 】

また、望ましくは、前記 MOS トランジスタはすべて N チャネル型の MOS トランジスタで構成する。これにより、基準電圧発生回路が単独の IC として構成される場合には、プロセスを簡略化してコストアップを回避することができる。

【 0 0 1 7 】

さらに、望ましくは、前記カレントミラー回路の第 1 の電流出力端子に接続され、前記カレントミラー回路から一時的に電流を引き込んで前記バイアス回路を起動させる起動回路を備えるようにする。これにより、電源電圧の立ち上がり時にバイアス回路を確実に起動させ、基準電圧発生回路を速やかに立ち上げることができる。

【 発明の効果 】

【 0 0 1 8 】

本発明によれば、高耐圧のデプレッション型 MOS トランジスタを用いることなく、つまりオプシヨンプロセスの追加による大幅なコストアップを招くことなく耐圧を高めることができる基準電圧発生回路を実現できる。また、高耐圧のデプレッション型 MOS トランジスタを用いることなく耐圧を高めるとともに、占有面積および消費電流の増加を抑制することができるという効果がある。

【 図面の簡単な説明 】

【 0 0 1 9 】

【 図 1 】 本発明に係る基準電圧発生回路の一実施形態を示す回路図である。

【 図 2 】 デプレッション型 MOS トランジスタを用いた従来の基準電圧発生回路の一例を示す回路図である。

【 発明を実施するための形態 】

【 0 0 2 0 】

以下、本発明の好適な実施の形態を図面に基づいて説明する。

【 0 0 2 1 】

図 1 に、本発明に係る基準電圧発生回路の一実施形態が示されている。

【 0 0 2 2 】

本実施形態の高耐圧基準電圧発生回路は、電源電圧端子 VDD と接地電位点 GND との間に直列に接続された MOS トランジスタ Q1 と MOS トランジスタ Q2 とが直列形態に接続されてなる基準電圧回路 11 と、上記トランジスタ Q1 のドレイン端子と電源電圧端子 VDD との間に接続された MOS トランジスタ Q3 と、該トランジスタ Q3 のゲート電圧を生成するバイアス回路 12 と、該バイアス回路 12 を起動させる起動回路 13 とを備える。

【 0 0 2 3 】

なお、上記MOSトランジスタQ1～Q3はすべてNチャネル型である。また、上記トランジスタQ1～Q3のうち、Q1はデプレッション型（ノーマリオン型）、Q2とQ3およびバイアス回路12を構成するトランジスタはエンハンスメント型（ノーマリオフ型）である。ノーマリオン素子であるデプレッション型トランジスタQ1はゲートとソースが結合されていることにより、定電流源として動作する。

【 0 0 2 4 】

エンハンスメント型MOSトランジスタQ2は、ゲートとドレインが結合されたいわゆるダイオード接続とされ、デプレッション型トランジスタQ1からの定電流が流されることにより、Q2のソース・ドレイン間に定電圧が発生する。この定電圧が基準電圧Vrefとして取り出される。Vrefは、2つのMOSトランジスタQ1、Q2のしきい値電圧Vt(d)とVt(e)の差分Vt(e) - Vt(d)として表わされる。

10

【 0 0 2 5 】

さらに、本実施形態では、MOSトランジスタQ3として高耐圧構造のトランジスタが使用されるとともに、Q3のゲート端子にバイアス回路12からバイアス電圧Vbが印加されることによって、Q3のソース電圧すなわちデプレッション型トランジスタQ1のドレイン電圧をVb - VGS3にクランプするように構成されている。このようにエンハンスメント型であるMOSトランジスタQ3に高耐圧の素子を使用し、デプレッション型トランジスタQ1のドレイン電圧をクランプすることによって、電源電圧Vddとして例えば30Vのような高い電圧が供給される場合にも、Q1を高耐圧の素子でなく標準耐圧（低耐圧）の素子とすることができる。

20

【 0 0 2 6 】

バイアス回路12は、電源電圧端子VDDに接続されたカレントミラー回路CMと、該カレントミラーの一方の電流出力端子と接地点との間に直列に接続されたMOSトランジスタQ4、Q5およびダイオードとして動作するバイポーラトランジスタTR1と、カレントミラー回路CMの他方の電流出力端子と接地点との間に直列に接続されたMOSトランジスタQ6、抵抗R1およびダイオードとして動作するバイポーラトランジスタTR2とを備える。そして、上記MOSトランジスタQ4～Q6のうちQ4とQ5は各々そのゲートとドレインが結合され、トランジスタQ4のドレイン端子N1にトランジスタQ3のゲート端子が接続されている。カレントミラー回路CMにおける電流比は、任意の値をとることができるが後述のように、1：1とすることによって回路設計が容易となる。MOSトランジスタQ5とQ6は同一サイズでよいが、バイポーラトランジスタTR2のサイズはTR1のサイズのn倍（n>1）とする。

30

【 0 0 2 7 】

また、上記MOSトランジスタQ5のゲート端子とQ6のゲート端子同士が接続されているとともに、トランジスタQ6のドレイン端子に起動回路13が接続されている。なお、上記MOSトランジスタQ4～Q6はすべてNチャネル型でありかつ高耐圧構造のMOSトランジスタが使用されているが、エンハンスメント型であり、前述したように、デプレッション型MOSトランジスタQ1には標準耐圧（低耐圧）のトランジスタを使用しているため、オプションプロセスを追加せずに回路全体を高耐圧化して、コストアップを回避することができる。本実施形態の基準電圧発生回路は、電源電圧Vddと接地電位との電位差が、使用する標準耐圧のトランジスタの耐圧以上ある場合に有効である。

40

【 0 0 2 8 】

また、この実施形態の基準電圧発生回路では、バイアス回路12とその出力であるバイアス電圧Vbがゲート端子に印加されたMOSトランジスタQ3によって基準電圧回路11の電源電圧すなわちデプレッション型MOSトランジスタQ1のドレイン電圧がクランプされる。そして、トランジスタTR1、TR2のベース・エミッタ間電圧をVBE1、VBE2とすると、バイアス回路12の出力であるバイアス電圧Vbは、

$$Vb = VBE1 + VGS5 + VGS4$$

であり、トランジスタQ1のドレイン電圧VDは、

50

$$V_D = V_b - V_{GS3}$$

$$= V_{BE1} + V_{GS5} + V_{GS4} - V_{GS3}$$

にクランプされるため、電源電圧 V_{DD} に依存しない基準電圧 V_{ref} を基準電圧回路 1 より発生させることができる。

【0029】

さらに、この実施形態で用いているバイアス回路 12 は、ダイオードとして動作するトランジスタ T_{R1} 、 T_{R2} を設けることにより消費電流が少なく済むとともに、抵抗 R_1 として抵抗値の小さな素子を使用できるため、回路面積の増加を抑制することができるという利点がある。以下、その理由について説明する。

【0030】

図 1 のバイアス回路 12 においては、MOS トランジスタ Q_5 と Q_6 のゲート端子同士が接続されているため、カレントミラー CM の電流比を 1 : 1 に設定してカレントミラー CM から同一の電流 I を Q_5 、 Q_6 に流したとき、 $V_{GS5} = V_{GS6}$ であるため、 Q_5 のソース電圧と Q_6 のソース電圧は同一の電位となる。そのため、 Q_5 のドレイン電圧を V_a 、抵抗 R_1 の端子間にかかる電圧を ΔV とおくと、 V_a は次式

$$V_a - V_{GS5} = V_{BE2} + \Delta V = V_{BE1} \quad \dots \dots (1)$$

で表わされる。

【0031】

また、トランジスタ T_{R1} 、 T_{R2} のベース・エミッタ間電圧 V_{BE1} 、 V_{BE2} は、それぞれの飽和電流を I_{s1} 、 I_{s2} とすると、

$$V_{BE1} = V_T \cdot \ln(I / I_{s1}) \quad \dots \dots (2)$$

$$V_{BE2} = V_T \cdot \ln(I / n I_{s2}) \quad \dots \dots (3)$$

で表わされる。ここで、 V_T は熱電圧と呼ばれる定数、 n は T_{R1} と T_{R2} のサイズ比である。上記式 (1) ~ (3) より、

$$\Delta V = V_{BE1} - V_{BE2}$$

$$= V_T \cdot \ln(I / I_{s1}) - V_T \cdot \ln(I / n I_{s2})$$

$$= V_T \cdot \ln\{(I / I_{s1}) \cdot (n I_{s2} / I)\} \quad \dots \dots (4)$$

となる。カレントミラー CM の電流比を 1 : 1 に設定すると $I_{s1} = I_{s2}$ となるので、上記式 (4) は、

$$\Delta V = V_T \cdot \ln(n)$$

となる。熱電圧 V_T は常温で約 26 mV であることが知られているので、 T_{R1} と T_{R2} のサイズ比 n を「8」とすると、 $\Delta V = 54$ mV が得られる。

【0032】

ここで、カレントミラー CM から抵抗 R_1 に流す電流 I を 1 μ A 程度にしたい場合を考えると、抵抗 R_1 の抵抗値 r は、 $r = \Delta V / I$ より、54 k Ω とすればよいことが分かる。図 1 のバイアス回路 12 は、トランジスタ T_{R1} 、 T_{R2} を使用しなくても構成することができるが、その場合には抵抗値として 30 M Ω もの大きな抵抗が必要になる。従って、本実施形態のようにトランジスタ (ダイオード) T_{R1} 、 T_{R2} を使用することで、抵抗のサイズを小さくしひいては回路の面積の増大を抑制することができる。また、本実施形態のバイアス回路は、上述したように、カレントミラー CM によって 1 μ A 程度の小さな電流を流すだけでよいので、バイアス回路を設けることによる消費電流の増加を抑えることができるという利点がある。

【0033】

ところで、一般にカレントミラー回路は電源立ち上がり時に電流を引いてやらないと正常に立ち上がって動作することが困難である。そこで、本実施形態の基準電圧発生回路においては、例えば定電流源 CS とスイッチ SW とからなる起動回路 13 を設け、電源立ち上がり時にスタート信号 (パルス) ϕ_s によってスイッチ SW を一時的にオンして定電流源 CS でカレントミラー回路 12 から電流を引くように構成している。これにより、カレントミラー回路に確実に電流を流してバイアス回路を起動し、基準電圧発生回路を速やかに立ち上げることができる。

【 0 0 3 4 】

上記カレントミラー回路 1 2 はゲート共通接続された一対の MOS トランジスタで構成することができるが、本実施形態におけるカレントミラー回路 1 2 には、ゲート共通接続された MOS トランジスタ対を複数個縦積みにしたカスコード型のカレントミラーを使用することも可能である。

【 0 0 3 5 】

以上、本発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではない。例えば、前記実施形態では、基準電圧回路として、デプレッション型トランジスタ Q 1 とエンハンスメント型 MOS トランジスタ Q 2 を直列に接続した回路を使用したものを説明したが、他の構成の基準電圧回路を使用する場合にも適用することができる

10

また、図 1 の基準電圧回路 1 1 にあっても、トランジスタ Q 1 と Q 2 の基体（バックゲート）をそれぞれのソースに接続してしきい値電圧の差 $V_{t(e)} - V_{t(d)}$ に相当する基準電圧 V_{ref} を発生するように構成したもの他、Q 1 と Q 2 の基体を Q 2 のソース（接地電位）に接続して、 $V_{t(e)} - V_{t(d)}$ の $1/2$ に相当する基準電圧 V_{ref} を発生する基準電圧回路として構成するようにしても良い。さらに、図 1 において、高耐圧の MOS トランジスタ Q 3 ~ Q 6 を、複数の直列形態の MOS トランジスタに置き換えるようにしても良い。

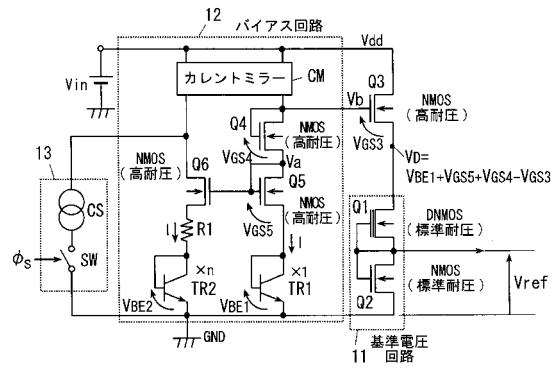
【 符号の説明 】

【 0 0 3 6 】

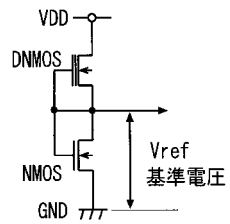
20

- 1 1 基準電圧回路
- 1 2 バイアス回路
- 1 3 起動回路
- C M カレントミラー回路
- Q 1 デプレッション型 MOS トランジスタ（標準耐圧 NMOS）
- Q 2 エンハンスメント型 MOS トランジスタ（標準耐圧 NMOS）
- Q 3 クランプ用の MOS トランジスタ（高耐圧 NMOS）
- Q 4 , Q 5 , Q 6 MOS トランジスタ（高耐圧 NMOS）

【図 1】



【図 2】



フロントページの続き

(56)参考文献 特開2008-193347(JP,A)
特開2005-134939(JP,A)
特開2003-131749(JP,A)
特開平08-321584(JP,A)
特開2005-222301(JP,A)
特開平09-006447(JP,A)
特開2002-091590(JP,A)

(58)調査した分野(Int.Cl., DB名)
G05F 3/24