

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5649219号
(P5649219)

(45) 発行日 平成27年1月7日(2015.1.7)

(24) 登録日 平成26年11月21日(2014.11.21)

(51) Int.Cl.		F I	
HO 1 L 21/331	(2006.01)	HO 1 L 29/72	H
HO 1 L 29/737	(2006.01)	HO 1 L 31/10	A
HO 1 L 31/10	(2006.01)	GO 2 F 1/017	5 O 3
GO 2 F 1/017	(2006.01)		

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2011-12277 (P2011-12277)	(73) 特許権者	591230295 NTTエレクトロニクス株式会社 神奈川県横浜市神奈川区新浦島町一丁目1番地32
(22) 出願日	平成23年1月24日(2011.1.24)	(73) 特許権者	000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号
(65) 公開番号	特開2012-156206 (P2012-156206A)	(74) 代理人	100119677 弁理士 岡田 賢治
(43) 公開日	平成24年8月16日(2012.8.16)	(74) 代理人	100115794 弁理士 今下 勝博
審査請求日	平成25年2月15日(2013.2.15)	(72) 発明者	石橋 忠夫 神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社 社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板の一方の側に前記基板面と並行に第1半導体層、p形の第2半導体層、n形の第3半導体層、n形の第4a半導体層、及び第4b半導体層が積層された半導体装置であって、

前記基板側から前記第3半導体層、前記第1半導体層、前記第4a半導体層、前記第4b半導体層、前記第2半導体層の順で積層しており、

前記第1半導体層及び前記第4b半導体層は、不純物濃度が前記第2半導体層及び前記第3半導体層より低濃度であり、

前記第4a半導体層及び前記第4b半導体層は、バンドギャップが前記第1半導体層及び前記第2半導体層より大きく、

前記第2半導体層の外周が前記第4b半導体層の外周より内側にあることを特徴とする半導体装置。

【請求項2】

前記第2半導体層と前記第3半導体層との間に逆バイアスが印加されたとき、前記第2半導体層と前記第4a半導体層との間で0.2V以上1.0V以下の電位差が発生することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第2半導体層の前記第4b半導体層と反対側に隣接するn形の第6半導体層をさらに備えることを特徴とする請求項1又は2に記載の半導体装置。

【請求項 4】

基板の一方の側に前記基板面と並行に第 1 半導体層、p 形の第 2 半導体層、n 形の第 3 半導体層、p 形の第 5 a 半導体層、及び第 5 b 半導体層が積層された半導体装置であって、

前記基板側から前記第 2 半導体層、前記第 1 半導体層、前記第 5 a 半導体層、前記第 5 b 半導体層、前記第 3 半導体層の順で積層しており、

前記第 1 半導体層及び前記第 5 b 半導体層は、不純物濃度が前記第 2 半導体層及び前記第 3 半導体層より低濃度であり、

前記第 5 a 半導体層及び前記第 5 b 半導体層は、バンドギャップが前記第 1 半導体層及び前記第 2 半導体層より大きく、

前記第 3 半導体層の外周が前記第 5 b 半導体層の外周より内側にあることを特徴とする半導体装置。

10

【請求項 5】

前記第 2 半導体層と前記第 3 半導体層との間に逆バイアスが印加されたとき、前記第 3 半導体層と前記第 5 a 半導体層との間で 0.2 V 以上 1.0 V 以下の電位差が発生することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 3 半導体層の前記第 5 b 半導体層と反対側に隣接する n 形の第 7 半導体層をさらに備えることを特徴とする請求項 4 又は 5 に記載の半導体装置。

【請求項 7】

基板の一方の側に前記基板面と並行に第 1 半導体層、p 形の第 2 半導体層、n 形の第 3 半導体層、n 形の第 4 a 半導体層、及び第 4 b 半導体層が積層された半導体装置であって、

前記基板側から前記第 3 半導体層、前記第 1 半導体層、前記第 4 a 半導体層、前記第 4 b 半導体層、前記第 2 半導体層の順で積層しており、

前記第 1 半導体層及び前記第 4 b 半導体層は、不純物濃度が前記第 2 半導体層及び前記第 3 半導体層より低濃度であり、

前記第 2 半導体層の外周が前記第 4 b 半導体層の外周より内側にあることを特徴とする半導体装置。

20

【請求項 8】

前記第 2 半導体層の前記第 4 b 半導体層と反対側に隣接する p 形 の第 6 半導体層をさらに備えることを特徴とする請求項 7 に記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置のデバイス構造に関するものである。

【背景技術】

【0002】

III-V 族の化合物半導体で製作される、いわゆる化合物半導体デバイスは、高速動作に優れたヘテロ構造バイポーラトランジスタ (HBT: Heterostructure Bipolar Transistor)、また、発光、受光、光変調機能を持つ様々な光デバイスとして、現在の光通信システムやワイヤレスシステムに不可欠な部品となっている。このような化合物半導体デバイスは、より高速な動作を求めてデバイスを微細化するにつれ、以下に述べる化合物半導体ゆえの問題が起こりやすい。

40

【0003】

Si 系材料を基本とする集積回路技術は、不純物の熱拡散やイオン注入、Si の酸化 / 絶縁層形成、ポリ Si 堆積、選択的成長など自由度のある製作プロセス技術を駆使することができる。一方、化合物半導体デバイスは、メサ構造を基本とするデバイス形態をとることが多い。このため、化合物半導体デバイスは、メサ加工に伴う寸法の制御性の問題や、その材料特性、表面特性ゆえの制約が大きい。特に、化合物半導体デバイスは、表面を

50

不活性化 (= パシベーション) することが困難である。パシベーションが困難な理由は、化合物半導体の表面に準位が発生することである。表面に発生した準位は、キャリア電荷をトラップしてデバイス構造内の電位分布の制御を困難とし、表面の電流パスに伴う異常な順方向電流を発生させ、また再結合中心となって暗電流を増大させるという問題が起こる。

【0004】

このような化合物半導体の表面特性の問題は、特に、高速動作に最も適した電子移動度の高い InGaAs を、 HBT のベース層、コレクタ層に使用する際に大きな影響を及ぼす。また、化合物半導体の表面特性の問題は、長距離光通信の使用波長 (1.5 ミクロン帯) に合わせて InGaAs やこれを含む多重量子井戸構造を使用する光デバイスにも影響を及ぼす。これは、 InGaAs のバンドギャップエネルギーが 0.75 eV と小さく、またパシベーションが難しいため、その pn 接合のリーク電流が高くなる傾向があるからである。このような化合物半導体の表面特性の問題は、ヘテロ構造バイポーラトランジスタや pin 形フォトダイオードなどに共通の問題である。

10

【0005】

図6は、従来の典型的な超高速 HBT 50 の構造を説明する断面図である。 HBT 50 は高速化のために構造の微細化が必須であり、通常はメサ形の pn 接合を重ねてデバイスを構成する。 HBT 50 は、 InGaAs を p 形ベース層 506 と n 形コレクタ層 503 に用いた npn 形である。

20

【0006】

HBT 50 は、半絶縁性 InP 基板 501 の上に、島状に電気分離された InP サブコレクタ層 502 が配置され、その上に、低濃度の n 形 InGaAs コレクタ層 503 と p 形 InGaAs ベース層 506 からなるベース・コレクタメサ、そのメサの上部に n 形 InP エミッタ層 507 が配置される。 HBT 50 は、さらに、エミッタ電極 508、ベース電極 509、及びコレクタ電極 510 を備える。通常、 HBT 50 のように、 p 形ベース層 506 と n 形コレクタ層 503 が同一のサイズのメサであり、図6の $A-A'$ 断面におけるバンドダイアグラムは図7のようになる。このため、ベース・コレクタ接合のメサ側面には電界がそのまま残り、 InGaAs からなるベース・コレクタ接合は、そのメサの側面表面のパシベーションが難しく、接合のリーク電流が多くなる傾向がある。順方向電流が増大すると、コレクタのオン電圧が増大して低コレクタ電圧領域の動作が困難になったり、その不安定性により信頼性が損なわれるという問題が起こる。また、逆方向のリーク電流が多いと、ベース電流の一部がコレクタ側に流れこむため、低電流動作が困難になるという問題も起こる。

30

【0007】

なお、後述する図8のフォトダイオード60のように、 p 形ベース層 506 の下部にリーク電流を低減するノンドープの InGaAsP 表面カバー層 604 相当の層を挿入することも可能である。しかし、この構造は、コレクタメサが大きくなりデバイスの微細化の障害となりうる。

【0008】

図8は、超高速動作が求められる通信用フォトダイオード、特に 10 Gb/s 以上の速度が要求されるフォトダイオード60の構造を説明する断面図である。フォトダイオード60は、接合容量を下げる目的で半絶縁性 InP 601 上にメサ形の半導体層の構造をとることが多い。

40

【0009】

フォトダイオード60は、下層側から、 n 形 InP コンタクト層 602、低濃度の InGaAs 光吸収層 603、低濃度の InGaAsP 表面カバー層 604 及び p 形 InP コンタクト層 605 の順でメサ加工した層から成り、さらに電圧印加に必要な p 電極 606 及び n 電極 607 を備える。

【0010】

図6の HBT 50 と異なり、フォトダイオード60は、比較的狭い p 形領域 (p 形 In

50

Pコンタクト層605)がInGaAs光吸収層603を含む広い中間部メサの上に、島状に形成されている。pn接合の活性領域は、p形InPコンタクト層605で規定される領域となり、接合容量は小さくなる。図9(A)は、図8のA-A'断面におけるバンドダイアグラムである。このバンドダイアグラムが示すように、InGaAs光吸収層603が空乏化してダイオード動作に適正な電界が誘起される。

【0011】

InGaAs光吸収層603の上面は、InGaAsの露出を防ぐバンドギャップがより大きいノンドープのInGaAsP表面カバー層604で覆われている。さらに、InGaAs光吸収層603の上面を広げるため、中間部メサは従来のフォトダイオードより広がっている。このような構造とすることで、中間部メサの側面に及ぶ電界が低減され、フォトダイオード60は、InGaAsの表面に起因するリーク電流の発生を抑制することができる。

10

【0012】

図8に示した構造の導電形の極性を入れ替え、p形InPコンタクト層を下部、n形InPコンタクト層を上部に配置した反転形フォトダイオード構造も提案されている(例えば、特許文献1を参照)。特許文献1のフォトダイオードも同様の理由でリーク電流の発生を抑制することができる。

【0013】

さらに、図8のフォトダイオード60の構造において、InGaAs光吸収層603を、InGaAsを内部構造に含む光コア層で置き換えたものがリッジ導波路を持つ電界吸収形光変調器である。この電界吸収形光変調器もフォトダイオード60の場合と同様に、InGaAsの表面に起因するリーク電流の発生を抑制することができる。

20

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2010-147177号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

上述のように、InGaAsなどのバンドギャップの小さな半導体材料のpn接合が様々な電子デバイスや光デバイスに用いられている。しかし、高速動作を目的としたデバイスにおいては、図8のフォトダイオードや上述した電界吸収形光変調器のような構造としても、リーク電流の発生を抑制することは次の理由により困難である。

30

【0016】

1つの理由はデバイスサイズである。フォトダイオードをアレイ状に高密度に配置しようとする場合、メササイズが制限される。すなわち、図8の中間部メサの側面近傍(B-B'断面)では、下部メサによりInGaAs側面に及ぶ電気力線は減少するが下部メサのサイズに応じて電位降下が残留(図9(B))することになる。フォトダイオードをアレイ状に高密度に配置しようとするれば、フォトダイオードを近接させるため下部メサのサイズが制限され、InGaAs表面に起因するリーク電流を完全に抑制することが困難になる。

40

【0017】

他の理由はデバイスのシリーズ抵抗である。デバイス的高速動作のためにはシリーズ抵抗を低減することが必要である。図8のようにp形InPコンタクト層605を上部にn形InPコンタクト層602を下部に配置した構造では、中間部メサのサイズがシリーズ抵抗に影響することは少ない。しかし、特許文献1の反転形フォトダイオードは、下部がp形InPコンタクト層である。p形InPコンタクト層のホール移動度が小さいため、p形InPコンタクト層のサイズが大きくなるとシリーズ抵抗が増大することになる。高速動作をさせるためシリーズ抵抗を低減しようとするれば、p形InPコンタクト層のサイズを小さくしなければならず、InGaAs表面に起因するリーク電流を抑制することが

50

困難になる。

【0018】

さらに、高速動作を目的とした電界吸収形光変調器では次のような理由もある。電界吸収形光変調器はリッジ形の光導波路を構成することが多く、上部クラッド（図8の605相当）となるリッジの下部に、InGaAsを含むコア層領域が図8の603部分の内部に配置される。このような構造は、コアのpn接合のメサ側面に電位降下が残留し、リーク電流の発生やデバイスの劣化の原因となる。

【0019】

上に述べたように、高速動作を目的としたデバイス構成では、デバイスのサイズやシリーズ抵抗の観点からリーク電流の発生を抑制することが困難という課題があった。そこで、前記課題を解決するために、本発明は、デバイスサイズの縮小、シリーズ抵抗の低減、及びリーク電流の抑制を可能とする半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0020】

上記目的を達成するために、本発明に係る半導体装置は、中間部メサの上に中間部メサより小さい上部メサを配置しており、中間部メサの上面を被うようにノンドープの半導体層を配置することとした。なお、本明細書では、半導体層の積層方向を縦方向、基板表面に平行な方向を横方向と記載する場合がある。また、基板に近い層を下層、遠い層を上層と記載することがある。

【0021】

具体的には、本発明に係る半導体装置は、基板の一方の側に前記基板面と並行に第1半導体層、p形の第2半導体層、n形の第3半導体層、及びn形の第4半導体層とp形の第5半導体層のうち少なくとも一方の層が積層された半導体装置であって、前記第1半導体層は、前記第2半導体層と前記第3半導体層との間に配置され、不純物濃度が前記第2半導体層及び前記第3半導体層より低濃度であり、前記第4半導体層は、前記第1半導体層と前記第2半導体層との間に配置され、バンドギャップが前記第1半導体層より大きく、前記第5半導体層は、前記第1半導体層と前記第3半導体層との間に配置され、バンドギャップが前記第1半導体層より大きく、前記第2半導体層が前記第3半導体層より前記基板から離れている場合、前記第4半導体層を必須とし、前記第2半導体層の外周が前記第4半導体層の外周より内側にあり、前記第3半導体層が前記第2半導体層より前記基板から離れている場合、前記第5半導体層を必須とし、前記第3半導体層の外周が前記第5半導体層の外周より内側にあることを特徴とする。

【0022】

ノンドープの第4半導体層又は第5半導体層を挿入し、第4半導体層又は第5半導体層に電位差を発生させる。この電位差の発生により中間部メサの側面に電圧が発生しないため、リーク電流を抑制することができる。このため、デバイスの横方向サイズを縮小でき、さらにこの縮小によりシリーズ抵抗も低減できる。

【0023】

従って、本発明は、デバイスサイズの縮小、シリーズ抵抗の低減、及びリーク電流の抑制を可能とする半導体装置を提供することができる。

【0024】

本発明に係る半導体装置は、前記第2半導体層が前記第3半導体層より前記基板から離れている場合、前記第2半導体層と前記第4半導体層との間に逆バイアスが印加されたとき、前記第4半導体層で0.2V以上1.0V以下の電位差が発生することを特徴とする。また、本発明に係る半導体装置は、前記第3半導体層が前記第2半導体層より前記基板から離れている場合、前記第3半導体層と前記第5半導体層との間に逆バイアスが印加されたとき、前記第5半導体層で0.2V以上1.0V以下の電位差が発生することを特徴とする。発生する電位差が前記範囲より大きいとデバイス動作を維持できる最小バイアス電圧が上昇することになる。一方、発生する電位差が前記範囲より小さいとリーク電流の抑制が不完全となる。

10

20

30

40

50

【0025】

本発明に係る半導体装置は、前記第2半導体層が前記第3半導体層より前記基板から離れている場合、前記第2半導体層の前記第4半導体層と反対側に隣接するn形の第6半導体層をさらに備えることを特徴とする。この構造の半導体装置は、NPNトランジスタとすることができる。

【0026】

本発明に係る半導体装置は、前記第3半導体層が前記第2半導体層より前記基板から離れている場合、前記第3半導体層の前記第5半導体層と反対側に隣接するp形の第7半導体層をさらに備えることを特徴とする。この構造の半導体装置は、PNPトランジスタとすることができる。

10

【発明の効果】

【0027】

本発明は、デバイスサイズの縮小、シリーズ抵抗の低減、及びリーク電流の抑制を可能とする半導体装置を提供することができる。

【図面の簡単な説明】

【0028】

【図1】本発明に係る半導体装置を説明する図である。(A)は断面の図であり、(B)は上面の図である。

【図2】本発明に係る半導体装置を説明する図である。(A)は活性部分のバンドダイアグラムであり、(B)は周辺部分のバンドダイアグラムである。

20

【図3】本発明に係る半導体装置を説明する図である。(A)は断面の図であり、(B)は上面の図である。

【図4】本発明に係る半導体装置を説明する図である。(A)は活性部分のバンドダイアグラムであり、(B)は周辺部分のバンドダイアグラムである。

【図5】本発明に係る半導体装置を説明する断面の図である。

【図6】従来のHTBを説明する断面の図である。

【図7】図6のA-A'断面におけるバンドダイアグラムである。

【図8】従来のフォトダイオードを説明する断面の図である。

【図9】(A)図8のA-A'断面におけるバンドダイアグラムである。(B)図8のB-B'断面におけるバンドダイアグラムである。

30

【発明を実施するための形態】

【0029】

以下、具体的に実施形態を示して本発明を詳細に説明するが、本願の発明は以下の記載に限定して解釈されない。なお、本明細書及び図面において符号が同じ構成要素は、相互に同一のものを示すものとする。

【0030】

(実施形態1)

図1(A)~図2(B)は、実施形態1の半導体装置10を説明する図である。半導体装置10は、npn形のヘテロ構造バイポーラトランジスタ(HBT)である。図1(A)と図1(B)は、それぞれ半導体装置10の断面と上面を模式的に示した図である。

40

101は半絶縁性のInP基板、

102はn形InPサブコレクタ層(n-InPサブコレクタ層と記載する。)、

103は低濃度のInGaAsコレクタ層、

104はn形InGaAsP電界制御層(n-InGaAsP電界制御層と記載する。)

、

105は低濃度のInGaAsP中間層、

106は高濃度p形InGaAsベース層(p⁺-InGaAsベース層と記載する。)

、

107はn形InPEミッタ層(n-InPEミッタ層と記載する。)、

108、109、110は、それぞれ、エミッタ電極、ベース電極、コレクタ電極

50

である。

【0031】

半導体装置10は、

InGaAsコレクタ層103が第1半導体層、
 p^+ -InGaAsベース層106が第2半導体層、
 n -InPサブコレクタ層102が第3半導体層、
 InGaAsP中間層105が第4半導体層、
 n -InPエミッタ層107が第6半導体層である。

【0032】

ここで、InGaAsコレクタ層103とInGaAsP中間層105の低濃度とは、
 「空乏化したときに当該層内で大きな電界変化を引き起こすような電荷が殆んど生じない
 程度にドナー又はアクセプタの濃度が低い状態」を意味する。すなわち、InGaAsコ
 レクタ層103とInGaAsP中間層105は、他のいずれのドーピング層と比較して
 もドナー又はアクセプタの濃度が低く、当該層をノンドープとしても半導体装置10は本
 発明の効果を得ることができる。また、 p^+ -InGaAsベース層106の高濃度とは
 、「ベース電極109とオーミックコンタクトが可能な程度にアクセプタ濃度が高い」を
 意味する。例えば、 p^+ -InGaAsベース層106は不純物濃度を $10^{19}/\text{cm}^3$
 以上とすることが好ましい。

10

【0033】

まず、半導体装置10の製造方法について説明する。半導体装置10を製作するには、
 まず、半絶縁性のInP基板101上に、102~107の各半導体層をMO-VEP法
 によりエピタキシャル成長する。デバイスの製作は、まず、 n -InPエミッタ層107
 のメサ、 p^+ -InGaAsベース層106のメサ、低濃度のInGaAsP中間層10
 5、 n -InGaAsP電界制御層104、InGaAsコレクタ層103を含むコレク
 タメサ、 n -InPサブコレクタ層102メサを、順次、4段のメサとして化学エッチン
 グ法により形成する。ここで、 p^+ -InGaAsベース層106の加工の際に、その下
 層の低濃度のInGaAsP中間層105との界面でエッチングを停止しやすくするため
 、すなわち、低濃度のInGaAsP中間層105のエッチング速度を p^+ -InGaA
 sベース層106よりも相対的に小さくしておく。具体的には、低濃度のInGaAsP
 中間層105のバンドギャップエネルギーを1eV程度以上にする。

20

30

【0034】

最後に、エミッタ電極108、ベース電極109、コレクタ電極110を形成する。こ
 れらの引き出し電極、層間の絶縁層、パッドなどは図示していないが、必要に応じてこれ
 らも形成する。

【0035】

図1(B)は上面図である。InP基板101側から n -InPサブコレクタ層102
 を含むサブコレクタメサ、InGaAsコレクタ層103からInGaAsP中間層10
 5を含むコレクタメサ、 p^+ -InGaAsベース層106を含むベースメサ、 n -In
 Pエミッタ層107を含むエミッタメサが形成されている。そして、上方にあるメサほど
 小さくなっており、コレクタメサの外周はサブコレクタメサの外周の内側にあり、ベース
 メサの外周はコレクタメサの外周の内側にあり、エミッタメサの外周はベースメサの内側
 にある。なお、各メサを矩形にしているが、その形状は矩形に限るものではない。

40

【0036】

半導体装置10のエミッタ電極108、ベース電極109、コレクタ電極110に適正
 なバイアス電圧(典型的にはエミッタに対して、ベースを+0.6~0.8V程度、コレ
 クタを+0.3~3V程度)を印加して動作状態とした際の、ベース・コレクタ接合の活
 性部分(A-A'断面)及び周辺部分(B-B'断面)のバンドダイアグラムをそれぞれ
 図2(A)と図2(B)に示す。

【0037】

製造時に、図2(A)のように p^+ -InGaAsベース層106の一部から、 n -I

50

n P サブコレクタ層 102 の一部にわたり空乏化するように n - InGaAsP 電界制御層 104 のドーピング濃度を調整しておく。後述のように n_2 - i - p 部分の電位段差が適切な範囲 (0.2 V ~ 1.0 V) となるように、例えば、n - InGaAsP 電界制御層 104 の厚さは 20 ~ 40 nm であり、そのドーピング濃度は $2 \sim 5 \times 10^{17} / \text{cm}^3$ に調整される。

【0038】

半導体装置 10 の場合、導電形の配置は、基板側から、 n_1 (n 形) - i (真性) - n_2 (n 形) - i (真性) - p (p 形) の順となる。ここで、 n_2 - i - p 部分の電位段差が適切な範囲 (0.2 V ~ 1.0 V) となることが重要であり、通常はおおむね 0.5 V ~ 0.8 V とすることが好ましい。この電位段差が大きすぎると、デバイス動作を維持できる最小のバイアス電圧 (HBT の場合はベース・コレクタ電圧) が上昇してしまう。この段差は、HBT の動作にとって必要なものではないが、この電圧段差が応答特性を大きく変えるものではない。

10

【0039】

一方、周辺部の B - B' 断面においては、n - InP サブコレクタ層 102 から低濃度の InGaAsP 中間層 105 まで、 n_1 - i - n_2 - i の接続であり、p 形の層は存在しない (図 2 (B))。ベース・コレクタ接合に逆バイアス電圧が印加された状態において、たとえ n - InGaAsP 電界制御層 104 の表面側の空乏化が多少生じてても、その下部に電子が残留して中性層が残り、その下部への電界の進入をスクリーニングするため、低濃度の InGaAsP コレクタ層 103 の電位降下は生じない。すなわち、コレクタメ

20

【0040】

実施形態 1 では npn トランジスタ構造を説明したが、導電型を反転させることで pnp トランジスタ構造とすることもできる。

【0041】

(実施形態 2)

図 3 (A) ~ 図 4 (B) は、実施形態 2 の半導体装置 20 を説明する図である。半導体装置 20 はフォトダイオードである。図 3 (A) と図 3 (B) は、それぞれ半導体装置 20 の断面と上面を模式的に示した図である。

30

201 は半絶縁性の InP 基板、

202 は高濃度の p 形 InGaAsP 電極層 (p^+ - InGaAsP 電極層と記載する。)、

203 は p 形の InGaAs 光吸収層 (p - InGaAs 光吸収層と記載する。)、

204 は低濃度の InGaAs 光吸収層 (ud. - InGaAs 光吸収層と記載する。)

、

205 は p 形 InGaAsP 電界制御層 (p - InGaAsP 電界制御層と記載する。)

、

206 はノンドープ InGaAsP 中間層 (ud. - InGaAsP 中間層と記載する。)

、

207 は n 形 InGaAsP 電界制御層 (n - InGaAsP 電界制御層と記載する。)

、

208 は低濃度の InGaAsP 電子走行層 (n - InGaAsP 電子走行層と記載する。)

、

209 は高濃度の n 形 InGaAsP 電極層 (n^+ - InGaAsP 電極層と記載する。)

、

210 は誘電体反射防止膜、

211 は n 電極、

212 は p 電極

である。

40

50

【0042】

半導体装置20は、

ud - InGaAs光吸収層204が第1半導体層、
p - InGaAs光吸収層203が第2半導体層、
n - InGaAsP電子走行層207が第3半導体層、
ud - InGaAsP中間層206が第5半導体層である。

【0043】

ここで、「低濃度」及び「高濃度」とは、実施形態1での説明と同様の意味である。

【0044】

まず、半導体装置20の製造方法について説明する。半導体装置20を製作するには、
まず、半絶縁性のInP基板201上に、202～209までの各半導体層をMO-VE法によりエピタキシャル成長する。その後、n⁺-InGaAsP電極層209、n-InGaAsP電子走行層208、n-InGaAsP電界制御層207からなる上部メサを化学エッチング法により形成する。ここでn-InGaAsP電界制御層207と、
ud - InGaAsP中間層206との組成を変えて、上層のエッチング速度を相対的に大きくして、エッチングが両層の界面付近で停止しやすくすることが好ましい。その後、
ud - InGaAsP中間層206からp-InGaAs光吸収層203までの中間部メサを形成、同様にしてp⁺-InGaAsP電極層202の下部メサを形成し、電気分離する。上部メサとその下部の中間部メサ内部がデバイスの活性部分(主領域)となる。
その後、n電極211、p電極212を形成する。これらの引き出し電極、層間の絶縁層、パッドなどは図示していないが、必要に応じてこれらも形成する。最後に、誘電体反射防止膜210を形成する。

10

20

【0045】

図3(B)は上面図である。InP基板201側からp⁺-InGaAsP電極層202を含む下部メサ、p-InGaAs光吸収層203からud - InGaAsP中間層206を含む中間部メサ、n-InGaAsP電界制御層207からn⁺-InGaAsP電極層209を含む上部メサが形成されている。そして、上方にあるメサほど小さくなっており、中間部メサの外周は下部メサの外周の内側にあり、上部メサの外周は中間部メサの外周にある。なお、各メサを円形にしているが、その形状は円形に限るものではない。

30

【0046】

半導体装置20の動作条件は、おおむね通常のpin形フォトダイオードと変わらない。
n電極211とp電極212にバイアス電圧を印加したときの活性部分(A-A'断面)及び周辺部分(B-B'断面)のバンドダイアグラムをそれぞれ図4(A)と図4(B)に示す。図4(A)の活性部分は空乏化している。例えば、バイアス電圧は、1.5～4Vの範囲である。

【0047】

製造時に、図4(A)のようにud - InGaAs光吸収層204からn-InGaAsP電子走行層208に到る各層が空乏化するようにp-InGaAsP電界制御層205のドーピング濃度を調整しておく。後述のようにp-i-n部分の電位段差が適切な範囲(0.2V～1.0V)となるように、p-InGaAsP電界制御層205の厚さは20～40nmであり、そのドーピング濃度は $2 \sim 5 \times 10^{17} / \text{cm}^3$ に調整される。

40

【0048】

半導体装置20の場合、導電形の配置は、p-InGaAsP電界制御層205、ud - InGaAsP中間層206、n-InGaAsP電界制御層207部分のp(p形)-i(真性)-n(n形)となる。このp-i-n部分の電位段差が適切な範囲(0.2V～1.0V)となることが重要であり、通常はおおむね0.5V～0.8Vとすることが好ましい。この電位段差が大きすぎると、デバイス動作を維持できる最小のバイアス電圧が上昇してしまう。この電位段差は、フォトダイオードの動作にとって必要なもので

50

はなく、従来のフォトダイオードには存在していなかった。半導体装置20は下記効果を得るためにこの電圧段差を設けるが、この電位段差はフォトダイオードの応答特性を大きく変えるものではない。

【0049】

一方、中間部メサの周辺部(図3(A)のB-B'断面)は、p-InGaAs光吸収層203の側から、 p_1-i-p_2-i の構造となっており、n形層は存在しない(図4(B))。接合に逆バイアス電圧が印加された状態において、たとえp-InGaAsP電界制御層205の表面側の空乏化が多少生じて、その下部にホールが残留して中性層が残るかぎり、その下部への電界の進入をスクリーニングするため、 $ud-InGaAs$ 光吸収層204の電位降下は生じない。すなわち、中間部メサのメサ側面($ud-InGaAs$ 光吸収層204の側面)には電圧がかからないので、メサ側面が原因となる逆方向のリーク電流の発生を低減させることができる。

10

【0050】

半導体装置20のフォトダイオードは、 $p^+-InGaAsP$ 電極層202を下部メサに配置した反転形フォトダイオードである。従来、この種のフォトダイオード構造では、 $p^+-InGaAsP$ 電極層202に横方向の抵抗に起因するシリーズ抵抗が比較的高く、高速動作に影響を及ぼす傾向があった。しかし、半導体装置20は、中間部メサ側面の $ud-InGaAs$ 光吸収層204には電圧がかからないので、逆方向のリーク電流の増大を引き起こすことなく中間部メサの横方向サイズを縮小することが可能となり、その分シリーズ抵抗を低減することができる。また、中間部メサの縮小は、デバイス全体のサイズの縮小にも貢献し、2個以上のフォトダイオードの距離を近接させることが可能となり、半導体装置20は、アレイ状に高密度に配置可能である。

20

【0051】

(実施形態3)

図5は、実施形態3の半導体装置30を説明する図である。半導体装置30は、電界吸収効果を使ったリッジ光導波路形の光変調器である。図5は半導体装置30の断面を模式的に示した図である。

301は半絶縁性基板のInP基板、

302はn電極層を兼ねた光クラッド(n-InP光クラッドと記載する。)、

303は光閉じ込め層($ud-InGaAsP$ 光閉じ込め層と記載する。)、

30

304は電界吸収効果を持つコア層(InGaAs/InGaAlAs多重量子井戸で構成されている。)、

305は光閉じ込め層($ud-InGaAsP$ 光閉じ込め層と記載する。)、

306はn形InGaAsP電界制御層(n-InGaAsP電界制御層と記載する。)

、
307は接続層($ud-InGaAsP$ 接続層と記載する。)

308は光クラッド(p-InP光クラッドと記載する。)

309はp形InGaAsP電極層($p^+-InGaAsP$ 電極層と記載する。)

310はp電極

311はn電極

40

である。

【0052】

半導体装置30は、

コア層304及び $ud-InGaAsP$ 光閉じ込め層305が第1半導体層、

p-InP光クラッド308が第2半導体層、

$ud-InGaAsP$ 光閉じ込め層303が第3半導体層、

$ud-InGaAsP$ 接続層307が第4半導体層である。

【0053】

半導体装置30は、pnの極性は異なるものの、各層の積層配置は実施形態2の半導体装置20に類似している。導波路形の光変調器として機能すべく、半導体装置20の ud

50

. - InGaAs 光吸収層 204、p - InGaAsP 電界制御層 207 が、半導体装置 30 では、それぞれ、コア層 304、p - InP 光クラッド 308 に置き換えられている。

【0054】

基板側の n - InP 光クラッド 302 から p - InP 光クラッド 308 まで到る導電形は、実施形態 1 の半導体装置 10 と同じく、 $n_1 - i - n_2 - i - p$ である。すなわち、半導体装置 10 と同様の構造がリッジ光導波路形の光変調器のコア層と光閉じ込め層として組み込まれている。

【0055】

ud . - InGaAsP 接続層 307 の上面は、p - InP 光クラッド 308 が配置される部分と p - InP 光クラッド 308 が無い露出部分がある。露出部分の ud . - InGaAsP 接続層 307 から下部のメサは、 $n_1 - i - n_2 - i$ の積層構造となる。したがって、デバイスに逆バイアスを印加した動作状態においても、n - InGaAsP 電界制御層 306 に電子が残留する中性領域が形成され、メサ側面に露出するコア層 304 の側面は電圧降下が生じない、もしくは、低減される。その結果、メサ側面に起因するリーク電流の発生を抑制することができる。

【0056】

(本発明の効果)

バンドギャップの小さな InGaAs などとその内部に含む pn 接合は、様々な電子デバイスや光デバイスに採用されている。しかし、高速動作を目的としてメサ形のデバイスとした場合、リーク電流が発生しやすいという課題解決のためデバイスのサイズを大きくせざるを得ないという制約があった。

【0057】

本発明は、デバイス動作にとって、本来は不要な電位段差（第 4 半導体層又は第 5 半導体層）をデバイスの構造内にあえて挿入したものである。この電位段差は、バンドギャップの小さな半導体がメサ側面に露出しても、その部分の電位降下量を抑制し、デバイス動作に不都合なリーク電流を低減できる、という機能をもたらす。この効果は、ヘテロ構造バイポーラトランジスタ、フォトダイオード、及び電界吸収形光変調器などに共通して得られる。また、フォトダイオードにおいては、リーク電流が緩和されるのでデバイスのサイズを縮小することが可能となり、シリーズ抵抗の低減による動作速度の改善のみならず、デバイスを高密度にアレイ状に配置できるという利点も生まれる。

【0058】

(他の実施形態)

実施形態 1 ~ 3 においては、各層の半導体材料として InP、InGaAs、InGaAsP を用いた半導体デバイス構造について説明したが、各層の半導体材料は上記に限らず、他の半導体材料を用いたデバイスにも同様に応用できる。

【符号の説明】

【0059】

10、20、30：半導体装置

50：HBT

60：フォトダイオード

101：InP 基板、

102：n - InP サブコレクタ層

103：InGaAs コレクタ層

104：n - InGaAsP 電界制御層

105：InGaAsP 中間層

106：p⁺ - InGaAs ベース層

107：n - InP エミッタ層

108：エミッタ電極

109：ベース電極

10

20

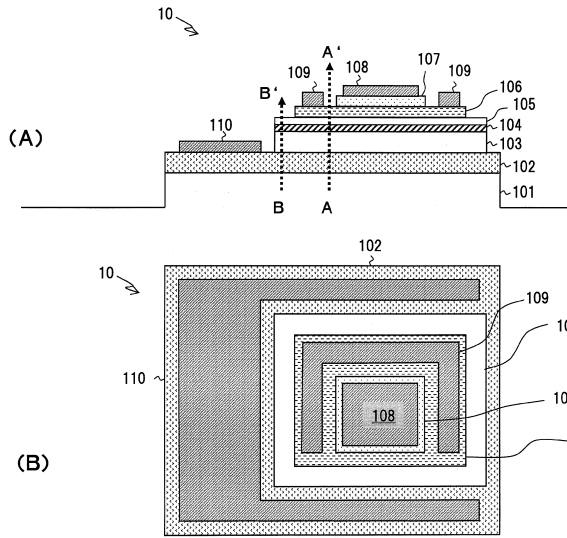
30

40

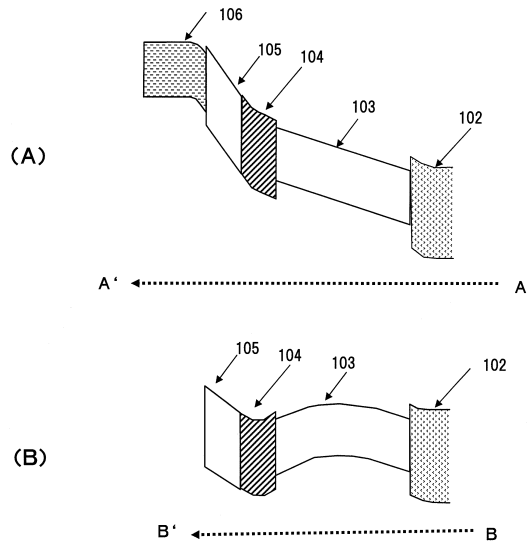
50

1 1 0	: コレクタ電極	
2 0 1	: I n P基板	
2 0 2	: p ⁺ - I n G a A s P電極層	
2 0 3	: p - I n G a A s光吸収層	
2 0 4	: u d . - I n G a A s光吸収層	
2 0 5	: p - I n G a A s P電界制御層	
2 0 6	: u d . - I n G a A s P中間層	
2 0 7	: n - I n G a A s P電界制御層	
2 0 8	: n - I n G a A s P電子走行層	
2 0 9	: n ⁺ - I n G a A s P電極層	10
2 1 0	: 誘電体反射防止膜	
2 1 1	: n電極、	
2 1 2	: p電極	
3 0 1	: I n P基板、	
3 0 2	: n - I n P光クラッド	
3 0 3	: u d . - I n G a A s P光閉じ込め層	
3 0 4	: コア層	
3 0 5	: u d . - I n G a A s P光閉じ込め層	
3 0 6	: n - I n G a A s P電界制御層	
3 0 7	: u d . - I n G a A s P接続層	20
3 0 8	: p - I n P光クラッド	
3 0 9	: p ⁺ - I n G a A s P電極層	
3 1 0	: p電極	
3 1 1	: n電極	
5 0 1	: 半絶縁性 I n P基板	
5 0 2	: I n Pサブコレクタ層	
5 0 3	: n形 I n G a A sコレクタ層	
5 0 6	: p形 I n G a A sベース層	
5 0 7	: n形 I n Pエミッタ層	
5 0 8	: エミッタ電極	30
5 0 9	: ベース電極	
5 1 0	: コレクタ電極	
6 0 1	: 半絶縁性 I n P	
6 0 2	: n形 I n Pコンタクト層	
6 0 3	: I n G a A s光吸収層	
6 0 4	: I n G a A s P表面カバー層	
6 0 5	: p形 I n Pコンタクト層	
6 0 6	: p電極	
6 0 7	: n電極	

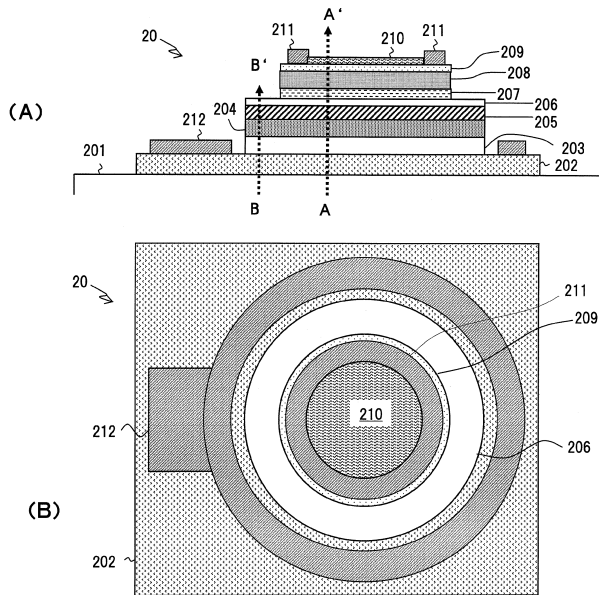
【図1】



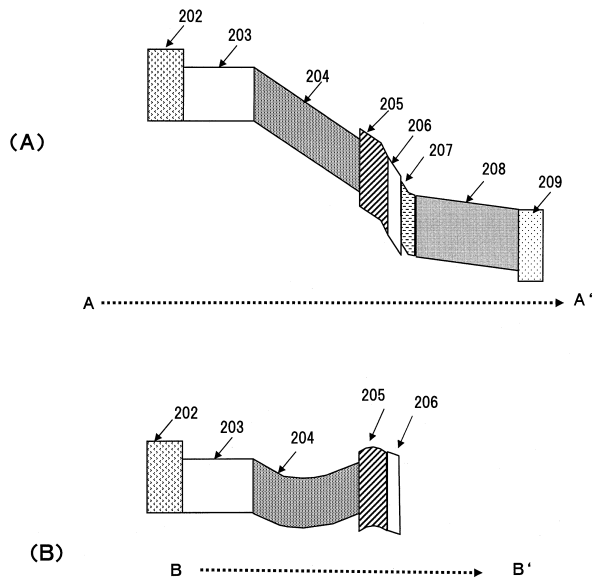
【図2】



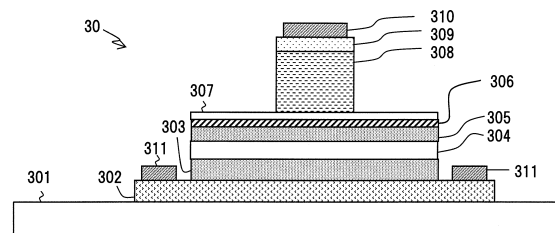
【図3】



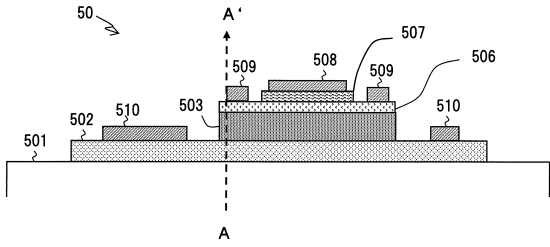
【図4】



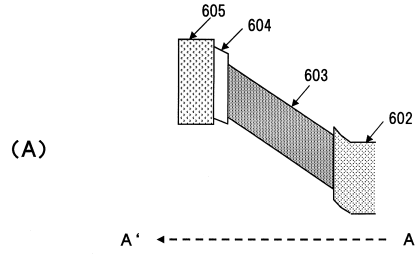
【図5】



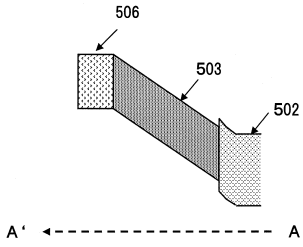
【図 6】



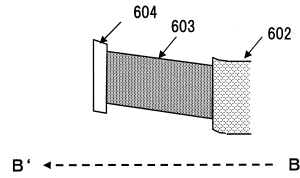
【図 9】



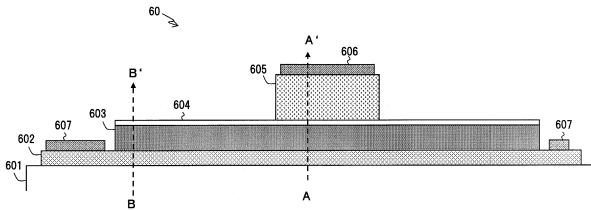
【図 7】



(B)



【図 8】



フロントページの続き

- (72)発明者 安藤 精後
神奈川県横浜市神奈川区新浦島町一丁目1番地32 NTTエレクトロニクス株式会社内
- (72)発明者 村本 好史
東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
- (72)発明者 吉松 俊英
東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
- (72)発明者 横山 春喜
東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

審査官 安田 雅彦

- (56)参考文献 特開昭60-242671(JP,A)
特開平05-243252(JP,A)
特開平07-254612(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/737
H01L 21/331
H01L 31/10
G02F 1/017