

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 25 日(25.09.2014)

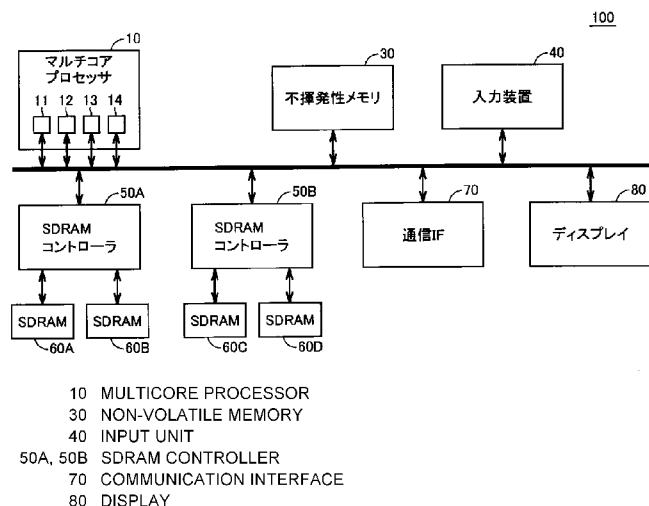


(10) 国際公開番号
WO 2014/148174 A1

- (51) 国際特許分類:
G06F 12/00 (2006.01) *G06F 12/06* (2006.01)
G06F 9/50 (2006.01) *G06F 15/177* (2006.01)
- (21) 国際出願番号: PCT/JP2014/053729
- (22) 国際出願日: 2014 年 2 月 18 日(18.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-060192 2013 年 3 月 22 日(22.03.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 黒田 尚志(KURODA, Hisashi). 田邊 弘樹(TANABE, Hiroki). 佐々木 純一(SASAKI, Junichi).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子機器



(57) Abstract: An electronic device capable of appropriately reducing power consumption in accordance with the usage thereof by a user is provided. An electronic device having a power-saving mode in accordance with an embodiment includes: a processor for controlling operations of the electronic device; and multiple memories that are configured to be able to be individually stopped and can be utilized by the processor. The processor causes the electronic device to transit the power-saving mode by bringing a predetermined number of memories among the multiple memories in to a stopped state on the basis of a processing load of the processor. When in the power-saving mode, the processor has a standby state, wherein some operations of the electronic device are limited, and an active state, wherein operations of the electronic device are normally controlled, and maintains the stopped state of the predetermined number of memories irrespective of the standby state or the active state.

(57) 要約:

[続葉有]

WO 2014/148174 A1

ユーザの使用状況に応じて適切に消費電力を低減することが可能な電子機器を提供する。ある実施の形態に従う省電力モードを有する電子機器は、電子機器の動作を制御するプロセッサと、個別に停止状態にすることが可能に構成され、プロセッサが利用可能な複数のメモリとを含む。プロセッサは、プロセッサの処理負荷に基づいて、複数のメモリのうち所定の数のメモリを停止状態にすることで省電力モードに移行させる。プロセッサは、省電力モードにおいて、電子機器の一部の動作を制限するスタンバイ状態と電子機器の動作を通常制御するアクティブ状態とを有し、スタンバイ状態またはアクティブ状態に関わらず、所定の数のメモリの停止状態を維持する。

明 細 書

発明の名称：電子機器

技術分野

[0001] 本発明は、省電力モードを有する電子機器に関する。

背景技術

[0002] 従来、携帯電話、携帯ゲーム機、携帯音楽再生機などの持ち運び可能な携帯端末装置が普及している。これらの携帯端末装置は、高性能化が進んでおり、複数のアプリケーションを高速で実行するために大容量のSDRAM (Synchronous Dynamic Random Access Memory) が搭載されている。SDRAMは、携帯端末装置に含まれる他のデバイスと比較して、消費電力が大きい。そのため、SDRAMの省電力化（携帯端末装置の省電力化）を図るための技術として、SDRAMのディープパワーダウン（DPD）モードを利用する技術が知られている。

[0003] 例えば、特開2012-88906号公報（特許文献1）には、メモリを停止した省電力モードを有する電子機器が開示されている。電子機器は、個別に停止状態にすることが可能な第1および第2のメモリと、第1のメモリへの制御信号と第2のメモリへの制御信号を入れ替えるメモリ制御部と、省電力モードへ移行するとき、第2のメモリを停止状態へ移行させ、該第2のメモリが通常状態に復帰することが可能な停止状態となった後、第1のメモリを停止状態へ移行させ、それと共に、メモリ制御部に、第1のメモリへの制御信号と第2のメモリへの制御信号を入れ替えさせる中央制御部とを有する。

先行技術文献

特許文献

[0004] 特許文献1：特開2012-88906号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、ユーザが携帯端末装置に含まれるアプリケーションを使用する場合、ゲームなどのように携帯端末装置のプロセッサの処理負荷が大きいアプリケーションを利用する状況もあれば、そうでない状況もある。プロセッサの処理負荷が小さいアプリケーションを利用する状況では、プロセッサの処理能力およびメモリ容量が比較的小さくてもユーザが体感するパフォーマンス低下が小さい。そのため、当該状況においては、プロセッサおよびメモリで消費される電力をできるだけ低減させることが望ましい。

[0006] 本発明は、上記のような問題点を解決するためになされたものであって、ユーザの使用状況に応じて適切に消費電力を低減することが可能な電子機器を提供することを目的とする。

課題を解決するための手段

[0007] ある実施の形態に従うと、省電力モードを有する電子機器が提供される。電子機器は、電子機器の動作を制御するプロセッサと、個別に停止状態にすることが可能に構成され、プロセッサが利用可能な複数のメモリとを含む。プロセッサは、プロセッサの処理負荷に基づいて、複数のメモリのうち所定の数のメモリを停止状態にすることで省電力モードに移行させる。プロセッサは、省電力モードにおいて、電子機器の一部の動作を制限するスタンバイ状態と電子機器の動作を通常制御するアクティブ状態とを有し、スタンバイ状態またはアクティブ状態に関わらず、所定の数のメモリの停止状態を維持する。

発明の効果

[0008] ユーザの使用状況に応じて適切に消費電力を低減することが可能となる。

図面の簡単な説明

[0009] [図1]実施の形態1に従う電子機器のハードウェア構成を示す模式図である。

[図2]実施の形態1に従う電子機器が有する複数の動作状態を説明するための概念図である。

[図3]実施の形態1に従う電子機器が有する動作状態Aの他の例を説明するための概念図である。

[図4]実施の形態１に従う電子機器の動作状態Ａ（省電力モード）での消費電力の低減効果について説明するためのタイミング図である。

[図5]実施の形態１に従う電子機器の動作状態の遷移を説明するためのタイミング図である。

[図6]実施の形態１に従う電子機器の動作状態の遷移を説明するための別のタイミング図である。

[図7]実施の形態１に従う電子機器のＳＤＲＡＭ容量の制御処理を示すフローチャートである。

[図8]実施の形態２に従う電子機器のハードウェア構成を示す模式図である。

[図9]実施の形態２に従う電子機器が有する複数の動作状態を説明するための概念図である。

[図10]実施の形態２に従う電子機器の動作状態Ａ１（省電力モード）での消費電力の低減効果について説明するためのタイミング図である。

[図11]実施の形態２に従う電子機器の動作状態の遷移を説明するためのタイミング図である。

[図12]実施の形態２に従う電子機器の動作状態の遷移を説明するための別のタイミング図である。

[図13]実施の形態２に従う電子機器のＳＤＲＡＭ容量の制御処理を示すフローチャートである。

発明を実施するための形態

[0010] 以下、図面を参照しつつ、本発明の実施の形態について説明する。以下の説明では、同一の部品には同一の符号を付してある。それらの名称および機能も同じである。したがって、それらについての詳細な説明は繰り返さない。

[0011] [実施の形態１]

<ハードウェア構成>

図１は、実施の形態１に従う電子機器１００のハードウェア構成を示す模式図である。以下の説明では、電子機器１００がスマートフォンである場合

について説明する。ただし、電子機器１００は、種類を問わず任意の装置として実現できる。例えば、電子機器１００は、タブレット端末装置、ＰＤＡ（Personal Digital Assistance）、ノートＰＣ（Personal Computer）などとして実現することもできる。

[0012] 図１を参照して、電子機器１００は、主たる構成要素として、マルチコアプロセッサ（以下、単に「マルチコア」とも称する。）１０と、不揮発性メモリ３０と、入力装置４０と、コントローラ５０Ａ，５０Ｂ（以下、単に「コントローラ５０」とも総称する。）と、ＳＤＲＡＭ６０Ａ，６０Ｂ，６０Ｃ，６０Ｄ（以下「ＳＤＲＡＭ６０」とも総称する。）と、通信インターフェイス（Ｉ／Ｆ）７０と、ディスプレイ８０とを含む。

[0013] マルチコア１０は、複数のコア（ＣＰＵ（Central Processing Unit））１１～１４を有している。マルチコア１０は、コア１１～１４の少なくとも１つ以上のコアにより、電子機器１００の各部の動作を制御する。マルチコア１０は、高速な周波数で動作するが（情報処理能力が高い）、消費電力が大きいコアが４つ搭載されているマルチコアプロセッサである。以下では、説明の容易化のため、少なくともコア１１はアクティブコアであるものとする。なお、アクティブコアとは、少なくともある特定の時点に命令を実行している、あるいは実行するために利用可能なコアである。

[0014] マルチコア１０は、不揮発性メモリ３０に格納されたプログラムおよびＳＤＲＡＭ６０に格納されたデータを読み出して実行することで、電子機器１００の各部の動作を制御する。マルチコア１０は、当該プログラムを実行することによって、後述する電子機器１００の処理（ステップ）の各々を実現する。また、マルチコア１０は、ＣＰＵ動作周波数およびアクティブコア数を制御するために、一定の周期でコア１１，１２，１３，１４の動作周波数および使用率をモニタして、マルチコア１０全体の動作周波数およびアクティブコア数を管理している。

[0015] 不揮発性メモリ３０は、フラッシュメモリ、ハードディスクなどによって実現される。不揮発性メモリ３０は、マルチコア１０によって実行されるプ

ログラム、またはマルチコア10によって利用されるデータなどを記憶する。

[0016] 入力装置40は、電子機器100に対する操作入力を受け付ける。入力装置40は、例えば、キーボード、ボタン、マウスなどによって実現される。また、入力装置40は、タッチパネルとして実現されていてもよい。

[0017] コントローラ50は、各々のSDRAM60を制御する。典型的には、コントローラ50は、SDRAM60に格納されたデータの読み出し、データの書き込み、リフレッシュ動作などを制御する。

[0018] SDRAM60A~60Dは、マルチコア10がアプリケーションを実行するときに利用する揮発性メモリである。SDRAM60は、例えば、DDR (Double-Data-Rate) Mobile RAMである。SDRAM60は、マルチコア10の指示に基づいて、個別にDPD状態に移行可能に構成されている。SDRAM60は、DPDモードに移行すると、リフレッシュ動作を行わないため、格納されているデータを保持することができないが、消費電力を大幅に抑えることができる。

[0019] 通信インターフェイス(I/F)70は、電子機器100と外部装置との間で各種データをやり取りするための通信インターフェイスである。なお、通信方式としては、例えば、Bluetooth (登録商標)、無線LAN (Local Area Network) などによる無線通信であってもよいし、USB (Universal Serial Bus) などを利用した有線通信であってもよい。電子機器100は、通信インターフェイス70を介して移動体通信網に接続し無線通信のための信号の送受信を行なってもよい。これにより、電子機器100は、例えば、第3世代移動通信システム(3G)、LTE (Long Term Evolution) などの移動体通信網を介して通信装置との通信が可能となる。

[0020] ディスプレイ80は、マルチコア10からの信号に基づいて、表示画面に画像、テキスト、その他の情報を表示する。なお、電子機器100は、マイク、スピーカ、カメラ、メモリインターフェイスなどの周辺回路を有していてもよい。

[0021] <動作状態>

図2は、実施の形態1に従う電子機器100が有する複数の動作状態を説明するための概念図である。なお、図2では、説明の容易化のため、マルチコア10、コントローラ50、およびSDRAM60についてのみ図示している。また、各々のSDRAM60の容量は、1GBであるとする。

[0022] 図2(a)に示される電子機器100の動作状態は、コア11, 12をアクティブコアとするマルチコア10が、コントローラ50Aを介してSDRAM60Aを利用し、コントローラ50Bを介してSDRAM60Cを利用するとともに、電子機器100の動作を制御している状態である（以下「動作状態A」とも称する。）。動作状態Aでは、SDRAM60B, 60Dは、DPDモード状態（停止状態）に移行している。そのため、マルチコア10は、2GB分のメモリ容量を利用できる状態である。

[0023] 図2(b)に示される電子機器100の動作状態は、コア11～13をアクティブコアとするマルチコア10が、コントローラ50Aを介してSDRAM60A, 60Bを利用し、コントローラ50Bを介してSDRAM60C, 60Dを利用するとともに、電子機器100の動作を制御している状態である（以下「動作状態B」とも称する。）。動作状態Bでは、DPDモード状態（以下、「DPD状態」とも称する。）に移行しているSDRAM60は存在しない。そのため、マルチコア10は、SDRAM60全て（4GBのメモリ容量）を利用することができる。

[0024] 図2(c)に示される電子機器100の動作状態は、コア11, 12をアクティブコアとするマルチコア10が、コントローラ50Aを介してSDRAM60A, 60Bを利用し、コントローラ50Bを介してSDRAM60C, 60Dを利用するとともに、電子機器100の全体の動作を制御している状態である（以下「動作状態C」とも称する。）。動作状態Cでは、動作状態Bと同様にDPD状態に移行しているSDRAM60は存在しない。そのため、マルチコア10は、SDRAM60全て（4GBのメモリ容量）を利用することができる。

[0025] 以上から、動作状態A～Cのうち、電子機器100の消費電力が最も小さい動作状態は、最もアクティブコアが少なく、かつ2GB分のSDRAM60を利用可能（残りの2GBはDPD状態）な動作状態Aとなる。すなわち、動作状態Aは、電子機器100における省電力モード状態である。また、電子機器100の消費電力が最も大きい動作状態は、マルチコア10が4GB分のSDRAM60を利用可能（DPD状態のSDRAM60はなし）な動作状態Bである。なお、動作状態Cでの電子機器100の消費電力は、動作状態Bでの当該消費電力よりも小さく、動作状態Aでの当該消費電力よりも大きい。

[0026] 詳細は後述するが、電子機器100は、マルチコア10の処理負荷などに応じて上記の複数の動作状態を変更するように構成されている。例えば、プロセッサの処理負荷が大きいアプリケーションを利用する場合には、高い情報処理能力を必要とするため、コアの使用率および動作周波数が高く、利用可能なメモリ容量が大きい（4GB）動作状態Bとなる。また、プロセッサの処理負荷が小さいアプリケーションを利用する場合には、コアの使用率および動作周波数が低く、利用可能なメモリ容量が小さい（2GB）動作状態Aとなる。動作状態Cは、所定の条件に基づいて動作状態Bから動作状態Aに移行する際の仲介的な役割を果たす動作状態である。

[0027] なお、動作状態Aは、マルチコア10が2GB分のSDRAM60を利用可能な状態であればよく、図2（a）に示されるような例に限られない。例えば、動作状態Aは、以下の図3に示されるような形態であってもよい。

[0028] 図3は、実施の形態1に従う電子機器100が有する動作状態Aの他の例を説明するための概念図である。図3を参照して、動作状態Aは、マルチコア10がコントローラ50Aを介してSDRAM60A、60Bを利用し、電子機器100の全体の動作を制御する場合（図3（a））であってもよいし、マルチコア10がコントローラ50Bを介してSDRAM60C、60Dを利用し、電子機器100の全体の動作を制御する場合（図3（b））であってもよい。

[0029] <消費電力の低減効果>

図4は、実施の形態1に従う電子機器100の動作状態A（省電力モード）での消費電力の低減効果について説明するためのタイミング図である。具体的には、図4（a）は、比較例に従う電子機器のマルチコアの動作、メモリ容量、および消費電力の変化を時系列で示す図である。図4（b）は、実施の形態1に従う電子機器100のマルチコア10の動作、メモリ容量、および消費電力の変化を時系列で示す図である。なお、比較例に従うマルチコアの性能と、マルチコア10の性能とは同様であるとする。

[0030] ここで、比較例に従うマルチコア、およびマルチコア10は、電子機器の一部の動作を制限するスタンバイ状態と電子機器の動作を通常制御するアクティブ状態とを有する。スタンバイ状態では、これらのマルチコアは、電子機器を構成する全ての機能を制御する必要がない。例えば、スタンバイ状態では、電子機器100は、マルチコア10を含むSOC（System on Chip）内の不要なblockの電源をオフ、およびクロックゲート処理を行なう。そのため、スタンバイ状態における電子機器100の消費電流（数mA）は、アクティブ状態の当該消費電流（数100mA）と比較して大幅に低減される。

[0031] 図4（a）を参照すると、比較例に従うマルチコアは、スタンバイ状態とアクティブ状態とを切り替えるごとにメモリ容量を変化させていることがわかる。すなわち、比較例に従うマルチコアは、アクティブ状態のときには4GB分のメモリを利用し、スタンバイ状態のときには2GB分のメモリを利用するとともに、残りの2GB分のメモリをDPD状態に移行させている。

[0032] これに対して、図4（b）を参照すると、実施の形態1に従うマルチコア10は、省電力モード（動作状態A）においては、スタンバイ状態またはアクティブ状態に関わらず、2GB分のメモリを利用し、残りの2GB分のメモリのDPD状態を維持している。そのため、マルチコア10に対して、比較例に従うマルチコアは、スタンバイ状態からアクティブ状態になるときに、メモリ容量の切り替えに必要な時間T1だけ処理時間が長くなる。同様に

、マルチコア 10 に対して、比較例に従うマルチコアは、アクティブ状態からスタンバイ状態になるときに、メモリ容量の切り替えに必要な時間 T_2 だけ処理時間が長くなる。したがって、マルチコア 10 は、比較例に従うマルチコアよりも $T_1 + T_2$ の処理時間分の消費電流を低減することができる。

[0033] ここで、スマートフォンなどの電子機器においては、2～3秒ごとに基地局などと通信を行なっている。そのため、ユーザが一定時間、何も操作を行わずにマルチコアがスタンバイ状態になったとしても、基地局などとの通信によりすぐにアクティブ状態に復帰する。すなわち、マルチコアは、スタンバイ状態およびアクティブ状態を頻繁に繰り返すことになる。そのため、スタンバイ状態／アクティブ状態が切り替わるごとに、メモリ容量を切り替える比較例に従うマルチコアを搭載する電子機器に比べて、スタンバイ状態またはアクティブ状態に関わらずメモリ容量を切り替えないマルチコア 10 を搭載する電子機器 100 は、全体として消費電力を低減することができる。

[0034] なお、マルチコア 10 においても、動作状態 B と動作状態 A との間で遷移するときにメモリ容量を切り替えるものの、ユーザが意図的に行なわない限りスタンバイ状態から、いきなり高パフォーマンスの動作状態 B に遷移することはない。少なくとも基地局などとの通信によりスタンバイ状態から動作状態 B に遷移することはない。そのため、電子機器 100 は、比較例に従うマルチコアを搭載した電子機器と比較して、低消費電力化を実現することができる。

[0035] また、実施の形態 1 に従う電子機器 100 は、動作状態 A では、マルチコア 10 がアクティブ状態であっても、利用可能なメモリ容量は 2GB（残りの 2GB は DPD 状態）となる。しかし、動作状態 A は、そもそもプロセッサの処理能力が求められない状況での動作状態であるため、アクティブ状態またはスタンバイ状態に関わらずメモリ容量を 2GB に維持することによるデメリット（ユーザが体感するパフォーマンスの低下）は小さく、消費電力を低減できるメリットの方が大きい。

[0036] <動作状態の遷移>

図5は、実施の形態1に従う電子機器100の動作状態の遷移を説明するためのタイミング図である。図5を参照して、電子機器100が動作状態Aから動作状態Bに遷移する場面について説明する。動作状態Aにおいて、電子機器100は、マルチコア10の処理負荷が所定の閾値A以上（例えば、コア11の使用率が70%以上、かつ動作周波数が900MHz以上）になった場合には、高パフォーマンスの動作状態Bに遷移を開始する。具体的には、マルチコア10は、コア13をアクティブにしてアクティブコアの数を3つに増やして処理能力を増大させる（アクティブコアの数を4つにする場合であってもよい）。そして、マルチコア10は、DPD状態に移行している2GB分のSDRAM60を通常状態に復帰させる。電子機器100は、マルチコア10が4GB分のSDRAM60を利用する動作状態Bに遷移する。なお、動作状態Aから動作状態Bへの遷移過程において、マルチコア10が2GB分のSDRAM60を利用し、電子機器100の動作制御を行なう動作状態Dが一時的に生じる。

[0037] 次に、電子機器100が動作状態Bから動作状態Aに遷移する場面について説明する。動作状態Bにおいて、電子機器100は、マルチコア10の処理負荷が所定の閾値B未満（例えば、コア11の使用率が70%未満、動作周波数が900MHz未満）になった場合には、低パフォーマンスの動作状態Aに遷移を開始する。具体的には、マルチコア10は、コア13を非アクティブにしてアクティブコアの数を2つに減らす（アクティブコアの数を1つ（コア11のみ）にする場合であってもよい。）このとき、電子機器100は、動作状態Bから動作状態Cに遷移する。

[0038] そして、マルチコア10は、所定の条件を満たすと、利用可能な4GB分のSDRAM60のうち2GB分のSDRAM60をDPD状態に移行させる。具体的には、マルチコア10は、自身の処理負荷が所定の閾値C未満（例えば、アクティブなコア11, 12の使用率が70%未満、かつ動作周波数が900MHz未満）と判断した場合に、コントローラ50の状態に基づ

いて、2GB分のSDRAM60をDPD状態に移行させる。詳細には、マルチコア10は、自身の処理負荷が閾値C未満と判断した場合であって、かつ、コントローラ50のステータスレジスタに基づいてコントローラ50がSDRAM60にアクセスしていないアイドル状態であると判断した場合に、2GB分のSDRAM60をDPD状態に移行させる。このようにして、電子機器100は、動作状態Cから、マルチコア10が2GB分のSDRAM60を利用し電子機器100の動作制御を行なう動作状態Aに遷移する。

[0039] 次に、実施の形態1に従う電子機器100の動作状態の別の遷移例について説明する。

図6は、実施の形態1に従う電子機器100の動作状態の遷移を説明するための別のタイミング図である。図6を参照して、電子機器100が動作状態Aから動作状態Bに遷移する場面、動作状態Bから動作状態Cに遷移する場面については、図5の例と同様であるためその詳細な説明は繰り返さない。

[0040] 図6に示されるように、動作状態Cから動作状態Aに遷移する場面において、図5のタイミング図と比較して動作状態Cの期間が長いことがわかる。つまり、2GB分のSDRAM60をDPD状態に移行させる処理を開始してから、当該処理が完了するまでの時間が長い。これは、マルチコア10が、自身を含む全てのバスマスタの処理負荷を確認し、これらの処理負荷が所定の閾値未満であった場合に、2GB分のSDRAM60をDPD状態への移行させるためである。

[0041] 具体的には、マルチコア10は、自身を含む他の全てのバスマスタの処理負荷が、各々のバスマスタに対して最適化された所定の閾値未満であると判断した場合に、コントローラ50の状態に基づいて、2GB分のSDRAM60をDPD状態に移行させる。詳細には、マルチコア10は、(1)マルチコア10の処理負荷が閾値C未満であること、(2)他のバスマスタの各々の処理負荷が、各々のバスマスタに対して設定された閾値Cx未満であること、の(1)および(2)の条件を満たすか否かを判断する。そして、マ

マルチコア10は、(1)および(2)の条件を満たし、かつ、コントローラ50のステータスレジスタに基づいて、コントローラ50がアイドル状態であると判断した場合に、2GB分のSDRAM60をDPD状態に移行させる。このようにして、電子機器100は、動作状態Cから動作状態Aに遷移する。バスマスタは、例えば、電子機器100に搭載されたモデムなどの通信インターフェイス70である。なお、バスマスタは、GPU (Graphics Processing Unit) であってもよい。

[0042] <処理手順>

図7は、実施の形態1に従う電子機器100のSDRAM容量の制御処理を示すフローチャートである。以下の各ステップは、基本的に、マルチコア10が不揮発性メモリ30に格納されたプログラムを実行することによって実現される。

[0043] 図7を参照して、電子機器100は、動作状態Aを維持しているときに（ステップS102）、マルチコア10の処理負荷が所定の閾値A以上か否かを判断する（ステップS104）。具体的には、マルチコア10は、コアの使用率、コアの動作周波数、アクティブなコアの数の少なくともいずれかに基づいて当該判断を行なう。例えば、マルチコア10は、コア11の使用率が70%以上、かつコア11の動作周波数が900MHz、かつアクティブなコアの数が2つ以上（例えば、コア11、12がアクティブ）である場合に、当該処理負荷が閾値A以上であると判断する。

[0044] マルチコア10の処理負荷が閾値A以上でない場合には（ステップS104においてNO）、電子機器100は、ステップS102からの処理を繰り返す。すなわち、電子機器100は、動作状態Aを維持する。これに対して、当該処理負荷が閾値A以上である場合には（ステップS104においてYES）、電子機器100は、動作状態Aから動作状態Bに遷移する（ステップS106）。具体的には、マルチコア10は、アクティブコアの数を増やすとともに、DPD状態の2GB分のSDRAM60を通常状態に復帰させる。

[0045] 次に、電子機器 100 は、マルチコア 10 の処理負荷が所定の閾値 B 未満か否かを判断する（ステップ S 108）。具体的には、マルチコア 10 が、コアの使用率、コアの動作周波数、アクティブなコアの数の少なくともいずれかに基づいて当該判断を行なう。例えば、マルチコア 10 は、コア 11 の使用率が 70% 未満、かつコア 11 の動作周波数が 900 MHz、かつコア 11 以外のアクティブコアの数が 1 つ以下である場合に、処理負荷が閾値 B 未満であると判断する。

[0046] マルチコア 10 の処理負荷が閾値 B 未満ではない場合には（ステップ S 108 において NO）、電子機器 100 は、ステップ S 106 の処理を繰り返す。すなわち、電子機器 100 は、動作状態 B を維持する。これに対して、当該処理負荷が閾値 B 未満である場合には（ステップ S 108 において YES）、電子機器 100 は、動作状態 B から動作状態 C に遷移する（ステップ S 110）。具体的には、マルチコア 10 は、例えば、コア 13 を非アクティブにしてアクティブコアの数を 2 つに減らす。なお、マルチコア 10 は、アクティブコアの数が 1 つになるようにしてもよい。

[0047] 次に、電子機器 100 は、マルチコア 10 の処理負荷が所定の閾値 C 未満であるか否かを判断する（ステップ S 112）。具体的には、マルチコア 10 は、アクティブコアの使用率および／または動作周波数に基づいて、当該判断を行なう。例えば、マルチコア 10 は、アクティブコアの使用率が 70% 未満、かつアクティブコアの動作周波数が 900 MHz 未満である場合に処理負荷が閾値 C 未満であると判断する。

[0048] マルチコア 10 の処理負荷が閾値 C 未満ではない場合には（ステップ S 112 において NO）、電子機器 100 は、ステップ S 110 の処理を繰り返す。すなわち、電子機器 100 は、動作状態 C を維持する。これに対して、当該処理負荷が閾値 C 未満である場合には（ステップ S 112 において YES）、コントローラ 50 の Read/Write バッファの使用率が所定の閾値 D 未満か否かを判断する（ステップ S 114）。具体的には、マルチコア 10 は、コントローラ 50 を監視して、当該バッファの使用率が 25% 未

満である状態が一定時間以上続くか否かを判断する。

[0049] 当該バッファの使用率が閾値D未満ではない場合には（ステップS 1 1 4においてN O）、電子機器1 0 0は、ステップS 1 1 0の処理を繰り返す。すなわち、電子機器1 0 0は、動作状態Cを維持する。これに対して、当該バッファの使用率が閾値D未満である場合には（ステップS 1 1 4においてY E S）、電子機器1 0 0は、ステップS 1 1 6の処理に進む。上記のステップS 1 1 2, S 1 1 4の処理は、マルチコア1 0がS D R A M 6 0へのアクセス要求が頻繁に起こらないタイミングを探すための処理である。

[0050] 次に、電子機器1 0 0は、コントローラ5 0がアイドル状態か否かを判断する（ステップS 1 1 6）。具体的には、マルチコア1 0は、コントローラ5 0のステータスレジスタを確認して、コントローラ5 0がS D R A M 6 0へのR e a d / W r i t eアクセスがない状態であるか否かを判断する。ステップS 1 1 6の処理は、マルチコア1 0がS D R A M 6 0をD P D状態に移行させるためのコマンド（以下「D P Dコマンド」とも称する。）を当該S D R A M 6 0に発行するためのタイミングを探すための処理である。

[0051] コントローラ5 0がアイドル状態ではない場合には（ステップS 1 1 6においてN O）、電子機器1 0 0は、ステップS 1 1 6の処理を繰り返す。なお、上述したように、マルチコア1 0は、一定の周期でコア1 1, 1 2, 1 3, 1 4の動作周波数および使用率をモニタして、マルチコア1 0全体の動作周波数およびアクティブコア数を管理している。具体的には、マルチコア1 0は、ステップS 1 1 0からステップS 1 1 6の処理の間においても、常時コア1 1, 1 2, 1 3, 1 4の動作周波数および使用率をモニタし、コア1 1, 1 2, 1 3, 1 4の動作周波数およびアクティブコア数の制御を行なっている。そのため、たとえば、ステップS 1 1 0からステップS 1 1 6で” Y E S ” の処理を行なうまでの間に、マルチコア1 0の負荷が、閾値B以上になった場合には、電子機器1 0 0は、再び動作状態B（ステップS 1 0 6）に戻るものとする。

[0052] これに対して、コントローラ5 0がアイドル状態である場合には（ステッ

プS 1 1 6においてYES)、電子機器100は、動作状態Cから動作状態Aに遷移する(ステップS 1 1 8)。具体的には、マルチコア10は、コントローラ50がアイドル状態中に、2GB分のSDRAM60に対してDPDコマンドを発行し、当該SDRAM60をDPD状態に移行させる。

[0053] 次に、電子機器100は、スタンバイ状態に移行する条件が成立したか否かを判断する(ステップS 1 2 0)。具体的には、マルチコア10は、一定時間内に入力装置40を介してユーザからの指示を受け付けたか否かを判断する。マルチコア10は、当該指示を一定時間内に受け付けていない場合にはスタンバイ状態に移行し、当該指示を一定時間内に受け付けた場合にはスタンバイ状態に移行しない。

[0054] 当該条件が成立しない場合には(ステップS 1 2 0においてNO)、電子機器100は、ステップS 1 2 0の処理を繰り返す。これに対して、当該条件が成立した場合には(ステップS 1 2 0においてYES)、電子機器100(マルチコア10)は、スタンバイ状態に移行する(ステップS 1 2 2)。

[0055] 次に、電子機器100は、スタンバイ状態を解除するか否かを判断する(ステップS 1 2 4)。具体的には、マルチコア10は、スタンバイ状態を解除する割り込みを検出したか否かを判断する。マルチコア10は、当該割り込みを検出した場合にはスタンバイ状態を解除し、当該割り込みを検出していない場合にはスタンバイ状態を解除しない。割り込みの検出とは、例えば、通信回線網からの着信の検出やユーザによるキー操作を検出などである。

[0056] スタンバイ状態を解除しない場合には(ステップS 1 2 4においてNO)、電子機器100は、ステップS 1 2 4の処理を繰り返す。すなわち、電子機器100(マルチコア10)は、スタンバイ状態を維持する。これに対して、スタンバイ状態を解除する場合には(ステップS 1 2 4においてYES)、電子機器100は、ステップS 1 0 2からの処理を繰り返す。

[0057] 上記では、ステップS 1 1 2において、マルチコア10の処理負荷が所定の閾値C未満か否かについて判断する場合について説明した。しかしながら

、電子機器１００がマルチコア１０以外のバスマスタを含む構成である場合には、電子機器１００は、マルチコア１０を含む全てのバスマスタの処理負荷を考慮してもよい。具体的には、ステップＳ１１２に代えて、マルチコア１０は、（１）自身の処理負荷が閾値Ｃ未満であること、（２）他のバスマスタの各々の処理負荷が、各々のバスマスタに対して設定された閾値Ｃ×未満であること、の（１）および（２）の条件を満たすか否かを判断する場合であってもよい。（１）および（２）の条件を満たす場合には、電子機器１００は、ステップＳ１１４の処理に進む。また、（１）および（２）の条件を満たさない場合には、電子機器１００は、ステップＳ１１２の処理を繰り返す。

[0058] [実施の形態２]

＜ハードウェア構成＞

図８は、実施の形態２に従う電子機器２００のハードウェア構成を示す模式図である。電子機器２００のハードウェア構成は、実施の形態１に従う電子機器１００のハードウェア構成にマルチコア２０を追加したものである。したがって、電子機器１００のハードウェア構成と同様の部分についてはその詳細な説明は繰り返さない。

[0059] マルチコア２０は、複数のコア２１～２４を有している。具体的には、マルチコア２０は、マルチコア１０に搭載されているコア１１～１４よりも低速な周波数でしか動作できないが（情報処理能力が低い）、コア１１～１４よりも消費電力が小さいコアが４つ（コア２１～２４）搭載されているマルチコアプロセッサである。マルチコア１０およびマルチコア２０は、個別に情報処理可能に構成されており、少なくともいずれか一方で電子機器２００の各部の動作を制御する。すなわち、マルチコア２０は、マルチコア１０と同様に、不揮発性メモリ３０、入力装置４０、コントローラ５０、ＳＤＲＡＭ６０、通信インターフェイス７０、およびディスプレイ８０を制御することができる。以下では、説明の容易化のため、少なくともコア２１はアクティブコアであるものとする。また、マルチコア２０は、ＣＰＵ動作周波数お

よびアクティブコア数の制御をするために、一定の周期でコア 21、22、23、24の動作周波数および使用率をモニタして、マルチコア20全体の動作周波数およびアクティブコア数を管理している。

[0060] <動作状態>

図9は、実施の形態2に従う電子機器200が有する複数の動作状態を説明するための概念図である。なお、図9では、説明の容易化のため、マルチコア10、マルチコア20、コントローラ50、およびSDRAM60についてのみ図示している。また、各々のSDRAM60の容量は、1GBであるとする。

[0061] 図9(a)に示される電子機器200の動作状態は、マルチコア20が、コントローラ50Aを介してSDRAM60Aを利用し、コントローラ50Bを介してSDRAM60Cを利用するとともに、電子機器200の動作を制御している状態である（以下「動作状態A1」とも称する。）。動作状態A1では、SDRAM60B、60Dは、DPD状態に移行しているため、マルチコア20は、2GB分のメモリ容量を利用できる。

[0062] 図9(b)に示される電子機器200の動作状態は、マルチコア10が、コントローラ50Aを介してSDRAM60A、60Bを利用し、コントローラ50Bを介してSDRAM60C、60Dを利用するとともに、電子機器200の動作を制御している状態である（以下「動作状態B1」とも称する。）。動作状態B1では、DPDモード状態に移行しているSDRAM60は存在しない。そのため、マルチコア10は、SDRAM60全て（4GBのメモリ容量）を利用することができる。

[0063] 図9(c)に示される電子機器200の動作状態は、マルチコア20が、コントローラ50Aを介してSDRAM60A、60Bを利用し、コントローラ50Bを介してSDRAM60C、60Dを利用するとともに、電子機器200の全体の動作を制御している状態である（以下「動作状態C1」とも称する。）。動作状態C1では、動作状態B1と同様にDPD状態に移行しているSDRAM60は存在しない。そのため、マルチコア20は、SD

RAM 60 全て（4 GB のメモリ容量）を利用することができる。

[0064] 以上から、動作状態 A 1 ～ C 1 のうち、電子機器 200 の消費電力が最も小さい動作状態は、マルチコア 10 よりも消費電力の小さいマルチコア 20 が 2 GB 分の SDRAM 60 を利用可能（残りの 2 GB は DPD 状態）な動作状態 A 1 となる。すなわち、動作状態 A 1 は、電子機器 200 における省電力モード状態である。また、電子機器 200 の消費電力が最も大きい動作状態は、消費電力の大きいマルチコア 10 が 4 GB 分の SDRAM 60 を利用可能（DPD 状態の SDRAM 60 はなし）な動作状態 B 1 となる。なお、動作状態 C 1 での電子機器 200 の消費電力は、動作状態 B 1 での当該消費電力よりも小さく、動作状態 A 1 での当該消費電力よりも大きい。

[0065] 電子機器 200 は、マルチコア 10 およびマルチコア 20 の処理負荷などに応じて上記の複数の動作状態を変更するように構成されている。例えば、プロセッサの処理負荷が大きいアプリケーションを利用する場合には、消費電力は大きい情報処理能力は最も高い動作状態 B 1 となり、プロセッサの処理負荷が小さいアプリケーションを利用する場合には、消費電力が最も小さい動作状態 A 1 となる。動作状態 C 1 は、所定の条件に基づいて動作状態 B 1 から動作状態 A 1 に移行する際の仲介的な役割を果たす動作状態である。

[0066] なお、動作状態 A 1 は、マルチコア 20 が 2 GB 分の SDRAM 60 を利用可能な状態であればよく、図 9（a）に示されるような例に限られない。例えば、動作状態 A 1 は、マルチコア 20 がコントローラ 50 A を介して SDRAM 60 A，60 B を利用し、電子機器 200 の全体の動作を制御する場合であってもよいし、マルチコア 20 がコントローラ 50 B を介して SDRAM 60 C，60 D を利用し、電子機器 200 の全体の動作を制御する場合であってもよい。

[0067] <消費電力の低減効果>

図 10 は、実施の形態 2 に従う電子機器 200 の動作状態 A 1（省電力モード）での消費電力の低減効果について説明するためのタイミング図である

。具体的には、図10(a)は、比較例に従う電子機器のマルチコアの動作、メモリ容量の変化、および消費電力の変化を時系列で示す図である。図10(b)は、実施の形態2に従う電子機器200のマルチコア20の動作、メモリ容量の変化、および消費電力の変化を時系列で示す図である。なお、比較例に従うマルチコアの性能と、マルチコア20の性能とは同様であるとする。基本的には、動作状態A1での消費電力の低減効果は、実施の形態1において説明した動作状態Aでの消費電力の低減効果と同様に考えることができる。

[0068] 図10(a)を参照すると、比較例に従うマルチコアは、スタンバイ状態とアクティブ状態とを切り替えるごとにメモリ容量を変化させていることがわかる。すなわち、比較例に従うマルチコアは、アクティブ状態のときには4GB分のメモリを利用し、スタンバイ状態のときには2GB分のメモリを利用するとともに、残りの2GB分のメモリをDPD状態に移行させている。

[0069] これに対して、図10(b)を参照すると、実施の形態2に従うマルチコア20は、省電力モード（動作状態A1）において、スタンバイ状態またはアクティブ状態に関わらず、2GB分のメモリを利用し、残りの2GB分のメモリのDPD状態を維持している。そのため、実施の形態2に従うマルチコア20の方が、比較例に従うマルチコアよりも $T1 + T2$ の処理時間分の消費電流を低減することができる。

[0070] 上述したように、スマートフォンなどの電子機器においては、2～3秒ごとに基地局などと通信を行なっていることから、マルチコアがスタンバイ状態およびアクティブ状態を頻繁に繰り返すことになる。そのため、スタンバイ状態／アクティブ状態が切り替わるごとに、メモリ容量を切り替える比較例に従うマルチコアの電子機器に比べて、スタンバイ状態またはアクティブ状態に関わらずメモリ容量を切り替えないマルチコア20を搭載した電子機器200は、全体として消費電力を低減することができる。

[0071] なお、電子機器200においても、動作状態A1と動作状態B1との間で

遷移するとき、メモリ容量を切り替えるものの、ユーザが意図的に行なわない限りスタンバイ状態から動作状態B 1に遷移することはない。少なくとも基地局との通信によりスタンバイ状態から動作状態B 1に遷移することはない。そのため、電子機器200は、比較例に従うマルチコアを搭載した電子機器と比較して、低消費電力化を実現することが可能となる。

[0072] 上記のように、電子機器200は、動作状態A 1では、マルチコア20がアクティブ状態であっても、利用可能なメモリ容量は2GBとなる。動作状態A 1は、プロセッサの処理能力が求められない状況での動作状態であるため、アクティブ状態またはスタンバイ状態に関わらずメモリ容量を2GBに維持することによるデメリットは小さく、消費電力を低減できるメリットの方が大きい。

[0073] <動作状態の遷移>

図11は、実施の形態2に従う電子機器200の動作状態の遷移を説明するためのタイミング図である。図11を参照して、電子機器200が動作状態A 1から動作状態B 1に遷移する場面について説明する。動作状態A 1において、電子機器200は、マルチコア20の処理負荷が所定の閾値A 1以上（例えば、コア21～24が最大周波数で動作し、コア21の使用率が90%以上）になった場合には、高パフォーマンスの動作状態B 1に遷移を開始する。具体的には、マルチコア20は、電子機器200の動作制御をマルチコア10に切り替える。プロセッサの切り替え方法の一例としては、big.Littleシステムなどで種類の異なるプロセッサの切替に用いられるTask Migration機能などが挙げられる。詳細には、マルチコア20は、マルチコア20の代わりにマルチコア10に電子機器200の動作を制御させるための起動情報をマルチコア10に送信することでマルチコア10を起動する。当該起動情報を受信したマルチコア10が起動すると、マルチコア20はプロセッサ状態を2次キャッシュに完全に保存する。そして、マルチコア10が当該プロセッサ状態を読み込んで状態を復帰させ、マルチコア20が実行中であつた処理を継続する。このとき、マルチコア10および20の両方の2次キ

キャッシュは、同一性が保たれるようにコピーが行なわれ、同一性が保たれたのち、マルチコア20は、キャッシュをクリアして、自身の電源をOFFにする。

[0074] そして、マルチコア10は、電子機器200の動作制御を開始し、DPD状態に移行している2GB分のSDRAM60を通常状態に復帰させる。すなわち、電子機器200は、マルチコア10が4GB分のSDRAM60を利用し、電子機器200の動作を制御する動作状態B1に遷移する。なお、動作状態A1から動作状態B1への遷移過程において、マルチコア10が2GB分のSDRAM60を利用し、電子機器200の動作制御を行なう動作状態D1が一時的に生じる。

[0075] 次に、電子機器200が動作状態B1から動作状態A1に遷移する場面について説明する。動作状態B1において、電子機器200は、マルチコア10の処理負荷が所定の閾値B1未満（例えば、アクティブコアがコア11のみであり、コア11が最低周波数で動作し、コア11の使用率が20%未満）になった場合には、低パフォーマンスの動作状態A1に遷移を開始する。上述した切替方法によって、電子機器200の動作制御は、マルチコア10からマルチコア20に切り替わる。マルチコア20は、電子機器200の動作制御を開始し、動作状態B1から動作状態C1に遷移する。

[0076] そして、マルチコア20は、所定の条件を満たすと、利用可能な4GB分のSDRAM60のうち2GB分のSDRAM60をDPD状態に移行させる。例えば、マルチコア20は、自身の処理負荷が所定の閾値C1未満（例えば、コア21が低速周波数で動作し、コア21の使用率が90%未満、かつコア21以外のアクティブコアが1つ以下である）と判断した場合に、コントローラ50の状態に基づいて、2GB分のSDRAM60をDPD状態に移行させる。詳細には、マルチコア20は、自身の処理負荷が閾値C1未満と判断した場合であって、かつ、コントローラ50のステータスレジスタに基づいて、コントローラ50がアイドル状態であると判断した場合に、2GB分のSDRAM60をDPD状態に移行させる。このように、電子機器

200は、動作状態C1から、動作状態A1に遷移する。

[0077] 次に、実施の形態2に従う電子機器200の動作状態の別の遷移例について説明する。図12は、実施の形態2に従う電子機器200の動作状態の遷移を説明するための別のタイミング図である。図12を参照して、電子機器200が動作状態A1から動作状態B1に遷移する場面、動作状態B1から動作状態C1に遷移する場面については、図11の例と同様であるためその詳細な説明は繰り返さない。

[0078] 図12に示されるように、動作状態C1から動作状態A1に遷移する場面において、図11のタイミング図と比較して、2GB分のSDRAM60をDPD状態に移行させる処理を開始してから、当該処理が完了するまでの時間が長い。これは、マルチコア20が、自身を含む全てのバスマスタの処理負荷を確認するためである。

[0079] 具体的には、マルチコア20は、自身を含む他の全てのバスマスタの処理負荷が、各々のバスマスタに対して最適化された所定の閾値未満であると判断した場合に、コントローラ50の状態に基づいて、2GB分のSDRAM60をDPD状態に移行させる。詳細には、マルチコア20は、(1)マルチコア20の処理負荷が閾値C1未満であること、(2)他のバスマスタの各々の処理負荷が各々のバスマスタに用意された閾値C1×未満であること、の(1)および(2)の条件を満たすか否かを判断する。そして、マルチコア20は、(1)および(2)の条件を満たし、かつ、コントローラ50のステータスレジスタに基づいて、コントローラ50がアイドル状態であると判断した場合に、2GB分のSDRAM60をDPD状態に移行させる。このようにして、電子機器200は、動作状態C1から動作状態A1に遷移する。

[0080] <処理手順>

図13は、実施の形態2に従う電子機器200のSDRAM容量の制御処理を示すフローチャートである。以下の各ステップは、基本的に、マルチコア10およびマルチコア20が不揮発性メモリ30に格納されたプログラム

を実行することによって実現される。

[0081] 図13を参照して、電子機器200は、動作状態A1を維持しているときに（ステップS202）、マルチコア20の処理負荷が所定の閾値A1以上か否かを判断する（ステップS204）。具体的には、マルチコア20が、アクティブコアの数、コア21～24の使用率、および動作周波数の少なくともいずれかに基づいて、当該判断を行なう。例えば、マルチコア20は、コア21の使用率が90%以上、かつコア21～24が動作可能な最大の周波数で動作している場合に、処理負荷が閾値A1以上であると判断する。

[0082] マルチコア20の処理負荷が閾値A1以上ではない場合には（ステップS204においてNO）、電子機器200は、ステップS202からの処理を繰り返す。これに対して、当該処理負荷が閾値A1以上である場合には（ステップS204においてYES）、電子機器200は、動作状態A1から動作状態B1に遷移する（ステップS206）。具体的には、上述した切替方法によって、電子機器200の動作制御は、マルチコア20からマルチコア10に切り替わり、マルチコア10は、電子機器200の動作制御を開始し、DPD状態に移行している2GB分のSDRAM60を通常状態に復帰させる。

[0083] 次に、電子機器200は、マルチコア10の処理負荷が所定の閾値B1未満か否かを判断する（ステップS208）。具体的には、マルチコア10が、アクティブコアの数、コア11～14の使用率、および動作周波数の少なくともいずれかに基づいて、当該判断を行なう。例えば、マルチコア10は、コア11のみが動作し、コア11の使用率が20%未満、かつ、コア11の動作周波数が動作可能な最低の周波数で動作している場合に、処理負荷が閾値B1未満であると判断する。

[0084] マルチコア10の処理負荷が閾値B1未満ではない場合には（ステップS208においてNO）、電子機器200は、ステップS206からの処理を繰り返す。これに対して、当該処理負荷が閾値B1未満である場合には（ステップS208においてYES）、電子機器200は、動作状態B1から動

作状態C 1 に遷移する（ステップS 2 1 0）。具体的には、上述した切替方法によって、電子機器2 0 0の動作制御は、マルチコア1 0からマルチコア2 0に切り替わる。

[0085] 次に、電子機器2 0 0は、マルチコア2 0の処理負荷が所定の閾値C 1未満であるか否かを判断する（ステップS 2 1 2）。具体的には、マルチコア2 0は、アクティブコアの数、コア2 1～2 4の使用率、およびコア2 1～2 4の動作周波数の少なくともいずれかに基づいて、当該判断を行なう。例えば、マルチコア2 0は、コア2 1が最低周波数で動作し、コア2 1の使用率が9 0%未満で、コア2 1以外のアクティブコアが1つ以下であるか否かを判断する。

[0086] マルチコア2 0の処理負荷が閾値C 1未満ではない場合には（ステップS 2 1 2においてN O）、電子機器2 0 0は、ステップS 2 1 0からの処理を繰り返す。これに対して、当該処理負荷が閾値C 1未満である場合には（ステップS 2 1 2においてY E S）、コントローラ5 0のR e a d / W r i t eバッファの使用率が所定の閾値D 1未満か否かを判断する（ステップS 2 1 4）。具体的には、マルチコア2 0は、コントローラ5 0を監視して、当該バッファの使用率が2 5%未満である状態が一定時間以上続くか否かを判断する。

[0087] 当該バッファの使用率が閾値D 1未満ではない場合には（ステップS 2 1 4においてN O）、電子機器2 0 0は、ステップS 2 1 0からの処理を繰り返す。これに対して、当該バッファの使用率が閾値D 1未満である場合には（ステップS 2 1 4においてY E S）、電子機器2 0 0は、ステップS 2 1 6の処理に進む。上記のステップS 2 1 2およびステップS 2 1 4の処理は、マルチコア2 0がS D R A M 6 0へのアクセス要求が頻繁に起こらないタイミングを探すための処理である。

[0088] マルチコア2 0が実行するステップS 2 1 6～S 2 2 4の処理は、マルチコア1 0が実行するステップS 1 1 6～S 1 2 4の処理（図7）と主体が異なるだけで基本的には同様の処理である。そのため、以下簡単に説明する。

[0089] 電子機器200（マルチコア20）は、コントローラ50のステータスレジスタを確認して、コントローラ50がアイドル状態か否かを判断する（ステップS216）。コントローラ50がアイドル状態ではない場合には（ステップS216においてNO）、電子機器200は、ステップS216の処理を繰り返す。なお、上述したように、マルチコア20は、一定の周期でコア21, 22, 23, 24の動作周波数および使用率をモニタして、マルチコア20全体の動作周波数およびアクティブコア数を管理している。具体的には、マルチコア20は、ステップS210からステップS216の処理の間においても、常時コア21, 22, 23, 24の動作周波数および使用率をモニタし、コア21, 22, 23, 24の動作周波数およびアクティブコア数の制御を行なっている。そのため、たとえば、ステップS210からS216で”YES”の処理を行なうまでの間に、マルチコア20の負荷が、閾値A1以上になった場合は、電子機器200は、再び、マルチコア10において動作制御が行なわれる動作状態B1（ステップS206）へ戻るものとする。

[0090] これに対して、アイドル状態である場合には（ステップS216においてYES）、電子機器200は、動作状態C1から動作状態A1に遷移する（ステップS218）。続いて、電子機器200は、スタンバイ条件が成立したか否かを判断する（ステップS220）。スタンバイ条件が成立しない場合には（ステップS220においてNO）、電子機器200は、ステップS220からの処理を繰り返す。これに対して、スタンバイ状態が成立した場合には（ステップS220においてYES）、電子機器200は、スタンバイ状態に移行する（ステップS222）。続いて、電子機器200は、スタンバイ状態を解除するか否かを判断する（ステップS224）。スタンバイ状態を解除しない場合には（ステップS224においてNO）、電子機器200は、ステップS224からの処理を繰り返す。これに対して、スタンバイ状態を解除する場合には（ステップS224においてYES）、電子機器200は、ステップS202からの処理を繰り返す。

[0091] 上記において、実施の形態1と同様に、電子機器200は、マルチコア20を含む全てのバスマスタの処理負荷を考慮してもよい。この場合、ステップS212に代えて、マルチコア20は、(1)マルチコア20の処理負荷が閾値C1未満であること、(2)他のバスマスタの各々の処理負荷が各々のバスマスタに用意された閾値C1×未満であること、の(1)および(2)の条件を満たすか否かを判断してもよい。当該条件を満たす場合には、電子機器100は、ステップS214の処理に進む。また、当該条件を満たさない場合には、電子機器100は、ステップS212の処理を繰り返す。

[0092] [その他の実施の形態]

本実施形態では、複数のSDRAMの容量が全て1GBである場合について説明したが、これに限られない。例えば、各々のSDRAMの容量が互いに異なる場合であってもよいし、その個数も2つ以上であれば4つに限られない。

[0093] 本実施形態では、2つのSDRAMコントローラにそれぞれ2つのSDRAMが接続されている場合について説明したがこれに限られない。例えば、1つのSDRAMコントローラに全てのSDRAMが接続されている場合であってもよいし、1つのSDRAMコントローラに1つのSDRAMが接続されている場合であってもよい。

[0094] 本実施形態では、全体のメモリ容量のうち半分のメモリ容量をDPD状態に移行させる場合について説明したがこれに限られない。例えば、4GB分のメモリ容量のうち1GB分のメモリ容量、あるいは3GB分のメモリ容量をDPD状態に移行させてもよい。すなわち、複数のSDRAMのうち所定の数のSDRAMをDPD状態に移行させる場合であればよい。

[0095] 本実施形態では、電子機器がマルチコアプロセッサを搭載している場合について説明したが、シングルコアプロセッサであってもよい。この場合、上述した閾値の判断基準においてアクティブコア数は考慮されず、シングルコアの使用率および／または動作周波数が判断基準となる。なお、上述した閾値は、本例に限られずユーザあるいは開発者によって適切な範囲で任意に定

めることができる。

[0096] 本実施形態では、SDRAMの停止状態がDPD状態である場合について説明したが、当該停止状態は、パーシャルリフレッシュ状態であってもよい。

[0097] なお、コンピュータを機能させて、上述したフローチャートで説明したような制御を実行させるプログラムを提供することもできる。このようなプログラムは、コンピュータに付属するフレキシブルディスク、CD-ROM、ROM、RAMおよびメモリカードなどの一時的でないコンピュータ読取り可能な記録媒体にて記録させて、プログラム製品として提供することもできる。あるいは、コンピュータに内蔵するハードディスクなどの記録媒体にて記録させて、プログラムを提供することもできる。また、ネットワークを介したダウンロードによって、プログラムを提供することもできる。

[0098] プログラムは、コンピュータのオペレーティングシステム（OS）の一部として提供されるプログラムモジュールのうち、必要なモジュールを所定の配列で所定のタイミングで呼出して処理を実行させるものであってもよい。その場合、プログラム自体には上記モジュールが含まれずOSと協働して処理が実行される。このようなモジュールを含まないプログラムも、本実施の形態にかかるプログラムに含まれ得る。

[0099] また、本実施の形態に従うプログラムは他のプログラムの一部に組み込まれて提供されるものであってもよい。その場合にも、プログラム自体には上記他のプログラムに含まれるモジュールが含まれず、他のプログラムと協働して処理が実行される。このような他のプログラムに組み込まれたプログラムも、本実施の形態にかかるプログラムに含まれ得る。

[0100] <実施の形態の効果>

本実施の形態によると、プロセッサの処理負荷に応じて、利用するプロセッサあるいはメモリ容量が適宜変更される。すなわち、本実施の形態に従う電子機器は、プロセッサの処理負荷が小さく、プロセッサの処理能力およびメモリ容量が比較的小さくてもユーザが体感するパフォーマンス低下が小さ

い場合には、消費電力をできるだけ削減し、プロセッサの処理負荷が大きい場合には、プロセッサの処理能力およびメモリ容量を最大限に生かすように動作する。そのため、本実施の形態に従う電子機器は、ユーザの使用状況に応じて適切に消費電力を低減することが可能となる。

[0101] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0102] 10, 20 マルチコアプロセッサ、30 不揮発性メモリ、40 入力装置、50A, 50B SDRAMコントローラ、60A, 60B, 60C, 60D SDRAM、70 通信インターフェイス、80 ディスプレイ、100, 200 電子機器。

請求の範囲

- [請求項1] 省電力モードを有する電子機器であって、
前記電子機器の動作を制御するプロセッサと、
個別に停止状態にすることが可能に構成され、前記プロセッサが利用可能な複数のメモリとを備え、
前記プロセッサは、前記プロセッサの処理負荷に基づいて、前記複数のメモリのうち所定の数のメモリを停止状態にすることで前記省電力モードに移行させ、
前記プロセッサは、前記省電力モードにおいて、前記電子機器の一部の動作を制限するスタンバイ状態と前記電子機器の動作を通常制御するアクティブ状態とを有し、前記スタンバイ状態または前記アクティブ状態に関わらず、前記所定の数のメモリの前記停止状態を維持する、電子機器。
- [請求項2] 前記複数のメモリを制御するメモリコントローラをさらに備え、
前記プロセッサは、前記プロセッサの処理負荷が第1の閾値未満であると判断した場合に、前記メモリコントローラの状態に基づいて、前記所定の数のメモリを停止状態にすることで前記省電力モードに移行させる、請求項1に記載の電子機器。
- [請求項3] 前記プロセッサは、前記メモリコントローラのステータスレジスタに基づいて、前記メモリコントローラが前記複数のメモリにアクセスしていない状態を示すアイドル状態であると判断すると、前記所定の数のメモリを前記停止状態にすることで前記省電力モードに移行させる、請求項2に記載の電子機器。
- [請求項4] 省電力モードを有する電子機器であって、
少なくともいずれか一方が前記電子機器の動作を制御する、第1のプロセッサおよび前記第1のプロセッサよりも消費電力の小さい第2のプロセッサと、
個別に停止状態にすることが可能に構成され、前記第1および第2

のプロセッサが利用可能な複数のメモリとを備え、

前記第1のプロセッサは、前記複数のメモリを利用する前記第1のプロセッサの処理負荷が第1の閾値未満になったと判断した場合に、前記第1のプロセッサの代わりに前記第2のプロセッサに前記電子機器の動作を制御させるための起動情報を前記第2のプロセッサに送信し、

前記第2のプロセッサは、前記第1のプロセッサから前記起動情報を受信すると前記電子機器の動作制御を開始し、所定の条件に基づいて、前記複数のメモリのうち所定の数のメモリを停止状態にすることで前記省電力モードに移行させ、

前記第2のプロセッサは、前記省電力モードにおいて、前記電子機器の一部の動作を制限するスタンバイ状態と前記電子機器の動作を通常制御するアクティブ状態とを有し、前記スタンバイ状態または前記アクティブ状態に関わらず、前記所定の数のメモリの前記停止状態を維持する、電子機器。

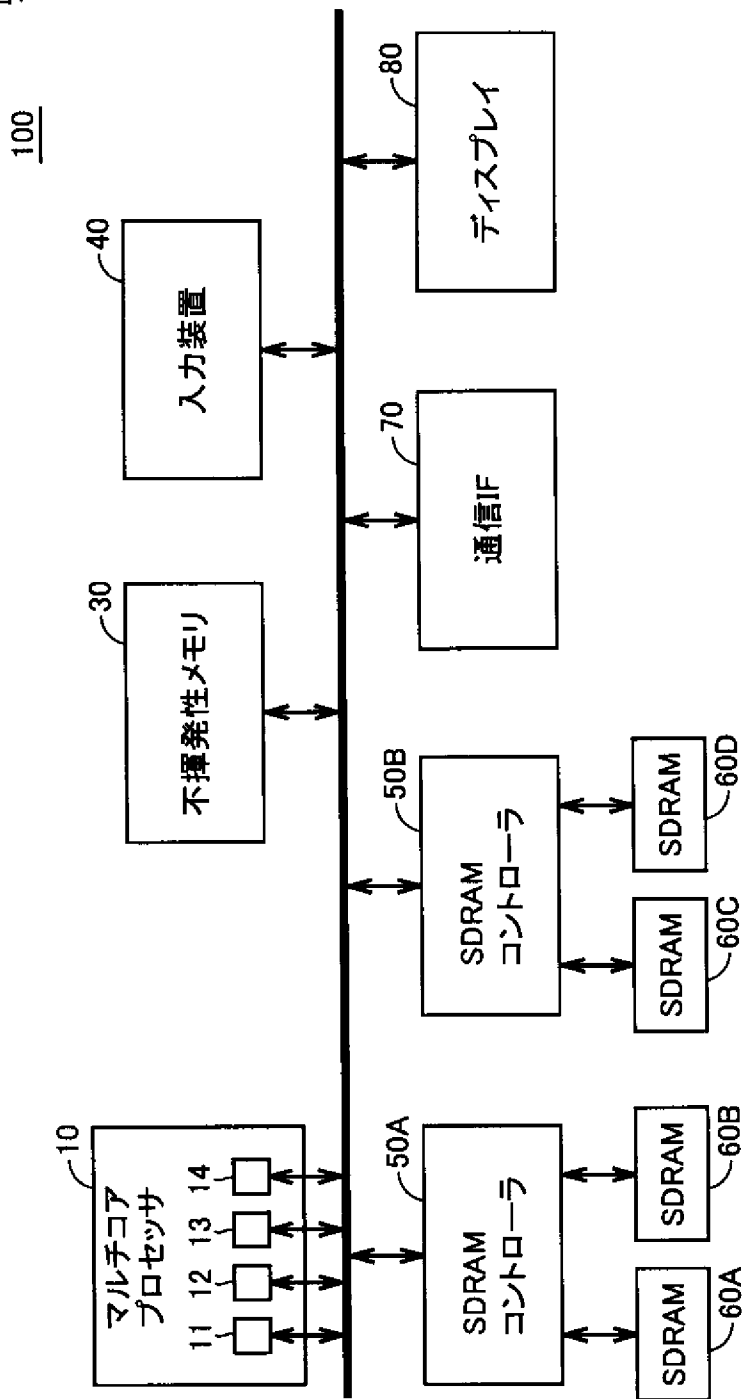
[請求項5]

前記第2のプロセッサは、前記第2のプロセッサの処理負荷が第2の閾値以上になったと判断した場合に、前記第2のプロセッサの代わりに前記第1のプロセッサに前記電子機器の動作を制御させるための起動情報を前記第1のプロセッサに送信し、

前記第1のプロセッサは、前記第2のプロセッサから前記起動情報を受信すると前記電子機器の動作制御を開始し、前記所定の数のメモリを前記停止状態から通常状態に復帰させる、請求項4に記載の電子機器。

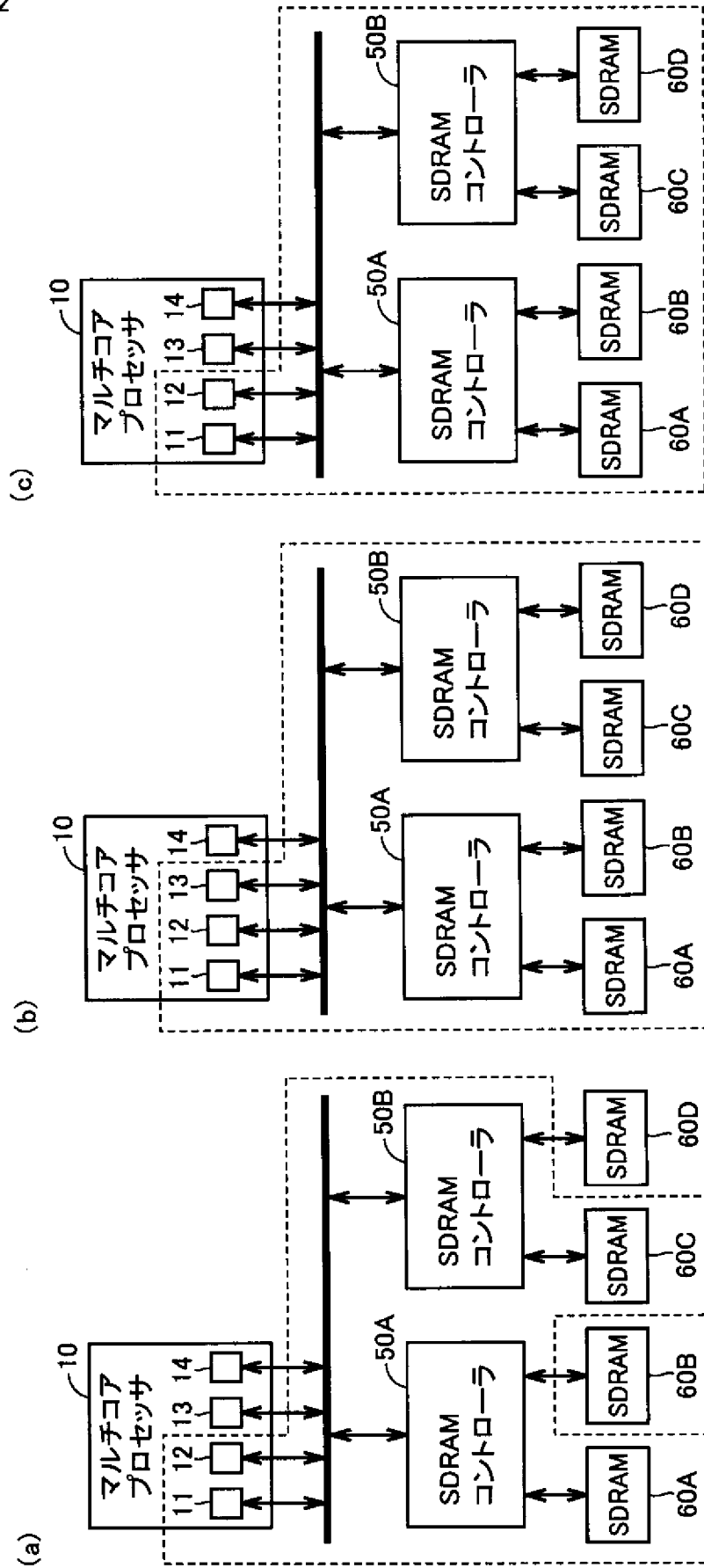
[図1]

図1



[図2]

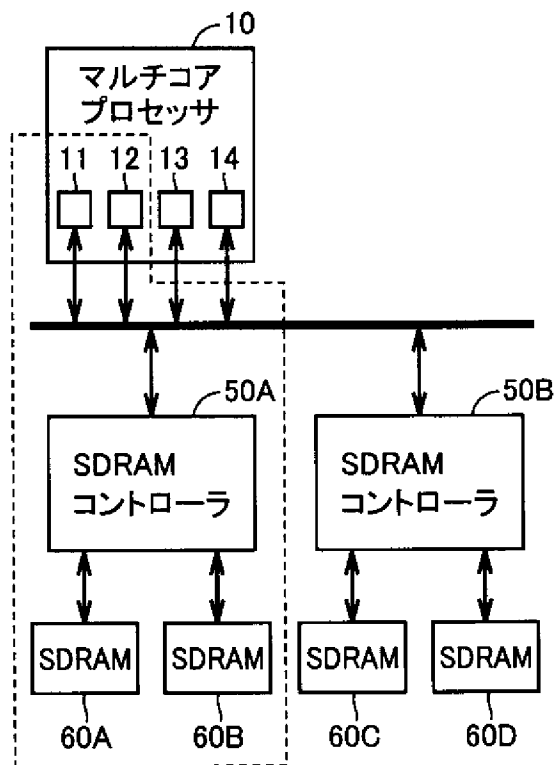
図2



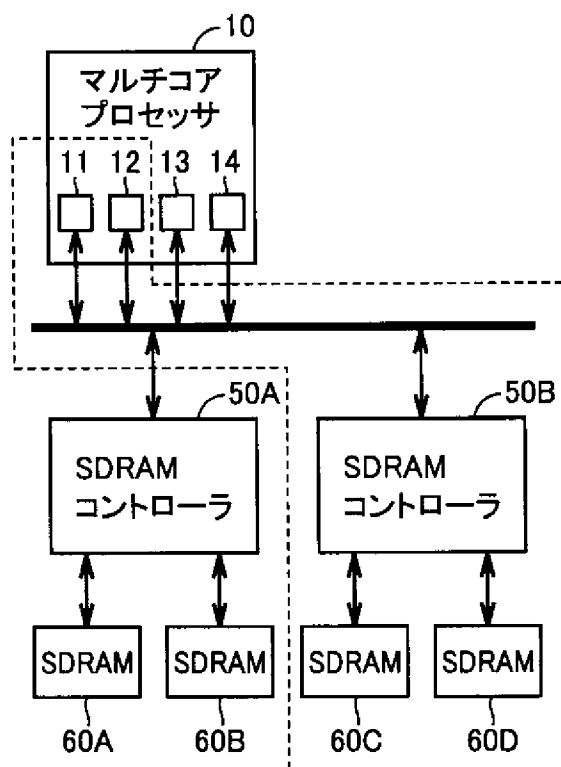
[図3]

図3

(a)

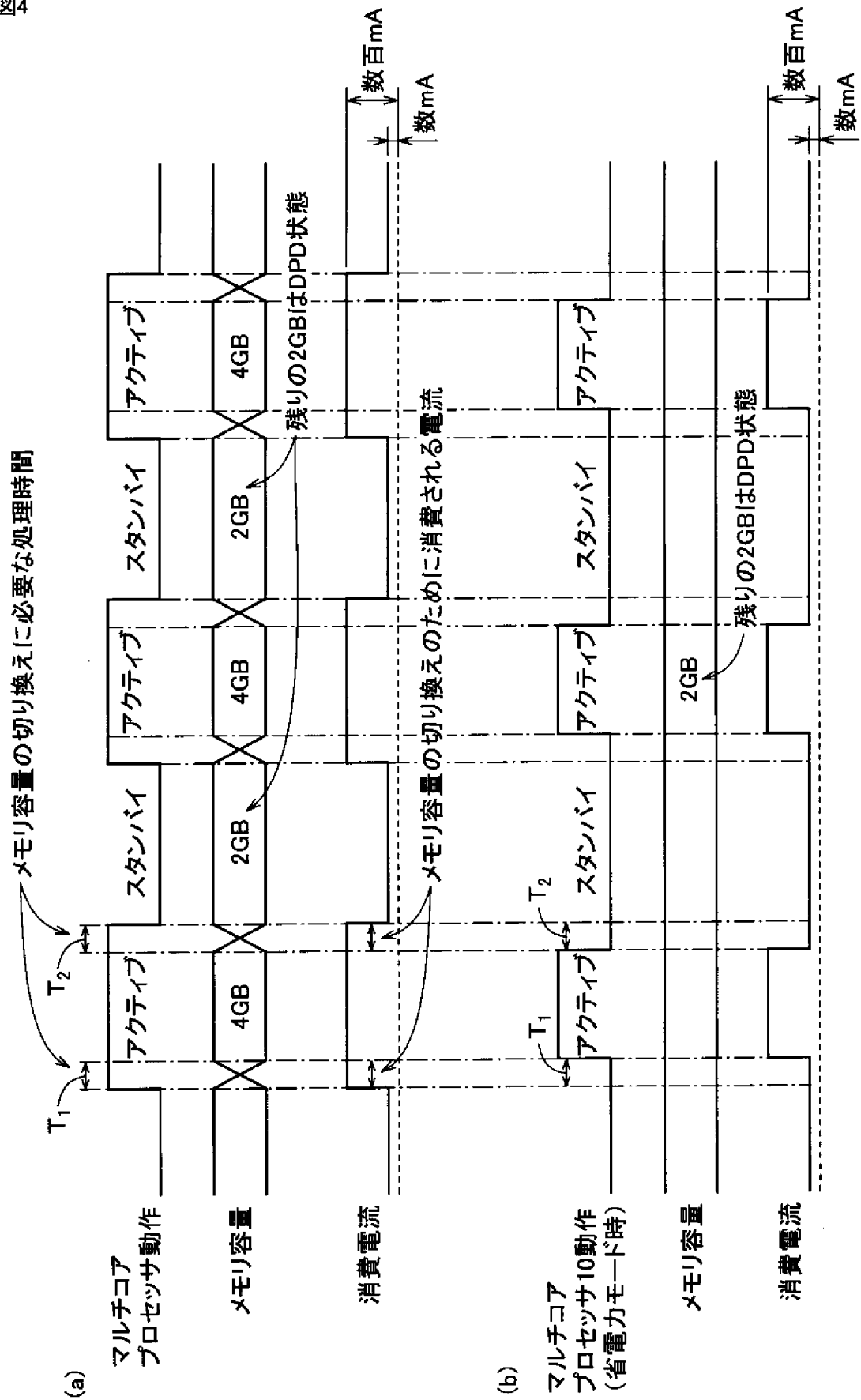


(b)



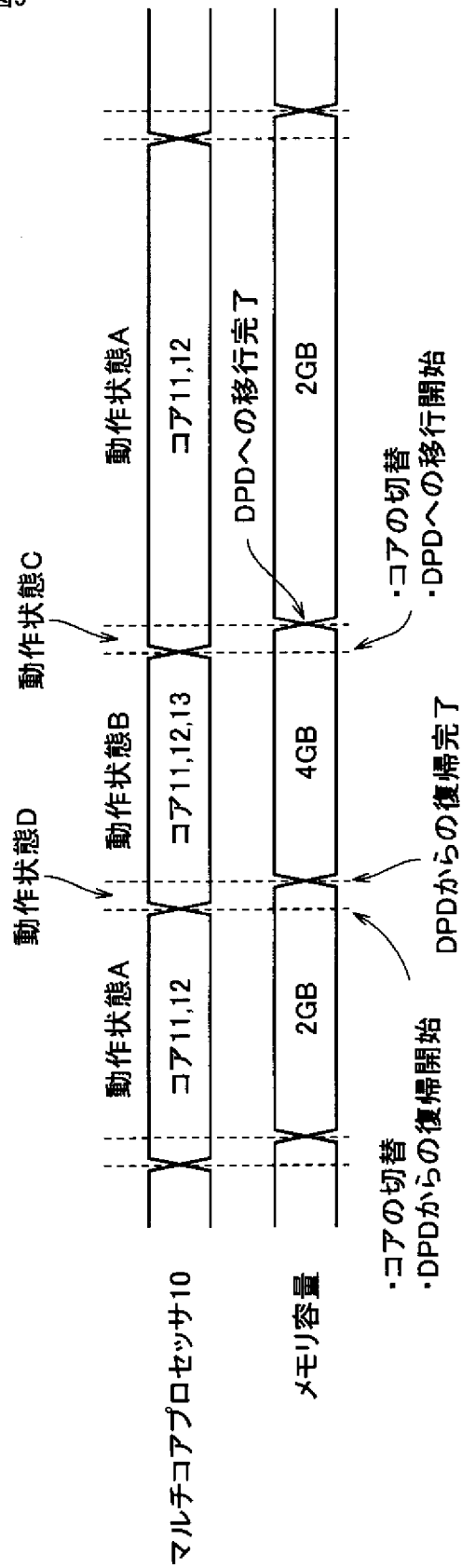
[図4]

図4



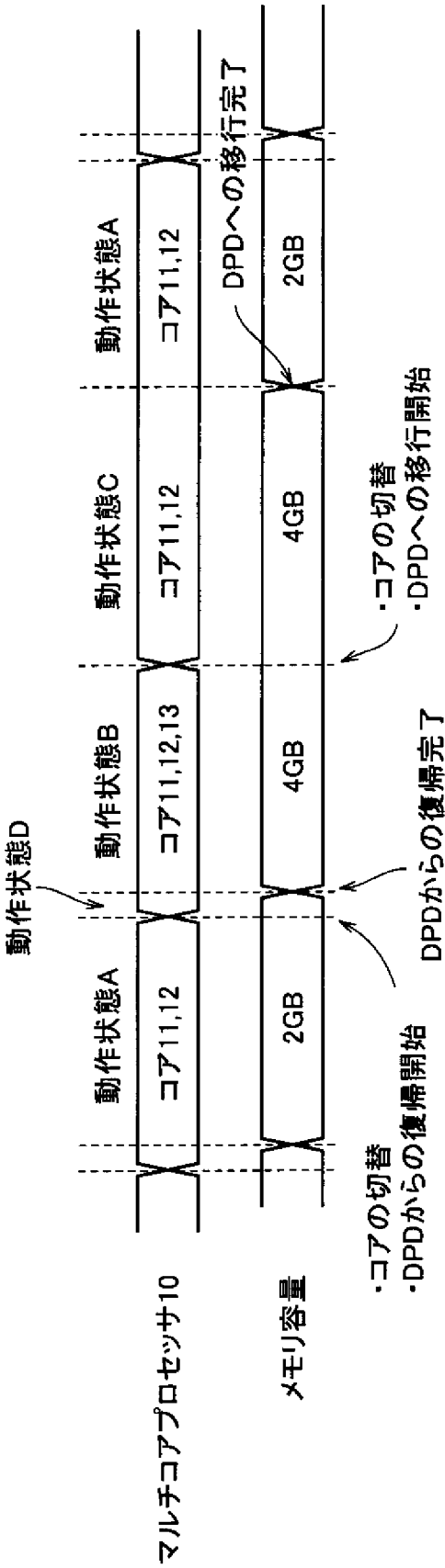
[図5]

図5



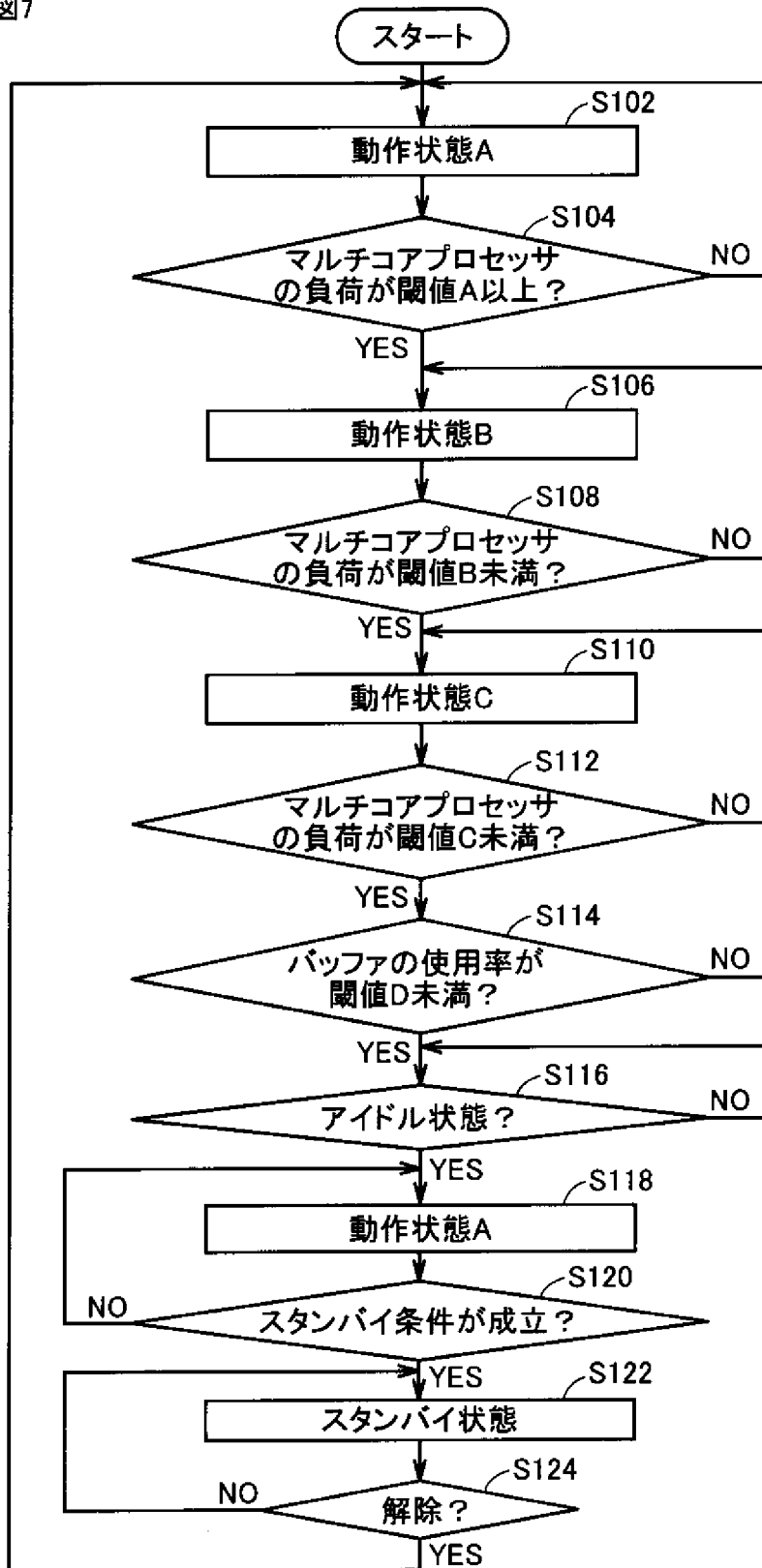
[図6]

図6



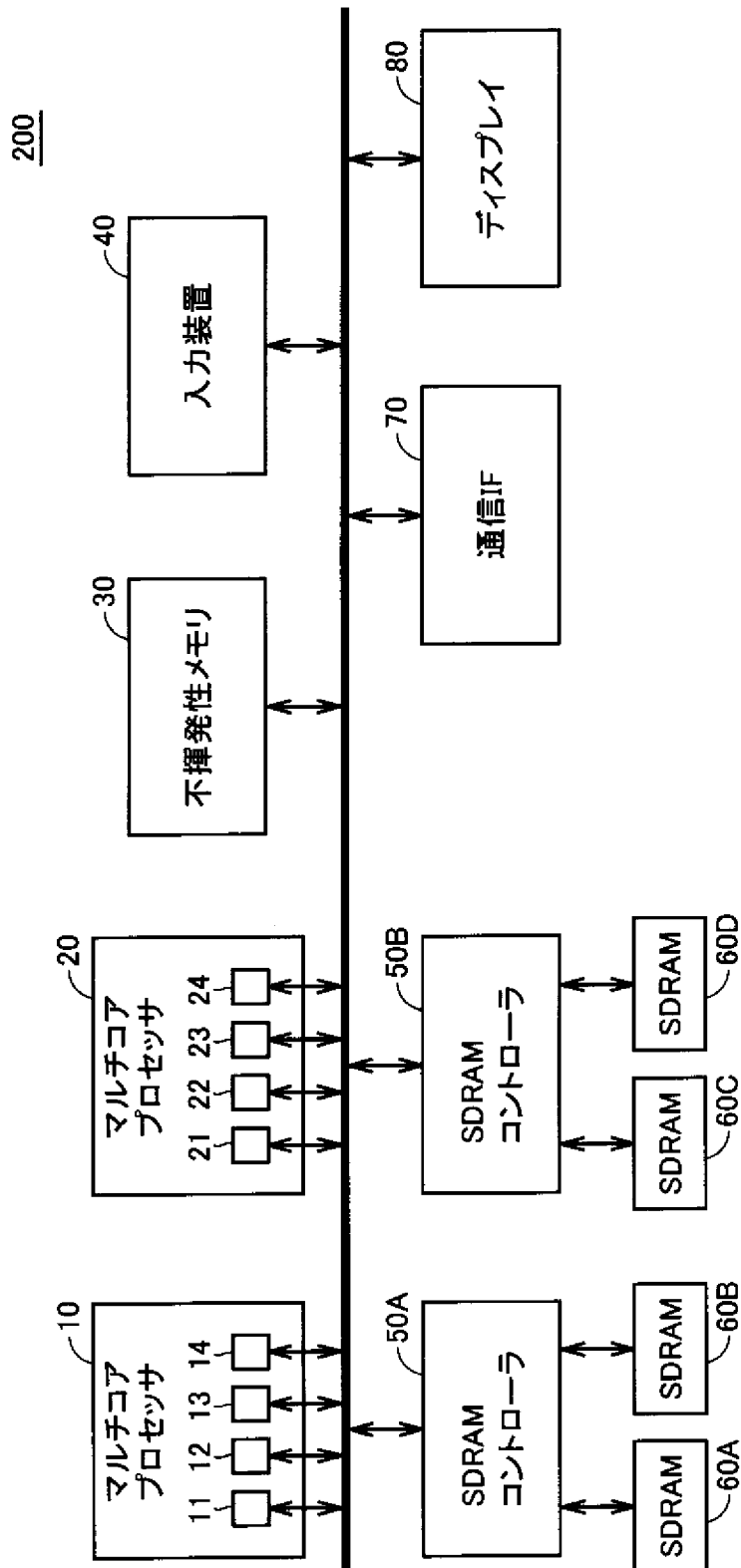
[図7]

図7



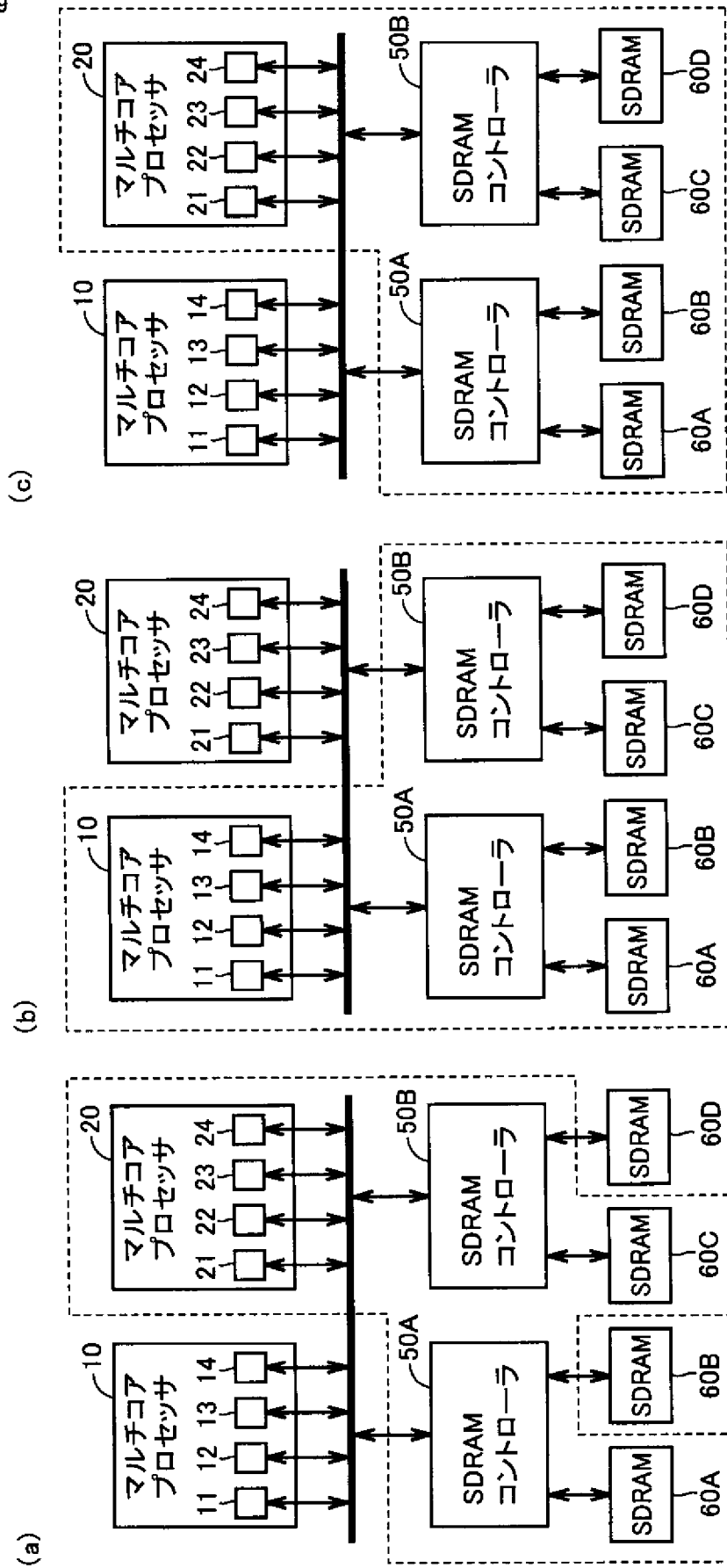
[図8]

図8



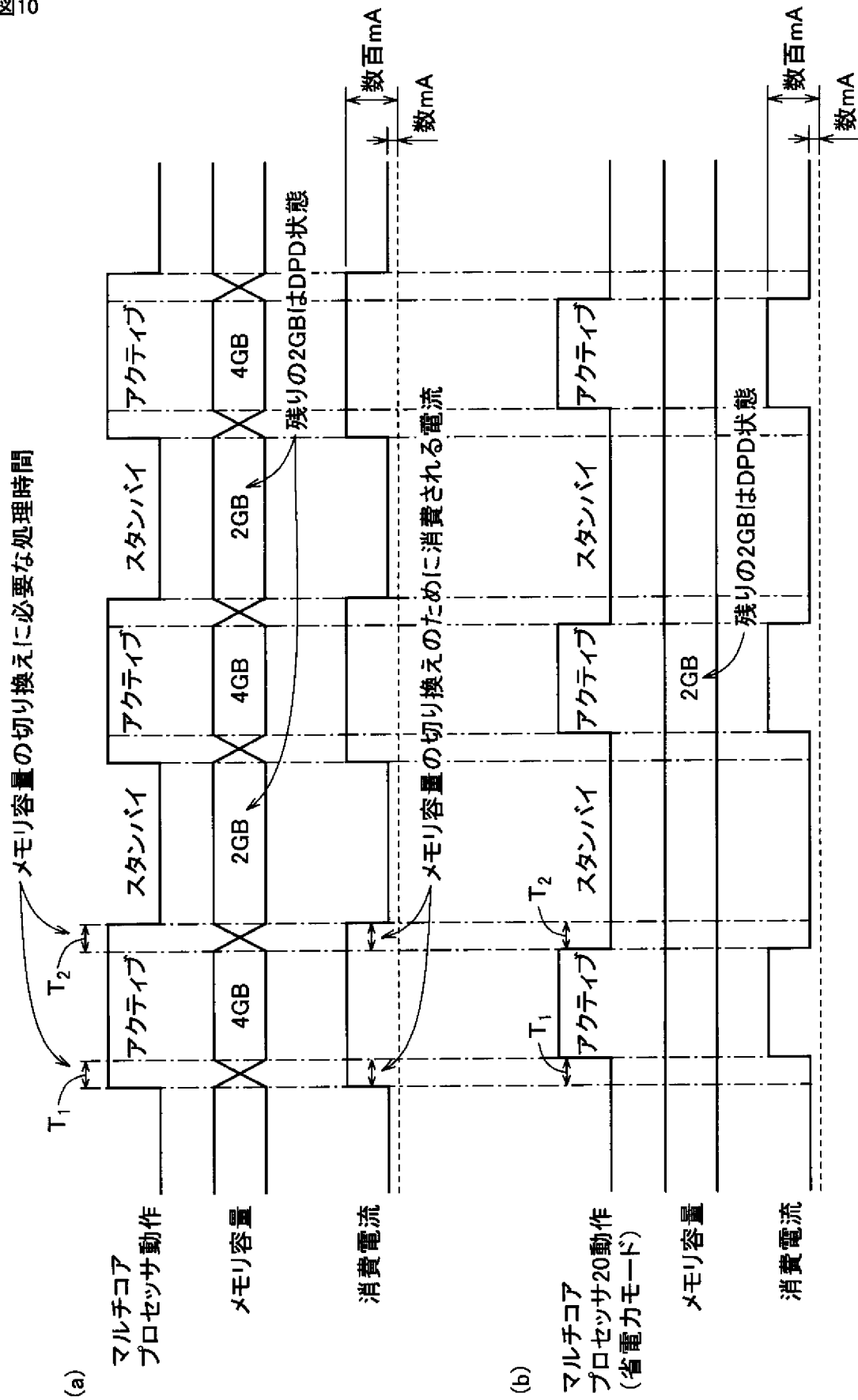
[図9]

図9



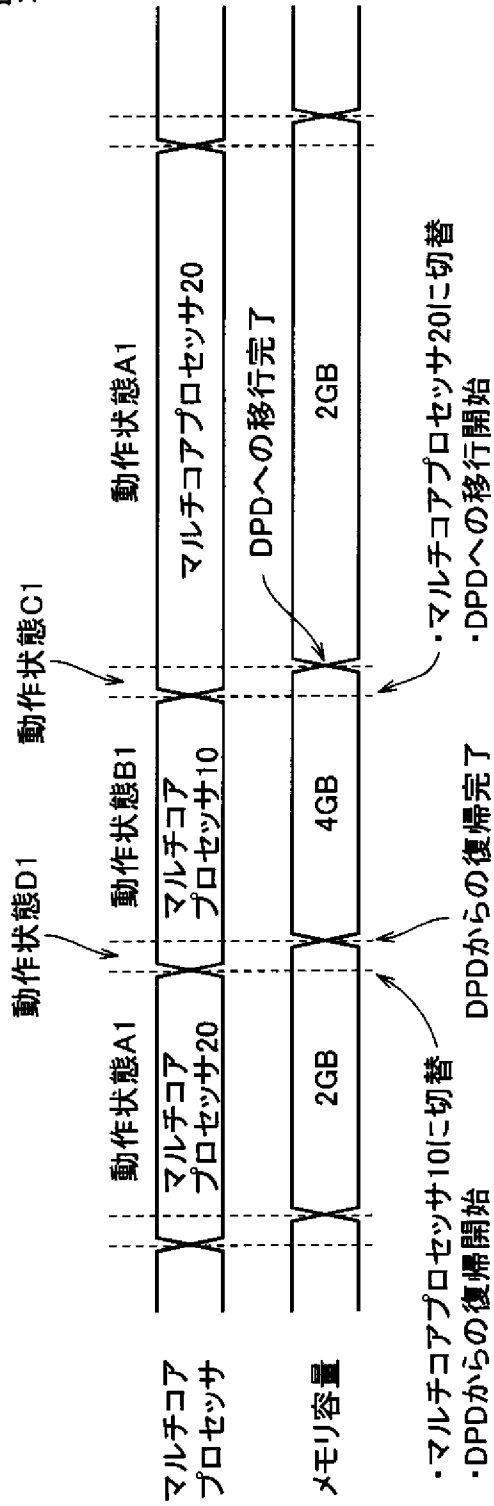
[図10]

図10



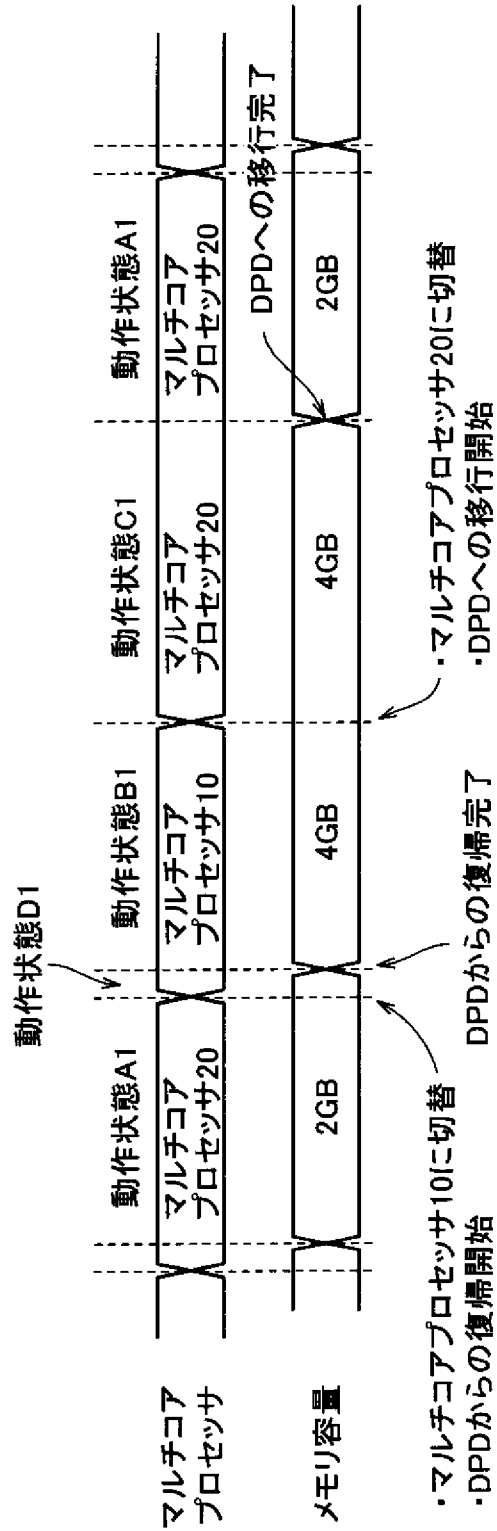
[図11]

図11



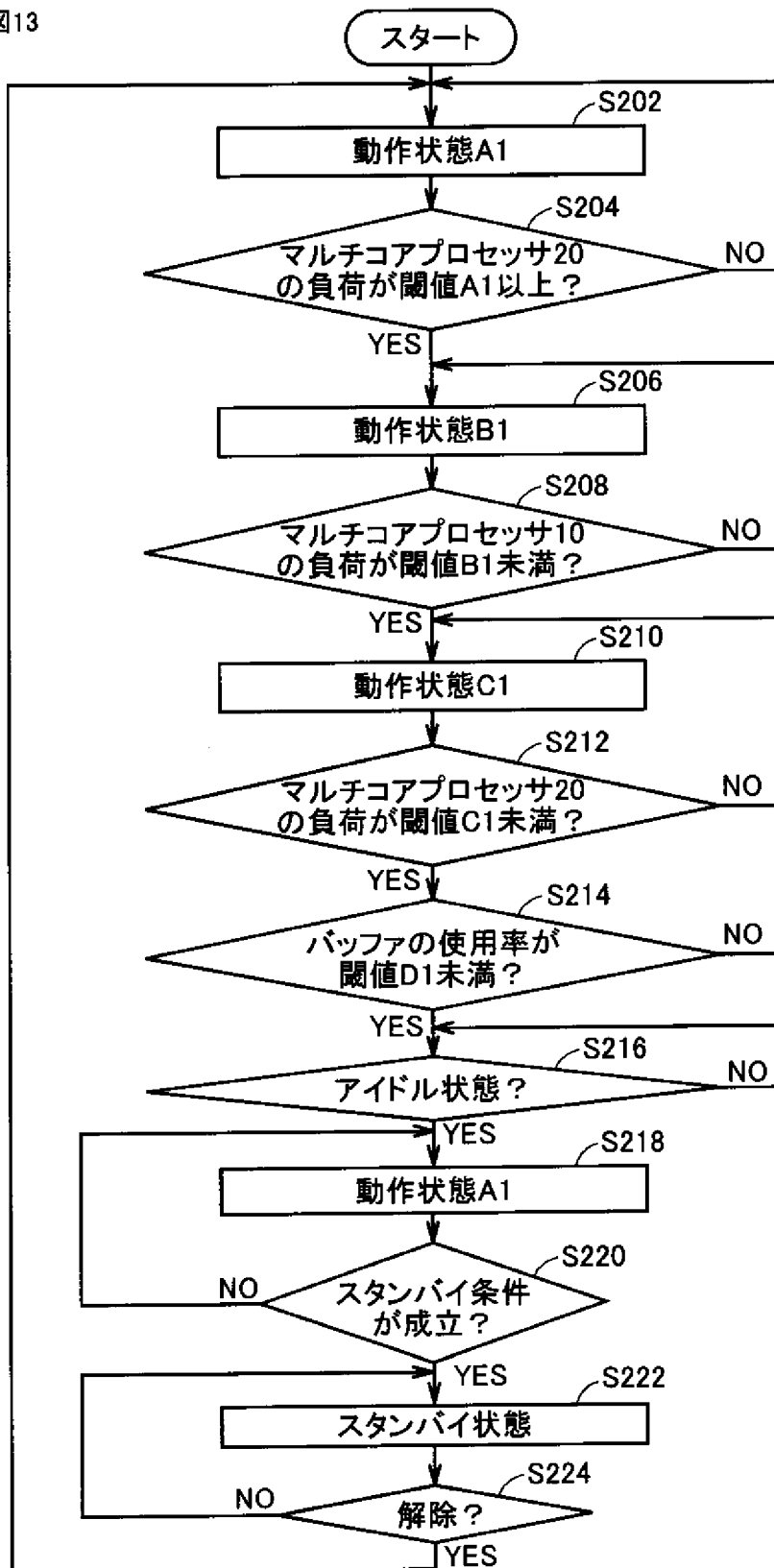
[図12]

図12



[図13]

図13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/053729

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/00(2006.01)i, G06F9/50(2006.01)i, G06F12/06(2006.01)i, G06F15/177(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/00, G06F9/50, G06F12/06, G06F15/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-038642 A (Renesas Technology Corp.), 05 February 2004 (05.02.2004), entire text; all drawings (Family: none)	1-3 4-5
Y A	JP 2006-221381 A (Sharp Corp.), 24 August 2006 (24.08.2006), paragraphs [0140] to [0145]; fig. 8 (Family: none)	1-3 4-5
Y	JP 2011-018138 A (Canon Inc.), 27 January 2011 (27.01.2011), entire text; all drawings (Family: none)	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 May, 2014 (02.05.14)

Date of mailing of the international search report
13 May, 2014 (13.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/053729

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-223687 A (NEC Corp.), 01 October 2009 (01.10.2009), entire text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F12/00(2006.01)i, G06F9/50(2006.01)i, G06F12/06(2006.01)i, G06F15/177(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F12/00, G06F9/50, G06F12/06, G06F15/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2004-038642 A（株式会社ルネサステクノロジ）2004.02.05, 全文, 全図（ファミリーなし）	1-3 4-5
Y A	JP 2006-221381 A（シャープ株式会社）2006.08.24, 段落【0140】 - 【0145】, 第8図（ファミリーなし）	1-3 4-5
Y	JP 2011-018138 A（キヤノン株式会社）2011.01.27, 全文, 全図（ファミリーなし）	3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 5 . 2 0 1 4

国際調査報告の発送日

1 3 . 0 5 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

野田 佳邦

5 U

3 4 5 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-223687 A (日本電気株式会社) 2009.10.01, 全文, 全図 (ファミリーなし)	1-5