



(12) 发明专利申请

(10) 申请公布号 CN 101798057 A

(43) 申请公布日 2010.08.11

(21) 申请号 200910205893.2

H01L 29/861 (2006.01)

(22) 申请日 2001.08.22

H01L 33/00 (2006.01)

H01L 29/88 (2006.01)

(30) 优先权数据

H01L 29/872 (2006.01)

60/226,835 2000.08.22 US

H01L 21/331 (2006.01)

60/254,745 2000.12.11 US

H01L 29/73 (2006.01)

60/292,121 2001.05.18 US

H01L 21/8239 (2006.01)

60/291,896 2001.05.18 US

H01L 27/105 (2006.01)

60/292,045 2001.05.18 US

H01L 21/82 (2006.01)

60/292,035 2001.05.18 US

H01L 27/24 (2006.01)

(62) 分案原申请数据

H01S 5/00 (2006.01)

01816168.5 2001.08.22

H01L 31/18 (2006.01)

(71) 申请人 哈佛学院董事会

H01L 31/102 (2006.01)

地址 美国马萨诸塞州

H01L 31/101 (2006.01)

(72) 发明人 查尔斯·M·利伯 崔屹 段镶锋

H01L 31/042 (2006.01)

黄昱

H01L 27/00 (2006.01)

H01L 25/00 (2006.01)

(74) 专利代理机构 北京集佳知识产权代理有限公司

11227

代理人 顾晋伟 王春伟

(51) Int. Cl.

B82B 3/00 (2006.01)

B82B 1/00 (2006.01)

H01L 21/335 (2006.01)

H01L 21/77 (2006.01)

H01L 21/329 (2006.01)

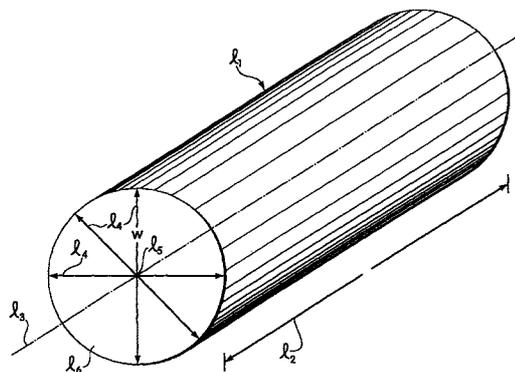
权利要求书 6 页 说明书 70 页 附图 35 页

(54) 发明名称

生长半导体纳米线的方法

(57) 摘要

本申请涉及生长半导体纳米线的方法,所述方法通过催化剂胶体颗粒催化生长半导体纳米线,每个所述半导体纳米线均具有最小宽度小于500 纳米的至少一个部分,选择催化剂胶体颗粒以具有小于约 20% 的直径变化,使得根据该方法制造的一组半导体纳米线的直径变化小于 20%。



CN 101798057 A

1. 一种方法,所述方法包括:

由直径变化小于约 20%的催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒以使得根据该方法制造的一组半导体纳米线的直径变化小于 20%。

2. 如权利要求 1 所述的方法,其中,所述催化剂胶体颗粒通过激光烧蚀固体靶以产生所述催化剂胶体颗粒的方法制得。

3. 如权利要求 1 所述的方法,还包括:控制所述一组半导体纳米线的长度。

4. 如权利要求 1 所述的方法,其中,所述半导体纳米线的至少一部分具有最小宽度小于 20 纳米的至少一个部分。

5. 如权利要求 1 所述的方法,其中,所述半导体纳米线的至少一部分具有最小宽度小于 10 纳米的至少一个部分。

6. 如权利要求 1 所述的方法,其中,所述半导体纳米线的至少一部分具有最小宽度小于 5 纳米的至少一个部分。

7. 如权利要求 1 所述的方法,其中,所述催化剂胶体颗粒通过稀释进行尺寸选择。

8. 一种方法,所述方法包括:

生长一组半导体纳米线,并在生长所述半导体纳米线时掺杂所述一组半导体纳米线,以制造一组掺杂的半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,

其中,所述生长步骤包括:由催化剂胶体颗粒催化生长所述一组半导体纳米线,选择所述催化剂胶体颗粒使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20%。

9. 如权利要求 8 所述的方法,还包括:将一种或更多种其它材料加到至少一些所述掺杂的半导体纳米线的表面。

10. 如权利要求 9 所述的方法,包括:加入所述一种或更多种其它材料,以形成围绕至少一些所述掺杂的半导体纳米线的壳。

11. 一种方法,所述方法包括:

利用激光辅助的催化生长由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒以使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20%。

12. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒以使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20%;

使包含所述一个或更多个半导体纳米线的溶液与表面接触,以在所述表面上沉积所述一个或更多个半导体纳米线;和

使用电场排列所述一个或更多个半导体纳米线,以使所述一个或更多个半导体纳米线在所述表面上对齐。

13. 如权利要求 12 所述的方法,其中,所述表面是衬底的表面。

14. 如权利要求 12 所述的方法,其中,所述对齐包括:在至少两个电极之间产生电场,和将所述一个或更多个半导体纳米线置于所述电极之间。

15. 如权利要求 12 所述的方法,还包括使用流体流动排列所述一个或更多个半导体纳米线。

16. 如权利要求 15 所述的方法,其中,所述使用流体流动排列所述一个或更多个半导体纳米线包括:使包含所述一个或更多个半导体纳米线的流体流动到所述表面上。

17. 如权利要求 12 所述的方法,其中,所述催化剂胶体颗粒通过激光烧蚀固体靶以产生所述催化剂胶体颗粒的方法制得。

18. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20% ;

使包含所述一个或更多个半导体纳米线的溶液与表面接触,以在所述表面上沉积所述一个或更多个半导体纳米线 ;和

使用机械工具排列所述一个或更多个半导体纳米线,以使所述一个或更多个半导体纳米线在所述表面上对齐。

19. 如权利要求 18 所述的方法,其中,所述催化剂胶体颗粒通过激光烧蚀固体靶以产生所述催化剂胶体颗粒的方法制得。

20. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20% ;

利用对所述半导体纳米线具有亲合力的一个或更多个官能团使表面功能化,以调节所述表面用以将所述一个或更多个半导体纳米线附着于所述表面 ;和

在所述表面上沉积一个或更多个半导体纳米线。

21. 如权利要求 20 所述的方法,其中,所述调节包括图案化所述表面。

22. 如权利要求 20 所述的方法,其中,所述一个或更多个官能团包括一个或更多个烷氧基硅烷基团。

23. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20% ;和

在表面上沉积所述半导体纳米线以形成场效应晶体管。

24. 如权利要求 23 所述的方法,其中,所述催化剂胶体颗粒通过激光烧蚀固体靶以产生所述催化剂胶体颗粒的方法制得。

25. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20% ;和

在表面上沉积所述半导体纳米线以形成器件,所述器件包括以下器件中的一种或者多于一种:开关、二极管、发光二极管、隧道二极管、肖特基二极管、双极型结晶体管、反相器、

光传感器、用于分析物的传感器、存储器器件、激光器、逻辑门、锁存器、寄存器、放大器、信号处理器、数字或模拟电路、发光源、光电二极管、光电晶体管、光伏器件或其组合。

26. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20%,其中至少一些所述催化剂胶体颗粒包括金。

27. 如权利要求 26 所述的方法,其中,至少一些所述催化剂胶体颗粒均还包括 Ag、Cu、Zn、Cd、Fe、Ni、Co 或其混合物中的一种或多于一种。

28. 一种制造半导体纳米线结的方法,所述方法包括将至少一个 p 型半导体纳米线和至少一个 n 型半导体纳米线相互交叉,其中所述 p 型半导体纳米线和所述 n 型半导体纳米线中的一种或二者选自通过以下方法生长的一组半导体纳米线,所述方法包括:由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20%。

29. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,选择所述催化剂胶体颗粒使得根据该方法制造的所述一组半导体纳米线的直径变化小于 20%,其中所述一组半导体纳米线的直径变化小于约 10%。

30. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,预选所述催化剂胶体颗粒以使团聚最小化并具有选择的基本均一的尺寸,使得至少四个所述半导体纳米线的直径变化小于 20%,其中,所生长的半导体纳米线的直径变化小于约 10%。

31. 一种方法,所述方法包括:

由催化剂胶体颗粒催化生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,预选所述催化剂胶体颗粒以使团聚最小化并具有选择的基本均一的尺寸,使得至少四个所述半导体纳米线的直径变化小于 20%,其中所述催化剂胶体颗粒通过稀释进行预选。

32. 一种方法,所述方法包括:

由具有选择尺寸的催化剂胶体颗粒生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,其中选择所述催化剂胶体颗粒的尺寸以具有小于约 20%的直径变化。

33. 如权利要求 32 所述的方法,其中,选择所述催化剂胶体颗粒的尺寸,以具有小于约 10%的直径变化。

34. 一种方法,所述方法包括:

由具有选择尺寸的催化剂胶体颗粒生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分,其中通过稀释选择所述催化剂胶体颗粒的尺寸。

35. 一种方法,所述方法包括:

使用激光辅助的催化生长由具有选择尺寸的催化剂胶体颗粒生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分。

36. 一种在衬底表面上装配一个或更多个纳米级拉长结构的方法,所述方法包括步骤:

(A) 在所述表面上流动包含所述一个或更多个纳米级拉长结构的流体,其中所述纳米级拉长结构具有最小尺寸小于 500 纳米的至少一个部分;

(B) 使所述一个或更多个纳米级拉长结构在所述表面上对齐,以形成所述纳米级拉长结构的阵列;和

(C) 将所述纳米级拉长结构的阵列从所述衬底的表面转移到另一衬底的表面。

37. 如权利要求 36 所述的方法,其中,步骤 (C) 包括冲压。

38. 如权利要求 36 所述的方法,其中,所述一个或更多个纳米级拉长结构包括纳米线。

39. 如权利要求 36 所述的方法,其中,所述一个或更多个纳米级拉长结构包括半导体纳米线。

40. 如权利要求 39 所述的方法,其中,所述半导体纳米线在所述纳米线生长期间被掺杂。

41. 如权利要求 39 所述的方法,其中,所述半导体纳米线由催化剂颗粒催化生长。

42. 如权利要求 39 所述的方法,其中,所述半导体纳米线使用激光辅助的催化生长而生长。

43. 如权利要求 36 所述的方法,其中,所述一个或更多个纳米级拉长结构包括体掺杂的半导体纳米线。

44. 如权利要求 36 所述的方法,其中,所述一个或更多个纳米级拉长结构具有最小宽度小于 500 纳米的至少一个部分。

45. 如权利要求 44 所述的方法,其中,所述一个或更多个纳米级拉长结构具有最小宽度小于 200 纳米的至少一个部分。

46. 如权利要求 45 所述的方法,其中,所述一个或更多个纳米级拉长结构具有最小宽度小于 100 纳米的至少一个部分。

47. 如权利要求 36 所述的方法,还包括:使用电场排列所述一个或更多个纳米级拉长结构,以使所述一个或更多个纳米级拉长结构在所述衬底的表面上对齐。

48. 如权利要求 47 所述的方法,其中,所述对齐包括:在至少两个电极之间产生电场,和将所述一个或更多个纳米级拉长结构置于所述电极之间。

49. 如权利要求 36 所述的方法,其中,所述一个或更多个纳米级拉长结构具有小于 20% 的直径变化。

50. 如权利要求 36 所述的方法,其中,所述一个或更多个纳米级拉长结构在仍包含于流体中的同时在所述表面上对齐。

51. 一种方法,所述方法包括:

在第一衬底的表面上形成多个纳米级拉长结构,所述纳米级拉长结构具有最小尺寸小于 500 纳米的至少一个部分;

提供第二衬底;

使所述第一衬底和所述第二衬底配合 ;和
将所述第一衬底和所述第二衬底分离,以将一组纳米级拉长结构留在所述第二衬底上。

52. 如权利要求 51 所述的方法,其中,所述配合包括冲压。

53. 如权利要求 51 所述的方法,其中,所述一个或更多个纳米级拉长结构包括纳米线。

54. 如权利要求 51 所述的方法,其中,所述一个或更多个纳米级拉长结构包括半导体纳米线。

55. 如权利要求 54 所述的方法,其中,所述半导体纳米线在所述纳米线生长期间被掺杂。

56. 如权利要求 51 所述的方法,其中,所述一个或更多个纳米级拉长结构包括体掺杂的半导体纳米线。

57. 如权利要求 51 所述的方法,其中,所述一个或更多个纳米级拉长结构具有最小宽度小于 500 纳米的至少一个部分。

58. 如权利要求 51 所述的方法,其中,所述一个或更多个纳米级拉长结构具有最小宽度小于 200 纳米的至少一个部分。

59. 如权利要求 51 所述的方法,其中,所述一个或更多个纳米级拉长结构具有最小宽度小于 100 纳米的至少一个部分。

60. 如权利要求 51 所述的方法,其中,所述纳米级拉长结构的相互直径变化小于 20%。

61. 一种方法,所述方法包括:

生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分;

使包含一个或更多个半导体纳米线的溶液与表面接触,以在所述表面上沉积所述一个或更多个半导体纳米线 ;和

使用电场排列所述一个或更多个半导体纳米线,以使所述一个或更多个半导体纳米线在所述表面上对齐。

62. 一种方法,所述方法包括:

生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分;

使包含一个或更多个半导体纳米线的溶液与表面接触,以在所述表面上沉积所述一个或更多个半导体纳米线 ;和

使用机械工具排列所述一个或更多个半导体纳米线,以使所述一个或更多个半导体纳米线在所述表面上对齐。

63. 一种方法,所述方法包括:

生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分;

利用对所述半导体纳米线具有亲合力的一个或更多个官能团使表面功能化,以调节所述表面用以将所述一个或更多个半导体纳米线附着于所述表面 ;和

在所述表面上沉积一个或更多个半导体纳米线。

64. 一种方法,所述方法包括:

生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分;和

在表面上沉积所述半导体纳米线以形成场效应晶体管。

65. 一种方法,所述方法包括:

生长一组半导体纳米线,每个所述半导体纳米线均具有最小宽度小于 500 纳米的至少一个部分;和

在表面上沉积所述半导体纳米线以形成器件,所述器件包括以下器件中的一种或者多于一种:开关、二极管、发光二极管、隧道二极管、肖特基二极管、双极型结晶体管、反相器、光传感器、用于分析物的传感器、存储器器件、激光器、逻辑门、锁存器、寄存器、放大器、信号处理器、数字或模拟电路、发光源、光电二极管、光电晶体管、光伏器件或其组合。

生长半导体纳米线的方法

[0001] 本申请是申请日为 2001 年 8 月 22 日, 申请号为 01816168.5, 发明名称为“包括至少四条半导体纳米线的电器件”的中国专利申请的分案申请。

[0002] 相关申请

[0003] 本申请根据 35USC § 119(e) 要求如下共同拥有的、共同未决的美国临时专利申请的优先权: 序列号 No. 60/226, 835, 名称为“半导体纳米线”, 2000 年 8 月 22 日递交; 序列号 No. 60/292, 121, 名称为“半导体纳米线”, 2001 年 5 月 18 日递交; 序列号 No. 60/254, 745, 名称为“纳米线和纳米管纳米传感器”, 2000 年 12 月 11 日递交; 序列号 No. 60/292, 035, 名称为“纳米线和纳米管纳米传感器”, 2001 年 5 月 18 日递交; 序列号 No. 60/292, 045, 名称为“包括存储器和开关器件的纳米电子器件”, 2001 年 5 月 18 日递交; 以及序列号 No. 60/291, 896, 名称为“包括发射单元和传感器的纳米器件”, 2001 年 5 月 18 日递交。所有这些申请在此通过引用而全部并入本文。

技术领域

[0004] 本发明一般地涉及亚 - 微电子半导体器件, 并且特别涉及纳米级的半导体制品, 例如, 被掺杂以提供 n 型和 p 型导电性的纳米线, 这类制品的生长以及布置这类制品来制造器件。

背景技术

[0005] 小尺度电子技术在很大程度上依赖于各种材料的掺杂。将半导体材料掺杂形成用于制造诸如场效应晶体管、双极型晶体管、互补反相器、隧道二极管等等各种器件的 n 型和 p 型半导体区域是公知的。

[0006] 典型的达到最新技术发展水平的半导体制造设备需要相对高的成本, 并要求超净间以及使用例如氟化氢的有毒化学品。虽然半导体和微制造技术得到了很好的发展, 但还存在着对改进, 最好是包含更小尺度, 对环境友好的低成本的制造的持续需求。

发明内容

[0007] 在一个实施方案中, 提供了包含至少一部分具有小于 500 纳米的最小宽度的自支撑 (free-standing) 体掺杂半导体。

[0008] 在该实施方案的另一个方面, 该半导体包括: 包含第一半导体的内核; 以及包含不同于该第一半导体的材料的外壳。

[0009] 在该实施方案的另一个方面, 该半导体是拉长的。在这个方面的多种不同可选的特征 (feature) 中, 在沿着该半导体的纵剖面的任意点上, 剖面长度和最大宽度的比值大于 4 : 1, 或大于 10 : 1, 或大于 100 : 1, 或甚至大于 1000 : 1。

[0010] 在该实施方案的多个不同方面, 至少该半导体的一部分具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0011] 在该实施方案的多个不同方面,该半导体包含选自由 Si、Ge、Sn、Se、Te、B、金刚石、P、B-C、B-P(BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu, Ag)(Al, Ga, In, Tl, Fe)(S, Se, Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al, Ga, In)₂(S, Se, Te)₃、Al₂CO₃ 以及两种或更多这类半导体的适当组合组成的组中的半导体。

[0012] 在该实施方案的多个不同方面,该半导体包含选自由由下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质;来自周期表的 IV 族的 p 型掺杂物质;从由 C 和 Si 组成的组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质。

[0013] 在该实施方案的另一个方面,该半导体是器件的一部分。在该实施方案的另一个方面,该半导体是 n 型掺杂的。在该方面的多种不同可选择的特征中,该半导体或者是轻度 n 型掺杂的,或者是重度 n 型掺杂的。

[0014] 而在该实施方案的另一个方面,该半导体是 p 型掺杂的。在该方面的多种不同可选择实施方案的特征中,该半导体或者是轻度 p 型掺杂的,或者是重度 p 型掺杂的。

[0015] 在该实施方案的另一个方面,该半导体是单晶。

[0016] 在该实施方案附加的多个不同方面,该半导体是磁性的;该半导体包含使得该半导体有磁性的掺杂物质,该半导体是铁磁性的;该半导体包含使得该半导体有铁磁性的掺杂物质;和/或该半导体包含锰。

[0017] 在另一个实施方案中,所提供的是一种拉长的且体掺杂的半导体,该半导体在沿其纵轴上的任意点具有小于 500 纳米的最大横截面尺寸。

[0018] 在该实施方案的一个方面,该半导体是自支撑的。

[0019] 在该实施方案的另一个方面,该半导体包含:一个包含第一半导体的内核;以及一个包含不同于该第一半导体的材料的外壳。

[0020] 在该实施方案的多个不同方面,在沿着该半导体纵轴的任意点上,剖面长度和最大宽度的比值大于 4 : 1,或大于 10 : 1,或大于 100 : 1,或甚至大于 1000 : 1。

[0021] 在该实施方案的多个不同方面,至少该半导体的一个纵剖面具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0022] 在该实施方案的多个不同方面,至少该半导体的一个纵剖面具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最大宽度。

[0023] 在该实施方案的多个不同方面,该半导体包含选自由 Si、Ge、Sn、Se、Te、B、金刚石、P、B-C、B-P(BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/

GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu, Ag) (Al, Ga, In, Tl, Fe) (S, Se, Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al, Ga, In)₂(S, Se, Te)₃、Al₂CO₃以及两种或更多这类半导体的适当组合组成的组中的半导体。

[0024] 在该实施方案的多个不同方面,该半导体包含来自下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质;来自周期表的 IV 族的 p 型掺杂物质;从由 C 和 Si 组成的组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质。

[0025] 在该实施方案的另一个方面,该半导体是器件的一部分。

[0026] 在该实施方案的另一个方面,该半导体是 n 型掺杂的。在该方面的多种不同可选择的特征中,该半导体或者是轻度 n 型掺杂的,或者是重度 n 型掺杂的。

[0027] 而在该实施方案的另一个方面,该半导体是 p 型掺杂的。在该方面实施方案的多种不同可选择的特征中,该半导体或者是轻度 p 型掺杂的,或者是重度 p 型掺杂的。

[0028] 在该实施方案的另一个方面,该半导体是单晶。

[0029] 在另一个实施方案中,提供的是包含单晶的掺杂半导体。

[0030] 在该实施方案的一个方面,该半导体是体掺杂的。

[0031] 在该实施方案的一个方面,该半导体拉长的。在该方面的多种不同可选择的特征中,在沿着该半导体纵剖面的任意点上,剖面长度和最大宽度的比值大于 4 : 1,或大于 10 : 1,或大于 100 : 1,或甚至大于 1000 : 1。

[0032] 在该实施方案的多个不同方面,至少该半导体的一部分具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0033] 在该实施方案的多个不同方面,该半导体包含选自由 Si、Ge、Sn、Se、Te、B、金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AlP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SnTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu, Ag) (Al, Ga, In, Tl, Fe) (S, Se, Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al, Ga, In)₂(S, Se, Te)₃、Al₂CO₃以及两种或更多这类半导体的适当组合组成的组中的半导体。

[0034] 在该实施方案的多个不同方面,该半导体包含由下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质;来自周期表的 IV 族的 n 型掺杂物质;从由 C 和 Si 组成的组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质。

[0035] 而在另一个实施方案中,提供了至少是下列之一的掺杂半导体:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;至少一部分具有小于 500 纳米的最小宽度的自支撑且体掺杂的半导体,其中体掺杂半导体横截面产生了由横截面尺寸所引起的量子限制效应现象(quantum confinement)。

[0036] 在该实施方案的另一个方面,纵剖面能够响应激发发光,其中所发射光的波长和所述宽度相关。在该方面可选择的特征中,所发射的光的波长是所述宽度的函数;纵剖面能够无散射地输送电载流子;纵剖面能够输送电载流子以便电载流子沿弹道通过纵剖面;纵剖面能够输送电载流子以便电载流子相干地通过纵剖面;纵剖面能够输送电载流子以便电载流子被自旋极化;和/或纵剖面能够输送电载流子以便自旋极化的电载流子不丢失自旋信息地通过纵剖面。

[0037] 在另一个实施方案中,提供了包含一种或更多种掺杂半导体的溶液,其中这些半导体中至少一种是下列至少其一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的自支撑且体掺杂的半导体。

[0038] 在该实施方案的一个方面,所述至少一种半导体被拉长。在该方案的多种不同可选择的特征中,在沿该半导体的纵剖面的任意点上,剖面长度和最大宽度的比值大于 4 : 1,或大于 10 : 1,或大于 100 : 1,或大于 1000 : 1。

[0039] 在该实施方案的多个不同方面,所述至少一种半导体的至少一部分具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0040] 在该实施方案的多个不同方面,所述至少一种半导体包含来自 Si、Ge、Sn、Se、Te、B, 金刚石、P、B-C、B-P(BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO₃、以及两种或更多这类半导体的适当组合组成的组中的半导体。

[0041] 在该实施方案的多个不同方面,所述至少一种半导体包含来自下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的一组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的一组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的一组中选出的 p 型掺杂物质;来自周期表的 IV 族的 n 型掺杂物质;从由 C 和 Si 组成的一组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的一组中选出的 n 型掺杂物质。

[0042] 在另一个实施方案中,提供了包含一种或更多种掺杂半导体的器件,其中这些半导体中至少一种是下列至少其一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及包括具有小于 500 纳米的最小宽度的至少一个部分的自支撑且体掺杂的半导体。

[0043] 在该实施方案的一个方面,该器件包含至少两种掺杂半导体,其中至少这两种半

导体都是下列至少其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸；至少一部分具有小于 500 纳米的最小宽度的自支撑且体掺杂的半导体，其中所述至少两种掺杂半导体中的第一种表现出量子限制效应并且所述至少两种掺杂半导体中的第二种操纵第一种的量子限制效应。

[0044] 在该实施方案的另一个方面，该器件包含至少两种掺杂半导体，其中所述至少这两掺杂种半导体都是下列至少其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸；至少一部分具有小于 500 纳米的最小宽度的自支撑且体掺杂的半导体。在该实施方案的多种不同可选择的特征中，该至少两种体掺杂半导体彼此物理接触，该至少两种体掺杂半导体中的第一种是第一导电类型，该至少两种体掺杂半导体中的第二种是第二导电类型；所述第一导电类型是 n 型，并且所述第二导电类型是 p 型；和 / 或该至少两种体掺杂半导体形成 p-n 结。

[0045] 在该实施方案的多个不同方面，该器件包含下列之一或更多：开关；二极管；发光二极管；隧道二极管；肖特基二极管；双极型结晶体管；场效应晶体管；反相器；互补反相器；光传感器；用于分析物（例如 DNA）的传感器；存储器器件；动态存储器器件；静态存储器器件；激光器；逻辑门；AND 门；NAND 门；EXCLUSIVE-AND 门；OR 门；NOR 门；EXCLUSIVE-OR 门；锁存器；寄存器；时钟电路；逻辑阵列；状态机；可编程电路；放大器；变压器；信号处理器；数字电路；模拟电路；发光源；光致发光器件；电致发光器件；整流器；光电二极管；p-n 太阳能电池；光电晶体管；单电子晶体管；单光子发射器；单光子探测器；自旋电子器件（spintronic）；用于原子力显微镜的超细探针；扫描隧道显微镜；场发射器件；光致发光探针（tag）；光伏器件；光子带隙材料；扫描近场光学显微镜；和具有数字和模拟元件的电路。

[0046] 在该实施方案的多个不同方面，对于包括一个或多个在上一段中所列的器件元件的器件，这些器件元件之一可能包括至少一种半导体。在该方案可选择的特征中，该器件的多个元件可能包括至少一种半导体，其中，对于每个器件元件，至少一种半导体是下列至少其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸；至少一部分具有小于 500 纳米的最小宽度的自支撑且体掺杂的半导体。

[0047] 在该实施方案的一个方面，所述至少一种半导体被拉长。在该方面多种不同可选择的特征中，在沿着该半导体的纵剖面的任意点上，剖面长度和最大宽度的比值大于 4 : 1，或大于 10 : 1，或大于 100 : 1，或甚至大于 1000 : 1。

[0048] 在该实施方案的多个不同方面，至少一种半导体的至少一部分具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0049] 在该实施方案的多个不同方面，所述至少一种半导体包含来自 Si、Ge、Sn、Se、Te、B，金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag) (Al、Ga、In、Tl、Fe) (S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、

Se、Te)₃、Al₂CO₃、以及两种或更多这类半导体的适当组合组成的一组中的半导体。

[0050] 在该实施方案的多个不同方面,至少一种半导体包含来自由下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质;来自周期表的 IV 族的 n 型掺杂物质;从由 C 和 Si 组成的组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质。

[0051] 在该实施例的另一个方面,该器件包含被电耦合到该至少一种体掺杂半导体的其它半导体。

[0052] 在该实施方案的另一个方面,该器件包含被光耦合到该至少一种体掺杂半导体的其它半导体。而在该实施方案的另一个方面,该器件包含被磁耦合到该至少一种体掺杂半导体的其它半导体。

[0053] 在该实施方案的另一个方面,该器件包含和该至少一种体掺杂半导体物理接触的其它半导体。

[0054] 在该实施方案多个不同方面,该至少一种半导体被耦合到电连接、光连接或磁连接之一或更多。

[0055] 在该实施方案的另一个方面,该至少一种半导体的导电性是可响应信号控制的。在该方面的多种不同可选择的特征中,该至少一种半导体的导电性可控制以具有一个值域内的任意值;该至少一种半导体可在两个或更多状态间切换;该至少一种半导体可通过信号在导电状态和绝缘状态间切换;该至少一种半导体的两个或更多状态无需施加的信号即可维持;该至少一种半导体的导电性是可响应电信号控制的;该至少一种半导体的导电性是可响应光信号控制的;该至少一种半导体的导电性是可响应磁信号控制的;和/或该至少一种半导体的导电性是可响应栅极终端 (gate terminal) 的信号控制的。

[0056] 在该实施方案的另一个方面,这些半导体中至少两种被布置到阵列内,并且至少一种被布置到阵列的半导体是包含至少一部分具有最小宽度小于 500 纳米的体掺杂半导体。在该方面的一个可选择的特征中,阵列是有序阵列。在该实施方案的另一个可选择的特征中,阵列不是有序阵列。

[0057] 而在该实施方案的另一个方面,该器件包含两个或更多分离并且互联的电路,至少其中一个电路不包含包括至少一部分具有最小宽度小于 500 纳米的体掺杂半导体。

[0058] 在该实施方案的另一个方面,该器件具体为具有一个或多个插脚引线的芯片上器件。在该实施方案的一个可选择的特征中,该芯片包括分离的且互联的电路,至少其中一个电路不包含包括至少一部分具有最小宽度小于 500 纳米的体掺杂半导体。

[0059] 在另一个实施方案中,提供了用于生长包含至少一部分具有最小宽度小于 500 纳米的体掺杂半导体试剂集合,该集合包含半导体试剂和掺杂物质试剂。

[0060] 在该实施方案的一个方面,该至少一种半导体被拉长。在该方面的多种不同可选择的特征中,在沿该半导体纵剖面的任意点上,剖面长度和最大宽度的比值大于 4 : 1,或大于 10 : 1,或大于 100 : 1,或甚至大于 1000 : 1。

[0061] 在该实施方案的多个不同方面,该至少一种半导体的至少一部分具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或

小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0062] 在该实施方案的多个不同方面,该至少一种半导体包含来自自由 Si、Ge、Sn、Se、Te、B, 金刚石、P、B-C、B-P(BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO、以及两种或更多这类半导体的适当组合组成的一组中的半导体。

[0063] 在该实施方案的多个不同方面,该至少一种半导体包含来自自由下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质;来自周期表的 IV 族的 n 型掺杂物质;从由 C 和 Si 组成的组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质。

[0064] 在另一个实施方案中,半导体在该半导体生长过程中被掺杂。

[0065] 在该实施方案的多个不同方面:该半导体是自支撑的;该半导体具有小于 100 纳米的最小宽度;掺杂的程度受到控制;掺杂的半导体通过向分子集合施加能量生长;该分子集合包含该半导体的分子和掺杂物质的分子;掺杂的程度受到控制;半导体分子的量和掺杂物质分子的量的比值受到控制。使用激光将分子气化以形成气化的分子;该半导体由气化的分子生长;该气化分子被冷凝成液体团簇(liquid cluster);该半导体由液体团簇生长;生长该半导体通过使用激光辅助催化生长(laser-assisted catalytic growth)来进行;分子集合包含催化材料的分子团簇;半导体的宽度受到控制;和/或通过控制催化团簇的宽度控制半导体的宽度。

[0066] 在该实施方案的附加方面,掺杂行为包括至少在所述分子上进行化学气相沉积;生长成的半导体具有至少一个具有最小宽度小于 20 纳米的部分;生长成的半导体具有至少一个具有最小宽度小于 10 纳米的部分;和/或生长成的半导体具有至少一个具有最小宽度小于 5 纳米的部分。

[0067] 而在该实施方案的其它附加方面中:该生长成的半导体是磁性的;该半导体被用使得生长成的半导体有磁性的材料掺杂掺杂的;该生长成的半导体是铁磁性的;该半导体被用使得生长成的半导体有铁磁性的材料掺杂的;该半导体被用锰掺杂掺杂的。

[0068] 在该实施方案的另一个方面,该至少一种半导体被拉长。在该方面多种不同可选择的特征性,在沿该半导体纵剖面的任意点上,剖面长度和最大宽度的比值大于 4 : 1,或大于 10 : 1,或大于 100 : 1,或甚至大于 1000 : 1。

[0069] 在该实施方案的多个不同方面,该至少一种半导体的至少一部分具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0070] 在该实施方案的多个不同方面,该至少一种半导体包含来自自由 Si、Ge、Sn、Se、Te、B, 金刚石、P、B-C、B-P(BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/

AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO、以及两种或更多这类半导体的适当组合组成的一组中的半导体。

[0071] 在该实施方案的多个不同方面，该至少一种半导体包含来自由下列物质组成的一组中的掺杂物质：来自周期表的 III 族的 p 型掺杂物质；来自周期表的 V 族的 n 型掺杂物质；从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质；从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质；来自周期表的 II 族的 p 型掺杂物质；从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质；来自周期表的 IV 族的 n 型掺杂物质；从由 C 和 Si 组成的组中选出的 p 型掺杂物质；或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质。

[0072] 在另一个实施方案中，制造了器件。一种或更多半导体和一个表面接触，其中这些半导体中至少有一种是下列至少其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸；至少一部分具有小于 500 纳米的最小宽度的自支撑且体掺杂的半导体。在该实施方案的多个不同方面：该表面是衬底；在和该表面接触前，这些半导体中至少其一是通过向半导体分子和掺杂物质分子施加能量生长的；包含一种或更多半导体的溶液和该表面接触；使用电场，这些半导体中一种或更多被在该表面上对准；电场在至少两个电极之间产生，并且这些半导体中的一种或更多被置于所述电极之间；另一种包含一种或更多其它半导体的溶液和该表面接触，其中所述其它这些半导体中至少有一种是包含至少一部分具有最小宽度小于 500 纳米的体掺杂半导体；对该表面进行调节处理以把一所述种或更多接触的半导体连接到表面；在表面上形成通道 (channel)；在表面上形成图案 (pattern)；使用电场，该半导体中的一种或更多在表面上对准；该至少一种半导体被拉长。

[0073] 在该方面的多种不同可选择的特征中，在沿该半导体纵剖面的任意点上，剖面长度和最大宽度的比值大于 4 : 1，或大于 10 : 1，或大于 100 : 1，或甚至大于 1000 : 1。

[0074] 在该实施方案的多个不同方面，该至少一种半导体的至少一部分具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0075] 在该实施方案的多个不同方面，该至少一种半导体包含来自由 Si、Ge、Sn、Se、Te、B、金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO、以及两种或更多这类半导体的适当组合组成的一组中的半导体。

[0076] 在该实施方案的多个不同方面，该至少一种半导体包含来自由下列物质组成的一组中的掺杂物质：来自周期表的 III 族的 p 型掺杂物质；来自周期表的 V 族的 n 型掺杂物

质 ; 从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质 ; 从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质 ; 来自周期表的 II 族的 p 型掺杂物质 ; 从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质 ; 来自周期表的 IV 族的 n 型掺杂物质 ; 从由 C 和 Si 组成的组中选出的 p 型掺杂物质 ; 或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质。

[0077] 在另一个实施方案中,产生光是通过向一种或更多半导体施加能量引起所述一种或更多半导体发光来产生,其中该半导体中至少有一种是下列至少其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体。

[0078] 在该实施方案的一个方面,该至少一种半导体被拉长。在该方面的多种不同可选择的特征中,在沿该半导体的纵剖面的任意点上,剖面长度和最大宽度的比值大于 4 : 1,或大于 10 : 1,或大于 100 : 1,或甚至大于 1000 : 1。

[0079] 在该实施方案的多个不同方面,该至少一种半导体的至少一部分具有小于 200 纳米、或小于 150 纳米、或小于 100 纳米、或小于 80 纳米、或小于 70 纳米、或小于 60 纳米、或小于 40 纳米、或小于 20 纳米、或小于 10 纳米、或者甚至小于 5 纳米的最小宽度。

[0080] 在该实施方案的多个不同方面,该至少一种半导体包含来自自由 Si、Ge、Sn、Se、Te、B, 金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO、以及两种或更多这类半导体的适当组合组成的一组中的半导体。

[0081] 在该实施方案的多个不同方面,该至少一种半导体包含来自自由下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质;来自周期表的 IV 族的 n 型掺杂物质;从由 C 和 Si 组成的组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质。

[0082] 在该实施方案的多个不同方面,该至少一种半导体是体掺杂的;该半导体包含直接带隙半导体;跨越两种交叉的半导体的结施加电压,每种半导体具有小于 500 纳米的最小宽度;每种半导体具有小于 100 纳米的最小宽度;通过控制该至少一种具有小于 100 纳米的最小宽度的半导体的尺寸控制所发射光的波长;该半导体被拉长,并且被拉长的半导体的宽度受到控制;该半导体具有一种性质,即:如果所述半导体的块体具有最短尺寸的最小值,则其在第一波长发光,并且该半导体受控制的尺寸小于该最短尺寸的最小值。

[0083] 在另一个实施方案中,制造了具有至少一个掺杂半导体元件和一个或更多其它元件的器件。半导体在其生长过程中被掺杂以产生掺杂的半导体元件,并且掺杂的半导体元件被连接到所述一个或更多其它元件中的至少一个。

[0084] 在该实施方案的一个方面,掺杂的半导体是下列至少其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;

以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体。

[0085] 在该实施方案的多个不同方面,该半导体元件至少是纳米线的一部分;该半导体在该半导体生长的过程中被掺杂。

[0086] 在另一个实施方案中,提供了用于可控制地装配具有拉长部件的半导体器件的过程,这些拉长部件在该部件横向方向上具有纳米量级特征尺寸,该过程包括:产生至少一种第一掺杂类型的第一部件,将所述第一部件定向到第一方向上,并把所述第一部件连接到至少一个第一接触上以使得电流得以流过该第一部件。

[0087] 在该实施方案的多个不同方面:该过程还包括产生至少一种第二掺杂类型的第二部件,将所述第二部件定向到不同于第一方向的第二方向上,使第一部件和第二部件之间实现电接触,并把所述第二部件连接到至少一个第二接触上以使得电流得以在第一部件和第二部件之间流动;该过程还包括将所述第一部件连接到间隔开的接触上并且在间隔开的接触之间,在接近该第一部件处设置一个栅极,藉此形成 FET;该第一掺杂类型是 n 型或 p 型之一;如果该第一掺杂类型是 p 型,则该第二掺杂类型是 n 型,如果该第一掺杂类型是 n 型,则该第二掺杂类型是 p 型;通过施加电场和流体流中至少其一来定向该第一部件;该第一部件被悬浮在流体流中;通过施加机械手段来定向该第一部件;通过施加电场和流体流中至少其一来定向该第二部件;该第二部件被悬浮在流体流中;通过施加机械手段来定向该第二部件。

[0088] 而在另一个实施方案中,提供了半导体器件,包含:具有金属接触阵列的硅衬底;与所述阵列电连通的交叉开关部件(crossbar switchelement),并具有 p 型半导体纳米线形成的第一接点(bar)和与第一接点间隔开并与其横向设置的由 n 型半导体纳米线形成的第二接点。

[0089] 在该实施方案的一个方面,该第二接点被与第一接点间隔开 1 到 10 纳米。

[0090] 在另一个实施方案中,提供了用于制造纳米线半导体器件的方法,包括:通过在两触点之间施加电势,在两个触点之间定位第一纳米线;在另外两个触点之间定位第二纳米线。

[0091] 在另一个实施方案中,提供了用于制造纳米线半导体器件的方法,包括:形成具有一个或更多选择性地吸引纳米线的区域的表面。

[0092] 在另一个实施方案中,提供了用于用纳米线制造发光二极管的方法,该二极管具有由在两个掺杂的纳米线之间的 p-n 结的尺寸决定的发射波长。

[0093] 而在另一个实施方案中,提供了用于通过交叉 p 型纳米线和 n 型纳米线制造半导体结的方法。

[0094] 在另一个实施方案中,提供了用于在表面上装配一个或更多拉长结构的方法,其中该方法包括操作:在所述表面上流动包含一种或更多拉长结构的流体;在所述表面上对准所述一种或更多拉长结构,以形成拉长结构的阵列。

[0095] 在该方法的多种不同实施方案中:流动包含沿第一方向流动的流体,并且对准包含在流体沿第一方向流动时对准一种或更多拉长结构以形成阵列结构的第一层,并且该方法还包含把流动方向从第一方向改变到第二方向,并重复流动和对准的操作;来自第一层的至少一个第一拉长结构和来自第二阵列的至少一个第二拉长结构接触;第一和第二拉长结构之一是第一导电类型的掺杂半导体,第一和第二拉长结构的另一个是第二导电类型的

掺杂半导体；第一导电类型是 p 型并且第二导电类型是 n 型，其中第一和第二拉长结构形成了 p-n 结；表面是衬底的表面，该方法还包括把拉长结构的阵列从该衬底的表面转移到另一衬底的表面；转移包含冲压；所述一种或更多拉长结构在仍被包含在流体中时在表面上对准；用将一种或更多拉长结构吸引到表面上特定位置的一种或更多功能调节表面，并且对准操作包含使用该一种或更多功能把一种或更多拉长结构吸引到特定位置；调节操作包含用一个或更多分子调节表面；调节操作包含用一个或更多电荷调节表面；调节操作包含用一个或更多磁体 (magneto) 调节表面；调节操作包含用一个或更多光强度调节表面；用一个或更多把一个或更多拉长结构用化学作用力吸引到表面上的特定位置的功能调节表面；调节操作包含用一个或更多把一个或更多拉长结构用光学作用力吸引到表面上的特定位置的功能调节表面；调节操作包含用一个或更多把一个或更多拉长结构用静电作用力吸引到表面上的特定位置的功能调节表面；调节操作包含用一个或更多把一个或更多拉长结构用磁力吸引到表面上的特定位置的功能调节表面；该方法还包含图案化表面以在表面的特定位置接收一个或更多拉长结构；图案化 (patterning) 操作包含在表面上创建物理图案；该物理图案是沟槽；该物理图案是台阶；该表面是衬底的表面，并且在表面上创建物理图案包含使用衬底的晶格台阶 (step)；该表面是衬底的表面，并且在表面上创建物理图案包含使用自组装二嵌段聚合物条带 (self-assembled di-block polymer strips)；在表面上创建物理图案包含使用图案；在表面上创建物理图案包含使用印刷的图案；和 / 或流动操作包含使用通道控制流体的流动。

[0096] 在该实施方案的附加方面：拉长结构中至少有一个是半导体；拉长结构中至少有一个是掺杂的半导体；拉长结构中至少有一个是体掺杂的半导体；结构中至少有一个是掺杂的单晶半导体；结构中至少有一个是拉长且体掺杂的半导体，该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸；结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂掺杂的半导体；结构中至少有一个是掺杂的半导体，该半导体至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B、金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的一组中选取的半导体；该掺杂半导体包含来自下列物质组成的一组中的掺杂物质：来自周期表的 III 族的 p 型掺杂物质；来自周期表的 V 族的 n 型掺杂物质；从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质；从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质；来自周期表的 II 族的 p 型掺杂物质；从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质；来自周期表的 IV 族的 n 型掺杂物质；从由 C 和 Si 组成的组中选出的 p 型掺杂物质；或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质；该掺杂半导体在该半导体的生长过程中被掺杂。

[0097] 在另一个实施方案中,公开了在表面上装配一个或更多拉长结构的方法,其中,拉长结构中的一个或更多至少是下列其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;并且其中该方法包含用一种或更多将一种或更多拉长结构吸引到表面上特定位置的功能来操作调节表面,并且使用该一种或更多功能通过把一个或更多拉长结构吸引到特定位置来对准一个或更多拉长结构。

[0098] 在该实施方案的多个不同方面:调节操作包含用一个或更多分子调节表面;调节操作包含用一个或更多电荷调节表面;调节操作包含用一个或更多磁体(magneto)调节表面;调节操作包含用一个或更多光强调节表面;用一个或更多把一个或更多拉长结构用化学作用力吸引到表面上的特定位置的功能调节表面;调节操作包含用一个或更多把一个或更多拉长结构用光学作用力吸引到表面上的特定位置的功能调节表面;调节操作包含用一个或更多把一个或更多拉长结构用静电作用力吸引到表面上的特定位置的功能调节表面;和/或调节操作包含用一个或更多把一个或更多拉长结构用磁力吸引到表面上的特定位置的功能调节表面。

[0099] 在该实施方案的附加方面:拉长结构中至少有一个是半导体;拉长结构中至少有一个是掺杂的半导体;拉长结构中至少有一个是体掺杂的半导体;结构中至少有一个是掺杂的单晶半导体;结构中至少有一个是拉长且体掺杂的半导体,该半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;结构中至少有一个是掺杂的半导体,该半导体至少是下列其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B, 金刚石、P、B-C、B-P(BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的一组中选取的半导体;该掺杂半导体包含来自自由下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质;来自周期表的 IV 族的 n 型掺杂物质;从由 C 和 Si 组成的组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质;该掺杂半导体在该半导体的生长过程中被掺杂。

[0100] 在另一个实施方案中,公开了在表面上装配多个拉长结构的方法,其中,拉长结构中的一个或更多至少是下列其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;并且其中该方法包含操作:在表面上沉积多个拉

长结构；并且使对表面带电以在该多个拉长结构中的两个或更多之间产生静电作用力。

[0101] 在该实施方案的多个不同方面：静电作用力使得两个或更多拉长结构对准其自身；静电作用力使得两个或更多拉长结构自身对准到一个或更多图案；和 / 或一个或更多图案包含平行阵列。

[0102] 在该实施方案的附加方面：拉长结构中至少有一个是半导体；拉长结构中至少有一个是掺杂的半导体；拉长结构中至少有一个是体掺杂的半导体；结构中至少有一个是掺杂的单晶半导体；结构中至少有一个是拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；结构中至少有一个是掺杂的半导体，该半导体至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一个具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B、金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag) (Al、Ga、In、Tl、Fe) (S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的组中选取的半导体；该掺杂半导体包含来自自由下列物质组成的一组中的掺杂物质：来自周期表的 III 族的 p 型掺杂物质；来自周期表的 V 族的 n 型掺杂物质；从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质；从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质；来自周期表的 II 族的 p 型掺杂物质；从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质；来自周期表的 IV 族的 n 型掺杂物质；从由 C 和 Si 组成的组中选出的 p 型掺杂物质；或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质；该掺杂半导体在该半导体的生长过程中被掺杂。

[0103] 而在另一个实施方案中，提供了在表面上装配多个拉长结构的方法，其中，拉长结构中的一个或更多至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一个具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；并且其中该方法包含操作：在液相表面上分散一个或多个拉长结构以形成 Langmuir-Blodgett 薄膜；压缩该 Langmuir-Blodgett 薄膜；并把压缩过的 Langmuir-Blodgett 薄膜转移到表面上。

[0104] 在该实施方案的一个方面，表面是衬底表面。

[0105] 在该实施方案的附加方面：拉长结构中至少有一个是半导体；拉长结构中至少有一个是掺杂的半导体；拉长结构中至少有一个是体掺杂的半导体；结构中至少有一个是掺杂的单晶半导体；结构中至少有一个是拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；结构中至少有一个是掺杂的半导体，该半导体至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一部分具有最小宽度小于 500 纳米

的自支撑且体掺杂的半导体 ;该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B, 金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag) (Al、Ga、In、Tl、Fe) (S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的组中选取的半导体 ;该掺杂半导体包含来自自由下列物质组成的一组中的掺杂物质 :来自周期表的 III 族的 p 型掺杂物质 ;来自周期表的 V 族的 n 型掺杂物质 ;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质 ;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质 ;来自周期表的 II 族的 p 型掺杂物质 ;从由 Mg、Zn、Cd 和 Hg 组成的一族中选出的 p 型掺杂物质 ;来自周期表的 IV 族的 n 型掺杂物质 ;从由 C 和 Si 组成的组中选出的 p 型掺杂物质 ;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质 ;该掺杂半导体在该半导体的生长过程中被掺杂。

[0106] 在另一个实施方案中,提供了在表面上装配多个一个或更多拉长结构的方法,其中,拉长结构中至少有一个至少是下列其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;并且其中该方法包含操作:在柔性基体中分散一个或多个拉长结构;在一个方向上拉伸该柔性基体以在一个或多个拉长结构上产生导致至少一个拉长结构在该方向上对准的剪应力;移去该柔性基体;并将至少一个对准的拉长结构转移到表面上。

[0107] 在该实施方案的多个不同方面:该方向平行于表面平面,拉伸操作包括用电感应作用力拉伸柔性基体;拉伸操作包括用光感应作用力拉伸柔性基体;拉伸操作包括用机械感应作用力拉伸柔性基体;拉伸操作包括用磁感应作用力拉伸柔性基体;该表面是衬底的表面;柔性基体是聚合物。

[0108] 在该实施方案的附加方面:拉长结构中至少有一个是半导体;拉长结构中至少有一个是掺杂的半导体;拉长结构中至少有一个是体掺杂的半导体;结构中至少有一个是掺杂的单晶半导体;结构中至少有一个是拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;结构中至少有一个是掺杂的半导体,该半导体至少是下列其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B, 金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag) (Al、Ga、In、Tl、Fe) (S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO

组成的组中选取的半导体 ;该掺杂半导体包含来自下列物质组成的一组中的掺杂物质 :来自周期表的 III 族的 p 型掺杂物质 ;来自周期表的 V 族的 n 型掺杂物质 ;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质 ;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质 ;来自周期表的 II 族的 p 型掺杂物质 ;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质 ;来自周期表的 IV 族的 n 型掺杂物质 ;从由 C 和 Si 组成的组中选出的 p 型掺杂物质 ;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质 ;该掺杂半导体在该半导体的生长过程中被掺杂。

[0109] 在另一个实施方案中,提供了用于生长掺杂半导体的系统,该系统包含 :用于提供半导体分子和掺杂物质分子的装置 ;和用于在半导体生长过程中将掺杂物质分子掺入半导体分子中以产生掺杂半导体的装置。

[0110] 在该实施方案的附加方面,拉长结构中至少有一个是半导体 ;拉长结构中至少有一个是掺杂的半导体 ;拉长结构中至少有一个是体掺杂的半导体 ;结构中至少有一个是掺杂的单晶半导体 ;结构中至少有一个是拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸 ;结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体 ;结构中至少有一个是掺杂的半导体,该半导体至少是下列其中之一 :单晶体 ;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸 ;以及具有至少一个具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体 ;该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B,金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag) (Al、Ga、In、Tl、Fe) (S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂ (S、Se、Te)₃、Al₂CO 组成的组中选取的半导体 ;该掺杂半导体包含来自下列物质组成的一组中的掺杂物质 :来自周期表的 III 族的 p 型掺杂物质 ;来自周期表的 V 族的 n 型掺杂物质 ;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质 ;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质 ;来自周期表的 II 族的 p 型掺杂物质 ;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质 ;来自周期表的 IV 族的 n 型掺杂物质 ;从由 C 和 Si 组成的组中选出的 p 型掺杂物质 ;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质 ;该掺杂半导体在该半导体的生长过程中被掺杂。

[0111] 在另一个实施方案中,提供了用于在表面上装配一个或更多拉长结构的系统,该系统包含 :用于在表面上流动包含一个或更多拉长结构的流体的装置 ;和用于在表面上对准一个或更多拉长结构以形成拉长结构阵列的装置。

[0112] 在该实施方案的附加方面,拉长结构中至少有一个是半导体 ;拉长结构中至少有一个是掺杂的半导体 ;拉长结构中至少有一个是体掺杂的半导体 ;结构中至少有一个是掺杂的单晶半导体 ;结构中至少有一个是拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸 ;结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体 ;结构中至少有一个是掺杂的半导体,该半导

体至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B，金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag) (Al、Ga、In、Tl、Fe) (S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的组中选取的半导体；该掺杂半导体包含来自自由下列物质组成的一组中的掺杂物质：来自周期表的 III 族的 p 型掺杂物质；来自周期表的 V 族的 n 型掺杂物质；从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质；从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质；来自周期表的 II 族的 p 型掺杂物质；从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质；来自周期表的 IV 族的 n 型掺杂物质；从由 C 和 Si 组成的组中选出的 p 型掺杂物质；或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质；该掺杂半导体在该半导体的生长过程中被掺杂。

[0113] 而在另一个实施方案中，提供了用于在表面上装配一个或更多拉长结构的系统，其中，拉长结构中有一个或更多是下列至少其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一个具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；并且其中该系统包含：用一种或更多将一种或更多拉长结构吸引到表面上特定位置的功能来调节表面的装置，和用于使用该一种或更多功能通过把一个或更多拉长结构吸引到特定位置来对准一个或更多拉长结构的装置。

[0114] 在该实施方案的附加方面，拉长结构中至少有一个是半导体；拉长结构中至少有一个是掺杂的半导体；拉长结构中至少有一个是体掺杂的半导体；结构中至少有一个是掺杂的单晶半导体；结构中至少有一个是拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；结构中至少有一个是掺杂的半导体，该半导体至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B，金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag) (Al、Ga、In、Tl、Fe) (S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的组中选取的半导体；该掺杂半导体包含来自自由下列物质组成的一组中的掺杂物质：来自周期表的 III 族的 p 型掺杂物质；来自周期表的 V 族的 n 型掺杂物质；从由 B、Al 和 In

组成的组中选出的 p 型掺杂物质 ;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质 ;来自周期表的 II 族的 p 型掺杂物质 ;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质 ;来自周期表的 IV 族的 n 型掺杂物质 ;从由 C 和 Si 组成的组中选出的 p 型掺杂物质 ;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质 ;该掺杂半导体在该半导体的生长过程中被掺杂。

[0115] 在另一个实施方案中,提供了用于在表面上装配多个拉长结构的系统,其中,拉长结构中有一个或更多至少是下列其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;并且其中该系统包含用于把多个拉长结构沉积到表面上的装置,和用于使表面带电以在该多个拉长结构中的两个或更多之间产生静电作用力的装置。

[0116] 在该实施方案的附加方面,拉长结构中至少有一个是半导体;拉长结构中至少有一个是掺杂的半导体;拉长结构中至少有一个是体掺杂的半导体;结构中至少有一个是掺杂的单晶半导体;结构中至少有一个是拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;结构中至少有一个是掺杂的半导体,该半导体至少是下列其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B,金刚石、P、B-C、B-P(BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的组中选取的半导体;该掺杂半导体包含来自自由下列物质组成的一组中的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质;来自周期表的 IV 族的 n 型掺杂物质;从由 C 和 Si 组成的组中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质;该掺杂半导体在该半导体的生长过程中被掺杂。

[0117] 在另一个实施方案中,提供了用于在表面上装配多个拉长结构的系统,其中,拉长结构中的一个或更多至少是下列其中之一:单晶体;拉长且体掺杂的半导体,该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体;并且其中该系统包含:用于在液相表面上分散一个或多个拉长结构以形成 Langmuir-Blodgett 薄膜的装置;用于压缩该 Langmuir-Blodgett 薄膜的装置;和用于把压缩过的 Langmuir-Blodgett 薄膜转移到表面上的装置。

[0118] 在该实施方案的附加方面：拉长结构中至少有一个是半导体；拉长结构中至少有一个是掺杂的半导体；拉长结构中至少有一个是体掺杂的半导体；结构中至少有一个是掺杂的单晶半导体；结构中至少有一个是拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；结构中至少有一个是掺杂的半导体，该半导体至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B，金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag) (Al、Ga、In、Tl、Fe) (S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的组中选取的半导体；该掺杂半导体包含来自下列物质组成的一组中的掺杂物质：来自周期表的 III 族的 p 型掺杂物质；来自周期表的 V 族的 n 型掺杂物质；从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质；从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质；来自周期表的 II 族的 p 型掺杂物质；从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质；来自周期表的 IV 族的 n 型掺杂物质；从由 C 和 Si 组成的组中选出的 p 型掺杂物质；或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质；该掺杂半导体在该半导体的生长过程中被掺杂。

[0119] 在另一个实施方案中，提供了在表面上装配多个一个或更多拉长结构的系统，其中，拉长结构中至少有一个至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；并且其中该系统包含：用于在柔性基体中分散一个或多个拉长结构的装置；用于在一个方向上拉伸该柔性基体以在一个或多个拉长结构上产生导致至少一个拉长结构在该方向上对准的剪应力的装置；用于移去柔性基体的装置；并将至少一个对准的拉长结构转移到表面上的装置。

[0120] 在该实施方案的附加方面：拉长结构中至少有一个是半导体；拉长结构中至少有一个是掺杂的半导体；拉长结构中至少有一个是体掺杂的半导体；结构中至少有一个是掺杂的单晶半导体；结构中至少有一个是拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；结构中至少有一个是至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；结构中至少有一个是掺杂的半导体，该半导体至少是下列其中之一：单晶体；拉长且体掺杂的半导体，该半导体在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一部分具有最小宽度小于 500 纳米的自支撑且体掺杂的半导体；该掺杂半导体包含来自自由 Si、Ge、Sn、Se、Te、B，金刚石、P、B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/

BeSe/BeTe/MgS/MgSe、GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO组成的组中选取的半导体；该掺杂半导体包含来自下列物质组成的一组中的掺杂物质：来自周期表的 III 族的 p 型掺杂物质；来自周期表的 V 族的 n 型掺杂物质；从由 B、Al 和 In 组成的组中选出的 p 型掺杂物质；从由 P、As 和 Sb 组成的组中选出的 n 型掺杂物质；来自周期表的 II 族的 p 型掺杂物质；从由 Mg、Zn、Cd 和 Hg 组成的组中选出的 p 型掺杂物质；来自周期表的 IV 族的 n 型掺杂物质；从由 C 和 Si 组成的组中选出的 p 型掺杂物质；或从由 Si、Ge、Sn、S、Se 和 Te 组成的组中选出的 n 型掺杂物质；该掺杂半导体在该半导体的生长过程中被掺杂。

[0121] 本发明的另一方面还涉及以下项目：

[0122] 1. 一种独立式的体掺杂半导体，其特征在于包括至少一个具有小于 500 纳米的最小宽度的部分。

[0123] 2. 如项目 1 所述半导体，其中，所述半导体包括：

[0124] 包含第一半导体的内核；和

[0125] 所述内核外部的一个或更多外壳，外壳中至少有一个包含不同于所述第一半导体的材料。

[0126] 3. 如项目 1 所述半导体，其中，所述半导体包括基本半导体。

[0127] 4. 如项目 3 所述半导体，其中，所述基本半导体选自由 Si、Ge、Sn、Se、Te、B、Diamond 和 P 组成的一族。

[0128] 5. 如项目 1 所述半导体，其中，所述半导体包括基本半导体的固溶体。

[0129] 6. 如项目 5 所述半导体，其中，所述固溶体选自由 B-C、B-P(BP6)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn 组成的一族。

[0130] 7. 如项目 1 所述半导体，其中，所述半导体包含 IV 族 -IV 族半导体。

[0131] 8. 如项目 7 所述半导体，其中，所述 IV 族 -IV 族半导体是 SiC。

[0132] 9. 如项目 1 所述半导体，其中，所述半导体包括 III 族 -V 族半导体。

[0133] 10. 如项目 9 所述半导体，其中，所述 III 族 -V 族半导体选自由 BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb 和 InN/InP/InAs/InSb 组成的一族。

[0134] 11. 如项目 1 所述半导体，其中，所述半导体包括合金，所述合金包含两种或更多的来自自由 BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb 组成的一族中的 III 族 -V 族半导体的组合。

[0135] 12. 如项目 1 所述半导体，其中，所述半导体包括 II 族 -VI 族半导体。

[0136] 13. 如项目 12 所述半导体，其中，所述 II 族 -VI 族半导体选自由 ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe 组成的一族。

[0137] 14. 如项目 1 所述半导体，其中，所述半导体包括合金，所述合金包含两种或更多的来自自由 ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe 组成的一族中的 II 族 -VI 族半导体的组合。

[0138] 15. 如项目 1 所述半导体，其中，所述半导体包括合金，所述合金包含来自 ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe 组成的一族的

II 族 -VI 族半导体和来自 BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb 组成的一族的 III-V 族半导体的组合。

[0139] 16. 如项目 1 所述半导体,其中,所述半导体包括 IV 族 -VI 族半导体。

[0140] 17. 如项目 16 所述半导体,其中,所述半导体选自由 GeS、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe 组成的一族。

[0141] 18. 如项目 1 所述半导体,其中,所述半导体包括 I 族 -VII 族半导体。

[0142] 19. 如项目 18 所述半导体,其中,所述半导体选自由 CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI 组成的一族。

[0143] 20. 如项目 1 所述半导体,其中,所述半导体包括选自由 BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃ 和 Al₂CO 组成的一族的半导体。

[0144] 21. 如项目 1 所述半导体,其中,所述半导体包括 p 型掺杂物质。

[0145] 22. 如项目 1 所述半导体,其中,所述半导体包括 n 型掺杂物质。

[0146] 23. 如项目 1 所述半导体,其中,所述半导体包括来自周期表的 III 族的 p 型掺杂物质。

[0147] 24. 如项目 1 所述半导体,其中,所述半导体包括来自周期表的 V 族的 n 型掺杂物质。

[0148] 25. 如项目 1 所述半导体,其中,所述半导体包括从由 B、Al 和 In 组成的一族中选出的 p 型掺杂物质。

[0149] 26. 项目 1 所述半导体,其中,所述半导体包括从由 P、As 和 Sb 组成的一族中选出的 n 型掺杂物质。

[0150] 27. 如项目 1 所述半导体,其中,所述半导体包括来自周期表的 II 族的 p 型掺杂物质。

[0151] 28. 项目 27 所述半导体,其中,所述 p 型掺杂物质选自由 Mg、Zn、Cd 和 Hg 组成的一族。

[0152] 29. 如项目 1 所述半导体,其中,所述半导体包括来自周期表的 IV 族的 p 型掺杂物质。

[0153] 30. 项目 29 所述半导体,其中,所述 p 型掺杂物质选自由 C 和 Si 组成的一族。

[0154] 31. 项目 27 所述半导体,其中,所述 n 型掺杂物质选自由 Si、Ge、Sn、S、Se 和 Te 组成的一族。

[0155] 32. 如项目 1 所述半导体,其中,所述最小宽度小于 200 纳米。

[0156] 33. 如项目 1 所述半导体,其中,所述最小宽度小于 150 纳米。

[0157] 34. 如项目 1 所述半导体,其中,所述最小宽度小于 100 纳米。

[0158] 35. 如项目 1 所述半导体,其中,所述最小宽度小于 80 纳米。

[0159] 36. 如项目 1 所述半导体,其中,所述最小宽度小于 70 纳米。

[0160] 37. 如项目 1 所述半导体,其中,所述最小宽度小于 60 纳米。

[0161] 38. 如项目 1 所述半导体,其中,所述最小宽度小于 40 纳米。

[0162] 39. 如项目 1 所述半导体,其中,所述最小宽度小于 20 纳米。

[0163] 40. 如项目 1 所述半导体,其中,所述最小宽度小于 10 纳米。

- [0164] 41. 如项目 1 所述半导体,其中,所述最小宽度小于 5 纳米。
- [0165] 42. 如项目 1 所述半导体,其中,所述半导体被拉长,并且所述至少一个部分是纵剖面。
- [0166] 43. 如项目 42 所述半导体,其中,所述纵剖面,剖面的长度和最大宽度的比值大于 4 : 1。
- [0167] 44. 如项目 42 所述半导体,其中,所述纵剖面,剖面的长度和最大宽度的比值大于 10 : 1。
- [0168] 45. 如项目 42 所述半导体,其中,所述纵剖面,剖面的长度和最大宽度的比值大于 100 : 1。
- [0169] 46. 如项目 42 所述半导体,其中,所述纵剖面,剖面的长度和最大宽度的比值大于 1000 : 1。
- [0170] 47. 如项目 1 所述半导体,其中,所述半导体包括单晶体。
- [0171] 48. 如项目 1 所述半导体,其中,所述半导体是器件的零件。
- [0172] 49. 如项目 1 所述半导体,其中,所述半导体是 n 掺杂的。
- [0173] 50. 如项目 1 所述半导体,其中,所述半导体是 p 掺杂的。
- [0174] 51. 如项目 1 所述半导体,其中,所述半导体是磁性的。
- [0175] 52. 如项目 51 所述半导体,其中,所述半导体包括使得所述半导体有磁性的掺杂物质。
- [0176] 53. 如项目 51 所述半导体,其中,所述半导体是铁磁性的。
- [0177] 54. 如项目 53 所述半导体,其中,所述半导体包括使得所述半导体有铁磁性的掺杂物质。
- [0178] 55. 如项目 54 所述半导体,其中,所述半导体包括二氧化锰。
- [0179] 56. 一种拉长且体掺杂的半导体,其特征在于,在沿其纵轴的任意点上具有小于 500 纳米的最大横截面尺寸。
- [0180] 57. 如项目 56 所述半导体,其中,所述半导体包括:
- [0181] 包含第一半导体的内核;和
- [0182] 所述内核外部的一个或更多外壳,外壳中至少有一个包含不同于所述第一半导体的材料。
- [0183] 58. 如项目 56 所述半导体,其中,在沿着所述半导体纵轴的任意点上,剖面长度和最大宽度的比值大于 4 : 1。
- [0184] 59. 如项目 56 所述半导体,其中,在沿着所述半导体纵轴的任意点上,剖面长度和最大宽度的比值大于 10 : 1。
- [0185] 60. 如项目 56 所述半导体,其中,在沿着所述半导体纵轴的任意点上,剖面长度和最大宽度的比值大于 100 : 1。
- [0186] 61. 如项目 56 所述半导体,其中,在沿着所述半导体纵轴的任意点上,剖面长度和最大宽度的比值大于 1000 : 1。
- [0187] 62. 如项目 56 所述半导体,其中,所述点具有小于 200 纳米的最小宽度。
- [0188] 63. 如项目 56 所述半导体,其中,所述点具有小于 150 纳米的最小宽度。
- [0189] 64. 如项目 56 所述半导体,其中,所述点具有小于 100 纳米的最小宽度。

- [0190] 65. 如项目 56 所述半导体,其中,所述点具有小于 80 纳米的最小宽度。
- [0191] 66. 如项目 56 所述半导体,其中,所述点具有小于 70 纳米的最小宽度。
- [0192] 67. 如项目 56 所述半导体,其中,所述点具有小于 60 纳米的最小宽度。
- [0193] 68. 如项目 56 所述半导体,其中,所述点具有小于 40 纳米的最小宽度。
- [0194] 69. 如项目 56 所述半导体,其中,所述点具有小于 20 纳米的最小宽度。
- [0195] 70. 如项目 56 所述半导体,其中,所述点具有小于 10 纳米的最小宽度。
- [0196] 71. 如项目 56 所述半导体,其中,所述点具有小于 5 纳米的最小宽度。
- [0197] 72. 如项目 56 所述半导体,其中,所述半导体包含单晶体。
- [0198] 73. 如项目 56 所述半导体,其中,所述半导体是独立式的。
- [0199] 74. 如项目 56 所述半导体,其中,所述半导体是器件的零件。
- [0200] 75. 如项目 56 所述半导体,其中,所述半导体是 n 掺杂的。
- [0201] 76. 如项目 56 所述半导体,其中,所述半导体是 p 掺杂的。
- [0202] 77. 一种掺杂的半导体,其特征在于包括有单晶体。
- [0203] 78. 如项目 77 所述半导体,其中,所述半导体包括:
- [0204] 包含第一半导体的内核;和
- [0205] 所述内核外部的一个或更多外壳,外壳中至少有一个包含不同于所述第一半导体的材料。
- [0206] 79. 如项目 77 所述半导体,其中,所述半导体是体掺杂的。
- [0207] 80. 如项目 77 所述半导体,其中,所述半导体是独立式的。
- [0208] 81. 如项目 77 所述半导体,其中,所述半导体包含具有小于 500 纳米的宽度的部分。
- [0209] 82. 如项目 77 所述半导体,其中,所述半导体被拉长。
- [0210] 83. 如项目 77 所述半导体,其中,所述半导体是器件的零件。
- [0211] 84. 如项目 77 所述半导体,其中,所述半导体是 n 掺杂的。
- [0212] 85. 如项目 77 所述半导体,其中,所述半导体是 p 掺杂的。
- [0213] 86. 一种掺杂的半导体,所述半导体在生长过程中被掺杂。
- [0214] 87. 如项目 86 所述半导体,其中,通过向所述半导体的一个或多个分子以及掺杂物质的一个或多个分子施加能量生长所述掺杂半导体。
- [0215] 88. 如项目 86 所述半导体,其中,通过向所述半导体的一个或多个分子以及掺杂物质的一个或多个分子施加能量生长所述掺杂半导体。
- [0216] 89. 如项目 86 所述半导体,其中,通过向所述半导体的一个或多个分子以及掺杂物质的一个或多个分子施加能量生长所述掺杂半导体。
- [0217] 90. 如项目 86 所述半导体,其中,所述半导体是体掺杂的。
- [0218] 91. 如项目 86 所述半导体,其中,所述半导体包含单晶体。
- [0219] 92. 如项目 86 所述半导体,其中,所述半导体是独立式的。
- [0220] 93. 如项目 86 所述半导体,其中,所述半导体包含具有小于 500 纳米的宽度的部分。
- [0221] 94. 如项目 86 所述半导体,其中,所述半导体被拉长。
- [0222] 95. 如项目 86 所述半导体,其中,所述半导体是 n 掺杂的。

- [0223] 96. 如项目 86 所述半导体,其中,所述半导体是 p 掺杂的。
- [0224] 97. 一种体掺杂半导体,其特征在于,其至少是下列其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;至少一部分具有小于 500 纳米的最小宽度的独立式且体掺杂的半导体,其中由体掺杂的半导体剖面产生的现象表现出所述剖面尺寸所引起的量子限制。
- [0225] 98. 如项目 97 所述半导体,其中,所述半导体被拉长,并且所述尺寸是在沿着所述半导体的纵剖面任意点上的宽度。
- [0226] 99. 如项目 98 所述半导体,其中,所述纵剖面能够不散射地输送电载流子。
- [0227] 100. 如项目 99 所述半导体,其中,所述纵剖面能够输送电载流子以便电载流子沿弹道通过纵剖面。
- [0228] 101. 如项目 99 所述半导体,其中,所述纵剖面能够输送电载流子以便电载流子相干地通过纵剖面。
- [0229] 102. 如项目 98 所述半导体,其中,所述纵剖面能够输送电载流子以便电载流子被自旋极化。
- [0230] 103. 如项目 102 所述半导体,其中,所述纵剖面能够输送电载流子以便自旋极化的电载流子不丢失自旋信息地通过纵剖面。
- [0231] 104. 如项目 98 所述半导体,其中,所述纵剖面能够响应激发发光,其中所发射光的波长和所述宽度相关。
- [0232] 105. 如项目 99 所述半导体,其中,所发射光的所述波长和所述宽度成比例。
- [0233] 106. 一种体掺杂半导体,其表现出相干输送。
- [0234] 107. 一种体掺杂半导体,其表现出沿弹道输送。
- [0235] 108. 一种体掺杂半导体,其表现出 luttinger 液态行为。
- [0236] 109. 一种包含一种或更多掺杂半导体的溶液,其中所述半导体中至少有一种是至少下列其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。
- [0237] 110. 一种包含至少一种掺杂半导体的器件,其中,所述至少一种掺杂半导体至少是下列其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。
- [0238] 111. 如项目 110 所述器件,其中,所述器件包括至少两种掺杂半导体,其中,所述至少两种掺杂半导体全都是下列其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;至少一部分具有小于 500 纳米的最小宽度的独立式且体掺杂的半导体,其中所述至少两种半导体中的第一种表现出量子限制并且所述至少两种半导体中的第二种操纵所述第一种的量子限制。
- [0239] 112. 如项目 110 所述器件,其中,所述器件包括至少两种掺杂半导体,其中,所述至少两种掺杂半导体全都是下列其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;至少一部分具有小于 500 纳米的最小宽度的独立式且体掺杂的半导体。

- [0240] 113. 如项目 111 所述器件,其中,所述至少两种体掺杂半导体彼此之间是物理接触的。
- [0241] 114. 如项目 113 所述器件,其中,所述至少两种体掺杂半导体中的第一种是第一导电类型,所述至少两种体掺杂半导体中的第二种是第二导电类型。
- [0242] 115. 如项目 114 所述器件,其中,所述第一导电类型是 n 型,所述第二导电类型是 p 型。
- [0243] 116. 如项目 115 所述器件,其中,所述至少两种体掺杂半导体形成 p-n 结。
- [0244] 117. 如项目 110 所述器件,其中,所述至少一种半导体是独立式的。
- [0245] 118. 如项目 110 所述器件,其中,所述至少一种半导体被拉长。
- [0246] 119. 如项目 110 所述器件,其中,所述至少一种半导体包含单晶体。
- [0247] 120. 如项目 110 所述器件,其中,所述至少一种半导体包括:
- [0248] 包含第一半导体的内核;和
- [0249] 所述内核外部的一个或更多外壳,外壳中至少有一个包含不同于所述第一半导体的材料。
- [0250] 121. 如项目 110 所述器件,其中,所述器件包括开关。
- [0251] 122. 如项目 110 所述器件,其中,所述器件包括二极管。
- [0252] 123. 如项目 110 所述器件,其中,所述器件包括发光二极管。
- [0253] 124. 如项目 110 所述器件,其中,所述器件包括隧道二极管。
- [0254] 125. 如项目 110 所述器件,其中,所述器件包括肖特基二极管。
- [0255] 126. 如项目 125 所述器件,其中,所述晶体管包括双极型结晶体管。
- [0256] 127. 如项目 125 所述器件,其中,所述晶体管包括场效应晶体管。
- [0257] 128. 如项目 110 所述器件,其中,所述器件包括反相器。
- [0258] 129. 如项目 128 所述器件,其中,所述反相器是互补反相器。
- [0259] 130. 如项目 110 所述器件,其中,所述器件包括光传感器。
- [0260] 131. 如项目 110 所述器件,其中,所述器件包括用于分析物的传感器。
- [0261] 132. 如项目 131 所述器件,其中,所述分析物是 DNA。
- [0262] 133. 如项目 110 所述器件,其中,所述器件包括存储器件。
- [0263] 134. 如项目 133 所述器件,其中,所述存储器件是动态存储器件。
- [0264] 135. 如项目 133 所述器件,其中,所述存储器件是静态存储器件。
- [0265] 136. 如项目 110 所述器件,其中,所述器件包括激光器。
- [0266] 137. 如项目 110 所述器件,其中,所述器件包括逻辑门。
- [0267] 138. 如项目 137 所述器件,其中,所述逻辑门是 AND 门。
- [0268] 139. 如项目 137 所述器件,其中,所述逻辑门是 NAND 门。
- [0269] 140. 如项目 137 所述器件,其中,所述逻辑门是 EXCLUSIVE-AND 门。
- [0270] 141. 如项目 137 所述器件,其中,所述逻辑门是 OR 门。
- [0271] 142. 如项目 137 所述器件,其中,所述逻辑门是 NOR 门。
- [0272] 143. 如项目 137 所述器件,其中,所述逻辑门是 EXCLUSIVE-OR 门。
- [0273] 144. 如项目 110 所述器件,其中,所述器件包括锁存器。
- [0274] 145. 如项目 110 所述器件,其中,所述器件包括寄存器。

- [0275] 146. 如项目 110 所述器件,其中,所述器件包括时钟电路。
- [0276] 147. 如项目 110 所述器件,其中,所述器件包括逻辑阵列。
- [0277] 148. 如项目 110 所述器件,其中,所述器件包含状态机。
- [0278] 149. 如项目 110 所述器件,其中,所述器件包括可编程电路。
- [0279] 150. 如项目 110 所述器件,其中,所述器件包括放大器。
- [0280] 151. 如项目 110 所述器件,其中,所述器件包括变压器。
- [0281] 152. 如项目 110 所述器件,其中,所述器件包括信号处理器。
- [0282] 153. 如项目 110 所述器件,其中,所述器件包括数字电路。
- [0283] 154. 如项目 110 所述器件,其中,所述器件包括模拟电路。
- [0284] 155. 如项目 110 所述器件,其中,所述器件包括发光源。
- [0285] 156. 如项目 155 所述器件,其中,所述发光源以比假如所述半导体具有比所述半导体的任意部分的最小宽度更大的最小宽度时所述半导体将发射的频率更高的频率发光。
- [0286] 157. 如项目 110 所述器件,其中,所述器件包括光致发光器件。
- [0287] 158. 如项目 110 所述器件,其中,所述器件包括电致发光器件。
- [0288] 159. 如项目 110 所述器件,其中,所述器件包括整流器。
- [0289] 160. 如项目 110 所述器件,其中,所述器件包括光电二极管。
- [0290] 161. 如项目 110 所述器件,其中,所述器件包括 p-n 太阳能电池。
- [0291] 162. 如项目 110 所述器件,其中,所述器件包括光电晶体管。
- [0292] 163. 如项目 110 所述器件,其中,所述器件包括单电子晶体管。
- [0293] 164. 如项目 110 所述器件,其中,所述器件包括单光子发射器。
- [0294] 165. 如项目 110 所述器件,其中,所述器件包括单光子探测器。
- [0295] 166. 如项目 110 所述器件,其中,所述器件包括自旋电子器件。
- [0296] 167. 如项目 110 所述器件,其中,所述器件包括用于原子力显微镜的超细探针。
- [0297] 168. 如项目 110 所述器件,其中,所述器件包括扫描隧道显微镜。
- [0298] 169. 如项目 110 所述器件,其中,所述器件包括场发射器件。
- [0299] 170. 如项目 110 所述器件,其中,所述器件包括光致发光标签。
- [0300] 171. 如项目 110 所述器件,其中,所述器件包括光生伏打器件。
- [0301] 172. 如项目 110 所述器件,其中,所述器件包括光子带隙材料。
- [0302] 173. 如项目 110 所述器件,其中,所述器件包括扫描近场光学显微镜。
- [0303] 174. 如项目 110 所述器件,其中,所述器件包括具有数字和模拟元件的电路。
- [0304] 175. 如项目 110 所述器件,其中,所述器件包括另一种电耦合到所述至少一种体掺杂半导体的半导体。
- [0305] 176. 如项目 175 所述器件,其中,所述另一种半导体是包括至少一个具有小于 500 纳米的最小宽度的部分的体掺杂半导体。
- [0306] 177. 如项目 110 所述器件,其中,所述器件包括另一种光耦合到所述至少一种体掺杂半导体的半导体。
- [0307] 178. 如项目 177 所述器件,其中,所述另一种半导体是包括至少一个具有小于 500 纳米的最小宽度的部分的体掺杂半导体。
- [0308] 179. 如项目 110 所述器件,其中,所述器件包括另一种磁耦合到所述至少一种体

掺杂半导体的半导体。

[0309] 180. 如项目 179 所述器件,其中,所述另一种半导体是包括至少一个具有小于 500 纳米的最小宽度的部分的体掺杂半导体。

[0310] 181. 如项目 110 所述器件,其中,所述器件包括另一种和所述至少一种体掺杂半导体物理接触的半导体。

[0311] 182. 如项目 179 所述器件,其中,所述另一种半导体是下列至少其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0312] 183. 如项目 110 所述器件,其中,所述至少一种半导体被耦合到电触头。

[0313] 184. 如项目 110 所述器件,其中,所述至少一种半导体被耦合到光触头。

[0314] 185. 如项目 110 所述器件,其中,所述至少一种半导体被耦合到磁触头。

[0315] 186. 如项目 110 所述器件,其中,所述至少一种半导体的导电性响应信号可控制。

[0316] 187. 如项目 186 所述器件,其中,所述至少一种半导体的导电性可控制具有值域内的任意值。

[0317] 188. 如项目 186 所述器件,其中,所述至少一种半导体可在两个或更多状态间切换。

[0318] 189. 如项目 188 所述器件,其中,所述至少一种半导体可通过信号在导电状态和绝缘状态间切换。

[0319] 190. 如项目 188 所述器件,其中,无需施加的信号,所述至少一种半导体的两个或更多状态可保持。

[0320] 191. 如项目 186 所述器件,其中,所述至少一种半导体的所述导电性响应电信号可控制。

[0321] 192. 如项目 186 所述器件,其中,所述至少一种半导体的所述导电性响应光信号可控制。

[0322] 193. 如项目 186 所述器件,其中,所述至少一种半导体的所述导电性响应磁信号可控制。

[0323] 194. 如项目 186 所述器件,其中,所述至少一种半导体的所述导电性响应栅极端信号可控制。

[0324] 195. 如项目 194 所述器件,其中,所述栅极端信号不和所述至少一种半导体物理接触。

[0325] 196. 如项目 110 所述器件,其中,所述半导体中至少两种形成阵列,并且阵列内的所述半导体中的至少一种是下列至少其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0326] 197. 如项目 196 所述器件,其中,所述阵列是有序阵列。

[0327] 198. 如项目 196 所述器件,其中,所述阵列不是有序阵列。

[0328] 199. 如项目 110 所述器件,其中,所述器件包含两个或更多分离并且互联的电路,所述电路中的至少一个不包含是下列至少其中之一的掺杂半导体:单晶体;拉长且体掺杂

的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0329] 200. 如项目 110 所述器件,其中,所述器件在具有一个或更多引脚的芯片上实现。

[0330] 201. 如项目 200 所述器件,其中,所述芯片包含两个或更多分离并且互联的电路,所述电路中的至少一个不包含是下列至少其中之一掺杂的半导体:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0331] 202. 一种用于生长掺杂半导体的试剂的集合,该掺杂半导体将是下列至少其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体,所述半导体包含至少一个具有小于 500 纳米的最小宽度的部分,

[0332] 其中,所述集合包含半导体试剂和掺杂物质试剂。

[0333] 203. 一种生长半导体的方法,所述方法包括操作:

[0334] (A) 在所述半导体的生长过程中掺杂所述半导体。

[0335] 204. 如项目 203 所述方法,其中,生长的半导体是至少是下列其中之一掺杂的半导体:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0336] 205. 如项目 203 所述方法,还包括操作:

[0337] (B) 向所述掺杂半导体的表面增加一种或更多其他材料。

[0338] 206. 如项目 205 所述方法,其中,操作 (B) 包括形成围绕所述掺杂半导体的壳。

[0339] 207. 如项目 203 所述方法,其中,操作 (A) 包括:

[0340] 控制掺杂的程度。

[0341] 208. 如项目 203 所述方法,其中,操作 (A) 包括通过向分子集合施加能量生长所述掺杂半导体,所述分子集合包含所述半导体分子和掺杂物质分子。

[0342] 209. 如项目 208 所述方法,其中,操作 (A) 包括操作:

[0343] 控制掺杂的程度。

[0344] 210. 如项目 209 所述方法,其中,所述控制掺杂操作包括控制所述半导体分子的数量和所述掺杂物质分子数量的比值。

[0345] 211. 如项目 209 所述方法,其中,操作 (A) 还包括:

[0346] 使用激光汽化所述分子以形成汽化的分子。

[0347] 212. 如项目 211 所述方法,其中,操作 (A) 还包括:

[0348] 用所述汽化分子生长所述半导体。

[0349] 213. 如项目 211 所述方法,其中,操作 (A) 还包括:

[0350] 把所述汽化分子冷凝成液态团。

[0351] 214. 如项目 212 所述方法,其中,操作 (A) 还包括:

[0352] 用所述液态团生长所述半导体。

[0353] 215. 如项目 211 所述方法,其中,操作 (A) 使用激光辅助催化生长执行。

[0354] 216. 如项目 208 所述方法,其中,所述分子集合包含催化材料的分子团。

- [0355] 217. 如项目 216 所述方法, 其中, 操作 (A) 包括:
- [0356] 控制所述半导体的宽度。
- [0357] 218. 如项目 217 所述方法, 其中, 控制所述半导体的宽度包括:
- [0358] 控制所述催化团的宽度。
- [0359] 219. 如项目 203 所述方法, 其中, 操作 (A) 还包括:
- [0360] 至少在所述分子上进行化学气相沉积。
- [0361] 220. 如项目 203 所述方法, 其中, 生长的所述半导体具有最小宽度小于 10 纳米的至少一个部分。
- [0362] 221. 如项目 220 所述方法, 其中, 生长的所述半导体具有至少一个具有小于 20 纳米的最小宽度的部分。
- [0363] 222. 如项目 220 所述方法, 其中, 生长的所述半导体具有至少一个具有小于 5 纳米的最小宽度的部分。
- [0364] 223. 如项目 203 所述方法, 其中, 生长的所述半导体是磁性的。
- [0365] 224. 如项目 223 所述方法, 其中, 操作 (A) 包括:
- [0366] 用使得所述生长的半导体有磁性的材料掺杂所述半导体。
- [0367] 225. 如项目 203 所述方法, 其中, 生长的所述半导体是铁磁性的。
- [0368] 226. 如项目 225 所述方法, 操作 (A) 包括:
- [0369] 用使得所述生长的半导体有铁磁性的材料掺杂所述半导体。
- [0370] 227. 如项目 226 所述方法, 其中, 操作 (A) 包括:
- [0371] 用二氧化锰掺杂所述半导体。
- [0372] 228. 一种制造器件的方法, 其特征在于, 该方法包括如下操作:
- [0373] (A) 使得一种或更多半导体和表面接触, 其中, 所述半导体中至少一种是下列至少其中之一: 单晶体; 拉长且体掺杂的半导体, 所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸; 以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。
- [0374] 229. 如项目 228 所述方法, 其中, 所述表面是衬底。
- [0375] 230. 如项目 228 所述方法, 还包括操作:
- [0376] (B) 在操作 (A) 前, 通过向半导体分子和掺杂物质分子施加能量生长所述半导体中的至少一种。
- [0377] 231. 如项目 228 所述方法, 其中, 操作 (A) 包括:
- [0378] 使得包含所述至少一种或更多半导体的溶液和所述表面接触。
- [0379] 232. 如项目 231 所述方法, 还包括:
- [0380] (B) 使用电场把所述半导体中的一种或更多在所述表面上对齐。
- [0381] 233. 如项目 232 所述方法, 其中, 操作 (B) 包括:
- [0382] 在至少两个电极之间产生电场; 和
- [0383] 把所述半导体中的一种或更多置于所述电极之间。
- [0384] 234. 如项目 231 所述方法, 还包括操作:
- [0385] (B) 使用另一种包含一种或更多其他半导体的溶液重复操作 (A), 其中, 所述其他半导体中的至少一种是下列至少其中之一: 单晶体; 拉长且体掺杂的半导体, 所述半导体

在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸 ; 以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0386] 235. 如项目 228 所述方法, 还包括操作 :

[0387] (B) 调节所述表面以把所述一种或更多接触的半导体连接到所述表面。

[0388] 236. 如项目 235 所述方法, 其中, 操作 (B) 包括 :

[0389] 在所述表面上形成沟道。

[0390] 237. 如项目 235 所述方法, 其中, 操作 (B) 包括 :

[0391] 在所述表面上形成样式。

[0392] 238. 如项目 228 所述方法, 还包括 :

[0393] (B) 使用电场把所述半导体中的一种或更多在所述表面上对齐。

[0394] 239. 如项目 238 所述方法, 其中, 操作 (B) 包括 :

[0395] 在至少两个电极之间产生电场 ; 和

[0396] 把所述半导体中的一种或更多置于所述电极之间。

[0397] 240. 一种产生光的方法, 其特征在于, 该方法包括如下操作 :

[0398] (A) 向一种或更多半导体施加能量引起所述一种或更多半导体发光, 其中, 所述半导体中的至少一种是下列至少其中之一 : 单晶体 ; 拉长且体掺杂的半导体, 所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸 ; 以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0399] 241. 如项目 240 所述方法, 其中, 所述半导体包括直接带隙半导体。

[0400] 242. 如项目 240 所述方法, 其中, 操作 (A) 包括跨越两种交叉的半导体的结施加电压, 每种半导体具有小于 500 纳米的最小宽度。

[0401] 243. 如项目 242 所述方法, 其中, 每种半导体具有小于 100 纳米的最小宽度。

[0402] 244. 如项目 240 所述方法, 还包括操作 :

[0403] (B) 通过控制所述至少一种具有小于 100 纳米的最小宽度的半导体的尺寸控制所发射光的波长。

[0404] 245. 如项目 244 所述方法, 其中, 所述半导体被拉长, 并且操作 (B) 包括 :

[0405] 控制所述拉长半导体的宽度。

[0406] 246. 如项目 244 所述方法, 其中 :

[0407] 该半导体具有一个性质, 即 : 如果大量的所述半导体具有最小最短尺寸, 则其在第一波长发光, 并且

[0408] 所述半导体受控制的尺寸小于所述最小最短尺寸。

[0409] 247. 一种制造具有掺杂半导体元件和一个或更多其他元件的器件的方法, 所述方法包括操作 :

[0410] (A) 在半导体生长过程中掺杂半导体, 以产生所述掺杂半导体元件 ; 和

[0411] (B) 把所述掺杂半导体元件连接到所述一个或更多其他元件中的至少一个。

[0412] 248. 如项目 247 所述方法, 其中, 所述掺杂半导体元件是至少下列其中之一 : 单晶体 ; 拉长且体掺杂的半导体, 所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸 ; 以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0413] 250. 一种用于可控制的装配具有拉长单元的半导体器件的过程,所述拉长单元在横越所述单元的方向上在纳米尺度上具有特征尺寸,所述过程包括:

[0414] 产生至少一个第一掺杂类型的第一单元;

[0415] 将所述第一单元定向到第一方向上,并

[0416] 把所述第一单元连接到至少一个第一触点上以使得电流得以流过所述第一单元。

[0417] 251. 如项目 250 所述过程,还包括:

[0418] 产生至少一个第二掺杂类型的第二单元;

[0419] 将所述第二单元定向到第二方向上,并

[0420] 把所述第二单元连接到至少一个第二触点上以允许电流在所述第一和第二单元之间流动。

[0421] 252. 如项目 251 所述过程,其中,如果所述第一掺杂类型是 p 型,则所述第二掺杂类型是 n 型,如果所述第一掺杂类型是 n 型,则所述第二掺杂类型是 p 型。

[0422] 253. 如项目 251 所述过程,其中,通过施加电场和液体流中至少其一定向所述第二单元。

[0423] 254. 如项目 250 所述过程,还包括:

[0424] 把所述第一单元连接到间隔开的触点上并且在间隔开的触点之间,接近所述第一单元处放置一个栅电极,藉此形成 FET。

[0425] 255. 如项目 250 所述过程,其中,所述半导体器件由选择由 Si、Ge、Sn、Se、Te、B、Diamond、P、B-C、B-P(BP6)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZrGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃ 和 Al₂CO 组成的一族的材料制成。

[0426] 256. 如项目 250 所述过程,其中,所述第一掺杂类型是 n 型或 p 型之一。

[0427] 257. 如项目 250 所述过程,其中,通过施加电场或液体流中至少其一定向所述第一单元。

[0428] 258. 如项目 257 所述过程,其中,述第一单元悬浮在所述液体流中。

[0429] 259. 项目 250 所述过程,其中,通过施加机械手段定向所述第一单元。

[0430] 260. 如项目 250 所述过程,其中,述第二单元悬浮在所述液体流中。

[0431] 261. 项目 250 所述过程,其中,通过施加机械手段定向所述第二单元。

[0432] 262. 一种半导体器件,其包括:

[0433] 具有金属触点阵列的硅衬底;

[0434] 纵横开关单元,所述单元和阵列电气连通,并具有 p 型半导体纳米线形成的第一接点(bar)和

[0435] 与第一接点间隔开并横向放置的由 n 型半导体纳米线形成的第二接点。

[0436] 263. 如项目 262 所述半导体器件,其中,所述第二接点被与所述第一接点间隔开 1 到 10 纳米。

[0437] 264. 一种用于制造纳米线半导体器件的方法,包括通过在触点之间施加电势,在两个触点之间定位第一纳米线;在另外两个触点之间定位第二纳米线。

[0438] 265. 一种用于制造纳米线半导体器件的方法,包括形成具有一个或更多选择性地吸附纳米线的区域的表面。

[0439] 266. 一种用于用纳米线制造发光二极管的方法,所述二极管具有由在两个掺杂的纳米线之间的 p-n 结的尺寸决定的发射波长。

[0440] 267. 一种制造半导体结的方法,其包括将 p 型纳米线和 n 型纳米线相互交叉。

[0441] 268. 一种在表面上装配一个或更多拉长结构的方法,所述方法包括操作:

[0442] (A) 在所述表面上流动包含一个或更多拉长结构的液体;和

[0443] (B) 在所述表面上对齐一个或更多拉长结构,以形成所述拉长结构的阵列。

[0444] 269. 如项目 268 所述方法,其中,操作 (A) 包括在第一方向上流动所述液体和操作 (B) 包含在所述液体沿第一方向流动时对齐一个或更多拉长结构以形成第一层排成阵列的结构,并且其中所述方法还包含:

[0445] (C) 把所述液体流动方向从第一方向改变到第二方向;和

[0446] (D) 在第二方向上重复操作 (A) 和 (B) 以形成第二层排成阵列的结构。

[0447] 270. 如项目 269 所述方法,包括重复操作 (C) 和 (D) 一次或更多次。

[0448] 271. 如项目 269 所述方法,其中,来自所述第一层的至少一个第一拉长结构和来自所述第二阵列的至少一个第二拉长结构接触。

[0449] 272. 如项目 271 所述方法,其中,所述第一和第二拉长结构之一是第一导电类型的掺杂半导体,第一和第二拉长结构的另一个是第二导电类型的掺杂半导体。

[0450] 273. 如项目 272 所述方法,其中,所述第一导电类型是 p 型并且所述第二导电类型是 n 型,并且其中所述第一和第二拉长结构形成了 p-n 结。

[0451] 274. 如项目 268 所述方法,其中,所述表面是衬底的表面。

[0452] 275. 如项目 274 所述方法,其中,所述方法还包括:

[0453] (C) 把拉长结构的阵列从所述衬底的表面转移到另一衬底的表面。

[0454] 276. 如项目 275 所述方法,其中,操作 (C) 包括冲压。

[0455] 277. 如项目 268 所述方法,其中,所述一个或更多拉长结构在仍被包括在所述液体中时在表面上对齐。

[0456] 278. 如项目 268 所述方法,其中,所述方法还包括:

[0457] (C) 用一种或更多把拉长结构吸附到所述表面上的特定位置的功能调节所述表面,

[0458] 其中,操作 (B) 包含使用所述一种或更多功能把一种或更多拉长结构吸附到特定位置。

[0459] 279. 如项目 278 所述方法,其中,操作 (C) 包括:

[0460] 用一个或更多分子调节所述表面。

[0461] 280. 如项目 278 所述方法,其中,操作 (C) 包括:

[0462] 用一个或更多电荷调节所述表面。

[0463] 281. 如项目 278 所述方法,其中,操作 (C) 包括:

[0464] 用一个或更多磁体 (magneto) 调节所述表面。

- [0465] 282. 如项目 278 所述方法, 其中, 操作 (C) 包括:
- [0466] 用一个或更多光强调节所述表面。
- [0467] 283. 如项目 278 所述方法, 其中, 操作 (C) 包括:
- [0468] 用一个或更多把一个或更多拉长结构用化学作用力吸附到表面上的特定位置的功能调节所述表面。
- [0469] 284. 如项目 278 所述方法, 其中, 操作 (C) 包括:
- [0470] 用一个或更多把一个或更多拉长结构用光作用力吸附到表面上的特定位置的功能调节所述表面。
- [0471] 285. 如项目 278 所述方法, 其中, 操作 (C) 包括:
- [0472] 用一个或更多把一个或更多拉长结构用静电作用力吸附到表面上的特定位置的功能调节所述表面。
- [0473] 286. 如项目 278 所述方法, 其中, 操作 (C) 包括:
- [0474] 用一个或更多把一个或更多拉长结构用磁作用力吸附到表面上的特定位置的功能调节所述表面。
- [0475] 287. 如项目 268 所述方法, 其中, 所述方法还包括:
- [0476] (C) 把所述表面做成在所述表面上的特定位置上接收一个或更多拉长结构的样式。
- [0477] 288. 如项目 287 所述方法, 其中, 操作 (C) 包括:
- [0478] 在所述表面上创建物理样式。
- [0479] 289. 如项目 288 所述方法, 其中, 所述物理样式是沟槽。
- [0480] 290. 如项目 288 所述方法, 其中, 所述物理样式是台阶。
- [0481] 291. 如项目 288 所述方法, 其中, 所述表面是衬底的表面, 并且, 其中, 在所述表面上创建物理样式包括:
- [0482] 使用所述衬底的晶格台阶。
- [0483] 292. 如项目 288 所述方法, 其中, 所述表面是衬底的表面, 并且, 其中, 在所述表面上创建物理样式包含:
- [0484] 使用使用自装配二块聚合物条带。
- [0485] 293. 如项目 288 所述方法, 其中, 在所述表面上创建物理样式包括:
- [0486] 使用样式。
- [0487] 294. 如项目 288 所述方法, 其中, 在所述表面上创建物理样式包括:
- [0488] 用印刷的样式。
- [0489] 295. 如项目 268 所述方法, 其中, 操作 (A) 包括使用沟道控制所述液体的流动。
- [0490] 296. 如项目 268 所述方法, 其中, 所述拉长结构中的至少一个是半导体。
- [0491] 297. 如项目 268 所述方法, 其中, 所述拉长结构中的至少一个是掺杂半导体。
- [0492] 298. 如项目 297 所述方法, 其中, 所述拉长结构中的至少一个是体掺杂半导体。
- [0493] 299. 如项目 268 所述方法, 其中, 所述拉长结构中的至少一个是掺杂的单晶半导体。
- [0494] 300. 如项目 268 所述方法, 其中, 所述拉长结构中的至少一个是拉长且体掺杂的半导体, 所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸。

[0495] 301. 如项目 268 所述方法,其中,所述拉长结构中的至少一个是具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0496] 302. 如项目 268 所述方法,其中,所述拉长结构中的至少一个是至少是下列其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体。

[0497] 303. 如项目 302 所述方法,其中,所述掺杂半导体包含选自 Si、Ge、Sn、Se、Te、B、Diamond、P、B-C、B-P(BP6)、B-Si、Si-C、Si-Ge、Si-Sn 和 Ge-Sn、SiC、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb、ZnO/ZnS/ZnSe/ZnTe、CdS/CdSe/CdTe、HgS/HgSe/HgTe、BeS/BeSe/BeTe/MgS/MgSe、Ges、GeSe、GeTe、SnS、SnSe、SeTe、PbO、PbS、PbSe、PbTe、CuF、CuCl、CuBr、CuI、AgF、AgCl、AgBr、AgI、BeSiN₂、CaCN₂、ZeGeP₂、CdSnAs₂、ZnSnSb₂、CuGeP₃、CuSi₂P₃、(Cu、Ag)(Al、Ga、In、Tl、Fe)(S、Se、Te)₂、Si₃N₄、Ge₃N₄、Al₂O₃、(Al、Ga、In)₂(S、Se、Te)₃、Al₂CO 组成的一族的半导体。

[0498] 304. 如项目 302 所述方法,其中,所述掺杂半导体包括来自下列物质组成的一族的掺杂物质:来自周期表的 III 族的 p 型掺杂物质;来自周期表的 V 族的 n 型掺杂物质;从由 B、Al 和 In 组成的一族中选出的 p 型掺杂物质;从由 P、As 和 Sb 组成的一族中选出的 n 型掺杂物质;来自周期表的 II 族的 p 型掺杂物质;从由 Mg、Zn、Cd 和 Hg 组成的一族中选出的 p 型掺杂物质;来自周期表的 IV 族的 n 型掺杂物质;从由 C 和 Si 组成的一族中选出的 p 型掺杂物质;或从由 Si、Ge、Sn、S、Se 和 Te 组成的一族中选出的 n 型掺杂物质。

[0499] 305. 如项目 302 所述方法,其中,所述掺杂半导体在所述半导体的生长过程中被掺杂。

[0500] 306. 一种在表面上装配一个和更多拉长结构的方法,其中,所述加长结构中的一个或更多是至少下列其中之一:单晶体;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体,并且其中,所述方法包括如下操作:

[0501] (A) 用一种或更多把一个或多个拉长结构吸附到所述表面上的特定位置的功能调节所述表面;和

[0502] (B) 通过使用所述一种或更多功能把所述一个或更多拉长结构吸附到特定位置对齐所述一个或更多拉长结构。

[0503] 307. 如项目 306 所述方法,其中,操作 (A) 包括:

[0504] 用一个或更多分子调节所述表面。

[0505] 308. 如项目 306 所述方法,其中,操作 (A) 包括:

[0506] 用一个或更多电荷调节所述表面。

[0507] 309. 如项目 306 所述方法,其中,操作 (A) 包括:

[0508] 用一个或更多磁体 (magneto) 调节所述表面。

[0509] 310. 如项目 306 所述方法,其中,操作 (A) 包括:

[0510] 用一个或更多光强调节所述表面。

[0511] 311. 如项目 306 所述方法,其中,操作 (A) 包括:

[0512] 用一个或更多把一个或更多拉长结构用化学作用力吸附到表面上的特定位置的功能调节所述表面。

[0513] 312. 如项目 306 所述方法, 其中, 操作 (A) 包括:

[0514] 用一个或更多把一个或更多拉长结构用光作用力吸附到表面上的特定位置的功能条件所述表面。

[0515] 313. 如项目 306 所述方法, 其中, 操作 (A) 包括:

[0516] 用一个或更多把一个或更多拉长结构用静电作用力吸附到表面上的特定位置的功能条件所述表面。

[0517] 314. 如项目 306 所述方法, 其中, 操作 (A) 包括:

[0518] 用一个或更多把一个或更多拉长结构用磁作用力吸附到表面上的特定位置的功能条件所述表面。

[0519] 315. 一种在表面上装配多个拉长结构的方法, 其中, 所述加长结构中的一个或更多是至少下列其中之一: 单晶体; 拉长且体掺杂的半导体, 所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸; 以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体, 并且其中, 所述方法包括操作:

[0520] (A) 在所述表面上沉积所述多个拉长结构; 和

[0521] (B) 对所述表面充电以在所述多个拉长结构中的两个或更多之间产生静电作用力。

[0522] 316. 如项目 315 所述方法, 其中, 所述静电作用力使得所述两个或更多拉长结构对齐其自身。

[0523] 317. 如项目 316 所述方法, 其中, 所述静电作用力使得两个或更多拉长结构将其自身对齐到一个或更多样式。

[0524] 318. 如项目 317 所述方法, 其中, 所述一个或更多样式包括平行阵列。

[0525] 319. 一种在表面上装配多个拉长结构的方法, 其中, 所述加长结构中的一个或更多是至少下列其中之一: 单晶体; 拉长且体掺杂的半导体, 所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸; 以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体, 并且其中, 所述方法包括操作:

[0526] (A) 在液相表面上沉积所述一个或更多拉长结构以形成 Langmuir-Blodgett 薄膜;

[0527] (B) 压缩所述 Langmuir-Blodgett 薄膜; 和

[0528] (C) 把压缩过的 Langmuir-Blodgett 薄膜转移到表面上。

[0529] 320. 如项目 319 所述方法, 其中, 所述表面是衬底的表面。

[0530] 321. 一种在表面上装配多个一个或更多拉长结构的方法, 其中, 所述加长结构中至少一个是至少下列其中之一: 单晶体; 拉长且体掺杂的半导体, 所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸; 以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体, 并且其中, 所述方法包括操作:

[0531] (A) 在可伸缩基体上分散一个或更多拉长结构;

[0532] (B) 在一个方向上拉伸所述可伸缩基体以在一个或更多拉长结构上产生导致至少一个拉长结构在所述方向上对齐的切变应力;

- [0533] (C) 移去可伸缩基体 ;和
- [0534] (D) 把所述至少一个对齐的拉长结构转移到表面上。
- [0535] 322. 如项目 321 所述方法,其中,所述方向平行于所述表面的平面。
- [0536] 323. 如项目 321 所述方法,其中,操作 (B) 包括 :
- [0537] 用电感应作用力拉伸所述可伸缩基体。
- [0538] 324. 如项目 321 所述方法,其中,操作 (B) 包括 :
- [0539] 用光感应作用力拉伸所述可伸缩基体。
- [0540] 325. 如项目 321 所述方法,其中,操作 (B) 包括 :
- [0541] 用机械感应作用力拉伸所述可伸缩基体。
- [0542] 326. 如项目 321 所述方法,其中,操作 (B) 包括 :
- [0543] 用磁感应作用力拉伸所述可伸缩基体。
- [0544] 327. 如项目 321 所述方法,其中,所述表面是衬底的表面。
- [0545] 328. 如项目 321 所述方法,其中,所述可伸缩基体是聚合物。
- [0546] 329. 一个用于生长掺杂半导体的系统,所述系统包括 :
- [0547] 用于提供半导体分子和掺杂物质分子的装置 ;和
- [0548] 用于在半导体生长过程中将所述掺杂物质分子掺入所述半导体分子中以产生所述掺杂半导体的装置。
- [0549] 330. 一个用于在表面上装配一个或更多拉长结构的系统,所述系统包括 :
- [0550] 用于在所述表面上流动包含一个或更多拉长结构的液体的装置 ;和
- [0551] 用于在所述表面上对齐所述一个或更多拉长结构以形成拉长结构阵列的装置。
- [0552] 331. 一个用于在表面上装配一个或更多拉长结构的系统,其中,所述拉长结构中的一个或更多是至少下列其中之一 :单晶体 ;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸 ;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体,并且其中,所述系统包括 :
- [0553] 用于用一种或更多把所述一个或更多拉长结构吸附到所述表面上的特定位置的功能调节所述表面的装置 ;和
- [0554] 用于通过使用所述一种或更多功能把所述一个或更多拉长结构吸附到特定位置对齐所述一个或更多拉长结构的装置。
- [0555] 332. 一个用于在表面上装配多个拉长结构的系统,其中,所述加长结构中的一个或更多是至少下列其中之一 :单晶体 ;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸 ;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体,并且其中,所述系统包括 :
- [0556] 用于把所述多个拉长结构沉积到所述表面上的装置 ;和
- [0557] 用于对所述表面充电以在所述多个拉长结构中的两个或更多之间产生静电作用力的装置。
- [0558] 333. 一个用于在表面上装配多个拉长结构的系统,其中,所述加长结构中的一个或更多是至少下列其中之一 :单晶体 ;拉长且体掺杂的半导体,所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸 ;以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体,并且其中,所述系统包括 :

[0559] 用于在液相表面上分散所述一个或多个拉长结构以形成 Langmuir-Blodgett 薄膜的装置；

[0560] 用于压缩所述 Langmuir-Blodgett 薄膜的装置；和

[0561] 用于把压缩过的所述 Langmuir-Blodgett 薄膜转移到表面上的装置。

[0562] 334. 一个用于在表面上装配多个一个或更多拉长结构的系统，其中，所述加长结构中的至少一个是至少下列其中之一：单晶体；拉长且体掺杂的半导体，所述半导体在沿其纵轴上的任意点上具有小于 500 纳米的最大横截面尺寸；以及具有至少一个具有小于 500 纳米的最小宽度的部分的独立式且体掺杂的半导体，并且其中，所述系统包括：

[0563] 用于在可伸缩基体上分散所述一个或多个拉长结构的装置；

[0564] 用于在一个方向上拉伸所述可伸缩基体以在所述一个或多个拉长结构上产生导致至少一个拉长结构在所述方向上对齐的切变应力的装置；

[0565] 用于移去所述可伸缩基体的装置；和

[0566] 把所述至少一个对齐的拉长结构转移到表面上的装置。

[0567] 上面所描述的实施方案的特征和优点以及这些实施方案的其他特征和优点将从下面的详细说明中被更容易地理解和评价，应该和附图一起阅读详细说明。

附图说明

[0568] 为了更好地说明本发明，还引用了附图，所述附图通过引用全部并入本文，所述附图中：

[0569] 图 1 是根据本发明实施方案举例的半导体制品，或纳米线的立体图。

[0570] 图 2 是激光辅助催化生长过程制造半导体纳米线例子的简化示意图。

[0571] 图 3 举例说明了纳米线生长的示意图。

[0572] 图 4 是描述控制纳米线直径的方法的一个例子的示意图。

[0573] 图 5 是举例说明在表面台阶边缘沉积制造纳米线的示意图。

[0574] 图 6 是举例说明利用蒸气沉积在拉长的模板上或其中生长纳米线的示意图。

[0575] 图 7A-7E 是举例说明半导体纳米线矩形组装形成器件的示意图。

[0576] 图 8A-8C 显示不同掺杂水平和栅电压 (gate voltage) 下的硅纳米线电流对偏压的函数关系。

[0577] 图 9A-9B 显示不同磷掺杂水平和栅电压下的硅纳米线电流对偏压的函数关系。

[0578] 图 10A-10B 分别显示了 p 型和 n 型硅纳米线器件的能带示意图。

[0579] 图 11A-11B 显示在重度硼掺杂的硅纳米线中记录到的依赖于温度的电流 - 电压曲线。

[0580] 图 12 描述了用单分散的胶体金作为催化剂生长精确的 GaP 半导体纳米线的示意图。

[0581] 图 13A 显示了用 28.2 纳米胶体合成的纳米线的 FE-SEM 图象。

[0582] 图 13B 显示了同一个样品中的另一纳米线的 TEM 图象。

[0583] 图 14A-14C 显示了测量从不同直径的胶体生长的纳米线的直径的柱状图。

[0584] 图 14D 显示了利用前述的方法而没有用胶体生长的纳米线的直径的柱状图，其中所用的激光产生金纳米团簇和 GaP 反应剂。

- [0585] 图 15 显示了金和砷化镓的伪二元相图。
- [0586] 图 16A-16C 显示了用激光辅助催化生长制备的不同纳米线的 FE-SEM 图象。
- [0587] 图 17A 显示了直径为大约 20 纳米的砷化镓纳米线的衍射对照 TEM 图象。
- [0588] 图 17B-17D 显示了不同直径的纳米线的高分辨 TEM 图象。
- [0589] 图 18A 显示了用激光辅助催化生长制备的 CdSe 纳米线的 FE-SEM 图象。
- [0590] 图 18B 显示了直径为 18 纳米的 CdSe 纳米线的衍射对照 TEM 图象。
- [0591] 图 18C 显示了直径为大约 13 纳米的 CdSe 纳米线的高分辨 TEM 图象。
- [0592] 图 19 显示了用激光辅助催化生长 GaN 纳米线的示意图。
- [0593] 图 20A 显示了用激光辅助催化生长所合成的大量 GaN 纳米线的示意图。
- [0594] 图 20B 显示了在大量 GaN 纳米线上记录的 PXR D 谱线。
- [0595] 图 21A 显示了 GaN 纳米线的衍射衬度 TEM 图像,该纳米线以更高(深色)衬度的多面形的纳米微粒结束。
- [0596] 图 21B 显示了另一个直径为大约 10 纳米的 GaN 纳米线的 HRTEM 图象。
- [0597] 图 22A-22C 举例说明了 InP 纳米线的掺杂和电学运输。
- [0598] 图 23A-23D 举例说明了交叉的纳米线结和电学性质。
- [0599] 图 24A-24D 举例说明了纳米线 P-N 结的光电特征。
- [0600] 图 25A 显示了由 p 型 Si 和 n 型 GaN 构成的纳米结获得的 EL 图象。
- [0601] 图 25B 显示了不同栅极电压下电流与电压的函数关系。
- [0602] 图 25C 显示了图 25A 所示的纳米结的 EL 图谱。
- [0603] 图 26A-26D 举例说明了在电场下纳米线的平行或矩形组装。
- [0604] 图 27A-27F 举例说明了交叉的硅纳米线结点。
- [0605] 图 28A-28D 举例说明了 n+pn 交叉的硅纳米线双极晶体管。
- [0606] 图 29A-29D 举例说明了补偿反向器和隧道二极管。
- [0607] 图 30A-30B 示意了用于流动组装的流体通道结构。
- [0608] 图 31A-31D 举例说明了纳米线阵列的平行组装。
- [0609] 图 32A-32D 举例说明了周期纳米线阵列的组装。
- [0610] 图 33A-33E 举例说明二楼交叉纳米线阵列的逐层组装和输运测量。

具体实施方式

[0611] 本发明一方面提供了用于在非常小的空间尺度上对材料,如半导体材料,进行可控掺杂,以及将掺杂的材料在彼此相对位置上进行布置以生成有用器件的技术。一组实施放在涉及用根据需要的是 n 型还是 p 型半导体选择出掺杂物质(例如:硼、铝、磷、砷等)来掺杂半导体。

[0612] 在多个不同实施方案中,本发明涉及从磷化铟、砷化镓、氮化镓、硒化镉和硒化锌中选出的半导体进行可控掺杂。在这组实施方案中,包括但不限于锌、镉或镁的掺杂物能被用于形成 p 型半导体,并且包括但不限于碲、硫、硒或锗的掺杂物能被用作掺杂物从这些材料中形成 n 型半导体。这些材料限定了直接带隙半导体材料,并且这些和掺杂的硅对本领域普通技术人员是众所周知的。本发明预期使用任何掺杂的硅或直接带隙半导体材料用于多种不同用途。

[0613] 如这里所使用的,物体的“宽度”是从物体的周边上的一个点,经过物体的中心到物体周边上的另一个点的直线距离。如这里所使用的,沿着拉长的物体的纵轴上一个点的“宽度”或“横截面尺寸”是沿着通过该点的横截面中心并连接横截面周边上的两个点的直线距离。

[0614] 如这里所使用的,“拉长”的物体(例如:半导体或其剖面)是在沿着物体的纵轴的任意点上,该点处该物体的长度和最大宽度的比值大于 2 : 1 的物体。

[0615] 如这里所使用的,拉长物体的“纵轴”是沿着该物体的最大尺寸的轴。

[0616] 如这里所使用的,拉长物体的“长度”是沿着纵轴从该物体的一端到另一端的距离。

[0617] 如这里所使用的,拉长物体的“纵剖面”是拉长物体沿着拉长物体的纵轴的部分,该部分可能具有任何大于零而小于等于该物体长度的长度。

[0618] 如这里所使用的,在沿着拉长物体的纵轴上一点的“横截面”是在该点横越拉长物体,和该物体的纵轴正交的平面。

[0619] 如这里所使用的,“柱状的”物体是具有形状类似于圆柱的外部,但是不限定或反映出任何有关该物体内部的性质的物体。换言之,柱状的物体可能具有实心的内部或者也可能具有中空的内部。

[0620] 如这里所使用的,“纳米线”或“NW”是拉长的半导体,即纳米尺度的半导体,该半导体在沿其长度的任何点上具有至少一个横截面尺寸并且,在一些实施方案中,两个正交的横截面尺寸,所述尺寸小于 500 纳米,优选小于 200 纳米,更优选小于 150 纳米,还更优选小于 100 纳米、还更优选小于 70 纳米、还更优选小于 50 纳米、还更优选小于 20 纳米、还更优选小于 10 纳米、甚至还更优选小于 5 纳米。拉长的半导体的横截面可能具有包括但不限于圆形、正方形、矩形、椭圆形的任意形状。包括规则和不规则的形状。

[0621] 如这里所使用的,“纳米管”或“NT”是具有中空芯的纳米线。

[0622] 如这里所使用的,“体掺杂”制品(例如:半导体或其剖面)是指掺杂物质以基本遍及该制品的晶格的方式掺入的制品,这和掺杂物质仅被掺入到特定区域的制品相反。例如,一些制品如碳 NT 一般在基材料生长之后进行掺杂,这样掺杂物质仅仅从碳 NT 的表面或外部延伸到晶体点阵(crystal line lattice)内部有限的距离。此外,碳 NT 经常被组合成巢状管形成交替的基材料和掺杂基材料层,以便掺杂物质不能遍及基材料的晶体点阵混和。

[0623] 如这里所用描述“纳米线”或“NW”,“掺杂”表示体掺杂。

[0624] 因此,如这里所使用的,“掺杂纳米线”或“掺杂 NW”是体掺杂纳米线。

[0625] 如这里所使用的,制品“阵列”(例如:纳米线)包含多个该制品。如这里所使用的,“交叉阵列”是该制品中至少有一个或者和该制品中的另一个或者和信号结点(例如:电极)接触。

[0626] 如这里所使用的,“耦合”到第二物体的第一物体(例如:纳米线或更大尺寸的结构)被放置地使得第一物体或者和第二物体接触,或者和第二物体足够接近以影响第二物体的性质(例如:电学性质、光学性质、磁性性质)。

[0627] 这样,本发明在一个方面预期了拉长的半导体,该半导体被以任何方式掺杂(n型或p型),具有小于 500 纳米的最小宽度。在其它的实施方案中,该半导体可能具有小于大

约 200 纳米、小于大约 150 纳米或小于大约 100 纳米的最小宽度。该半导体最好具有小于大约 80 纳米的最小宽度,小于大约 70 纳米更好,小于大约 50 纳米更佳。也包括更小的宽度,诸如那些具有至少一个小于大约 20 纳米、小于大约 10 纳米或小于大约 5 纳米的尺寸。在一些实施方案中,该拉长半导体的两个正交的横截面尺寸可能小于上面给定的值。纵横比,即半导体的长度和最大宽度的比值大于 2 : 1。在其他的实施方案中,该纵横比值可能大于 4 : 1,大于 100 : 1,甚至大于 1000 : 1。诸如这些半导体,在非常小的尺寸上找到了如下面描述的多种用途。

[0628] 图 1 举例说明了柱状半导体 L1,例如,诸如纳米线的线状半导体的例子的透视图。柱状半导体 L1 具有长度 L2 和纵轴 L3。在沿着纵轴 L3 上的点 L5 处,柱状半导体 L1 具有多个横跨横截面 L6 的宽度 L4,其中宽度 L4 之一是在点 L5 处的最小宽度。

[0629] 这样的半导体可能是自支撑的。如这里所使用的,“自支撑”制品是在其生存期的某一点不连接到其它制品,或者存在于溶液中的制品。

[0630] 此外,这样的半导体可能是体掺杂的半导体。如这里所使用的,“体掺杂半导体”制品(例如:制品或制品的剖面)是掺杂物质被掺入基本遍及半导体的晶格的半导体,这和掺杂物质仅被掺入到特定区域的半导体相反。例如,诸如碳 NT 的一些半导体一般在半导体生长之后掺杂,这样掺杂物质仅仅从碳 NT 的表面或外部延伸到晶格(crystalline lattice)内部有限的距离。此外,碳 NT 经常被组合成巢状管(如:圆柱体)形成交替的半导体和掺杂半导体层,以便掺杂物质不以遍及半导体的晶格的方式掺入。应该理解,“体掺杂”既不限定或反映出半导体内的掺杂浓度或数量,也不表示掺杂必须是均匀的。

[0631] 对于掺杂半导体,该半导体可能在该半导体的生长过程中被掺杂。在生长过程中掺杂半导体可能导致掺杂的半导体是体掺杂的性质。此外,这样掺杂的半导体可能是被可控制地掺杂,以使掺杂半导体内掺杂物质的浓度能够被控制,并因此被稳定地重复,使得这样半导体的商业生产成为可能。

[0632] 使用诸如上面描述的半导体能够制造多种器件。这样的器件包括电子器件、光学器件、机械器件或其任意组合,包括光电器件和机电一体化器件。

[0633] 在一个实施方案中,使用具有最小宽度小于 500 纳米的或上面描述的其他宽度的掺杂半导体制造了场效应管(FET)。掺杂半导体可能或者是 p 型或者是 n 型,这对 FET 制造领域的普通技术人员是公知的。虽然使用纳米管的 FET 是公知的,但就发明者的知识所知,现有的配置随机地选择纳米管,而没有对纳米管是金属性的还是半导体性的进行控制。在这样的情况下,器件中非常低的百分比是有功能的,也许小于二十分之一,或五分之一,或者接近百分之一。本发明预期可控制的掺杂纳米线,以使制造过程根据远远大于五十分之一的器件是有功能的这项技术,能够提供制造有功能的 FET 的工艺。例如,该技术可能涉及掺杂纳米线,然后用其制造 FET。

[0634] 本发明还提供轻度掺杂的互补反相器(互补金属氧化物半导体),该反相器通过简单地将 n 型半导体和 p 型半导体接触布局成,例如,通过如下所示的交叉的 n 型和 p 型半导体性的纳米线的布局。

[0635] 根据本发明,还提供了具有重掺杂的半导体性元件的隧道二极管。使用重掺杂而非轻掺杂的半导体,能够以和互补反相器类似或完全相同的布局形成隧道二极管。“重掺杂”和“轻掺杂”是本领域普通技术人员清晰理解其含义的术语。

[0636] 本发明的一个重要方面是制造基本上任何能从临近的 n 型和 p 型半导体性元件受益的电子器件的能力,其中,元件被预先制造(在独立和分离的过程中掺杂,在掺杂时元件彼此分离。),然后在掺杂后实现接触。这和典型的现有技术配置不同,在现有技术中,单个半导体在一个区域是 n 型掺杂,并在临近区域是 p 型掺杂,但是 n 型半导体区域和 p 型半导体性区域在掺杂前最初是相邻的,并且在掺杂前或掺杂后彼此不相互移动。也就是说,使最初处于非接触配置的 n 型和 p 型半导体发生彼此接触以形成有用的电子器件。根据本发明的这个方面,基本上能够制造任何器件,本领域普通技术人员将能够按期望制造使用组合的 n 型和 p 型半导体。这样器件的例子包括,但不局限于:场效应管(FET)、双极型结型晶体管(BJT)、隧道二极管、互补反相器、发光器件、光传感器件、门、反相器、AND、NAND、OR 和 NOR 门、锁存器、触发器、寄存器、开关、时钟电路、静态或动态存储器件和阵列、状态机、门阵列和任何其他动态或时序逻辑或其他包括可编程电路的数字器件。还包括模拟器件和电路,包括但不限于:放大器、开关和其他使用有源晶体管器件的模拟电路和混和信号器件和信号处理电路。

[0637] 包含半导体纳米线的电子器件能够被例如电、光或磁的信号控制。控制可能涉及在两个或更多的离散状态之间切换,或可能涉及纳米线电流的连续控制,即模拟控制。除电信号、光信号和磁信号外,器件能被按下面这样控制:

[0638] 器件可响应生物以及化学的物质,例如 DNA、蛋白质、金属离子切换。更一般的情况下,这些种类是带电的或具有偶极子。

[0639] 器件可响应机械拉伸、振动和弯曲切换。

[0640] 器件可响应温度切换。

[0641] 器件可响应环境压力切换。

[0642] 器件可响应环境气体或液体的运动切换。

[0643] 本发明的很多器件对交叉 p/n 结有特定使用,这些 p/n 结可能是交叉的 n 型和 p 型纳米线形成的结。交叉 p/n 结由至少一种 n 型半导体和至少一种 p 型半导体限定,每种材料的至少一部分和另一种材料的至少一部分接触,并且每种半导体包括不和其他元件接触的部分。它们能够通过预掺杂纳米线,然后使用下面描述的技术将其置于彼此附近来配置。

[0644] 根据本发明还提供了发光源,在发光源中,电子和空穴复合发光。本发明的一种类型的发光源包括至少一个交叉 p/n 结,特别是交叉的 p 型和 n 型纳米线。在本发明这个和其他使用交叉纳米线的配置中,所述线不必是,但也能够是垂直的。当前向偏置时(正电荷施加于 p 型线且负电荷施加于 n 型线),电子在 n 型线内向结流动,并且空穴在 p 型线内向结流动。空穴和电子在结处复合发光。能够使用其他的技术导致一个或更多纳米线或其他半导体发光,这在下面更详细地描述。

[0645] 在本发明的尺寸尺度上(纳米尺度),能够通过控制至少一个,最好是两个交叉以形成发光结的元件的尺寸来控制发光波长。例如,当使用纳米线时,具有较大的最小尺寸(较宽的线)的纳米线将提供较低频率的发射。例如,在磷化铟的情况下,在和典型的制造过程相关的尺寸尺度下,材料发 920 纳米的光。在本发明的尺寸尺度下,发射波长能够被控制在短于 920 纳米的波长,例如在 920 纳米到 580 纳米之间。取决于线的尺寸,波长能够在这个范围内选择,诸如 900、850、800、750、700 纳米等。

[0646] 因此,本发明的一个方面涉及半导体发光源,该发光源能以比该半导体在体状态下引起的发射所发的光发更高频率光,在这里发光频率的增大经常是指量子限制效应。“体状态”,在此处上下文中表示其表现为具有最小尺寸大于 500 纳米的元件或元件的一部分的状态。“体状态”也能被定义为导致材料的固有波长或发射频率的状态。本发明提供了对基本上任何半导体性或掺杂半导体性材料的发射频率的这类控制。

[0647] 纳米线在表面上受控的布置,或装配能够通过使用电场对准纳米线来实现。电场在电极之间产生,纳米线被置于电极之间(任选在悬浮流体中流入电极之间的区域),并将在电场内对准并藉此能够跨越电极之间的距离并和每个电极接触。

[0648] 在另一个配置中,各个的触点被彼此相对地布置,各个触点被做成锥形以形成指向彼此的点。被这样的点之间产生的电场将吸附跨越电极之间距离,并和每个电极接触的单个纳米线。通过这种方式,各个纳米线能被很容易地装配到各对电触头之间。交叉线配置,包括多交叉点(在第一方向的多条平行线被在垂直或接近垂直的第二方向上的多条平行线相交)能通过首先把触点(电极)定位到交叉线相反端期望位于的位置很容易地形成。电极,或触点能够通过典型的微制造技术制造。

[0649] 这些装配技术能够由定位配置补充或替代,该配置涉及定位流体流动定向装置以把包含悬浮的纳米线的流体导向并进入与纳米线期望被置于的位置对准的方向。纳米线溶液能被如下这样制备:在纳米线被合成之后,它们被转移到溶剂中(例如乙醇),然后被加以超声波几秒到几分钟以获得稳定的悬浮。

[0650] 另一种配置涉及形成包括选择性地吸引纳米线的区域的表面,该区域被不选择性地吸引它们的区域包围。例如, $-\text{NH}_2$ 能够存在于表面上的特定图案中,并且那个图案将吸附具有对胺类有吸引力的表面官能团的纳米线或纳米管。表面能够使用公知技术图案化,诸如电子束图案化,诸如在 1996 年 7 月 26 日公开的 No. W096/29629 号国际专利公开或 1996 年 4 月 30 日授权的 No. 5,512,131 号美国专利中描述的“软光刻术”,它们中的每一个在这里通过引用而全部并入本文。另外的技术在 Lieber 等在 1999 年 7 月 2 日递交的 No. 60/142,216 号美国专利申请中被描述,在这里通过引用而全部被并入本文。使用诸如在 1997 年 9 月 18 日公开的 No. W097/33737 号国际专利公开中描述、并在这里通过引用而全部并入本文用的被引入的多种技术,能够在表面上产生利于放置纳米线的尺寸尺度的流体流动通道。其他的技术包括那些在 2000 年 5 月 25 日递交的 No. 09/578,589 号美国专利申请中描述,在这里通过引用将其全部并入文本。

[0651] 图 7A-7E 示出了这样一种使用聚二甲硅氧烷(PDMS)模具,产生流体流动通道的技术。通道能被产生并应用于表面,并且模具能被移去并再被施加到一个不同取向以提供交叉流动配置或不同配置。

[0652] 流动通道配置可能包括具有最小宽度小于 1 毫米、最好小于 0.5 毫米、200 微米或更小的通道。这样的通道通过使用光刻制造底版并在底版上浇铸 PDMS 被很容易地制成,如上面参考的专利申请和国际公开中被描述的那样。较大尺度的装配也是可能的。能被用纳米线阵列图案化的面积仅仅由通道的特征限定,该通道能和所期望的一样大。

[0653] 半导体纳米线具有包敷着 1 到 10 纳米厚的无定形氧化物的结晶核。这允许表面改性以使用各种功能基团封端表面。例如,我们能使用这样的分子,所述分子的一端是和纳米线表面反应的烷氧基硅烷基团(例如: $-\text{Si}(\text{OCH}_3)$),另一端包含

(1) $-\text{CH}_3$ 、 $-\text{COOH}$ 、 $-\text{NH}_2$ 、 $-\text{SH}$ 、 $-\text{OH}$ ，酰肼和醛基，(2) 光可活化的分子部分：芳基叠氮化物 (aryl azide)、氟化芳基叠氮化物、二苯酮等。衬底和电极也被用某种功能基团改性以使得纳米线得以基于其相互作用特别地结合或不结合到衬底 / 电极表面。

[0654] 表面功能化的纳米线也能采用官能性交联剂被耦合到衬底表面，所述官能性交联剂例如是：(1) 同型双功 (homobifunctional) 交联剂，包括同型双功 NHS 酯、同型双功亚氨酸酯、同型双功活性巯基连接剂、二氟苯衍生物、同型双功光敏连接剂，同型双功醛，双环氧化物，同型双功酰肼等，(2) 异双功交联剂，(3) 三功交联剂等。

[0655] 也能使用生物分子识别辅助将纳米线装配到电极和衬底上。例如，我们能够使用物理吸附或共价连接把一个生物结合配偶体 (binding partner) 固定到纳米线表面并把另一个结合配偶体固定到衬底或电极上。一些好的生物识别是：DNA 杂交、抗体 - 抗原结合、生物素 - 亲和素 (biotin-avidin) (或链霉亲和素) 结合。

[0656] 有很多能被用于生长诸如纳米线的体掺杂半导体，以及用于在生长过程中掺杂这些纳米线的技术。

[0657] 例如，SiNW (拉长的纳米尺度半导体) 能够使用激光辅助催化生长 (LCG) 合成。如图 2 和图 3 所示，由期望材料 (例如：InP) 和催化材料 (例如：Au) 组成的复合物靶的激光气化产生了热的、致密蒸气，该蒸气通过和缓冲气体的碰撞迅速地冷凝成液态纳米团簇。当液态纳米团簇变得过饱和时，生长以所期望的相开始，并在反应物存在的条件下持续下去。当纳米线通过了热的反应区域或者当温度被调低时生长终止。金通常被用作催化剂，用于生长很宽范围内的拉长的纳米尺度半导体。但是，催化剂不仅仅局限于金。诸如 (Ag、Cu、Zn、Cd、Fe、Ni、Co...) 的很宽范围的材料能被用作催化剂。一般地，任何能够和期望的半导体材料形成合金，但不和期望的半导体的元素形成更稳定化合物的金属能被用作催化剂。缓冲气体可能是 Ar、 N_2 以及其他惰性气体。有时候， H_2 和缓冲气体的混合物被用于避免被残留氧气引起的不希望氧化。在希望时，反应性的气体 (例如：用于 GaN 的氨气) 也能被引入。这个过程的关键点是激光烧蚀产生液态纳米团簇，该纳米团簇随后限定了结晶纳米线的尺寸并引导其生长方向。最终纳米线的直径由催化团簇的尺寸决定，这反过来能够通过控制生长条件 (例如：背景压力、温度、流速...) 被改变。例如，较低的压力一般产生具有较小直径的纳米线。进一步的直径控制能够通过使用均匀直径的催化团簇实现。

[0658] 利用和 LCG 相同的基本原理，如果均匀直径纳米团簇 (小于 10-20% 的变化，取决于纳米团簇有多均匀) 被用作催化团簇，则能够生产具有均匀尺寸 (直径) 分布的纳米线，其中纳米线的直径由催化团簇的尺寸决定，如图 4 所示。通过控制生长时间，能够生长具有不同长度的纳米线。

[0659] 使用 LCG，通过把一种或更多掺杂物质引入复合物靶 (例如：(用于 InP 的 n 型掺杂的锗)) 中能够灵活地掺杂纳米线。掺杂浓度能够通过控制掺杂元素地相对数量被控制，典型地 0-20% 被引入复合物靶。

[0660] 激光烧蚀能被用作产生催化团簇和气相反应物的方法，用于纳米线和其他相关的纳米尺度结构的生长。但是制造不局限于激光烧蚀。很多方法 (例如：热气化) 能被用于产生用于纳米线生长的气相和催化团簇。

[0661] 另一个能够用来生长纳米线的技术是催化化学气相沉积 (C-CVD)。C-CVD 利用和 LCG 相同的基本原理，只不过在 C-CVD 方法中，反应物分子 (例如：硅烷和掺杂物质) 来自

气相分子（和来自激光气化的蒸气源相反）。

[0662] 在 C-CVD 中，能够通过把掺杂元素引入气相反应物（例如：用于 n 型和 p 型纳米掺杂纳米线的乙硼烷和磷烷（phosphane））掺杂纳米线。通过控制导入复合物靶中的掺杂元素的相对数量控制掺杂浓度。不必要获得具有和气体反应物中相同的掺杂比的拉长的纳米尺度的半导体。但是，通过控制生长条件（例如：温度、压强...），能够复制出具有相同掺杂浓度的纳米线。并且仅仅通过改变气体反应物的比率（例如：1ppm 到 10%），就能够在很大范围上改变掺杂浓度。

[0663] 有其他几种能被用来生长诸如纳米线的拉长纳米尺度半导体的技术。例如，多种材料中的任何一种的纳米线能够通过气-固过程直接从气相生长。此外，也能通过在表面台阶，和其他类型的图案化表面的边缘上沉积生产纳米线，如图 5 所示。此外，通过在任何一般拉长模板内 / 上气相沉积能够生长纳米线，例如，如图 6 所示。多孔膜片可能是多孔硅、阳极氧化铝或二嵌段共聚物和其它任何类似结构。自然纤维可能是 DNA 分子、蛋白质分子、碳纳米管、任何其它拉长结构。对于上面描述的所有技术，源材料可能来自溶液相而非气相。当然在溶液相中，除了上面描述的模板以外，模板也可能是由表面活性剂分子形成的柱状胶束（column micelles）。

[0664] 使用上面描述的技术中的一种或更多，能够生长包括半导体线和掺杂半导体线的拉长纳米尺度半导体。这样的体掺杂半导体可能包括包括半导体和掺杂物质在内的材料的多种不同组合。下面是这些材料的一个不完全的列表。能够使用其他的材料。这些材料包括，但不局限于：

[0665] 元素半导体：

[0666] Si、Ge、Sn、Se、Te、B、金刚石、P

[0667] 元素半导体的固溶体：

[0668] B-C、B-P (BP₆)、B-Si、Si-C、Si-Ge、Si-Sn、Ge-Sn

[0669] IV-IV 族半导体：

[0670] SiC

[0671] III-V 族半导体：

[0672] BN/BP/BAs、AlN/AIP/AlAs/AlSb、GaN/GaP/GaAs/GaSb、InN/InP/InAs/InSb

[0673] III-V 族合金：

[0674] 上述化合物中的两种或更多的任意组合（例如：AlGaInN、GaPAs、InPAs、GaInN、AlGaInN、GaInAsP...）

[0675] II-VI 半导体：

[0676] ZnO/ZnS/ZnSe/ZnTe, CdS/CdSe/CdTe, HgS/HgSe/HgTe, BeS/BeSe/BeTe/MgS/MgSe

[0677] II-VI 族合金：上述化合物中的两种或更多的任意组合（例如 (ZnCd)Se, Zn(SSe)...）

[0678] II-VI 和 III-V 的合金半导体：任何一种 II-VI 和一种 III-V 化合物的组合，例如，(GaAs)_x(ZnS)_{1-x}。

[0679] IV-VI 半导体：

[0680] GeS, GeSe, GeTe, SnS, SnSe, SnTe, PbO, PbS, PbSe, PbTe

[0681] I-VII 半导体：

- [0682] CuF, CuCl, CuBr, CuI, AgF, AgCl, AgBr, AgI
 [0683] 其他半导体化合物：
 [0684] II-IV-V₂: BeSiN₂, CaCN₂, ZnGeP₂, CdSnAs₂, ZnSnSb₂...
 [0685] I-IV₂-V₃: CuGeP₃, CuSi₂P₃...
 [0686] I-III-VI₂: (Cu, Ag) (Al, Ga, In, Tl, Fe) (S, Se, Te)₂
 [0687] IV₃-V₄: Si₃N₄, Ge₃N₄...
 [0688] III₂-VI₃ Al₂O₃, (Al, Ga, In)₂(S, Se, Te)₃
 [0689] III₂-IV-VI: Al₂CO...

[0690] 对于 IV 族半导体材料, p 型掺杂剂可以从 III 族选择, n 型掺杂剂可以从 V 族选择。对于硅半导体材料, p 型掺杂剂可以从由 B, Al 和 In 组成的组中选择, n 型掺杂剂可以从由 P, As 和 Sb 组成的组中选择。对于 III-V 族半导体材料, p 型掺杂剂可以从包括 Mg, Zn, Cd 和 Hg 的 II 族中选择, 或从包括 C 和 Si 的 IV 族中选择。n 型掺杂剂可以从由 Si, Ge, Sn, S 和 Te 组成的组中选择。将会理解的是本发明不局限于这些掺杂剂。

[0691] 实施例

[0692] 纳米线中的掺杂和电子输运

[0693] 已经制备了单晶的 n 型和 p 型硅纳米线 (SiNWs), 并通过电子输运测量对其进行了表征。正如在此所使用的, “单晶” 物体是指在整个物体中有共价键、离子键, 或二者的组合的物体。这样的单晶物体可以在晶体中包括缺陷, 但区别于包括一个或更多不是离子键或共价键结合的、而仅仅是相互紧密相邻的晶体的物体。在 SiNWs 气相生长过程中, 激光辅助催化生长被用来可控制地引入硼或磷掺杂剂。在单独的硼掺杂和磷掺杂的 SiNWs 上进行的二端法和栅依赖 (two terminal, gate-dependent) 测量表明这些材料分别具有如 n 型和 p 型材料的行为。通过栅依赖性输运测量得到的载流子迁移率的估算值与扩散输运值一致。此外, 这些研究表明对 SiNWs 进行重掺杂而接近金属态是可能的。在重掺杂的 SiNWs 上所作的温度依赖测量表明在温度降至 4.2K 时没有库仑阻塞的迹象, 因此证实了 SiNWs 在结构上和电学上的一致性。我们将讨论掺杂 SiNWs 的潜在的应用。

[0694] 目前, 对如纳米线和纳米管的一维 (1D) 纳米结构有着强烈的兴趣, 这是由于它们有潜力验证与维数和尺寸如何影响物理性质有关的基本原理, 以及可以被用于产生纳米技术的关键的结构单元。因为可预测和可控制的传导性对于很多纳米尺度的电子学应用将是关键的, 通过这些“线”的电子输运对于 1D 纳米结构尤其重要。迄今为止, 大多数的努力都集中在碳纳米管中的电子输运。这些研究已经显示了多个有趣的基本特征并证明了用于如场效应管的器件的潜在性, 这些有趣的特征包括延伸超过数百纳米的相干状态的存在, 室温下的弹道导电, 以及 Luttinger 液体行为。然而, 纳米管有着很明显的限制。首先, 敏感地依赖于直径和螺旋度的金属性或半导体性的管的特定生长是不可能的。于是, 依赖于特定导电行为的研究必须依靠偶然的观察。其次, 半导体纳米管的可控掺杂是不可能的, 尽管这潜在地对器件应用是关键的。但是, 半导体纳米线能够克服碳纳米管的这些限制。这些纳米线将不依赖于直径而保留半导体特性, 而且, 应该可能的是可以利用半导体工业大量的知识来掺杂纳米线。

[0695] 为此, 我们在这里报道了 SiNWs 的受控掺杂的第一个范例, 和使用输运测量对这些掺杂的纳米线电性能表征。栅依赖和二端法测量证明了硼掺杂的 (B-doped) 和磷掺杂

的 (P-doped) SiNWs 分别具有如 n 型和 p 型材料的行为,载流子迁移率估计值暗示了在这些纳米线中的扩散输运。此外,在重掺杂的 SiNWs 上所作的温度依赖测量表明在温度降至 4.2K 时没有库仑阻塞的迹象。

[0696] 使用我们前面所描述的激光辅助催化生长 (LCG) 合成 SiNWs。简单地说,可以使用 Nd-YAG 激光 (532nm; 8ns 脉冲宽度, 300mJ/ 脉冲, 10Hz) 来烧蚀金靶,这在反应器中产生金纳米团簇催化微粒。SiNWs 可以在作为反应物的 SiH_4 的流中生长。这样的 SiNWs 可以通过在反应物流动中混合 B_2H_6 来掺杂硼,可以通过使用 Au-P 靶 (99.5 : 0.5wt%, Alfa Aesar) 和在反应物气体入口处额外的红磷 (99%, Alfa Aesar) 来掺杂磷。透射电子显微镜 (TEM) 测量证明,使用这种技术生长的掺杂的 SiNWs 具有被如前所述的致密的 SiO_x 皮层所包裹的单晶硅核心。

[0697] 通过 JEOL 6400 刻写器 (writer) 使用标准的电子束光刻技术来制作连接到单独的 SiNWs 的电接触。该纳米线被支撑在氧化的 Si 衬底 (电阻 1-10 Ω cm, 600nm SiO_2 , Silicon Sense 公司) 上,该衬底下面有用作背栅的导电 Si。使用热蒸镀的 Al (50nm) 和 Au (150nm) 来制作连接 SiNWs 的接触。使用计算机控制下噪声小于或等于 1pA 的自制系统进行电子输运测量。温度依赖测量在量子设计 (Quantum Design) 的磁性质测量系统中进行。

[0698] TEM 研究表明硼和磷掺杂的 SiNWs 是单晶体,虽然这些测量不具有足够的灵敏度来对单独的多个线中的硼或磷的掺杂水平进行量化。但是,我们能够使用电子输运光谱明确地证明 p 型 (硼) 和 n 型 (磷) 掺杂剂的存在和相对的掺杂水平。在这些实施例中,在测量电流对纳米线电压的关系时,使用栅电极来改变该 SiNWs 的静电势。因为对于增加正 (负) 栅电压导电性将反向变化,与栅电压成函数关系的 SiNWs 的导电性的变化能够被用来辨别给定的纳米线是否为 p 型或 n 型。

[0699] 在本征和 B 掺杂的 SiNWs 上记录的典型的栅依赖电流与偏压电压 (I-V) 的曲线如图 8A-8C 所示。在图 8B 和 8C 中示出的两条 B 掺杂的线是分别使用比率为 1000 : 1 和 2 : 1 的 SiH_4 : B_2H_6 合成的。通常,两极的 I-V 曲线是线性的,因此显示金属电极与 SiNWs 是欧姆接触。在本征纳米线中观察到的小的非线性表明该接触是略微非欧姆性的。对零栅电压 ($V_g = 0$) 时记录的 I-V 数据分析得到 $3.9 \times 10^2 \Omega \text{m}$ 的电阻率,零栅电压时的数据解释了接触电阻和 SiNW 上氧化涂层的贡献。重要地是,当使 V_g 负 (正) 向增加时,导电性增加 (减少)。该栅依赖性表明 SiNW 是 p 掺杂的半导体 (下面进行讨论)。对于轻 B 掺杂的 SiNW 记录的相似的 I-V 与 V_g 的曲线表明它也是 p 型的。而且,该 B 掺杂的 $V_g = 0$ 电阻率 (1 Ω -cm) 比本征 SiNW 小两个数量级,清楚地证明了我们从化学上控制导电性的能力。这后一观点还被如图 8C 所示的在重掺杂 B 的 SiNWs 上的 I-V 测量所支持。这条线有很低的电阻率 $6.9 \times 10^{-3} \Omega$ -cm, 显示出对 V_g 的没有依赖;也即, V_g 为 0 和 20V 时记录的 I-V 数据是重合的。这些结果是与接近金属界限的高载流子浓度相一致。

[0700] 我们也已经在轻掺杂和重掺杂的 SiNWs 中测量了依赖于 V_g 的输运。在轻掺杂的纳米线上记录的 I-V (图 9A) 有些非线性,这表明了电极和纳米线之间非理想的接触, V_g 依赖性与观察 B 掺杂的 SiNWs 得到的依赖性相反。重要的是,这一观察到的栅依赖性与如 P 掺杂所期望的 n 型材料的依赖性一致。在 $V_g = 0$ 时,所估计的该线的电阻率是 $2.6 \times 10^2 \Omega$ -cm。该相对较高的电阻率暗示了低的掺杂水平和 / 或低的迁移率。此外,也制备和研究了重 P 掺杂的 SiNWs。在典型的重 P 掺杂的线上记录的 I-V 数据是线性的,具有 $2.3 \times 10^{-2} \Omega$ -cm 的

电阻率,没有显示对 V_g 的依赖性。低电阻率(比轻 P 掺杂的样品小四个数量级)和 V_g 非依赖性证明了高的载流子浓度也能够通过 SiNWs 的 P 掺杂来产生。

[0701] 上面的结论证明了硼和磷能够被用来以多个数量级地改变 SiNWs 的导电性,以及对于硼和磷掺杂剂来说,掺杂的 SiNWs 的导电性相反地响应于正(负)的 V_g 。事实上, V_g 依赖性对 SiNWs 中用硼的 p 型(空穴)掺杂和用磷的 n 型(电子)掺杂提供了很强的证据。参照如图 10A 和 10B 所示的示意图,能够理解所观察到的栅依赖性,二图显示了静电势在 SiNW 能带上的效果。在这些图中, n 型纳米线(a)和 p 型纳米线(b)在两端都和金属电极接触。因为对于传统的金属-半导体界面, SiNW 能带弯曲(对于 p 型向上,对于 n 型向下)以使得纳米线的费米能级与金属触点的费米能级一致。当 $V_g > 0$, 该能带降低,这将消耗 B 掺杂的 SiNWs 中的空穴并抑制导电性,但是导致 P 掺杂的 SiNWs 中的电子聚集并增强导电性。相反, $V_g < 0$ 将升高该能带,并增加 B 掺杂(p 型)SiNWs 的导电性和降低 P 掺杂的(n 型)纳米线的导电性。

[0702] 此外,通过跨电导来估计载流子的迁移率是可能的, $dI/dV_g = \mu C/L^2$, 这里 μ 是载流子迁移率, C 是电容, L 是 SiNW 的长度。SiNW 的电容通过 $C \approx 2\pi\epsilon\epsilon_0 L/\ln(2h/r)$ 给出,这里 ϵ 是介电常数, h 是氧化硅层的厚度, r 是 SiNW 的半径。如对本模型所期望的,发现对于本征(图 8A)和轻 B 掺杂的(图 8B)SiNW, dI/dV_g 的点相对 V 是线性的。对于本征(2.13×10^{-11})和 B 掺杂的(9.54×10^{-9})SiNW, dI/dV_g 的斜率分别产生 $5.9 \times 10^{-3} \text{cm}^2/\text{V-s}$ 和 $3.17 \text{cm}^2/\text{V-s}$ 的迁移率。B 掺杂的纳米线的迁移率与掺杂浓度为 10^{20}cm^{-3} 的体材料 Si 的所期望的迁移率相当。我们也注意到,尽管在我们的本征(低掺杂浓度)SiNW 中迁移率极低,但是预计该迁移率会随着掺杂剂浓度的减少而增加。可能的是因为在直径更小的(本征)SiNW 中散射增强,而使迁移率降低。我们相信未来的对与直径成函数关系(对于恒定的掺杂剂浓度)的迁移率的研究应该能揭示这个重要的观点。

[0703] 最后,我们进行了对重 B 掺杂的 SiNW 的温度依赖性的初步研究。温度依赖的 I-V 曲线表明导电性随着温度降低而降低,如对掺杂的半导体(图 11A 和 11B)所期望的那样。更重要地是,在降至我们可以达到的最低的温度(图 11B)时,我们没有发现库仑阻塞的迹象。在靠近 $V = 0$ 的小的非线性可于归因于接触效应,因为高分辨率的 I-V 相对 V_g 的关系的测量没有显示库仑阻塞的标记。从 $kT = e^2/2C$ 估计,在电极(150nm 厚, $2.3 \mu\text{m}$ 长的线)之间的均匀的线中的库仑充电效应将需要低于约 26mK 的温度。这强烈地表明 SiNW 长度和缺陷的变化足够小,以至它们不能有效地将 SiNW “分裂”为小岛,这些小岛可能在这些温度呈现出库仑阻塞效应。这些结论与显示出库仑阻塞的光刻图案化(patterned)的 SiNW 的研究相反,而证实了我们的自支撑纳米线的高品质。

[0704] 已经制备并使用电子输运测量表征了单晶的 n 型和 p 型硅纳米线(SiNWs)。在 SiNW 气相生长过程中,使用激光辅助催化生长来可控地引入硼或磷掺杂剂。对于单独的硼掺杂和磷掺杂的 SiNW 进行的两端法,栅依赖性测量表明这些材料分别具有如 p 型和 n 型材料的行为。通过栅依赖性输运测量得到的载流子迁移率的估算值与扩散输运值一致,并显示了在较小直径的线中有减小的迁移率的迹象。此外,这些研究表明,在 SiNWs 中结合高的掺杂剂浓度并接近金属态是可能的。在重掺杂的 SiNWs 上所作的温度依赖性测量表明在温度降至 4.2K 时没有单电子充电的迹象,因此,暗示该 SiNWs 具有高度的结构的和掺杂的均匀性。

[0705] 我们相信我们成功地掺杂 SiNWs 来生成了 n 型和 p 型材料将在纳米尺度地科学和技术中开辟令人兴奋的机会。掺杂的 SiNWs 将是用于研究在 1D 纳米结构中的运输的基本问题的候选者。场效应管 (EFTs) 也在本文中的结构研究中,使用自组装技术来集成许多 SiNWs 场效应管到可能用于纳米电子应用的结构中将是可能的。例如在交叉阵列中组合 p 型和 n 型 SiNWs 来生成 p-n 结也应该是可能,该 p-n 结也可能被认为是未来的器件和传感器。

[0706] 交叉的 SiNW p-n 结已经通过在 n 型 (p 型) SiNWs 上定向地组装 p 型 (n 型) SiNWs 来形成。运输测量显示了在反向偏压中的整流和在正向偏压中的急剧地电流上升 (onset)。在构成结的 p 型和 n 型 SiNWs 上同时进行的测量证明了与这些纳米线的接触是欧姆性的 (非整流的),因此证明了该整流行为是由两个 SiNWs 间的 p-n 结造成的。

[0707] 图 8A 示出了在不同栅电压 (V_g) 下在直径为 70nm 的本征 SiNW 上记录的电流 (I) 相对偏差电压 (V) 的曲线。曲线 1, 2, 3, 4, 5, 6 和 7 分别对应于 $V_g = -30, -20, -10, 0V, 10, 20, 30V$ 。插图是典型的具有金属触点的 SiNW 扫描电子显微镜图 (标尺 = 10 μ m)。图 8B 示出了在直径为 150nm 的 B 掺杂的 SiNW 上记录的 I-V 数据;曲线 1-8 分别对应于 $V_g = -20, -10, -5, 0V, 5, 10, 15$ 和 20V。图 8C 示出了在直径为 150nm 的重掺杂 B 的 SiNW 上记录的 I-V 数据; $V_g = 20V$ (实线) 和 0V (粗短划线)。

[0708] 图 9A 示出了在直径为 60nm 的 P 掺杂的 SiNW 上记录的 I-V 数据;曲线 1, 2, 3, 4, 5 和 6 分别对应于 $V_g = 20, 5, 1, 0, -20$ 和 $-30V$ 。图 9B 示出了在直径为 90nm 的重 P 掺杂的 SiNW 上记录的 I-V 数据; $V_g = 0V$ (实线) 和 $-20V$ (粗短划线)。

[0709] 图 10A 示出了 p 型 SiNW 器件的能带图。图 10B 示出了 n 型 SiNW 器件的能带图。这些图示意性地显示了 V_g 在两类纳米线静电势上的作用。

[0710] 图 11A 和 11B 示出了在重掺杂 B 的 SiNW 上记录的温度依赖的 I-V 曲线。在图 11A 中,曲线 1, 2, 3, 4, 5 和 6 分别对应于 295, 50, 200, 150, 100 和 50K。图 11B 示出了 4.2K 时在纳米线上记录的 I-V 数据。

[0711] 半导体纳米线的直径选择合成

[0712] 通过在我们的激光辅助催化生长 (LCG) 过程中利用清晰的金胶体作为催化剂,已经合成了直径为 10, 20 和 30nm, 长度大于 10 μ m 的单晶态的 GaP 纳米线的近似单分散的样品。在这种方法中,通过固态 GaP 的激光烧蚀产生的 Ga 和 P 反应物,随即被金纳米团簇催化剂引导成为纳米线结构。用本方法制备的纳米线的透射电子显微镜 (TEM) 研究证明纳米线的直径分布由纳米团簇催化剂的直径所确定。高分辨 TEM 显示这些线是具有 [111] 生长方向的单晶闪锌矿结构,能量弥散 X 射线分析确认了纳米线成分是化学计量的 GaP。结合 LCG 使用单分散纳米团簇催化剂将使大范围生长清晰 (well defined) 和可控直径的半导体纳米线成为可能,于是开辟了从一维 (1D) 系统的基本性质到组装功能纳米器件的机会。

[0713] 通过在我们的激光辅助催化生长 (LCG) 合成方法论中使用清晰的金胶体作为催化剂,已经合成了直径为 10, 20 和 30nm, 长度大于 10 μ m 的单晶态的 GaP 纳米线的近似单分散样品。在本方法中制备的纳米线的透射电子显微镜 (TEM) 研究证明纳米线的直径分布由纳米团簇催化剂的直径所确定。高分辨 TEM 显示这些线是具有 [111] 生长方向的单晶闪锌矿 (zinc blende) 结构,能量弥散 X 射线分析 (EDAX) 确认了纳米线成分是化学计量的 GaP。

[0714] 对电子和光电子器件小型化的推动和对纳米尺度的化学和物理基本原理理解的

需要已经激发了近来对低维半导体材料的兴趣。特别地,从基本原理和应用的观点来看,一维(1D)系统都是让人兴奋的。如 Luttinger 液态行为的让人着迷的物理现象,以及从互连到扫描探针显微镜的众多应用需要高品质、清晰的 1D 纳米结构。在 1D 纳米结构领域的实验性进展经常受到在这个尺寸范围内生成具有可控尺寸、结构和成分的新材料能力的限制。

[0715] 1D 系统早先的合成方法使用薄膜生长和光刻技术。特别地,通过分子束外延生长半导体量子阱,接着进行解理和在解理面上的过度生长(overgrowth)来制作“T 线”,并且“V 槽”纳米线已经通过在表面上蚀刻沟槽并接着沉积少量材料进入所形成的凹槽内制成。这些方法的一个明显的局限性是这些纳米线是镶嵌在衬底中的,这就排除了复杂的 2D 和 3D 纳米结构的组装。模板法也被用来生长大范围的纳米线。尽管由于常常产生多晶结构而受到限制,这些方法能够提供对纳米线的长度和直径很好的控制。

[0716] 我们实验室在发展利用 LCG 方法得到自支撑单晶体半导体纳米线的一般合成方法上,取得了重要进展。在 LCG 方法中,固体靶的激光烧蚀被用来同时产生纳米尺度的金属催化剂团簇和反应半导体原子,该半导体原子通过气-液-固生长机理来产生纳米线。该方法已经被用来产生大范围的 IV, III-V 和 II-VI 族的纳米线。我们已经提示了,在生长期过程中催化剂纳米团簇的尺寸决定了线的尺寸,因此人们可以预想到通过利用单分散的催化剂纳米团簇产生具有窄的尺寸分布的线(图 12)。这里,我们运用纳米直径的金胶体来应用该方法。

[0717] 通过 LCG,使用直径为 8.4, 18.5 和 28.2nm 的金胶体生长了 GaP。在这些实验中,催化剂纳米团簇被支撑在 SiO₂ 衬底上,使用激光烧蚀来从 GaP 固体靶产生 Ga 和 P 反应物。场发射扫描电子显微镜(FESEM)证明使用所有三种尺寸的催化剂都得到了长度超过 10μm 的纳米线(图 13A)。对这些纳米线端部的测试也表明了纳米团簇催化剂的存在(图 13A,插图)。没有使用 Au 胶体所进行的控制实验没有产生纳米线。该 FESEM 图像表明,这些纳米线的直径分布比在没有使用胶体催化剂的实验中得到的纳米线的直径分布要窄,尽管 FESEM 不是用于评价这些分布的好方法,因为焦平面上小的变化就能在所观察到的直径中产生大的变化。

[0718] 在这些实验中使用的生长装置与报道中的装置相似。衬底是通过将有 600nm 热氧化物的硅片(Silicon Sense)放入含有 0.4% 的 N-[3-(甲氧甲硅基)丙基]-乙二胺的 95 : 5 EtOH : H₂O 溶液中 5 分钟,然后在 100-110°C 下固化 10 分钟得到的。将 Au 胶体溶液(Ted Pella)稀释到浓度为 10⁹-10¹¹ 微粒/mL 以使聚集最小,并将其沉积在衬底上。将衬底放置在炉的下游端的石英管中,将 GaP 固体靶放置炉外的上游端的 3-4cm 处。将炉腔抽真空至低于 100 毫托,然后维持在 250 托,伴随有 100sccm 的空气流(Airflow)。将炉加热到 700°C,将靶使用 ArF 激准分子激光($\lambda = 193\text{nm}$, 100mJ/脉冲, 10Hz)烧蚀 10 分钟。冷却后,使用 FESEM(LEO 1982)检测衬底。对于 TEM(JEOL 200CX 和 2010)和 EDAX 分析,利用在乙醇中超声从衬底上移除纳米线后,将纳米线沉积在铜网格上。

[0719] 为了获得对使用金胶体产生的纳米线的直径分布的定量测量,和为了更好地表征它们的结构和成分,我们使用了高分辨 TEM。高分辨 TEM 表明这些线是单晶体(图 13B),在 [111] 方向生长,EDAX 在其技术限度内确认了成分是化学计量的 GaP(Ga : P 1.00 : 0.94)。重要的是,对纳米线直径广泛的 TEM 分析证明了与胶体催化剂直径和分散极好的相关性(图 14A 和 14B);即,对于从 28.2±2.6, 18.5±0.9 和 8.4±0.9nm 的胶体生长

的线,我们分别观察到 30.2 ± 2.3 , 20.0 ± 1.0 和 11.4 ± 1.9 nm 的平均直径。纳米线的平均直径普遍比胶体的平均直径大 1-2nm。我们相信,该增加值是由于在纳米线成核之前的 Ga 和 P 反应物与胶体的合金化。对于 30nm 和 20nm 的线(图 14A 和 14B),清楚的是纳米线的宽度分布反应出胶体的宽度分布,提示了线的单分散度仅被胶体的分散度所限制。对于 10nm 的线(图 14C),线分布的小的展宽(1nm)可以归结为胶体的团聚。平均直径和分布宽度随着更多的胶体浓缩溶液被分散到衬底上而增加。尽管还需要另外的工作来支持这个观点,但该分布具有被 ~ 2.5 nm 间距分开的峰的这一事实,暗示了一些线是从两个胶体的团聚体生长而来在所有的情形中,线直径的分布要比那些没有使用胶体催化剂生长的线的直径分布: 43 ± 24 nm(图 14D) 小一个数量级还多。

[0720] 我们相信,对于多种胶体,该工作第一次清楚地证明了对半导体纳米线的直径施加系统控制的能力。前面试图在催化剂附着得较差的表面上生长纳米线导致了具有大于 50nm 的非一致性的直径的纳米线。其他试图通过改变背景载气来控制纳米线直径仅仅稍微移动了线的平均直径,并且产生了比我们使用胶体调节生长更宽的线的分布。

[0721] 总之,我们已经展示了具有单分散直径分布的半导体线的可控合成。这些高品质、单晶态的线代表了用于未来的低维物理学的研究,以及用于纳米尺度的科学与技术的多个领域中的应用的候选者。特别地,我们相信直径可控样品的合成将很大地方便将这些纳米尺度结构单元组合为复杂的和功能性的 2D 和 3D 纳米系统。

[0722] 图 12 是描述使用单分散的金胶体作为催化剂生长清晰(welldefined)的 GaP 半导体纳米线的示意图。

[0723] 图 13A 示出了从 28.2nm 的胶体合成的纳米线的 FESEM 图像(标尺是 $5 \mu\text{m}$)。插图是这些线其中之一的端部的 TEM 图像(标尺是 50nm)。高衬度特征对应于在线的端部的胶体催化剂。图 13B 示出了在这个样品中的另一条线的 TEM 图像(标尺是 10nm)。 $[111]$ 晶面是可分辨的(resolved),表明线的生长沿着该轴发生,这与先前的工作一致。对于该线,面间距的测量给出晶格常数为 $0.54\text{nm}(\pm 0.05\text{nm})$,这与 GaP 的体材料值(bulk value) 0.5451nm 一致。

[0724] 图 14A-14C 示出了线的所测量直径的柱状图,这些线是从 28.2nm(图 14A), 18.5nm(图 14B) 和 8.4nm(图 14C) 的胶体生长而来。实线示出了线的分布。图 14D 示出了使用前面无胶体方法生长的线的直径的柱状图,在该方法中使用激光来产生 Au 纳米团簇和 GaP 反应物。该分布非常宽(标准偏差是 23.9nm),平均直径(42.7nm)大于那些使用预定好的胶体催化剂合成的线。在所有情况中,所报道的纳米线直径等于晶核。所有纳米线表面上的不定形氧化层在同一个实验中的各线之间是相对一致的,但在合成之间,其厚度在 2-6nm 间变化。

[0725] 化合物半导体纳米线的一般合成

[0726] 已经使用激光辅助催化生长完成了大范围多组分半导体纳米线的可预测的合成。已经制备了大量的纯度($> 90\%$)单晶的二元 III-V 族材料(GaAs, GaP, InAs 和 InP),三元 III-V 族材料(GaAs/P, InAs/P),和二元 II-VI 族材料(ZnS, ZnSe, CdS 和 CdSe)和二元 SiGe 合金的纳米线。这些纳米线具有从 3 到数十个纳米变化的直径,和延长到数十个微米的长度。在如此宽范围上在技术上非常重要的半导体纳米线的合成能够被拓展到很多其它材料并且在纳米尺度科学技术方面开辟了重要的机会。

[0727] 纳米尺度材料的合成对于被引导以理解小结构的基本性质,生成纳米结构化材料和发展纳米技术的工作很关键。纳米线和纳米管是众多注意力的焦点,因为它们具有回答关于一维系统的基本问题的潜力,以及被期望在覆盖从分子电子学到新颖的扫描显微镜探针的应用中扮演重要的角色。为了探索这样丰富和令人兴奋的机会需要化学成份和直径能变化的纳米线材料。在过去的几年中,对于纳米线的大批量合成进行了很多努力,尽管使用模板法(template)、激光烧蚀法、溶液法和其他方法已经取得进步,但是没有一种情形已经证明了可以利用一种方法以可预测的方式来合成大范围的纳米线材料。这里,我们描述了使用激光辅助催化生长(LCG)方法可预测的合成大范围的二元和三元 III-V, II-VI 和 IV-IV 族半导体纳米线。

[0728] 最近,我们报到了使用 LCG 方法的基本的 Si 和 Ge 纳米线的生长,这利用了激光烧蚀来产生纳米直径的催化剂团簇,该催化剂团簇通过气-液-固(VLS)机理来确定尺寸和引导晶态的纳米线的生长。VLS 生长过程和我们的 LCG 方法的一个重要特征就是,平衡相图能够被用来预测催化剂和生长条件,因此使新的纳米线材料的合理的合成成为可能。重要的是,这里我们显示了,使用这种方法, III-V 族材料 GaAs, GaP, GaAsP, InAs, InP 和 InAsP, II-VI 族材料 ZnS, ZnSe, CdS 和 CdSe, 以及 IV-IV 族 SiGe 合金的半导体纳米线能够以高的产出和纯度进行合成。如 GaAs 和 CdSe 的化合物半导体尤其是令人着迷的目标,因为它们直接能隙导致了吸引人的光学和电光性质。已经制备了直径与 3nm 一样小、长度超过 $10\ \mu\text{m}$ 的单晶体的纳米线,该直径使这些纳米线具有强的径向量子限制效应(radial quantum confinement)。这些研究证明了, LCG 代表了一种用于纳米线合成的非常一般化和可预测性的方法,而且我们相信所制备大范围的 III-V, II-VI 和 IV-IV 族纳米线将开辟许多在纳米尺度的研究和技术中的新机会。

[0729] 由于三元和更高阶的相图的复杂性,原则上对于使用 LCG 方法的二元或更复杂的纳米线的生长条件的预测比前面基本的 Si 和 Ge 纳米线的研究要明显困难得多。但是,考虑到用于令人感兴趣的催化剂和化合物半导体的伪二元相图,该复杂性能被大大地降低了。例如, Au-GaAs 的伪二元相图表明 Au-Ga-As 液体和 GaAs 固体在高于 630°C 时是富 GaAs 区域中的主相(图 15)。这意味着,如果靶的成分和生长温度被设定到相图中的这个区域,金可以作为催化剂通过 LCG 方法来生长 GaAs 纳米线。事实上,我们发现使用 $(\text{GaAs})_{0.95}\text{Au}_{0.05}$ 靶的 LCG 产生出主要由纳米线组成的样品。在 890°C 制备的材料典型的场发射扫描电子显微镜(FE-SEM)图像(图 16A)表明该产品是长度延长到 $10\ \mu\text{m}$ 或更多的线状物。这些高分辨 SEM 图像的分析表明,在通过 LCG 方法生产的产品中至少 90% 是纳米线,仅有很少量的粒状材料。大量样品的 X 射线衍射数据可以被标记为与 GaAs 体材料一致的晶格常数的闪锌矿(ZB)结构,也表明该材料是纯至 1% 量级的 GaAs。最后,我们注意到 GaAs 纳米线的高产出也可以使用 Ag 和 Cu 催化剂获得。这些数据与这些金属($M = \text{Ag}, \text{Cu}$)在伪二元相图中的富 GaAs 区域呈现为 M-Ga-As 液体和 GaAs 固体相的事实一致,而且证明了 LCG 方法用于纳米线生长的可预测性。

[0730] GaAs 纳米线的结构和成分已经使用透射电子显微镜(TEM), 汇聚束电子散射(ED)和能量弥散 X 射线荧光(EDX)详细地进行了表征。TEM 研究表明该纳米线具有从 3nm 到约 30nm 范围的直径。直径为 20nm 单根线的典型的衍射衬度图像(图 17A)表明该线是单晶体(一致的衬度)和均一的直径。通过 EDX 确定的该线的 Ga : As 成分 :51.4 : 48.6, 在

仪器灵敏度范围内,与从 GaAs 晶体标样分析得到的成分是相同的。而且,垂直于该纳米线长轴记录的 ED 花样(插图,图 17A)能够标记为 ZB 的 GaAs 结构的 $\langle 112 \rangle$ 晶带轴,因此表明生长出现在沿 $[111]$ 方向。对单独 GaAs 纳米线的广泛的测量表明,在所有情形中,生长沿 $\langle 111 \rangle$ 方向出现。该方向和该单晶结构还被 TEM 晶格像(例如,图 17B)所确认,该晶格像清楚地表明 (111) 晶面(间距 $0.32 \pm 0.01 \text{ nm}$, 体 GaAs, 0.326 nm)垂直于线轴。最后,TEM 研究揭示大多数纳米线在一端以纳米微粒结束(插图,图 16A)。EDX 分析表明纳米微粒主要由 Au 组成。Au 纳米微粒在纳米线端的存在与伪二元相图一致,代表了用于 VLS 生长机理的很强的证据,该机理被推荐用于 LCG。

[0731] 通过 LCG 法合成的二元 GaAs 纳米线的胜利并不是一个孤立的事例,而是对大范围的二元和更复杂的纳米线材料(表 1)来说是普遍的。为了将我们的合成方法拓展至最大范围的纳米线,我们承认用于 LCG 的催化剂能够在没有详细的相图情况下通过识别金属进行选择,在这些金属中,纳米线成分元素在液相中是可溶的,但液相不会形成比预期的纳米线的相更稳定的固体化合物;即,理想的金属催化剂应该在物理上是活泼的,但化学上是稳定的。从这方面看,贵金属 Au 应该对很多材料来说都代表了一个好的起点。过去,该贵金属也被用于通过金属-有机物化学气相沉积(MOCVD)以 VLS 法生长表面支撑的纳米线。通过 MOCVD 方法产生的纳米线与本文中所报道的材料在几个方面是不同的,包括:(1)MOCVD 纳米线产生在表面上,而不是所需的用于组装的大的量;(2)MOCVD 纳米线从基底到它们的端部显著地逐渐变细(即,它们没有均一的直径);(3)最小的纳米线直径(10-15nm)也要显著地大于在我们的工作中所获得的 3-5nm 的直径。最后,如下所述,简单地通过产生感兴趣的固体靶和催化剂,我们的 LCG 方法很容易被拓展到许多不同的材料(如表 1),认识到这一点是很重要的。

[0732] 首先,我们已经显著地将我们在 GaAs 上的工作拓展到包括 GaP 和三元合金 $\text{GaAs}_{1-x}\text{P}_x$ 的材料。通过 LCG 从 $(\text{GaP})_{0.95}\text{Au}_{0.05}$ 靶获得的产品的 FE-SEM 图像展现出高纯度、长度超过 10nm 的纳米线(图 16B)。大量的 TEM 表征表明这些纳米线(1)是单晶体的 GaP,(2)沿 $\langle 111 \rangle$ 方向生长,(3)如 LCG 机理所期望的以 Au 纳米微粒终止(插图,图 16B)。我们还通过三元 GaAsP 合金纳米线的研究测试了我们 LCG 方法的局限性。三元 III-V 合金的合成对于能带工程是尤其让人感兴趣的,能带工程对电子学和光学器件是关键。使用含有 Au 催化剂的 $\text{GaAs}_{0.6}\text{P}_{0.4}$ 靶,GaAsP 纳米线的 LCG 产生了近乎纯的纳米线(图 16C)。TEM 图像,ED 和 EDX 表明这些纳米线是单晶体的,沿 $\langle 111 \rangle$ 方向生长,具有 1.0 : 0.58 : 0.41 的 Ga : As : P 原子比,这实质上与初始靶的成分是相同的,以主要由 Au 组成的纳米团簇终止(插图,图 16C)。在直径为约 10nm 和 6nm 的纳米线(图 17C 和 17D)上记录的高分辨 TEM 图像表明良好有序的 (111) 晶面,以及没有成分调制的迹象。我们相信三元纳米线成分能被靶成分所控制的观察结果是十分重要的,因为它为探索激子能量改变提供了机会,该激子能量的改变是因为带隙的变化(成分)和量子限制(尺寸)。

[0733] 基于以上结果,也许并不令人惊奇的是,我们也已经成功地使用 LCG 来制备 III-V 二元材料和包含 In-As-P 的三元材料(表 1)。我们相信,更重要的一点是这种合成方法也能轻易地拓展到许多其他类别的纳米线的制备,包括 II-VI 材料 ZnS, ZnSe, CdS 和 CdSe(表 1), IV-IV SiGe 合金。II-VI 纳米线 CdS 和 CdSe 的情形是尤其重要的,因为这些材料稳定的结构相——纤锌矿(W)——不同于如上所述的 III-V 材料的 ZB 结构,和 ZnS 与 ZnSe 的 ZB

结构。重要地是,我们发现使用含有 Au 催化剂的 LCG 方法能够高产出来地合成 CdS 和 CdSe 的纳米线(图 18A)。从单独的 CdSe 的纳米线(例如,图 18B 和 18C)获得的 TEM 和 ED 数据表明这些材料是单晶体,该单晶体具有 W-型结构以及与 ZB 结构的 $\langle 111 \rangle$ 方向明显不同的 $\langle 110 \rangle$ 生长方向。CdS 纳米线(表 1)的研究显示了稍微复杂些的行为;即,具有沿两个不同的 $\langle 100 \rangle$ 和 $\langle 002 \rangle$ 方向的生长的 W-型纳米线。可能的是,为少数的 CdS 纳米线指定的 $\langle 002 \rangle$ 方向也许对应于 ZB 结构的 $\langle 111 \rangle$ 方向。但是,在大量纳米线样品上进行的 X 射线衍射测量与 W 结构的晶体参数值(assignment)一致。此外,前面的 W-型 CdS 和 CdSe 纳米团簇的研究显示了沿 $\langle 002 \rangle$ 方向的拉长。我们相信,与生长温度成函数关系的纳米线结构的系统研究应该可以帮助阐明这些 CdS 结果的起源,也许能提供对如何能控制纳米线生长方向的理解。

[0734] 最后,我们已经能够用 LCG 制备 IV-IV 二元 Si-Ge 合金纳米线(表 1)。使用 Au 催化剂,在整个 $\text{Si}_{1-x}\text{Ge}_x$ 组分范围内合成单晶体纳米线是可能的。不像上面所讨论的 GaAsP 的情形,该 Si-Ge 合金没有展现出与起始靶相同的成分。而是,成分在生长反应器中连续变化,所产生的富 Si 的材料在较热的中间区域,所产生的富 Ge 的材料在较冷端部。特别地,从 $(\text{Si}_{0.70}\text{Ge}_{0.30})_{0.95}\text{Au}_{0.05}$ 靶的 LCG 生长在 1150°C 产生的纳米线从炉中部到端部,分别具有 95 : 5, 81 : 19, 74 : 26, 34 : 66 和 13 : 87 的 Si : Ge 原子比。该组分的变化来自于以下事实:两种单独的纳米材料的最优生长温度是相当不同的。虽然我们的结果也表明该差别能被利用在单一的生长实验中来制备一定范围的合金组分,但这种差别会增加合成成分可控的合金的难度。

[0735] 总之,使用我们的 LCG 技术,我们已经合成了大范围的单晶的二元和三元化合物半导体纳米线。我们相信这些结果清楚地证明了这种方法用于合理的纳米线合成的普遍性。期望这些高品质、单晶的半导体纳米线的可利用性使纳米尺度科学和技术中的迷人的机会成为可能。例如,这些纳米线能被用来探查在 1D 结构中的激子的限制、动力学和输运性质,能被作用于纳米结构化材料的光学活性结构单元。而且,通过更进一步地控制生长,我们相信 LCG 方法能被用来合成更复杂的纳米线结构,包括单一线的同质和异质结,以及超晶格,于是可以使纳米尺度的发光二极管和激光器件成为可能。

[0736] 在前面已经叙述了用于纳米线 LCG 生长的装置和一般步骤。在合成中使用的靶由(材料) $_{0.95}\text{Au}_{0.05}$ 组成。用于合成的典型的条件是 (i) 100-500 托 Ar : H_2 (95 : 5), (ii) 50-150 sscm 气流,和 (iii) 使用脉冲的 Nd:YAG 激光 ($\lambda = 1064\text{nm}$; 脉冲率 10Hz; 平均功率 2.5W) 烧蚀。在表 1 中给出了用于不同纳米线材料的生长的特殊温度。纳米线产品在炉下游的冷端收集。

[0737] 使用 X 射线衍射 (SCINTAG XDS 2000) FE-SEM (LEO 982) 和 TEM (Philips 420 和 JEOL 2010) 对纳米线样品进行表征。在 TEM 中也进行电子衍射和成分分析 (EDX) 测量。用于 TEM 分析的样品如下制备:在乙醇中短暂地对样品进行超声处理,这使纳米线材料悬浮,接着在 TEM 网格上放置一滴悬浮液并使其干燥。

[0738] 使用膜和纳米管的模板调制方法已经被用来制备许多材料。然而,这些纳米线典型地具有 $> 10\text{nm}$ 的直径,并常常具有使其难于探测内在物理性质的多晶结构,该直径大于期望的用于强量子限制效应的直径。

[0739] 表 1 是所合成的单晶体纳米线的一个总结。生长温度对应于在这些研究中所探索

的范围。最小 (Min.) 和平均 (Ave.) 纳米线直径 (Diam.) 通过 TEM 和 FE-SEM 图像确定。使用电子衍射和 TEM 晶格像确定结构: ZB, 闪锌矿; W, 纤锌矿; 和 D, 金刚石结构类型。成份由在单个的纳米线上进行的 EDX 测量确定。除 GaAs 也使用 Ag 和 Cu 外, 所有的纳米线使用 Au 作为催化剂合成。使用 Ag 和 Cu 获得的 GaAs 纳米线与使用 Au 作为催化剂获得的 GaAs 纳米线有相同尺寸、结构和成份。

[0740]

材料	生长温度 ($^{\circ}\text{C}$)	最小直径 (nm)	平均直径 (nm)	结构	生长方向	成份比率
GaAs	800-1030	3	19	ZB	<111>	1.00:0.97
GaP	870-900	3-5	26	ZB	<111>	1.00:0.98
GaAs _{0.6} P _{0.4}	800-900	4	18	ZB	<111>	1.00:0.58:0.41
InP	790-830	3-5	25	ZB	<111>	1.00:0.98
InAs	700-800	3-5	11	ZB	<111>	1.00:1.19
InAs _{0.5} P _{0.5}	780-900	3-5	20	ZB	<111>	1.00:0.51:0.51
ZnS	990-1050	4-6	30	ZB	<111>	1.00:1.08
ZnSe	900-950	3-5	19	ZB	<111>	1.00:1.01
CdS	790-870	3-5	20	W	<100> <002>	1.00:1.04
CdSe	680-1000	3-5	16	W	<110>	1.00:0.99
Si _{1-x} Ge _x	820-1150	3-5	18	D	<111>	Si _{1-x} Ge _x

[0741] 图 15 示出了 Au 和 GaAs 的伪二元相图, 液体 Au-Ga-As 组分用 L 指代。

[0742] 图 16A-16C 示出了通过 LCG 制备的 GaAs (图 16A), GaP (图 16B) 和 GaAs_{0.6}P_{0.4} (图 16C) 纳米线的 FE-SEM 图像。在图 16A-16C 中的标尺是 2 μm 。图 16A-16C 的插图分别是 GaAs, GaP 和 GaAs_{0.6}P_{0.4} 纳米线的 TEM 图像。标尺都是 50nm。高衬度的特征 (深色) 对应于固化的纳米团簇的催化剂。

[0743] 图 17A 示出了直径约 20nm 的 GaAs 纳米线的衍射衬度 TEM 图像。插图示出了沿 <112> 晶带轴记录的汇聚束电子衍射花样 (ED)。ED 花样的 [111] 方向平行于线轴, 因此表

明生长沿 [111] 方向发生。标尺等于 20nm。图 17B 示出了直径约 20nm 的 GaAs 纳米线的高分辨 TEM 图像。垂直于纳米线轴的晶面距 0.32 ± 0.01 nm, 与体 GaAs 中 (111) 面的晶面距 0.326nm 有很好的 consistency。标尺等于 10nm。图 17C 和 17D 分别示出了直径为 10 和 6nm 的 $\text{GaAs}_{0.6}\text{P}_{0.4}$ 纳米线的高分辨 TEM 图像。在所有的三种纳米线中, (111) 晶面 (垂直于线轴) 都清楚地被分辨。在图 17C 和 17D 中的标尺是 5nm。

[0744] 图 18A 示出了通过 LCG 制备的 CdSe 纳米线的 FE-SEM 图像。标尺等于 $2 \mu\text{m}$ 。图 18A 的插图是在线端存在纳米团簇 (深色特征) 的单独的 CdSe 纳米线的 TEM 图像。EDX 表明纳米团簇主要由 Au 构成。标尺是 50nm。图 18B 示出了直径为 18nm 的 CdSe 纳米线的衍射衬度 TEM 图像。均一的衬度表明该纳米线是单晶体。图 18B 的插图是沿 $\langle 001 \rangle$ 晶带轴记录的 ED 花样, 该图已经被标记为纤锌矿结构。ED 花样的 [110] 方向平行于线轴, 因此表明了生长沿 [110] 方向发生。标尺是 50nm。图 18C 示出了直径约为 13nm 的 CdSe 纳米线的高分辨 TEM 图像, 该图像展现出了很好地分辨 (100) 晶面。晶面距实验值 0.36 ± 0.01 nm, 与体状晶体中的间距 0.372nm 一致。相对于纳米线轴 30° 取向的 (100) 晶面与由 ED 确定的 [110] 生长方向一致。标尺等于 5nm。

[0745] 单晶 GaN 纳米线的激光辅助催化生长

[0746] 已经使用激光辅助催化生长 (LCG) 合成了大量的单晶态 GaN 纳米线。(Ga, Fe) 复合物靶的激光烧蚀产生了液体纳米团簇, 这些团簇可以用作限制和引导晶态的纳米线的生长的催化部位。场发射扫描电子显微镜表明产品主要由线状结构组成, 该线状结构具有 10nm 的量级的直径和大大超过 $1 \mu\text{m}$ 的长度。大量纳米线样品的粉末 X 射线衍射分析能被标记为 GaN 纤锌矿结构, 显示有 $> 95\%$ 的相纯度。单独的纳米线的透射电子显微镜, 汇聚束电子衍射, 和能量弥散 X 射线荧光分析表明它们是具有 [100] 生长方向的 GaN 单晶体。大量的单晶体的 GaN 的纳米线和其它技术上重要的半导体性氮化物材料的合成应该为更进一步的基础研究和应用开辟了许多机会。

[0747] 在这里, 我们报到了单晶态 GaN 纳米线的大批量合成。GaN 和催化金属的复合物靶的激光烧蚀产生了液体纳米团簇, 这些团簇可以用作限制和引导晶态的纳米线生长的活性部位。场发射扫描电子显微镜 (FE-SEM) 表明产品主要由线状结构组成。大量纳米线样品的粉末 X 射线衍射 (PXRD) 分析能被标记为 GaN 纤锌矿结构, 显示有 $> 95\%$ 的相纯度。单独的纳米线的透射电子显微镜, 汇聚束电子衍射, 和能量弥散 X 射线荧光分析表明它们是具有 [100] 生长方向的 GaN 单晶体。

[0748] 在过去的数十年中, 由于纳米结构化的 GaN 材料用于光电子的重要的潜力, 它们吸引了广泛的注意。这些研究主要集中在零维 (0D) 量子点和二维的量子阱结构, 使用成熟的方法能很容易合成这些结构。由于与它们的合成相关联的困难, 对一维 (1D) GaN 纳米线的研究受到限制, 该研究能够使基本原理及应用研究中具有的独特机会。特别地, 仅有一篇 GaN 纳米线生长的报道。在这个工作中, 在氧化镓和 NH_3 蒸汽存在时, 使用碳纳米管作为模板来产生 GaN 纳米线。我们已经探究了被称之为激光辅助催化生长 (LCG) 的用于 GaN 纳米线生长的可预测的合成方法。在该方法中, 脉冲激光被用来使包含预期的材料和催化剂的固体靶蒸发, 由此得到的在高温下形成的液体纳米团簇通过汽-液-固生长机理来引导生长和确定晶态纳米线的直径。该方法的一个重要的特征是, 被用来确定 1D 生长的催化剂能够从相图数据和 / 或化学活性来选择。Buhro 和合作者已经使用相关的被称之为溶液-液

体-固体相生长的方法来在溶液中制备一些 III-V 材料的纳米线,尽管不是氮化物。

[0749] 在 GaN 的情形中,没有详细的与 LCG 相关的三元相图(即,催化剂-Ga-N)的信息可以利用。但是,我们能够使用生长过程的知识来合理的选择催化剂。特别地,在纳米线生长条件下,催化剂应该形成与 GaN 混溶的液体相,但却不形成更稳定的固相。指导性原则暗示,Fe 可以溶化 Ga 和 N,但却不形成比 GaN 更稳定的固相化合物,Fe 将是用于通过 LCG 的 GaN 纳米线生长好的催化剂。使用激光烧蚀产生催化剂纳米团簇后,纳米线生长的整个进展如图 19 所示。

[0750] 重要地,我们发现使用 GaN/Fe 靶的 LCG 生产了高产出的纳米直径的线状结构。通过 LCG 生产的产品的典型的 FE-SEM 图像(图 20A)示出了该产品主要由直径为 10nm 级别,长度大大超过 $1\mu\text{m}$ 的 1D 结构组成;即,高纵横比的纳米线。FE-SEM 数据也表明产品的组成为约 90% 的纳米线,其余为纳米微粒。我们也使用 PXRD(图 20B)评估了整个晶体结构和大量纳米线样品的相纯度。在 PXRD 图中所有相对尖锐的峰可以被标记为晶体常数为 $a = 3.187$ 和 $c = 5.178$ 埃的纤锌矿结构。这些值与体 GaN 的文献值: $a = 3.189$ 和 $c = 5.182$ 埃符合得很好。此外,背底信号与观察到的峰的对比表明 GaN 纤锌矿结构相在我们的合成中所产生的晶态材料占有 $> 95\%$ 。

[0751] LCG 实验装置与前面所报道的装置相同。GaN/Fe 复合物靶(原子比为 (GaN) : Fe = 0.95 : 0.05) 被放置在炉中心的石英管中。该实验系统被抽真空到 30 毫托,接着注入无水氨气。当气压和流速分别维持在约 250 托和 80sccm 时,以 $30^\circ\text{C}/\text{min}$ 将炉温升高到 900°C 。接着使用脉冲 Nd-YAG 激光(1064nm;脉冲宽度 8ns;10Hz 重复;平均功率 2.5W)以典型的烧蚀持续时间 5min 来烧蚀靶。在烧蚀后,关闭炉,使其冷却到室温。然后,排空该系统,从内部的石英管壁的端部收集到微黄色的粉末。将该产品直接用于 FE-SEM 和 PXRD 研究。将该产品悬浮在乙醇中,然后转移到 TEM 网格上用于 TEM, CBED 和 EDX 测量。

[0752] 已经使用 TEM, CBED 和 EDX 进一步详细地表征了 GaN 纳米线的形貌、结构和成分。TEM 研究表明该纳米线是直的且具有均一的直径,典型地在一端以纳米微粒结束。图 20A 示出了一条纳米线的有代表性的衍射衬度图像。沿着线轴的一致的衬度表明该纳米线是单晶体。在液体纳米团簇结晶化后,如所期望的那样,在纳米线端观察到的纳米微粒(深色,高的衬度特征)是多面形的(图 19)。我们也使用了 EDX 来阐明纳米线和端部的纳米微粒的成分。在纳米线上记录的数据显示仅 Ga 和 N 的比率与 GaN 标样基本相同,而纳米微粒还含有 Ga、N 和 Fe。Fe(以及 Ga 和 N)仅在端部的纳米微粒中存在确认了在合成中 Fe 的催化剂的本性。

[0753] 为了进一步钻研催化剂的重要性,我们也研究了使用 Au 催化剂的 GaN 纳米线的生长。近来金作为催化剂已被用于很多 III-V 和 II-VI 材料纳米线的生长,同样地可以期望其在 GaN 纳米线的生长中也有效地发挥作用。但是, Au 呈现出很差的 N 的溶解性,于是不能有效地输运 N 到固/液生长界面。与该分析一致的是,我们已经不能使用 Au 催化剂得到 GaN 纳米线。我们相信这强调了催化剂的重要性以及催化剂如何能被合理地选择。

[0754] 最后,我们使用 CBED 和高分辨 TEM(HRTEM)更详细地表征了 GaN 纳米线的结构。典型的纳米线的 CBED 花样(插图,图 21A)呈现出与从衍射衬度图像推断而来的单晶结构一致的尖锐的衍射花样。对该花样的标记进一步证明了 [100] 方向沿线轴对准。此外,图 21B 示出了直径约为 10nm 的 GaN 纳米线的 HRTEM 晶格像。该图像沿 $\langle 001 \rangle$ 晶带轴记录,清楚地

示出了纳米线的单晶结构和沿 $[100]$, $[010]$ 和 $[-110]$ 方向的晶面。该图像证明了 $[100]$ 方向与线轴平行,因此证实了在 GaN 纳米线中的 $[100]$ 生长方向。

[0755] 总之,我们探究了用于合理地合成 GaN 纳米线的 LCG 方法。获得了具有唯一的 $[100]$ 生长方向的单晶体的高纯度 GaN 纳米线。我们相信,这种基于催化剂和生长条件的可预测的选择的方法能很容易地拓展到 InN, (GaIn)_N 合金和相关的氮化物纳米线的合成。大量 GaN 单晶纳米线和其他技术上重要的半导体氮化物材料的合成被期望能为未来的基础研究和应用开辟很多机会。

[0756] 图 19 示出了使用激光辅助催化生长 GaN 纳米线的示意图。

[0757] 图 20A 示出了使用 LCG 合成的大量的 GaN 纳米线的 FE-SEM(LEO 982) 图像。标尺等于 $1\ \mu\text{m}$ 。图 20B 示出了在大量的 GaN 纳米线上记录的 PXR(Scintag, XDS2000) 花样。在峰上的数字对应于闪锌矿结构的 (hkl) 值。

[0758] 图 21A 示出了 GaN 纳米线的衍射衬度 TEM(Philips, EM420) 图像,该纳米线以更高(深色)衬度的多面形的纳米微粒结束。在图 21A 中的插图示出了用白环标记出的区域上沿 $\langle 001 \rangle$ 晶带轴记录的 CBED 花样。白色标尺等于 50nm 。图 21B 示出了另一个直径约为 10nm 的纳米线的 HRTEM(JEOL 2010) 图像。该图像沿 $\langle 001 \rangle$ 晶带轴得到。 $[100]$, $[010]$ 和 $[-110]$ 方向用平行于线轴的 $[100]$ 表示。白色标尺等于 5nm 。

[0759] 由磷化铟纳米线结构单元组装的纳米尺度的电子和光电子器件

[0760] 如纳米线(NWs)和纳米管(NTs)的一维纳米结构理想地适合于电荷载流子和激子的有效的运输,因此被认为是用于纳米尺度的电子学和光电子学的关键的结构单元。对在碳纳米管中的电子运输的研究已经导致了场效应管、单电子管、整流结和化学传感器的产生,这些结果显示了从这些材料可能的令人激动的应用,尽管由于半导体性或金属性的纳米管的选择性生长和/或组装现在还不可能,纳米管结构单元的使用受到相当的限制。将纳米尺度结构用作用于有源器件和器件阵列的倒置组装的结构单元将需要不同单元的电性质是确定和可控制的,该应用将消除对于昂贵的组装线的需求。最后,我们报道了来自化合物半导体纳米线结构单元的功能性纳米尺度器件的合理的组装,在这些纳米线结构单元中电性质通过掺杂得到控制。栅依赖运输测量证明,磷化铟(InP)纳米线能通过可控的 n 型和 p 型掺杂来合成,并能如纳米尺度的场效应晶体管那样运作。此外,通过形成交叉的纳米线阵列,清晰的(well-defined)n-和 p-型材料的可用性使 p-n 结的产生成为可能。运输测量揭示纳米尺度的 p-n 结展示了清晰的电流整流性。重要的是,正向偏压的 InP p-n 结展示了强的,量子限制的光发射,使得这些结构也许是迄今所创造的最小的发光二极管。最后,电场引导的组装被视为能从这些新的纳米尺度的结构单元创造出高度集成的和功能性的器件的一种策略。

[0761] 已经通过如前所述的激光辅助催化生长(LCG)制备了单晶体的 InP 纳米线。分别使用碲(Te)和锌(Zn)作为掺杂剂制备了 n 型和 p 型的 InP 纳米线,并发现这些纳米线与没有添加掺杂剂的纳米线有相似的高质量。已合成的 Zn 掺杂的 InP 纳米线的场发射扫描电子显微镜(FE-SEM)图像(图 22A)证明这些线长度延长到数十个纳米,直径在 10nm 的量级。高分辨透射电子显微镜(TEM)图像(插图,图 22A)进一步示出了该掺杂的纳米线是生长方向为 $\langle 111 \rangle$ 的单晶体。通常的,在 TEM 图像中是可以看见纳米线上的 $1-2\text{nm}$ 的不定形包覆层。该薄层归结于纳米线在合成后暴露在空气中时形成的氧化物。通过能量弥散

X 射线衍射 (EDX) 分析所确定的单独的纳米线的全部的成分被发现是 1 : 1 In : P, 因此确认了纳米线的化学计量的成分。但是, EDX 和其他元素分析方法还不够灵敏来确定单独的纳米线中的掺杂水平。

[0762] 为了确认在纳米线中掺杂剂的存在和类型, 我们已经在单独的纳米线上进行了栅-依赖, 两端法输运测量。在这些测量中, 对于 n- 和 p- 型的纳米线, 纳米线的电导将以相反的方向响应于栅电压 (V_g) 的变化。特别的, 对于 n 型的纳米线, $V_g > 0$ 将导致电子的积累和电导的增加; 而对于 p 型的纳米线, 相同施加电压的栅将消耗空穴和降低电导。图 22B 和 22C 和 100c 分别示出了从单独的 Te- 和 Zn- 掺杂的纳米线获得的典型的栅依赖 I-V 曲线。对于两类型的纳米线, 在 $V_g = 0$ 时, I-V 曲线都是近似线性的, 表明金属电极与纳米线是欧姆接触。在 Te 掺杂的纳米线上记录的输运数据 (图 22B) 表明对于 $V_g > 0$ 电导增加, 而对于 $V_g < 0$ 电导下降。这些数据清楚地表明 Te 掺杂的 InP 纳米线是 n 型的。与 n 型, Te 掺杂的 InP 纳米线相比, 在 Zn 掺杂的纳米线上记录的栅依赖输运数据示出了随 V_g 的变化反向的电导变化。特别地, 对于 $V_g > 0$ 电导下降, 对于 $V_g < 0$ 电导增加 (图 22C)。这些结果表明 Zn 掺杂的 InP 纳米线是 p 型的。

[0763] 我们的结果具有相当的可重复性。在超过二十根直径从 20nm 到 100nm 的单独的纳米线上进行的测量在每种情形下显示出栅效应, 该效应与在 InP 纳米线合成中使用掺杂剂是一致的。此外, 栅电压可以被用来完全地耗尽 n- 型和 p- 型的纳米线中的电子和空穴, 以至电导变得不可测量的小。例如, 当 V_g 小于或等于 $-20V$ 时, 在图 22B 中的纳米线的电导可以从导通 (开) 状态转换到截止 (关) 状态, 于是该纳米线可以如场效应管那样工作。对于一些纳米线, 电导调制能够如 4-5 个数量级大。相对高的切换电压是与在我们的测量中所使用的厚 (600nm) 氧化物阻挡层有关。该栅依赖行为与金属-氧化物-半导体 (MOS) 场效应管和近来的半导体纳米管场效应管的研究相似。我们关于纳米管工作的一个重要的特色就是, 在每一条纳米线中, 能够获得可预测的半导体行为。综合起来, 这些结果清楚地说明了单晶体 InP 纳米线能够被合成而具有可控的载流子类型。因为这些纳米线以大批量的形式被生产, 它们代表了一种可以容易得到的用于组装器件和器件阵列的材料。

[0764] 通过在两条或更多线之间形成结, 清晰的 n- 型和 p- 型纳米线结构单元的可用性开辟了创建复杂功能的器件的可能。为了探索这个让人兴奋的机会, 我们已经分别研究了通过使用交叉两个 n 型, 两个 p 型, 及一个 n 型和一个 p 型纳米线形成的 n-n, p-p 和 p-n 结的输运性质。图 23A 示出了使用直径为 29nm 和 40nm 的纳米线形成的有代表性的交叉纳米线器件。为了以下讨论的简便, 将四个臂用 A, B, C, D 指代。重要的是, 对于每一个实验, 被研究的结的类型是可以控制的因为我们能够在组装之前选择用于制造交叉的结的纳米线的类型。

[0765] 图 23B 和 23C 分别示出了在 n-n 和 p-p 结上记录的电流-电压 (I-V) 数据。对于两种类型的结, 在单独的纳米线上记录的输运数据 (AC, BD) 都显示出线性或近乎线性的 I-V 行为 (曲线 80, 图 23B 和曲线 82, 图 23C)。这些结果表明实验中所使用的金属电极与纳米线是欧姆或近似欧姆性的接触, 将不会对穿过结的 I-V 测量造成非线性的影响。通常, 穿过 n-n 和 p-p 结进行的 I-V 输运测量显示出线性或近似线性的行为, 而许可我们推断出关于用这种方法制备的结的两个重要的观点。第一, 在单独的纳米线之间的界面氧化物不会产生明显的隧道势垒, 因为这样的势垒将会导致高的非线性 I-V 行为。第二, 流过每一对

相邻的臂记录的 I-V 曲线显示出相似的电流水平,这些值小于单独的纳米线自身的值。这些结果表明结支配输运行为。最后,我们的数据表明,尽管接触面积小 (10^{-12} - 10^{-10} cm²) 和制作结的方法简单,单独的纳米线在相互之间有好的合理的电接触。

[0766] 在单独的纳米线之间好的接触为研究这些纳米线来制造功能性器件提供了基础。作为例子,我们已经从交叉的 p- 和 n- 型纳米线制作了 p-n 结。通过具有中间干燥的 n- 和 p- 型纳米线稀溶液的依次沉积,这些结能够被可重复地制造。图 23D 示出了交叉的纳米线 p-n 结的典型的 I-V 行为。单独的 n- 和 p- 型纳米线元件的线性的 I-V (曲线 84 和 86) 表明纳米线和金属电极之间是欧姆接触。穿过 p-n 结的输运性质 (曲线 88) 示出了清楚的电流整流;即,反向偏压时没有电流流动,而正向偏压时有急剧的电流上升。重要的是,该行为与体半导体 p-n 结相似,这形成了许多关键的电子和光电子器件的基础。在标准的 p-n 结中,整流来自于在 p- 和 n- 型材料之间的界面上形成的势垒。当结是正向偏压时 (p- 一侧是正偏压),势垒减小,相对大的电流能够流过结;另一方面,在反向偏压时,仅有少量的电流能够流过结,因为势垒被进一步增强了。

[0767] 有几个原因使我们相信所观察到的整流是因为在 p- 型和 n- 型 InP 纳米线之间的交叉点形成的 p-n 结。第一,用来制造结的单独的 p- 和 n- 型纳米线的线性或近似线性的行为表明在纳米线和金属电极之间形成了欧姆接触。这就排除了整流来自金属-半导体肖特基 (Schottky) 二极管的可能性。第二,通过每对相邻的电极 (AB, AD, CB, CD) 所确定结的 I-V 行为 (图 23D 中曲线 88) 展示了相似的整流效应和电流水平,这也比通过单独的纳米线的电流水平小得多。这些结果证明结支配了 I-V 行为。第三,四端测量显示出相似的 I-V 和整流,仅与在同样电流水平下的二端测量相比有略微小的压降 (0.1-0.2V),该四端测量中,在测量穿过两个独立的电极 (如,C-D) 的结的压降时,电流通过两个相邻的电极 (A-B)。最后,在 10 个独立的 p-n 结上进行的测量在 I-V 数据中显示了相似的整流;即,当 p 型纳米线是正偏压时,明显的电流仅能流过 p-n 结。

[0768] 上面的数据明确地表明我们现在能合理地制作纳米尺度的 p-n 结。在像 InP 的直接能隙半导体中, p-n 结形成了用于包括发光二极管 (LED) 和激光器的关键的光电子器件的基础。为了评估我们的纳米尺度的器件是否有相似的行为,我们从交叉的纳米线 p-n 结研究了光致发光 (PL) 和电致发光 (EL)。重要的是,EL 可以从正向偏压的这些纳米尺度的结中轻易地观察到。图 24A 示出了从在正向偏压的典型的纳米线 p-n 结得到的 EL 图像,插图示出了从交叉的纳米线结得到的 PL 图像。PL 图像清楚地显示两个拉长的线状的结构,EL 图像示出了来自于点状源的光。对比 EL 和 PL 图像表明 EL 最大值的位置对应于 PL 图像中的交叉点,于是证明了光确实从纳米线的 p-n 结中发出。

[0769] 结的 I-V 特征 (插图,图 24B) 示出了在 ~ 1.5 V 具有急剧的电流上升的清楚的整流。结的 EL 强度相对于电压的曲线表明,在如 1.7V 低的电压下用我们的系统能够检测到有效的光。EL 强度随着偏压迅速升高,类似于 I-V 行为。EL 光谱 (图 24C) 示出了在 820nm 附近的最大的强度,该值相对于 InP 体材料的带隙 (925nm) 有明显的蓝移。该蓝移部分地是因为激子的量子限制,尽管其他因素也可能有影响。在从由小较小的 (和较大的) 直径的纳米线 (图 24D) 组装的 p-n 结记录的 EL 结果中可以清楚地看见量子限制的重要性,其结果显示了较大 (较小) 的蓝移。在这些纳米 LEDs 中通过尺寸调节颜色的能力在未来也许是特别有用的。这些最初的器件的量子效应 (电子到光子) 相对地低 ($\sim 0.001\%$),这

并不让人吃惊,因为我们对优化几乎没有加以注意。该效率与早期的体 InP 的 LEDs 的效率 ($\sim 0.002\%$) 是相当的。我们将低的量子效率归结为经由表面状态的非辐射复合,并且相信该有害的过程能够通过表面钝化加以减少。

[0770] GaN 是一种直接宽带隙半导体材料,它可以在室温发射短波区域 (UV 和蓝光) 的光。在需要高强度、高能效和可靠光源的地方,蓝光 LEDs 是重要的发射器。它对于使生产全色调 LED 显示器和 LED 白光灯成为可能很重要,因为蓝色是三种基本色 (红,绿,蓝) 之一。

[0771] 这里,我们报到了第一个制作的 BLUE/UV 纳米 LEDs (光发射区域在 10nm 量级),它是使用 p 型的 Si 和 n 型 (非故意掺杂) 的 GaN 纳米线构造而成。与我们所报到的在近 IR 区域发光的纳米 LEDs 一起,我们显示了使用可以覆盖全部色谱的不同的材料来制作 LEDs 的巨大潜力。

[0772] 图 25A 示出了两个 p 型 Si 和 n 型 GaN 交叉的纳米结得到的 EL 图像。该 p-Si 用硼掺杂。图 25B 示出了多个栅电压下的电压相对于电流的关系。纳米结在不同的栅电压都显示出了好的整流性。如图 25C 所示的 EL 光谱显示了在 380nm 和 470nm 左右的光发射。n-InP 和 p-Si 纳米结具有好的整流性。

[0773] 为了制作高集成的基于纳米线的器件将最终需要将这些结构单元排列和组装为清晰的阵列的技术。为了证明这下一个发展阶段的可行性,我们使用电场 (E-场) 来将单独的纳米线排列和定位为平行和交叉的阵列——用于集成化的两种基本的几何图形。通过将纳米线的溶液置于电极之间 (图 26A),然后施加 50-100V 的偏压,实现 E-场引导的组装。在平行电极之间的氯苯悬浮的纳米线的排列的情形中,可以轻易地看到该方法的潜力。FE-SEM 图像表明,几乎所有的纳米线都垂直于平行电极、顺着 E-场的方向进行排列。我们也使用了电极阵列来定位在特殊位置的单独的纳米线。例如,在一列电极之间的纳米线的 E-场的组装 (图 26C) 演示了能放置单独的纳米线来搭接直径上对置的电极对,形成平行的阵列。此外,通过改变场的方向,该对准能够以逐层的方式进行以生产交叉的纳米线结 (图 26D)。这些数据清楚地表明 E 场组装代表了一种通过高度地方向和空间控制来合理地沉积单独的纳米线的策略。我们相信,使用我们的纳米线结构单元以及 E 场和 / 或其他组装技术,高集成的功能器件将是可得到的。

[0774] 整体来看,本文中介绍的结果提供了一种用于纳米尺度的电子和光电子器件的倒置组装的合理方法。在没有数十亿美元的装配线的条件下,我们已被证明的组装有源 (active) 器件的能力对于该领域是及其重要的,我们相信对于眼前和长期的发展奠定了基础。我们相信,现在可以利用的大范围的纳米材料和清楚界定的用来控制它们电性质的能力,将使覆盖整个可见光和近红外区域的纳米尺度的 LEDs (例如,用于蓝光的 GaN 纳米线) 成为可能。这样的纳米尺度的光源也许在创造新类型的高度平行的光传感器和用于纳米电子学中的光学互联器的过程中是有用的。而且,掺杂的纳米线结构单元的组装明显地具有创造许多其他类型的电子器件,甚至可能创造激光器的潜力。

[0775] 使用 LCG 合成了 InP 纳米线。该 LCG 靶典型地由 94% (原子比率) 的 InP,作为催化剂的 5% 的 Au,和作为掺杂元素的 1% 的 Te 或 Zn 组成。在生长过程中,炉温 (中部) 被设置在 800°C,靶被放置在炉的上游端而不是中间。使用脉冲 (8ns, 10Hz) Nd-YAG 激光 (1064nm) 来蒸发靶。典型地,生长进行 10 分钟,在炉的下游、冷端收集纳米线。

[0776] 使用已公开的程序在单独的纳米线上进行输运测量。简单地说,首先将纳米线分散在乙醇中,然后沉积在氧化后的硅衬底(600nm 氧化物, $1-10 \Omega \cdot \text{cm}$ 电阻率)上,导电硅用作背栅。使用电子束光刻技术(JEOL6400)来制作纳米线的电接触。热蒸镀 Ni/In/Au 接触电极。使用计算机控制下的噪声 $< 1\text{pA}$ 的自制系统进行电子输运测量。

[0777] 通过随机沉积获得 n-n 和 p-p 结。我们首先使用相对高的浓度将纳米线沉积到氧化后的硅衬底上,确定交叉的纳米线的位置,接着通过电子束光刻技术在交叉的所有的四个臂上制作电极。Ni/In/Au 电极被用来与纳米线进行接触。

[0778] 通过逐层地沉积获得 p-n 结。首先,沉积一种类型的纳米线(例如, n 型)的稀溶液到衬底上,记录单独的纳米线的位置。在第二步中,沉积另一种类型的纳米线(例如, p 型)的稀溶液,记录交叉的 n- 和 p 型纳米线的位置。接着制作金属电极和进行输运测量。

[0779] 使用自制的微光仪器研究 EL。使用 PL 或散射光(540nm, Ar 离子激光器)来定位结的位置。在对结进行定位时,关闭激发激光,接着正向偏压结。使用液氮冷却的 CCD 相机来拍摄 EL 图像,通过在 300mm 的分光计中使用 150 线/mm 的栅来分散 EL 得到 EL 光谱。

[0780] 图 22A-22C 说明了 InP 纳米线的掺杂和电子输运。图 22A 示出了 Zn 掺杂的 InP 纳米线的典型的 FE-SEM 图像。标尺是 $10 \mu\text{m}$ 。插图是一条直径为 26nm 的纳米线的 TEM 晶格像。可以看见 (111) 晶面垂直于线轴。标尺是 10nm。图 22B 和 22C 分别示出了 Te 和 Zn 掺杂的纳米线的栅依赖的 I-V 行为。图 22B 和 22C 中的插图示出了使用两端 Ni/In/Au 接触电极测量的纳米线。标尺等于 $1 \mu\text{m}$ 。在图 22B 中的纳米线的直径为 47nm,在图 22C 中的纳米线的直径为 45nm。在对应的 I-V 曲线上、图的右手边,标出了在测量中使用的具体的栅电压。数据在室温下测量。

[0781] 图 23A-23D 说明了交叉的纳米线的结和电性质。图 23A 示出了具有 Ni/In/Au 接触电极的典型的交叉纳米线器件的 FE-SEM 图像。标尺等于 $2 \mu\text{m}$ 。纳米线的直径是 29nm(A-C) 和 40nm(B-D);被用来制作器件的纳米线的直径在 20-75nm 的范围内。图 23B-23D 分别示出了 n-n, p-p 和 p-n 结的 I-V 行为。曲线 80 和 82 分别对应于结中单独的 n- 和 p- 纳米线的 I-V 行为。曲线 88 表示穿过结的 I-V 行为。为了更好地查看,在图 23D 中记录的 p- 和 n- 纳米线的电流被除以 10。实线代表穿过一对相邻的臂上的输运行为,点化线代表另外三对相邻臂的输运行为。数据在室温下测量。

[0782] 图 24A-24D 说明了纳米线 p-n 结的光电特征。图 24A 是从在 2.5V 正向偏压的纳米线 p-n 结中发射的光的 EL 图像。在图 24A 中的插图示出了结的 PL 图像。它们的标尺都等于 $5 \mu\text{m}$ 。图 24B 示出了 EL 强度相对于电压的关系。在图 24B 中的插图示出了 I-V 特征,插图中的插图示出了结自身的 FE-SEM 图像。标尺等于 $5 \mu\text{m}$ 。形成该结的 n 型和 p 型纳米线分别具有 65 和 68nm 的直径。图 24C 示出了在图 24A 中的结的 EL 光谱。该光谱的峰值在 820nm。图 24D 示出了从第二正向偏压的交叉的纳米线 p-n 结记录的 EL 光谱。该 EL 的最大值出现 680nm。在图 24D 中的插图示出了该 EL 图像,并证明了该 EL 产生自结区域。标尺是 $5 \mu\text{m}$ 。形成该结的 n 型和 p 型纳米线分别具有 39 和 49nm 的直径。

[0783] 图 26A-26D 说明了使用 E 场的平行和正交的组装。图 26A 是 E 场排列的示意图。在衬底上(蓝色)沉积一滴纳米线溶液后,将电极(橙色)置于 50-100V 的偏压。图 26B 示出了在两个平行电极间排列的纳米线的平行阵列。纳米线被悬浮在氯苯中,使用所施加的 100V 的偏压进行排列。图 26C 示出了使用 80V 偏压的 E 场组装后获得的空间定位的纳米线

平行阵列。在图 26C 中顶部的插图示出了 15 对平行电极,该平行电极具有搭接直径上对置的电极对的单独的纳米线。图 26D 示出了交叉的纳米线结,该纳米线结是通过在两个组装步骤中在正交方向上施加 E 场逐层地对准获得的。在两个步骤中所施加的偏压都是 80V。在图 26B-26D 中的标尺等于 $10\ \mu\text{m}$ 。

[0784] 源自硅纳米线的纳米尺度的电子器件的倒置组装

[0785] 已经通过由硅纳米线 (SiNWs) 的合理的倒置组装创建了四类重要的功能纳米器件,这些是具有很好控制的掺杂类型和水平的 p 和 n 型硅纳米线。在所有这些器件中,对单独的 p 和 n 型 SiNWs 上的电子输运测量暗示在 SiNWs 和引线之间为欧姆或近似欧姆接触。重要的是,穿过由交叉的 p 型和 n 型 SiNWs 组成的 p-n 结的四探针测量示出了如所期望的 p-n 二极管行为的电流整流行为。也组装了 n^+pn 交叉结来创建双极性晶体管,在该双极性晶体管中得到如 0.94/16 大的普通基极 / 发射极增益。由交叉的轻掺杂的 p-n 结构成的互补反相器显示出反比于输入电压、具有 0.13 增益的明显的输出电压。具有重掺杂的 SiNW pn 交叉形式的隧道二极管在峰谷比 (PVR) 为 5 比 1 的正向偏压中显示了负微分电阻 (NDR) 行为。

[0786] 最近,传统电子设备的小型化被热烈地推进着。但是,光刻方法基本的限制将阻碍当前地技术延伸到深奥的纳米电子学领域。因此,纳米结构作为用于集成器件的倒置组装的结构单元的应用能够大大地减少装配线成本而仍保留了一些在微电子学中被证明是成功的概念,在该纳米结构的应用中单独的单元的制造和组装都被期望是便宜的。如纳米线 (NWs) 和纳米管 (NTs) 的一维的结构是理想的用于纳米电子学关键结构单元的候选者。如何使用这些结构单元来构造功能纳米器件和器件阵列对于纳米科学和技术是要点。纳米管已经作为场效应管,单电子晶体管进行了测试。也已经展示了 NT-NW 的异质结,NT 分子内结和交叉结。然而,由于金属性和半导体性的纳米管的特定的生长是不可控的和半导体纳米管的可控掺杂是困难的,在合理的组装中纳米管的使用受限于单独的管的性质的不可预测性。

[0787] 前面,我们展示了单晶体半导体 SiNWs 的可控掺杂,其中掺杂类型 (p 型和 n 型) 和相对的掺杂浓度 (从轻到重) 被很好地控制。因此,这些性质上可预测和可控的 SiNWs 为有源器件和器件阵列的倒置组装提供关键的结构单元。可能的是,通过化学组装所引导的组装,能够形成高密度的 SiNW 器件阵列,例如,特殊的对半导体肽粘合作用、DNA 基匹配相互作用和 / 或配位受体相互作用。为了实现可工作的集成化器件,先决条件就是要理解单独的倒置组装的有源器件的电学性质。这里我们报道了从这些直径为 20 到 50nm 的 SiNWs 而来的功能纳米器件的合理的组装,以及器件的电学性质。我们证明了对掺杂类型和掺杂水平的控制为我们提供了制造多类电子器件的能力。通过可控地组合 p 和 n 型掺杂水平变化的 SiNWs 创建了四类重要的功能性结构,包括 pn 二极管,双极性晶体管,互补反相器和隧道二极管。创建了交叉的 SiNW 结形式的纳米尺度的 pn 结。这些 pn 结上的电子输运测量显示了可通过半导体物理预测的电流整流性。我们已经开发了我们的构建 n^+pn SiNW 结为双极性晶体管的能力,在该双极性晶体管中被证明具有如 0.94/16 大的普通基极 / 发射极增益。由交叉的轻掺杂的 p-n 结构成的互补反相器清楚地显示了反比于输入电压、具有 0.13 增益的输出电压。由重掺杂的 pn 交叉构成的隧道二极管的结果在峰谷比 (PVR) 为 5 比 1 的正向偏压中显示了负微分电阻行为。在 SiNWs 的激光辅助催化生长过程中,分别使用乙硼烷

和磷作为掺杂源合成了 p 型和 n 型 SiNWs。通过使用电子束光刻技术在有 600nm 热氧化物的掺杂的硅衬底上制作了 SiNWs 的金属引线触点。通过分别交叉一条 p 型和一条 n 型,两条 p 型和两条 n 型 SiNWs 形成 pn, pp 和 nn 结。结的类型通过选择用于创建指定的结的 SiNWs 的类型来控制。图 27A 中示出了交叉结的典型的场发射扫描电子显微镜 (FE-SEM) 图像,为了便于讨论,图中的四个接触引线分别被标记为 1, 2, 3 和 4。图 27B 示出了 pn 交叉结上的电流-电压 (I-V) 数据,该结有直径分别如 20.3 和 22.5nm 小的 p 和 n 型 SiNWs。通过使电流在两个相邻的引线 (例如,引线 1-2 或引线 1-4, 电流的正方向是从 p 到 n 型 SiNW) 间流动,测量另外两个引线 (例如,引线 3-4 或引线 3-2) 之间的压降来进行跨接在结上的四端测量。穿过结的 I-V 曲线 (图 27B, 曲线 130) 显示很小的反向偏压电流 (在我们的设置中为负偏压) 和非常急剧的正向偏压的电流上升 (正偏压)。相反地,单个的 p (引线 1-3 之间) 和 n 型 (引线 2-4 之间) SiNWs 显示了线性的 I-V 行为 (分别如图 27B 的曲线 110 和 120), 这提示在 SiNWs 和引线间为欧姆 (非整流) 接触。于是,该整流行为一定是由结自身造成的。该行为能够通过 pn 结二极管的能带图来解释。当 p 和 n 型 SiNW 相互接触时,在结的界面形成了内建势垒。电子不能隧穿通过在结界面形成的宽的空间电荷区,但是能被热激发所输运。正向偏压降低了内建势垒,于是大量的电流能够流过 (图 27E), 而反向偏压升高了内建势垒,于是电流水平降低 (图 27F)。

[0788] 分开地将 p 和 n 型 SiNWs 分散在丙酮中,通过依次沉积得到 p-n 结。一种类型的 SiNWs (例如, n 型) 的溶液首先被沉积在衬底上,记录相对于对准标志的 SiNWs 的位置。其次,沉积另一种类型的 SiNWs (例如, p 型) 的溶液记录交叉的 pn 结的位置。pp 和 nn 结通过仅沉积一种类型的 SiNWs : p 型和 n 型, 得到。然后记录结的位置。

[0789] 为什么我们相信整流行为是 pn 二极管行为而不是一些其它的在界面的非对称的隧穿势垒的原因是 : (a) SiNWs 的固有的氧化层足够薄, 电子能够轻易地隧穿过该氧化层, 在结处的 p 和 n 型线之间的适当的强耦合仍然存在, 因此内建势垒能够形成。这通过在 pp 和 nn 结上的输运测量得到确认。在 pp (图 27C, 曲线 110) 和 nn (图 27D, 曲线 120) 结中的单根线 (引线 1-3, 2-4 之间) 显示了线性和几乎线性的 I-V 行为提示好的接触。在 pp (图 27C, 曲线 130) 和 nn (图 27D, 曲线 130) 结上的二端测量 (在引线 1-2, 1-4, 2-3 或 3-4 之间) 显示了线性和几乎线性的 I-V。比较跨接在结上的二端测量的电阻和单根 SiNW 的电阻, 我们发现结电阻的量级与线电阻的量级相似, 提示氧化物没有造成明显的电子隧穿势垒。(b) 在 20 个独立的 pn 结上的测量显示了一致的标准的 (correct) 整流行为。

[0790] 作为大多数半导体器件的基本单元, pn 结提供了整流器、放大器, 转换电路和其他许多电子电路功能器件所需的特征。从 SiNW 交叉制作 pn 结的成功为我们提供了制作其他重要的功能器件的可能性。为了证明我们不但能够创建无源器件 : p-n 二极管, 而且能够创建有源器件, 我们构建了能进行电流增益的双极性晶体管。双极性晶体管是 n^+pn (图 28A 左边) 或 p^+np 结器件, 该器件需要发射极中有高的掺杂水平, 而在基极和集电极中有低的掺杂水平。在 SiNWs 掺杂中好的控制为我们提供了制作复杂器件的能力。我们的 n^+pn 双极性晶体管是通过机械地操作两条 n 型的 SiNWs (一条重掺杂, 另一条轻掺杂) 到一个轻掺杂的 p 型线上构建的, 并在通常的基极配置中 (图 28A 右边) 工作。图 28B 是双极性晶体管典型的 SEM 图像。首先将晶体管中的 SiNWs 和结单独地表征。三个单独的 SiNWs 的 I-V 曲线是线性的, 两个单独的结具有标准的 (correct) 整流行为。接着, 将 n^+ 型的 SiNW 作为发

射极, n 型作为集电极来进行双极性晶体管测量。通常向发射极 - 基极 (E-B) 加正向偏压来将电子注入到基极区域。当集电极 - 基极 (C-B) 电压大于 0 时, 晶体管以有源模式工作, 其中, C-B 结是反向偏压的, 仅有非常小的漏电流流经结。然而, 从发射极注入的电子能够通过基极扩散到达 C-B 结空间电荷区, 被集电极收集。实际的集电极电流仅依赖于从发射极注入的电子, 于是仅依赖于 E-B 电压。这可以在图 28C 的区域 II 中清楚地看到, 其中集电极电流随着正向的 E-B 电压升高, 但随着 C-B 电压缓慢地变化, 该 C-B 电压来自于厄雷效应 (Early effect) 和反向偏压下存在的缓慢增加的漏电流。这展示了晶体管行为: 在反向偏压的集电极结中大的电流能够产生于从邻近的发射极结注入的载流子。当 C-B 电压低于 0 时, 该双极性晶体管工作在饱和模式 (图 28C 区域 I), 其中 E-B 和 C-B 结都是正向偏压的。来自发射极注入的集电极电流将被正向偏压的 C-B 电流所补偿。于是, 集电极电流随着正向 C-B 电压下降。在 E-B 上的正向偏压越高, 需要越高的 C-B 上的正向偏压来将电流补偿到 0 (图 28C, 曲线 1-4)。

[0791] 通过沉积和机械操作制作该 n^+pn 双极性晶体管。首先, p 型的 SiNWs 从溶液沉积到衬底上。在第二步中, 将 n^+ 和 n 型 SiNWs 粘在尖锐的 STM 针尖, 在光学显微镜下放到 p 型的 SiNWs 上。

[0792] 有源模式的双极性晶体管的普通基极电流增益如 0.94 一样大 (图 28D), 普通发射极电流增益为 16。这个大的电流增益值提示了三个重要的观点: (a) 从发射极到基极的电子注入效率很高, 这是由于发射极的掺杂浓度比基极的高; (b) 虽然基极区域很宽 ($15\ \mu\text{m}$), 在基极和集电极之间活跃的相互作用仍然存在, 大部分从发射极注入的电子能够通过基极到达集电极, 这提示基极中的电子的迁移率是相当高的; (c) 在基极和集电极之间的空间电荷区域可以高率地来收集电子和将它们输送到集电极, 这提示界面处的氧化物势垒作用不明显, 而进一步确认了我们对单个的 pn 结的分析。例如通过减少基极宽度, 我们的双极性晶体管能够被改进而接近商业化双极性晶体管的性能, 其典型的普通基极电流增益大于 0.99。

[0793] 为了开发这些倒置的结构单元在逻辑电路中的应用, 及进一步证明 SiNWs 的可控掺杂能够提供给我们的能力, 我们以轻 p 型和轻 n 型掺杂的 SiNW 交叉的形式创建了互补反相器。交叉的 SiNW 反相器结构的示意图如图 29A (下方) 所示, 在半导体物理中的反相器如图 29A (上方) 所示。反相器中的轻掺杂的 p 和 n 型 SiNWs 显示了非常大的栅效应 (gate effect), 且能被完全耗尽, 如在图 29B 插图中所示的 p 型 SiNW。如图 29B 所示, 在正 (负) 输入电压下, 输出电压为负 (零), 这是典型的反相器行为。该行为可以如这样解释: 通过负 (正) 输入的 n 型 (p 型) 线的耗尽使输出等于接地值 (偏压)。计算出电压增益为 0.13, 既电压倒数的斜率。该增益小于商业反相器的大于 1 的值, 但是能够通过使用更薄的栅氧化层而不是 600nm 氧化物, 和更少掺杂的 SiNWs 来增加, 更薄的栅氧化层降低了 SiNWs 的栅响应, 更少掺杂的 SiNWs 则需要更多的努力来制作欧姆接触和需要更进一步的研究。

[0794] 当使用两个交叉的轻掺杂的 p 和 n 型 SiNWs 制作反相器时, 两个简并掺杂的 p^+ 和 n^+ 型 SiNWs 能够形成隧道二极管。与 pn 结相反, 隧道二极管并不显示整流行为, 而是显示出正向偏压下 PVR 为 5 到 1 的 NDR 行为, 如图 29C 所示。该差异能够使用江崎 (Esaki) 二极管机理来解释。当 p^+ 和 n^+ 型相互接触时, 内建电势形成, 但是空间电荷区足够薄, 允许电子隧穿。在反向偏压 (图 29D, 左侧) 和低的正向偏压 (图 29D, 中间) 下, 电子能够隧穿过

这个薄的空间电荷区,而导致电流流动。超过某一个点后,进一步增加正向偏压导致 n- 侧的导带进入 p- 侧的禁带(图 29D, 右侧),这抑制了电子的隧道穿透,因此减小了电流。进一步增加正向偏压降低了内建势垒,这使得热激发机理支配了导电性,电流上升。

[0795] 这里所叙述的结果展示了多类纳米尺度电子器件的倒置组装,这些电子器件来自具有对掺杂剂类型和掺杂水平进行控制掺杂的 SiNWs。单独的器件显示了与传统制造的器件相似的可预测的行为。这些功能性纳米器件的大量生产和高集成度可以通过在电场和流动溶液排列辅助下的化学组装来完成,这将导致在纳米电子学中令人激动的实际应用,而同时避免了高成本的装配线。而且,我们能够料想的是,结合光学信号,pn 结二极管交叉可以起到如光电二极管和 pn 太阳能电池的作用,双极性晶体管交叉可以形成光电晶体管。

[0796] 通过电场和流动溶液排列生产了一类平行的纳米线阵列。切换电场和流动溶液的方向来放置另一类纳米线能够形成非常紧密的纳米线交叉。

[0797] 图 27A-27F 说明了交叉的 SiNW 结。图 27A 示出了使用了 Al/Au 作为接触引线的交叉的纳米线结的典型的 FE-SEM 图像。标尺是 $2\mu\text{m}$ 。纳米线的直径位于 20 到 50nm 的范围内。图 27B-27D 分别示出了 pn, pp 和 nn 结的 I-V 行为。曲线 110 和 120 分别对应于结中的单独的 p 和 n 型 SiNWs 的 I-V 行为。曲线 130 分别代表通过图 27B 中的 pn 结的四端法的 I-V,和通过图 27C 和 27D 中的 pp 和 nn 结的二端法 I-V。在图 27B 中,实线是在引线 1 和 2 之间跟踪电流,同时测量引线 3 和 4 之间的电压的 I-V,而虚线对应于在引线 1 和 4 之间跟踪电流,同时测量引线 3 和 2 之间的电压的 I-V。在图 27C 和 D 中,实线是穿过一对相邻的引线(1-2)的 I-V,虚线是穿过其他三对(1-4,2-3,3-4)的 I-V。图 27E 和 27F 分别示出了正向偏压和反向偏压下的 pn 结的能带图。

[0798] 图 28A-28D 说明了 n^+pn 交叉的 SiNW 双极性晶体管。图 28A 示出了在半导体物理(左)和交叉的 SiNW 结构(右)中的 n^+pn 双极性晶体管的通常的基极配置示意图。该 n^+ , p 和 n 型 SiNWs 分别起到发射极、基极和集电极的作用。基极接地。发射极在特定值负偏压。集电极电压从正到负进行扫描。图 28B 示出了 SiNW 双极性晶体管的典型的 FE-SEM 图像。标尺是 $5\mu\text{m}$ 。图 28C 示出了在发射极和基极 SiNWs 分开 $15\mu\text{m}$ 的 n^+pn 晶体管上记录的集电极电压相对集电极-基极电压的行为。曲线 1 到 4 对应于在发射极-基极电压为 -1, -2, -3, -4V 时的行为。区域 I 和 II 被虚线所分开,分别对应于饱和模式和有源模式。图 28D 示出了通常的基极电流增益相对集电极-基极电压的关系。

[0799] 图 29A-29D 图例说明了互补反相器和隧道二极管。图 29A 示出了半导体物理中的(上)互补反相器和通过轻掺杂的 pn 交叉形成的互补反相器(下)。在下面的示意图中, n 型纳米线的一端置于 -5V 的偏压, p 型纳米线的一端接地。输入电压是背栅电压, p 和 n 型纳米线的另一端被短接以作为输出端。图 29B 示出了在 pn 交叉反相器中的输出电压相对输入电压的数据的关系。图 29B 的插图是反相器中的 p 型纳米线的 I-V 曲线。曲线 1 到 5 分别对应于背栅电压为 -50, -30, -10, 0 和 10V 的 I-V。在这个反相器中的 n 型纳米线具有相似的 I-V 行为,在栅电压为 -30V 时能被完全耗尽。图 29C 示出了由重掺杂的 pn 交叉制作的隧道二极管的二端法测量的数据。单独的 p 和 n 型 SiNWs 的 I-V 行为被测试为线性的。图 29C 中的插图展开了显示出 NDR 的那部分 I-V 曲线。图 29D 示出了交叉的 SiNW 隧道二极管的能带图。在反向偏压时(例如,在图 29C 中的位置 1),电子可以隧穿过结(左边的图)。在小的正向偏压时(例如,在图 29C 中的位置 2),电子隧穿也是允许的(中间的

图)。在进一步增加的正向偏压下(例如,在图 29C 中的位置 3),电子隧穿被禁止(右边的图)。

[0800] 表面上的纳米线的可控放置

[0801] 1. 在超声处理(sonicate)槽中,对乙醇中的纳米线超声处理约 3 分钟,制备得到稳定的乙醇中的纳米线悬浮液。

[0802] 2. 将衬底(硅片)使用带有 $-\text{NH}_2$ 末梢的自组装分子层(SAM)覆盖。

[0803] 3. 由 PDMS 构成微流体的模型。当衬底与 PDMS 模型接触时,形成微通道,导管的三个面对应于在模型中的模型化的三个特征,第四个面对应于衬底的表面,该衬底如步骤 2 中所描述的进行化学改性。

[0804] 4. 在衬底上施加 +100 伏偏压时,使纳米线悬浮液流过已经制作好的微通道。大约 10 分钟的流动时间后,用乙醇清洗通道,接着自然风干。当移除 PDMS 印模时,我们在衬底表面得到在流动方向排列的纳米线阵列。

[0805] 5. 通过改变流动方向,以及应用逐层的方案,我们能够由纳米线阵列得到多个十字交叉(cross-bar),这被认为是用于我们从纳米线制作的器件的最重要的构造。

[0806] 6. 通过在表面形成图案,我们能够得到在某个地方排列(定位)的纳米线,于是使得创建更规则的器件阵列成为可能。

[0807] 图案化过程:I、在衬底表面旋转涂覆一层 PMMA,接着使用 EBL(电子束光刻技术)来刻写图案,即选择性地曝光 Si 表面,这些被曝光的 Si 表面后来被化学官能团化(如在步骤 2 中)。II、现在我们已经有了 PMMA 沟槽,在沟槽地底部是被有 $-\text{NH}_2$ 的 SAM 覆盖的曝光的 Si 表面。当我们使纳米线悬浮液流过这些图案时(如在步骤 4,5 中所描述的,本情况中,就是这些表面被图案化),纳米线将被引导进入 PMMA 沟槽。最后,我们揭下 PMMA,以及粘在 PMMA 表面上的纳米线。因此,仅有停留在 PMMA 沟槽底部的纳米线留在了衬底表面,于是我们得到洁净的器件阵列。

[0808] 引导一维纳米结构组装为功能网络

[0809] 如纳米线和纳米管的一维纳米结构代表了用于电子和激子有效运输的最小的尺度,因此是用于功能性纳米尺度的电子和光子结构的分级组装的理想的结构单元。我们报道了一种用于将一维纳米结构分级组装为清晰的功能网络的方法。我们示出了,通过控制平均间隔,以及将流体对准和表面图案化技术结合,能够将纳米线组装为平行的阵列,表面图案化技术对于控制周期也是可能的。此外,复杂交叉的纳米线阵列能使用对连续的步骤有不同的流动方向的逐层组装来制备。运输研究表明交叉地纳米线阵列形成了电导网络,该电导网络在每一个交叉点有单独地可寻址的器件功能。

[0810] 如纳米团簇和纳米线的纳米尺度材料代表了用于功能性纳米尺度器件的分级组装的有吸引力的结构单元,这些纳米尺度器件可以克服传统的基于光刻技术制造的基本理论和经济方面的限制。集中在零维纳米团簇的研究已经导致了重大的进步,包括具有从纳米到微米长度尺度有序拓展的阵列组装。相反,如纳米线(NWs)和碳纳米管(NTs)的一维纳米结构的组装很少成功,虽然这些材料提供了作为纳米电子学和光学应用的结构单元的巨大潜力。

[0811] 为了获得在这些和其它纳米技术领域中的纳米线和碳纳米管实质性的潜力,将需要清晰有序的纳米结构的可控和可预测的组装。我们报道了一种用于 1D 纳米结构的分级

组装的方法,通过该方法用容易控制的间隔和空间位置在液流中对准纳米线。交叉的纳米线阵列也使用对连续的步骤有不同流动方向的逐层组装来制备。输运研究表明交叉的纳米线阵列形成了电导网络,该电导网络在每一个纳米线 / 纳米线交叉点有单独的可寻址的器件功能。该方法能潜在地用于组织其它 1D 纳米结构成为高集成地器件阵列,因此为新的电子和光子系统的倒置组装提供一条一般性途径。

[0812] 使用激光辅助催化剂生长合成在这些研究中使用的磷化镓 (GaP)、磷化铟 (InP)、硅 (Si 纳米线),随后将它们悬浮在乙醇溶液中。通常地,通过将纳米线悬浮液通过在聚二甲基硅氧烷 (PDMS) 模型和平的衬底之间形成的流体通道结构,我们组装了纳米线阵列 (图 30A 和 30B)。对于下面所述的组装过程,分别使用单个 (图 30A) 和依次交叉的 (图 30B) 流动,能够轻易地得到平行和交叉的纳米线阵列。

[0813] 一个典型的纳米线平行组装的例子 (图 31A) 表明几乎所有的纳米线都沿一个方向排列,即流动方向。也存在一些相对流动方向的小的偏差,这个我们将在下面进行讨论。在更大长度尺度进行的组装的纳米线的测试表明,该排列轻易地延伸超过数百个纳米。事实上,基于使用宽度从 50 到 500 μm ,长度从 6 到 20mm 的通道进行的实验,发现这些纳米线的排列延伸到毫米长度尺度,它们看起来是被流体通道的尺寸所限制。

[0814] 我们已经进行了几类实验来理解控制纳米线的排列和平均间隔的因素。首先,我们发现通过流速能够控制排列的程度。随着流速的增加,相对于流动方向 (例如,图 31C 的插图) 的纳米线的角度分布宽度显著地变窄。对比在一系列条件下测量的分布宽度表明,宽度从我们的最低的流速 ($\sim 4\text{mm/s}$) 快速下降,而在 $\sim 10\text{mm/s}$ 时趋近一个几乎恒定的值 (图 31C)。在我们研究中检测的最高的流速,超过 80% 的纳米线排列在流动方向 $\pm 5^\circ$ 的范围内 (插图,图 31C)。我们所观察的结果能够在剪切流的框架内解释。特别的是,在衬底表面的通道流类似于剪切流,并且在纳米线被固定在衬底上之前将它们排列在流动方向上。更高的流速产生更高的剪切力,于是导致更好的排列。

[0815] 此外,能够通过流动持续时间来控制平均纳米线表面覆盖率 (图 31D)。在恒定流速下进行的实验表明纳米线密度系统地随着流动持续时间而增加。在这些实验中,30min 的流动持续时间产生约 250 纳米线 / 100 μm 的密度或者 $\sim 400\text{nm}$ 的平均纳米线 / 纳米线间隔。延长沉积时间能够产生间距为 100nm 和更少量级的纳米线阵列。我们注意到,沉积速率强烈地依赖于表面化学官能度,因此平均间隔 - 时间关系强烈地依赖于表面化学官能度。特别地,我们已经示出了 GaP, InP 和 SiNWs 在氨基封端 (terminated) 的单层上比在甲基封端的单层或裸 SiO_2 表面上沉积更快,氨基封端的单层有部分正电荷。也很重要的是认识到,没有纳米线 - 纳米线接触的所能得到的纳米线排列的最小间隔将依赖于在组装过程中所使用的纳米线的长度。最近的进展表明要控制从 100 纳米到数十个微米尺度的纳米线的长度应该增加无接触可利用间距的范围。

[0816] 我们的结果展示了在多个纳米直径的线的长度尺度组织 (scales-organization) 上的纳米线结构的序列化,该纳米直径的线在超过毫米尺度的面积上具有从 100nm 到微米尺度的间隔。该分级序列能轻易地连接起微观和宏观世界,尽管要使具有最大控制的组装成为可能需要空间位置也被确定。通过利用在化学图案化的衬底和纳米线之间的互补的化学相互作用 (图 32A),我们已经实现了这个重要的目的。代表性实验的 SEM 图像 (图 32B-32D) 示出了具有与表面图案相同的横向周期的平行纳米线阵列。这些数据表明纳米线

优选地在化学图案所确定的位置被组装,而且,表明周期型的图案能够将纳米线组织为一个规则的超结构。认识到图案化的表面不能单独提供对 1D 纳米结构组织好的控制是重要的。在图案化的表面上的纳米管和纳米线的组装显示,与图案化的表面对准,搭接和环绕图案化的表面的 1D 纳米结构有很少的方向控制。我们使用液体流动避免了这些重要的问题,使得在一个或更多方向上的可控的组装成为可能。通过将该方法与其它表面图案化方法结合,应该可能产生超越传统光刻技术的限制的清晰有序的纳米线阵列,这些其他的表面图案化方法如在双嵌段共聚物的纳米尺度畴中形成和分子自发排序。

[0817] 使用如图 31B 说明的逐层方案,我们通常的方法能被用来将纳米线组织为更为复杂的交叉结构,这些结构对于建造紧密的纳米器件阵列是关键。交叉的和更复杂的结构的形成需要纳米结构-衬底的相互作用足够强,以使后续的流动步骤不会影响前面的步骤,我们发现该条件是能获得的。例如,在二步组装过程中,在正交方向上变换流动产生了十字交叉(crossbar)结构(图 33A 和 33B)。两幅图都表明,以一种非常直接、低成本、快速和可度量的过程,能够得到在单独的交叉点之间、仅有数百个纳米的间隔的多个十字交叉。虽然单独的纳米线之间的间隔不完全一致,使用如上所述的图案化的表面能轻易地设想到周期性的阵列。重要地,这些十字交叉结构能产生功能性器件(如下所示)。

[0818] 我们相信我们用于多个交叉的纳米线阵列的受引导的组装的方法相对现在的工作提供很大的优势,该方法使用了随机的沉积、对单独的纳米线和纳米管的直接操纵和电场来制作单个交叉的结构。使用随机沉积和操纵很难获得集成化纳米器件所需的多个十字交叉。但是电场使对组装更多的控制成为可能,该方法也受限于(i)相邻的电极之间的静电干扰,因为间隔是在微米水平下度量的,(ii)对制作用于多个纳米线器件结构的组装的电极的大规模的光刻技术的需要。我们的流体方法本质上是非常平行的和可度量的,而且,通过在连续的组装步骤中简单地控制液流方向间的角度,它顾及到几何上复杂结构的受引导组装。例如,在三层沉积顺序中使流动方向之间成 60° 角,组装了一个等边三角形(图 33C)。因此,该流动排列方法提供一种灵活的方式来满足对许多器件构造的需要,包括那些需要纳米线的多“层”组装。

[0819] 电场能够用来将半导体纳米线的悬浮液排列为平行的纳米线阵列和单个的纳米线交叉,其中图案化的微电极被用来创建场模式。但是,场边缘化和充电能导致亚微粒尺度下多个交叉的组装中的明显的困难。

[0820] 逐层组装方案一个重要的特征是,每一层是独立于其它层的,因此,通过简单地改变用于每一步的纳米线悬浮液的成分能在每一个点获得多种的均质和异质构造。例如,应该可能的是,使用我们的方法直接组装 n 型和 p 型纳米线和纳米管,随后标注单独的纳米尺度器件的位置,其中纳米线/纳米管起到配线和有源器件元件的作用。典型的由 n 型 InP 纳米线组成的 2×2 十字交叉阵列展示了这个观点,其中纳米线的所有八个端子通过金属电极连接(图 33D)。输运测量(33E)表明电流能流经八个端子中的任意两个,使得单独的纳米线以及纳米线-纳米线结的电学性质能被评估。四个交叉点中的每一个所记录的电流-电压(I-V)数据展示了线性和近似线性的行为(曲线 200),与 n-n 型结的期望值一致。因为由随机沉积形成的单个的纳米线/纳米线 p-n 结显示了发光二极管(LED)的行为特征,我们相信,很明显我们的方法可以被用来组装高密度和可以单独寻址的纳米发光二极管(nanoLED)和电学上更复杂的纳米器件。

[0821] 这些研究为使 1D 纳米材料成为清晰的功能网络的分级组装提供了一种普遍和合理的方法,该功能网络能够连接纳米到微米尺寸领域。我们已经显示了,通过对平均间隔的控制,和将液控排列与表面图案化技术结合,能够将纳米线组装为平行阵列,表面图案化技术也可能用来控制周期。此外,我们已经展示了通过在序列的步骤中改变流动方向来逐层合成交叉的和更复杂的结构的可能性,并获得了初步的结果,提示该方法能被拓展到如碳纳米管的 1D 纳米结构。我们相信流动组装代表了用于组织纳米线和纳米管结构单元成为布线、互联和功能性器件所需的结构的一种普遍的策略,因此可以使得用于未来纳米技术的倒置制作的范例成为可能。

[0822] 额外的研究表明,使用流体方法能将单层的碳纳米管和双层 DNA 悬浮液排列为平行阵列。

[0823] 图 30A-30B 是用于流动组装的流体通道结构的示意图。图 30A 示出了当 PDMS 模型与平的衬底接触时形成的通道。通过在通道中使纳米线悬浮液以受控的流速流动一段所设定的持续时间,来进行纳米线的组装。当 PDMS 模型被移除时,在衬底上的流动方向上可以观察到纳米线的平行阵列。图 30B 说明了,在逐层组装过程中通过连续地改变流动方向能够获得多个交叉的纳米线阵列。

[0824] 图 31A-31D 说明了纳米线阵列的平行组装。图 31A 和 31B 是在通道流中排列的 InP 纳米线平行阵列的 SEM 图像。在图 31A 和 31B 中,标尺分别等于 $2\mu\text{m}$ 和 $50\mu\text{m}$ 。通过在 1 毫摩尔 3-氨基丙基三乙氧基硅烷 (APTES) 的氯仿溶液浸泡 30 分钟,接着在 110°C 加热 10 分钟,在流动组装中使用的硅 (SiO_2/Si) 衬底使用氨基封端的自组装单层 (SAM) 进行官能团化。所有在下面实验中用到的衬底都是以相似的方法官能团化,除非特别提到。图 31C 示出了关于流动方向与流动速度关系的纳米线角度展开。在图中的每一个数据点是通过对 ~ 200 条纳米线的角度分布的统计分析获得(例如,见插图)。该插图示出了在流速为 9.40mm/s 时的纳米线角度分布的柱状图。图 31D 示出了纳米线阵列平均密度与流动时间的关系。平均密度通过将任何通道交叉部分的纳米线平均数目除以通道的宽度来计算。所有的实验都是在流速为 6.40mm/s 时进行。

[0825] 图 32A-32D 说明了周期性纳米线阵列的组装。图 32A 是将纳米线组装到化学图案化的衬底上的示意图。淡灰色区域对应于氨基封端的表面,而深灰色区域对应于甲基封端的或裸露的表面。纳米线被优选地附着在表面上氨基封端的区域。图 32B 和 32C 示出了在聚甲基丙烯酸甲酯 (PMMA) 图案化表面上排列的间距为 $5\mu\text{m}$ 和 $2\mu\text{m}$ 的 GaP 纳米线的平行阵列。图像中暗的区域对应于残留的 PMMA,而亮的区域对应氨基封端的 SiO_2/Si 表面。纳米线被优选地附着在表面上氨基封端的区域。通过标准的电子束 (E 束) 光刻技术图案化 PMMA,得到的 SiO_2 表面在 0.5% 的 APTES 的乙醇溶液中浸泡 30 分钟,接着在 110°C 加热 10 分钟被官能团化。在图 32B 和 32C 中标尺分别等于 $5\mu\text{m}$ 和 $2\mu\text{m}$ 。图 32D 示出了使用图案化的 SAM 表面得到的间距为 500nm 的 GaP 纳米线平行阵列。 SiO_2/Si 表面首先使用甲基封端的 SAM 进行官能团化, 50°C 时在纯的六甲基二硅胺烷 (HMDS) 中浸泡 15 分钟,接着在 110°C 加热 10 分钟。该表面通过 E 束光刻技术来图案化形成具有 500nm 周期的平行特征的阵列,接着使用 APTES 进行官能团化。标尺等于 500nm 。

[0826] 图 33A-33E 说明了交叉的纳米线阵列的逐层组装和输运测量。图 33A 和 33B 示出了 InP 纳米线交叉阵列典型的 SEM 图像,该 InP 纳米线是在对连续的步骤中使用正交的流

动方向的二步组装过程中获得的。在图中,用箭头突出显示了流动方向。图 33C 示出了在二步组装过程中获得的 GaP 纳米线的等边三角形,流动方向之间成 60° 角,分别用带数字的箭头指示。在这三幅图像中,标尺等于 500nm。图 33D 示出了由使用正交流动依次组装 n 型 InP 纳米线制作的典型的 2×2 交叉阵列。使用 E- 束光刻技术图案化由热蒸镀法沉积的 Ni/In/Au 接触电极。在进行电极沉积之前,将纳米线在 6% 的 HF 溶液中短暂地 (3-5s) 腐蚀以去除不定形氧化物外层。标尺等于 $2 \mu\text{m}$ 。图 33E 示出了在 2×2 交叉阵列上的二端法测试的代表性的 I-V 曲线。曲线 210 代表了四根单独的纳米线 (ad, bg, cf, eh) 的 I-V, 曲线 200 代表了穿过四个 n-n 结 (ab, cd, ef, gh) 的 I-V。

[0827] 我们已经展示了场效应晶体管、pn 结、发光二极管、双极性晶体管、互补反相器、隧道二极管。我们能够使用纳米线制作现存的所有类型的半导体器件。潜在的应用如下:

- [0828] (1) 化学和生物学传感器
- [0829] (2) 存储和计算
- [0830] (3) 光电探测器和偏光探测器
- [0831] (4) 使用光致发光性质的指示标签
- [0832] (5) 单电子晶体管
- [0833] (6) 激光器
- [0834] (7) 光生伏打太阳能电池
- [0835] (8) 用于扫描探针显微镜和近场图像的超细针尖
- [0836] (9) 用于电化学和生物学应用的超小电极
- [0837] (10) 用于纳米电子学和光电子学的互连线
- [0838] (11) 温度传感器
- [0839] (12) 压力传感器
- [0840] (13) 流量传感器
- [0841] (14) 质量传感器
- [0842] (15) 单光子发射器和探测器
- [0843] (16) 用于量子计算的弹道输运和相干输运
- [0844] (17) 电子自旋器件 (Spintronics device)
- [0845] (18) 用于 2D 和 3D 光子带隙材料的纳米线的组装

[0846] 下面是对用于组装纳米线以形成器件的替代技术的描述。流体技术可以被用来组装纳米线。

[0847] 纳米线 (或任何其他拉长结构) 能通过表面引入纳米线溶液流进行排列, 其中该液流可以是通道流或通过任何其他路径的液流。

[0848] 具有可控位置和周期的纳米线阵列能够通过衬底表面图案化和 / 或使用不同的官能度调节纳米线的表面来生产。

[0849] 其中, 通过设计特别的在图案化表面和线之间的互补性作用力 (化学、生物、静电、磁性的或光学的) 来获得对位置和周期的控制, 例如 A 线进入 A' 图案化区域, B 线进入 B' 图案化区域, C 线进入 C' 图案化区域等。

[0850] 其中, 衬底和 / 或纳米线的表面能够使用不同的分子 / 材料, 或不同的电荷, 不同的磁电机 (magneto) 或不同的光强 (例如, 通过来自光束的干涉 / 衍射花样) 或这些的组

合来进行调节。

[0851] 已经组装的纳米线阵列也可以被转移到另一个衬底（例如，通过模印）。

[0852] 纳米线能通过互补性相互作用来组装。在上面的方法中，使用液流来组装纳米线，虽然这并不仅限于液流。互补性化学、生物、静电、磁和光学相互作用单独也能被开发用于纳米线组装（虽然有更少的控制）。

[0853] 纳米线能使用物理图案（pattern）进行组装。使用如表面的台阶、沟槽等物理图案将纳米线溶液沉积在衬底上。

[0854] 纳米线能沿着表面台阶的转角或沿着沟槽进行排列。

[0855] 物理图案可以通过天然的晶格台阶、自组装双嵌段共聚物条纹、刻印的图案或任何其他模型形成。

[0856] 纳米线可以通过纳米线之间的静电作用或磁力组装。通过在纳米线表面引入电荷，纳米之间的静电力能够将它们排列为一定的模式，例如平行阵列。

[0857] 使用 LB 膜能够组装纳米线。纳米线首先被表面调节，分散到液相的表面以形成朗缪尔-贝里吉特（Langmuir-Blodgett, LB）膜。接着，通过压缩表面，纳米线能被排列成不同的模式（例如平行阵列）。接下来，该纳米线模型能被转移到想要的衬底上。

[0858] 纳米线能通过剪切拉伸组装，通过将纳米线分散在柔性基体（这可能是聚合物）中，接着在一个方向拉长该基体，在引起的剪切力的作用下，纳米线能在拉伸方向排列。接着移除基体，排列后的纳米线阵列能被转移到想要的衬底上。

[0859] 其中，基体的拉伸能够通过机械、电学、光学、磁力引起。拉伸方向可以在或不在衬底平面上。

[0860] 现在已经描述了下面所要保护的本发明的一些说明性的实施例，但是对于本领域中的熟练技术人员应该明显的是，前述的仅仅是说明性，而不是限制性的，仅以实例的方法将其表达出来。无数的改进和其他说明性的实施例是在本领域普通技术人员的能力范围内，并且被认为落入下面设定的权利要求的范围内。特别地，虽然许多这里说明的例子涉及特别的方法行为或系统元素的组合，但是应该理解的是那些行为和那些元素可以用其它方法来组合以完成相同的目的。仅仅与系统或方法的一个实施例相关来讨论的行为、元素和特征不是有意从其它实施例中相类似的角色被排除。而且，对于在下面权利要求中所提及的一个或更多方法加功能（method-plus-function）的限制，该方法不是有意地被局限于这里所公开的用于执行所提及的功能的方法，而是有意地来覆盖任何可用于执行所提及的功能等同的方法，无论现在是已知的或是以后发展的。

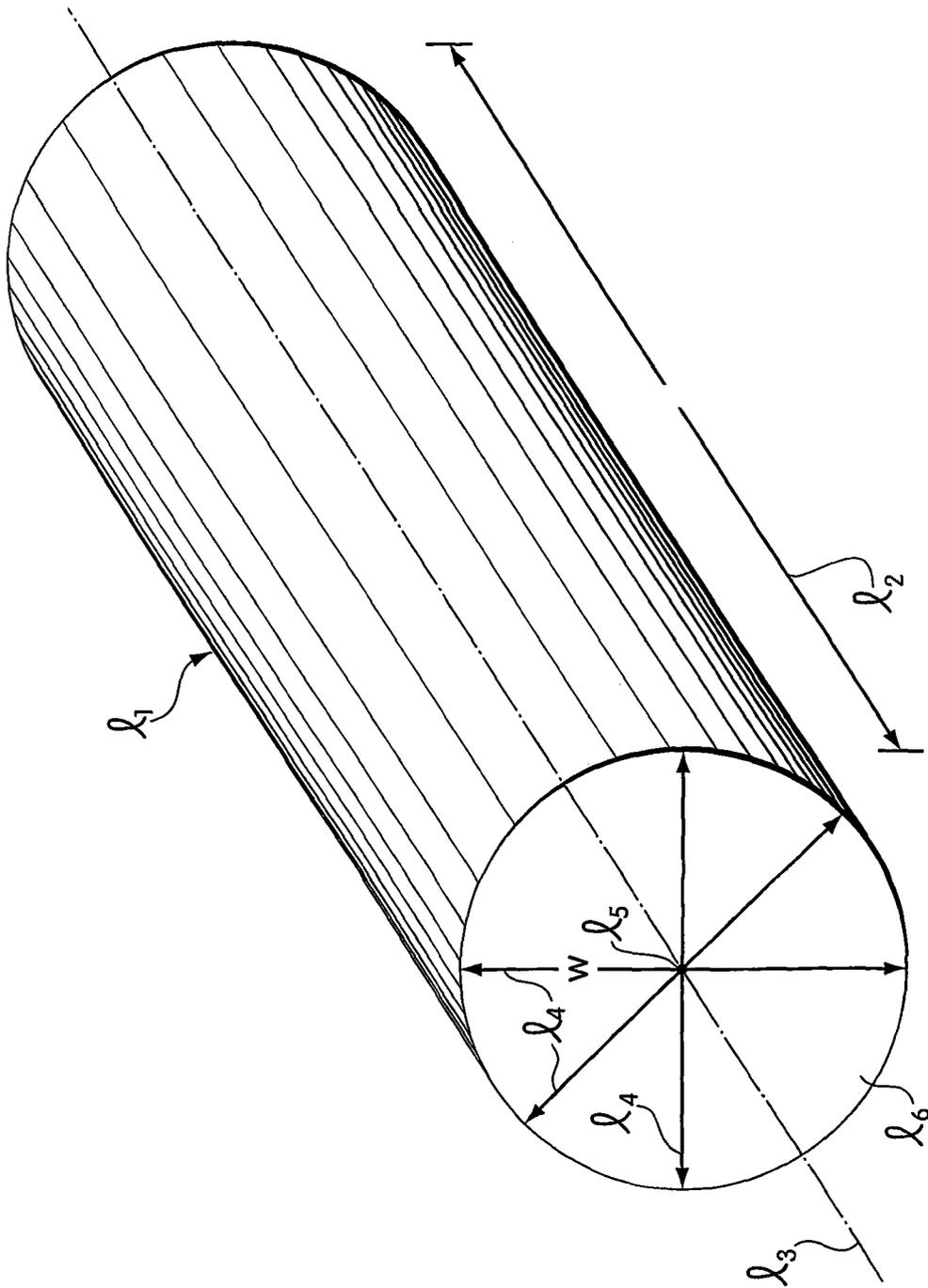


图 1

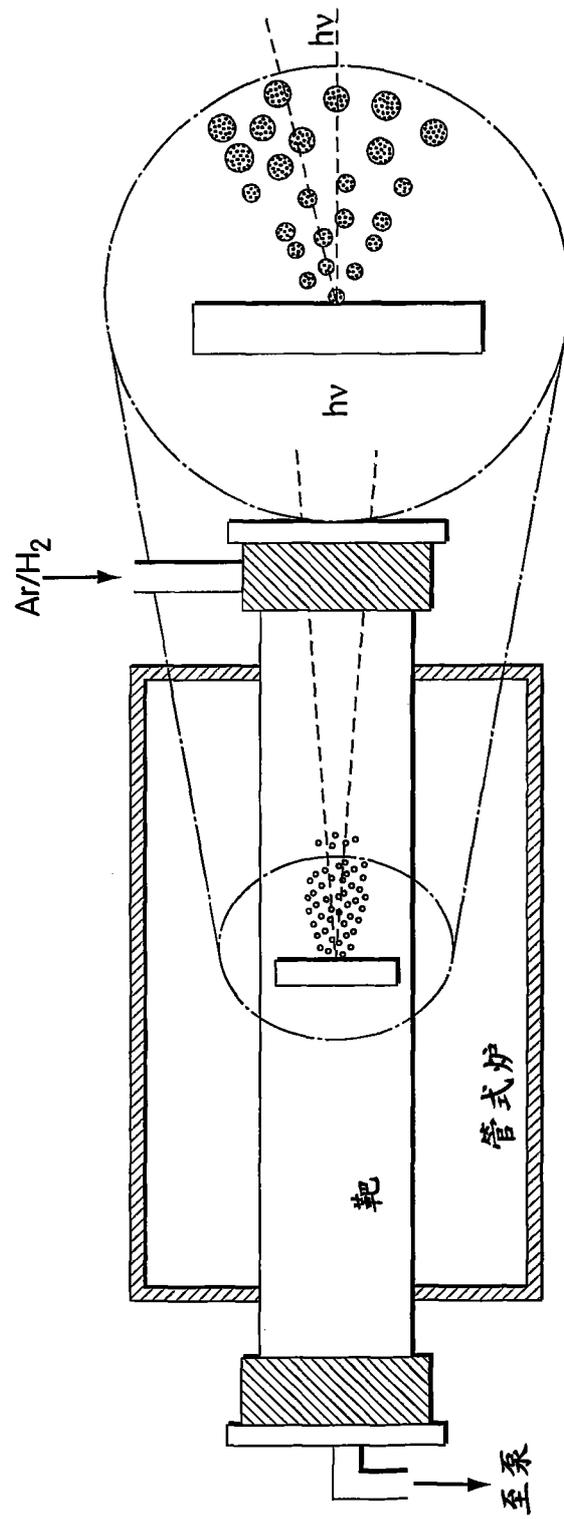


图 2

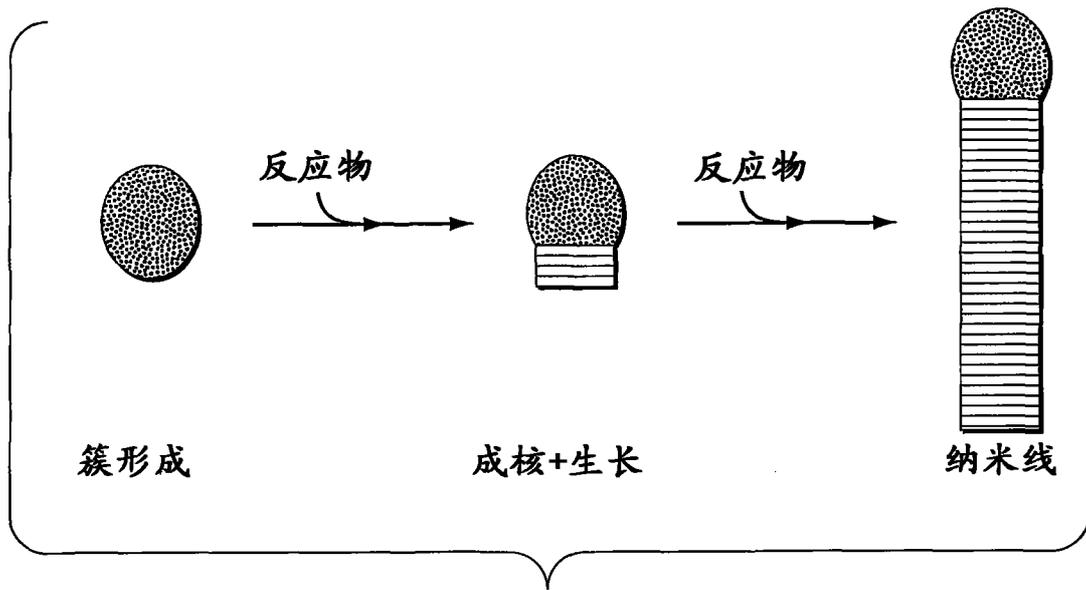


图 3

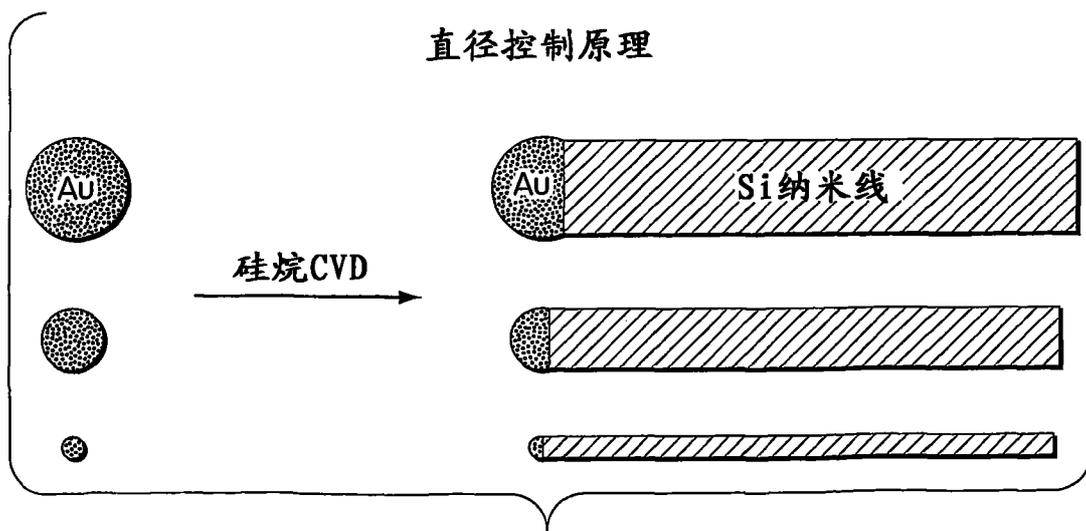


图 4

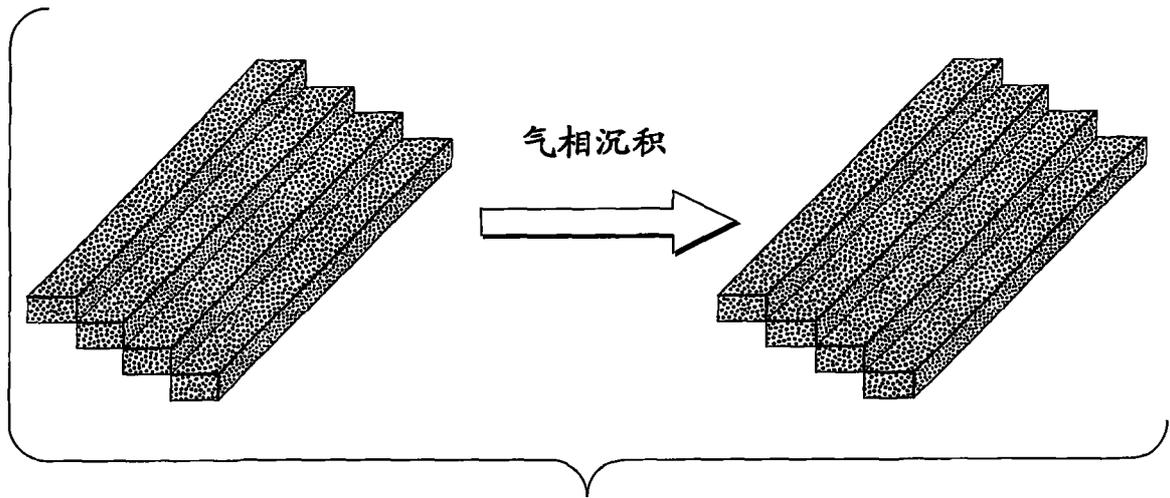


图 5

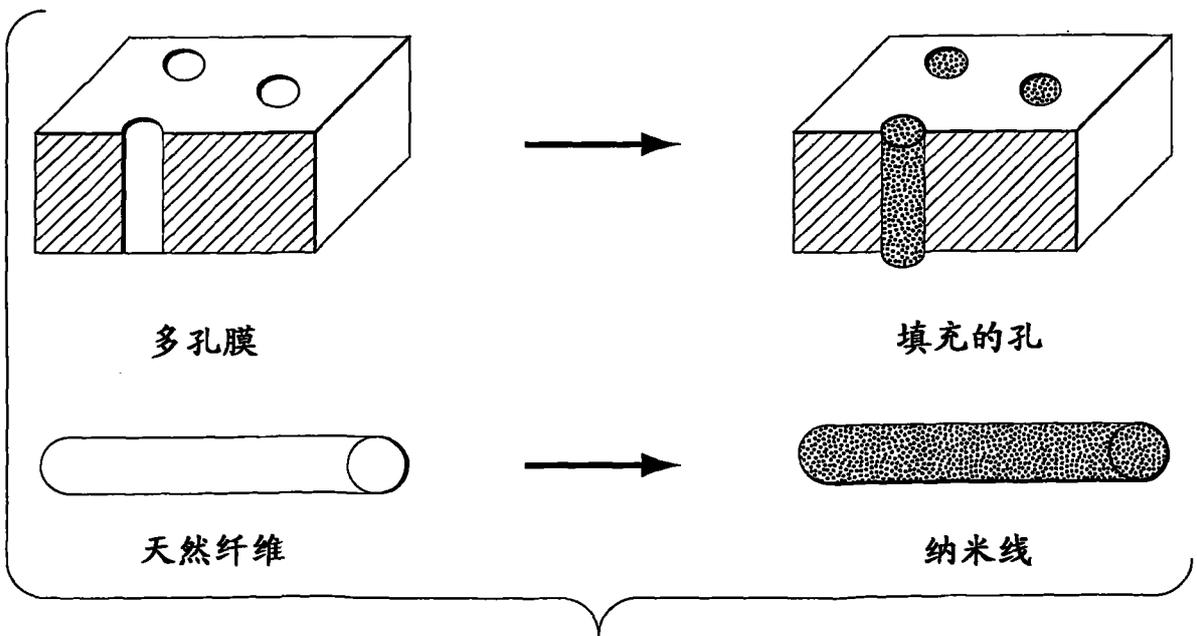


图 6

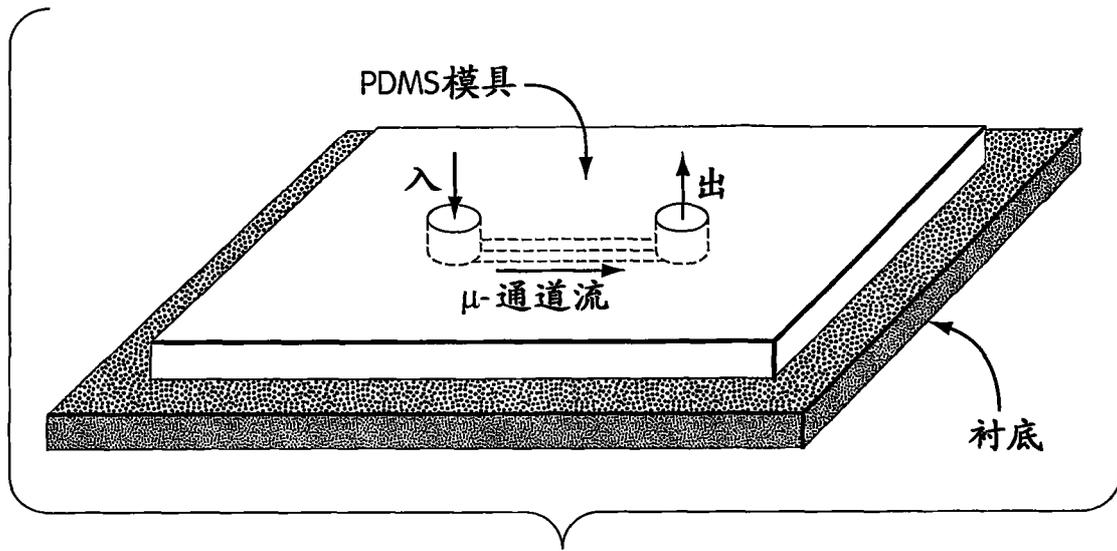


图 7A

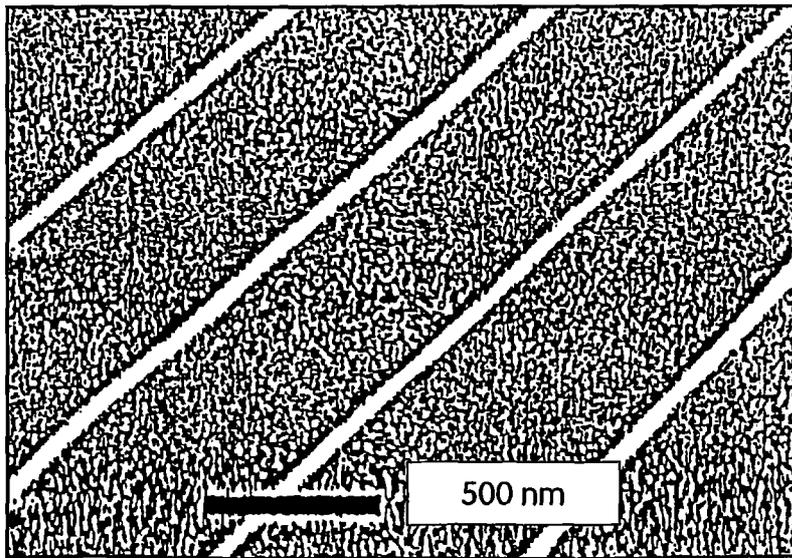
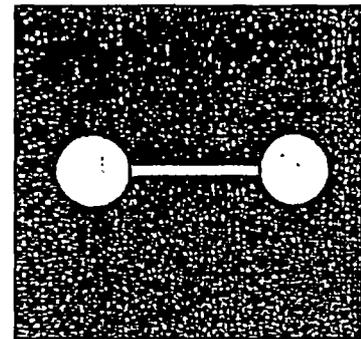
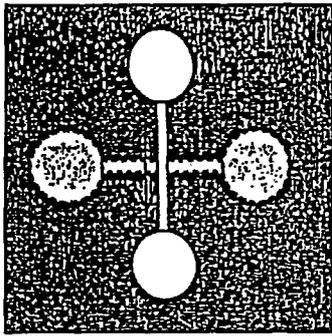


图 7B



第一层

图 7C



第二层

图 7D

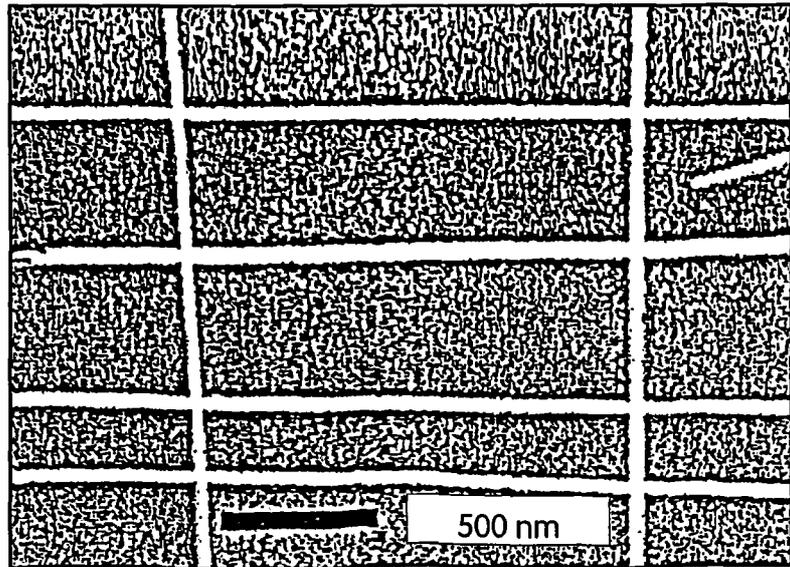


图 7E

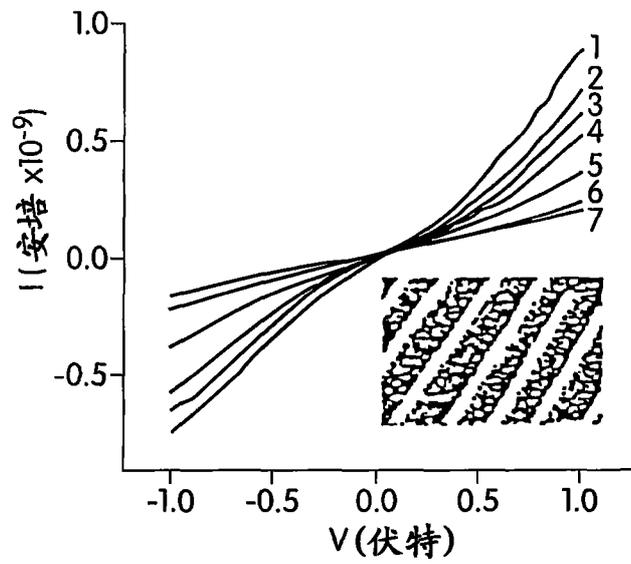


图 8A

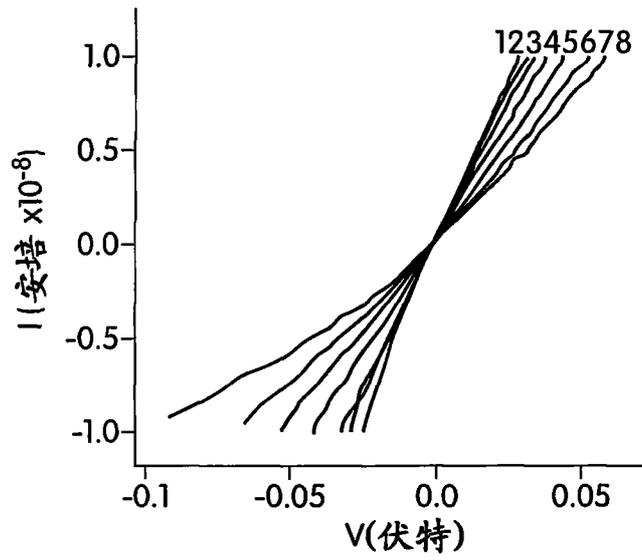


图 8B

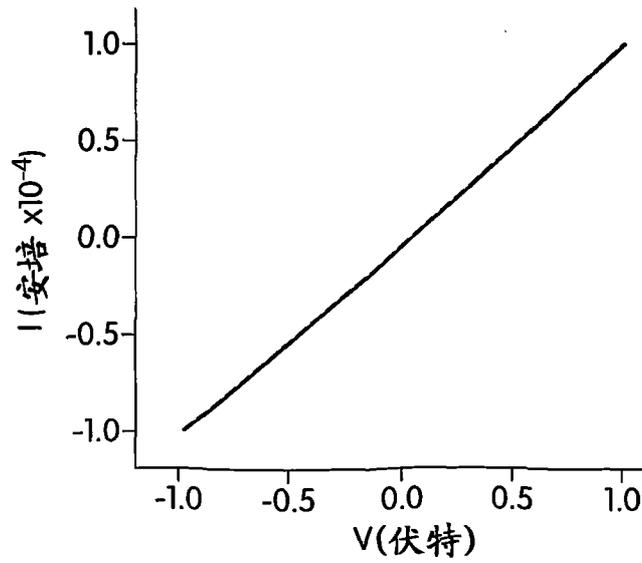


图 8C

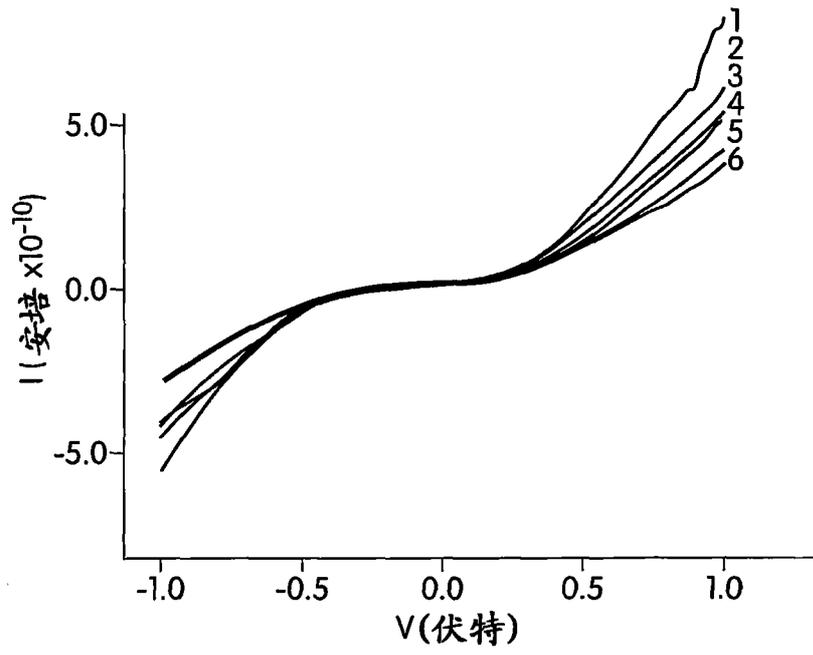


图 9A

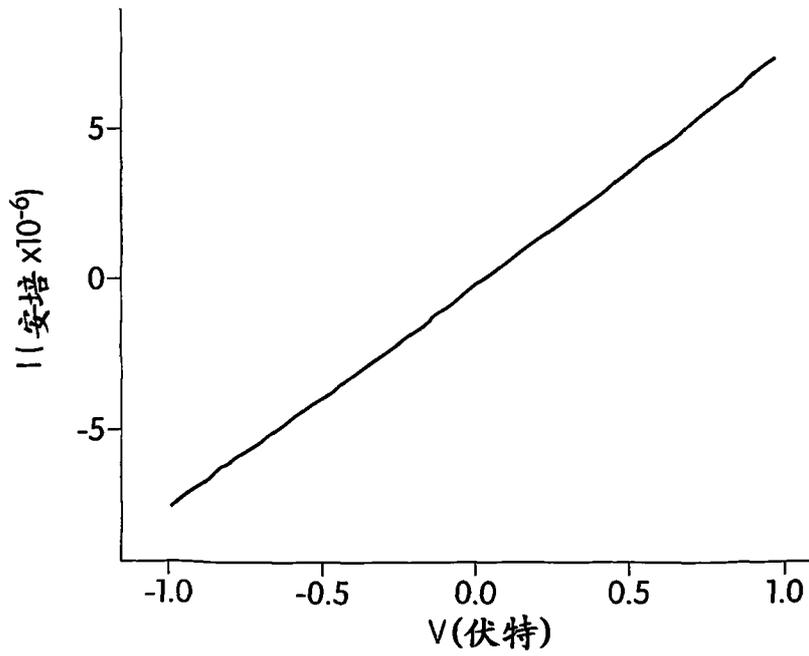


图 9B

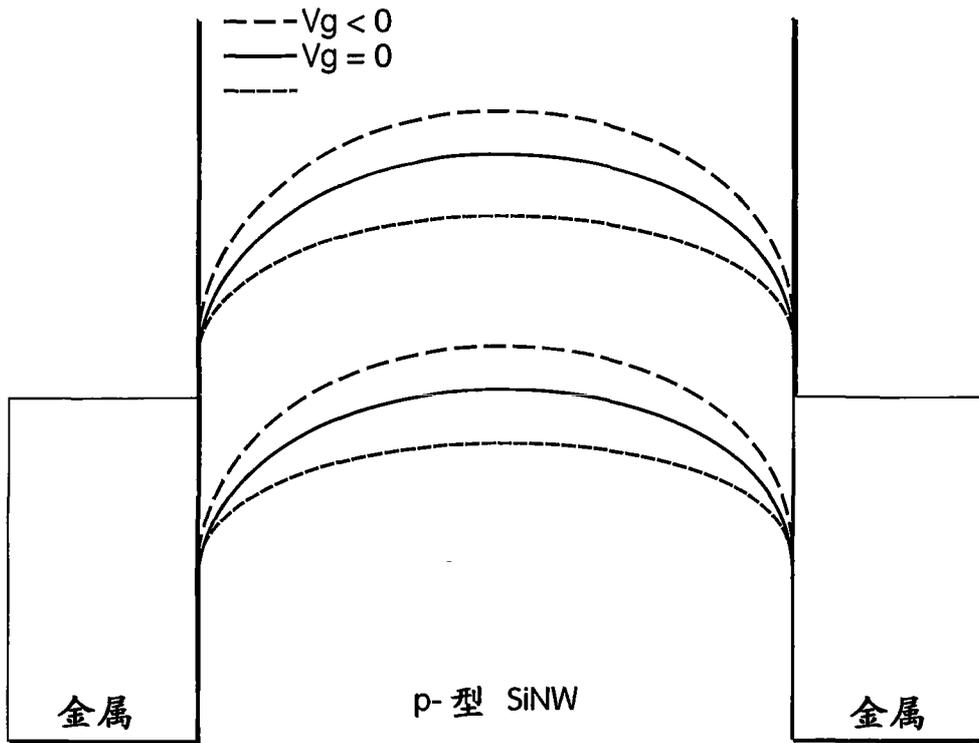


图 10A

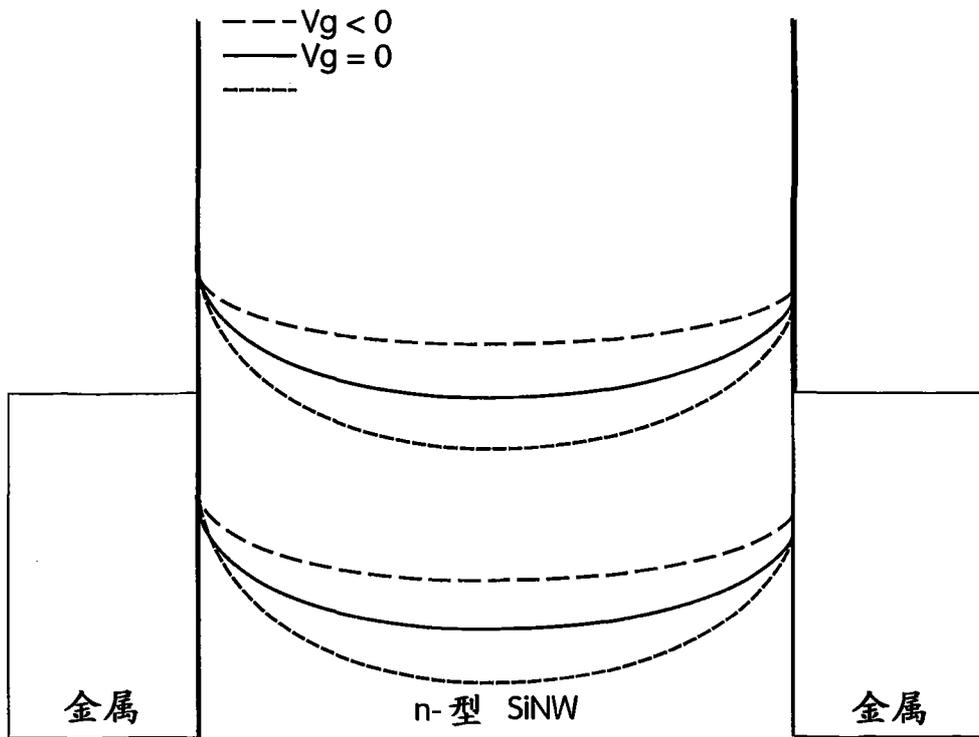


图 10B

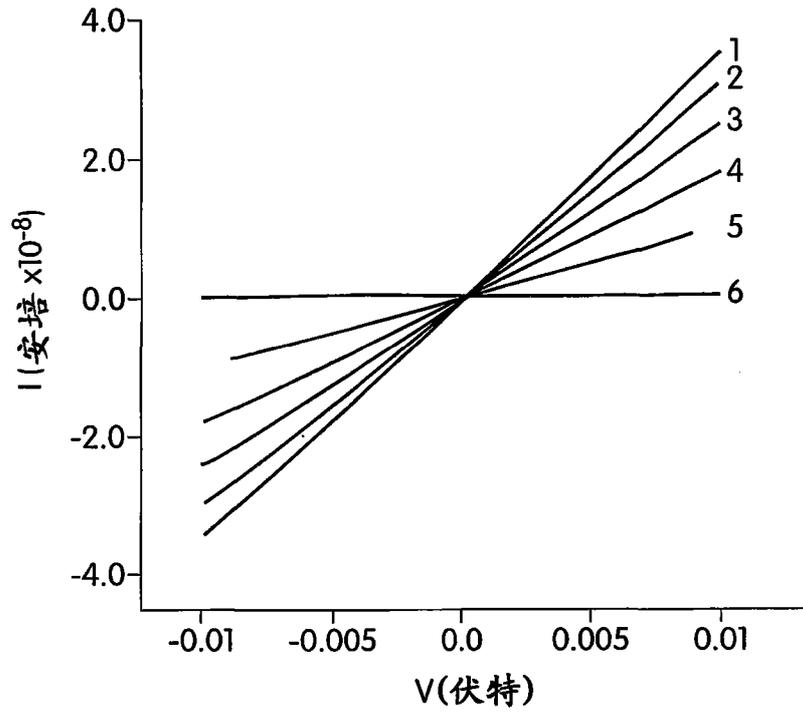


图 11A

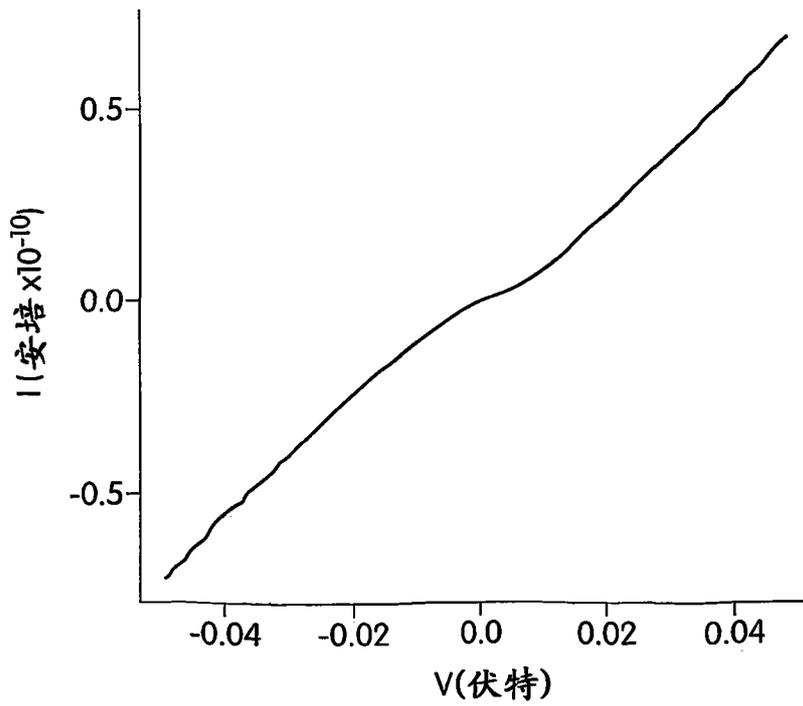


图 11B

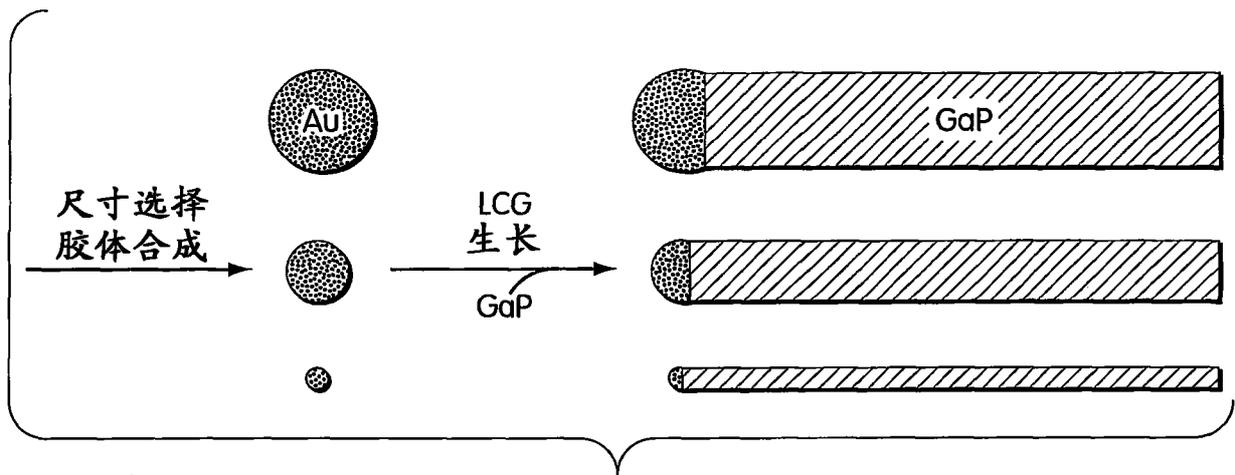


图 12

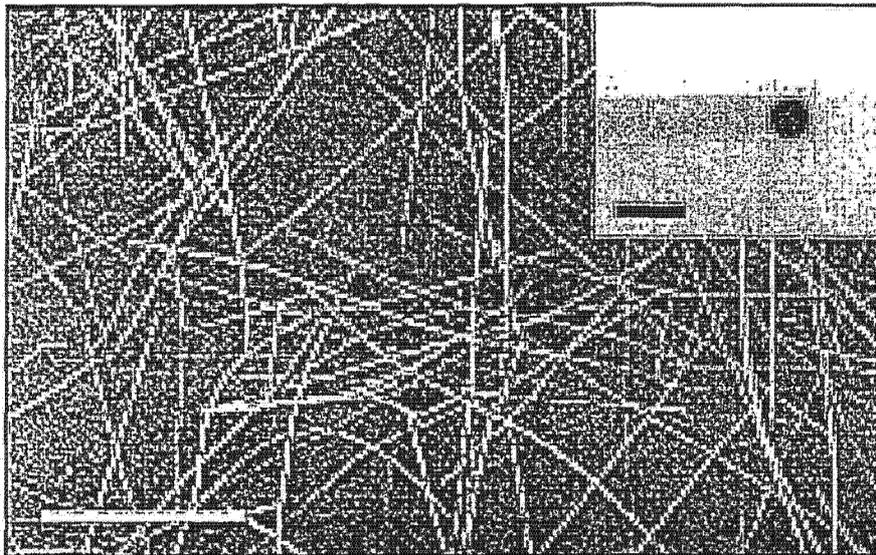


图 13A

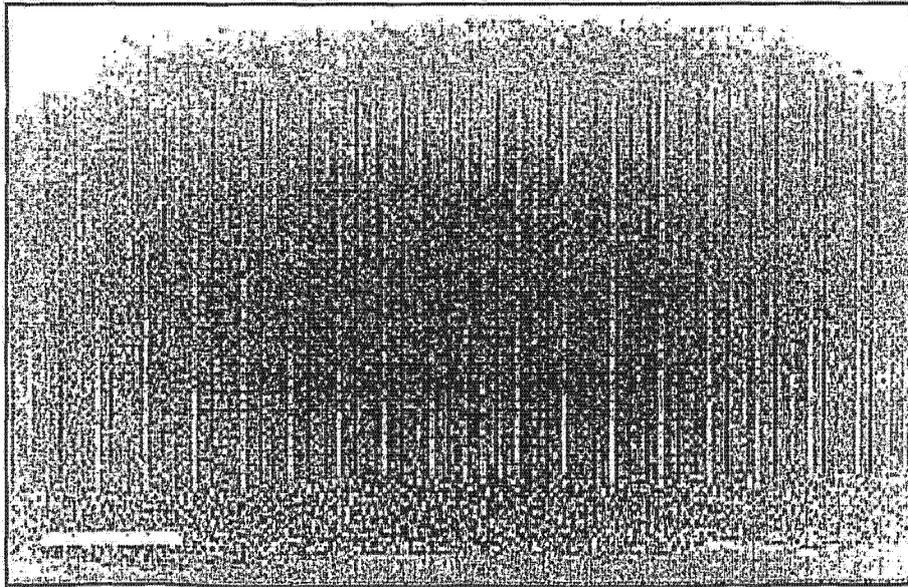


图 13B

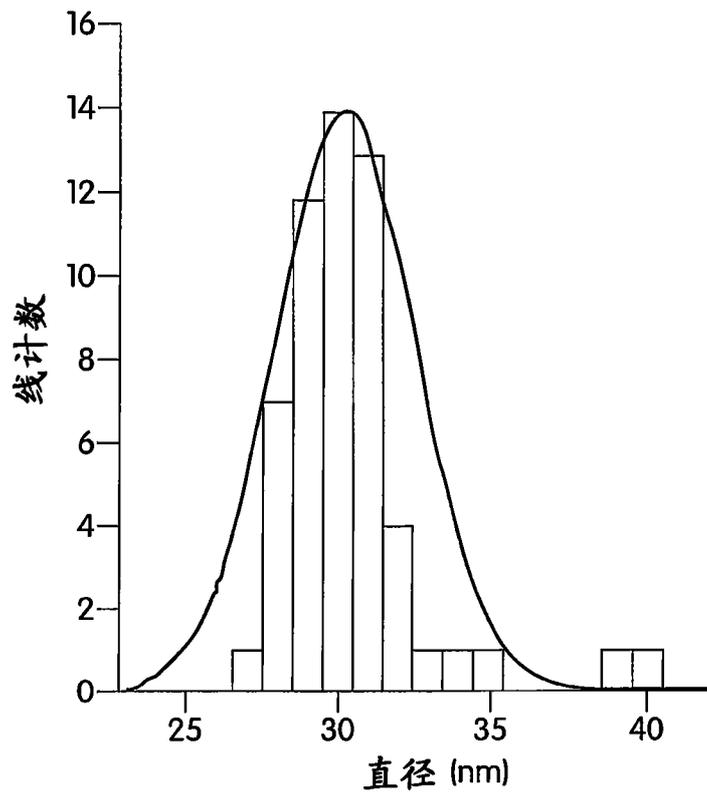


图 14A

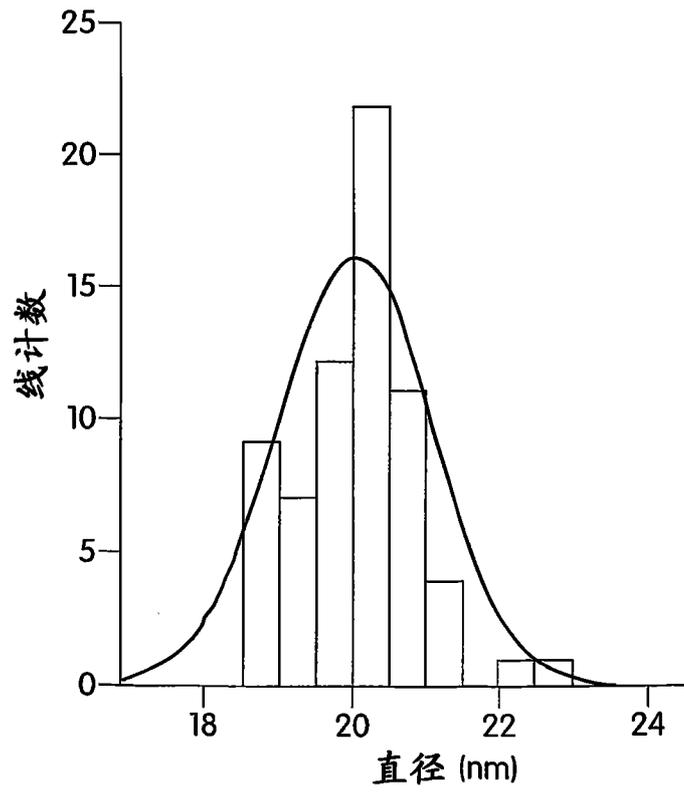


图 14B

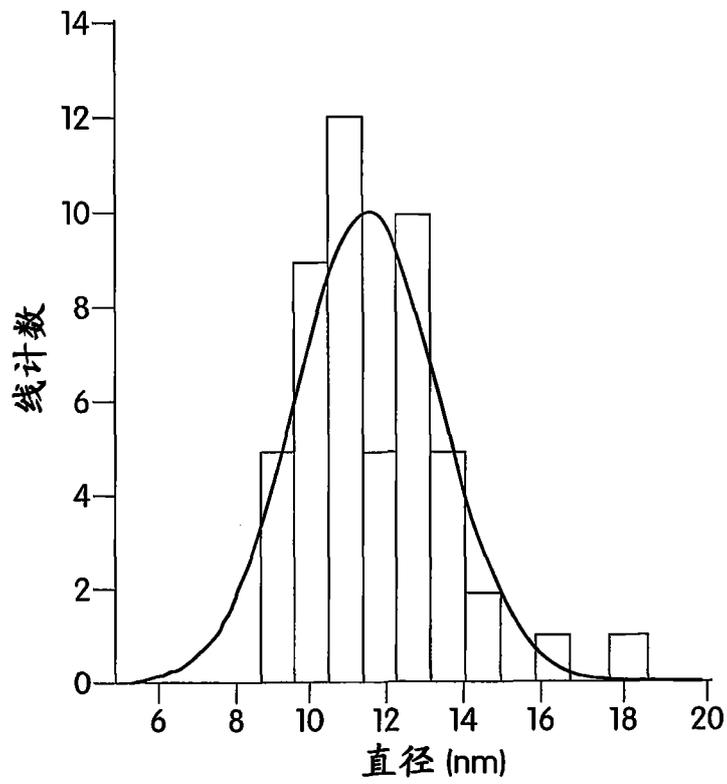


图 14C

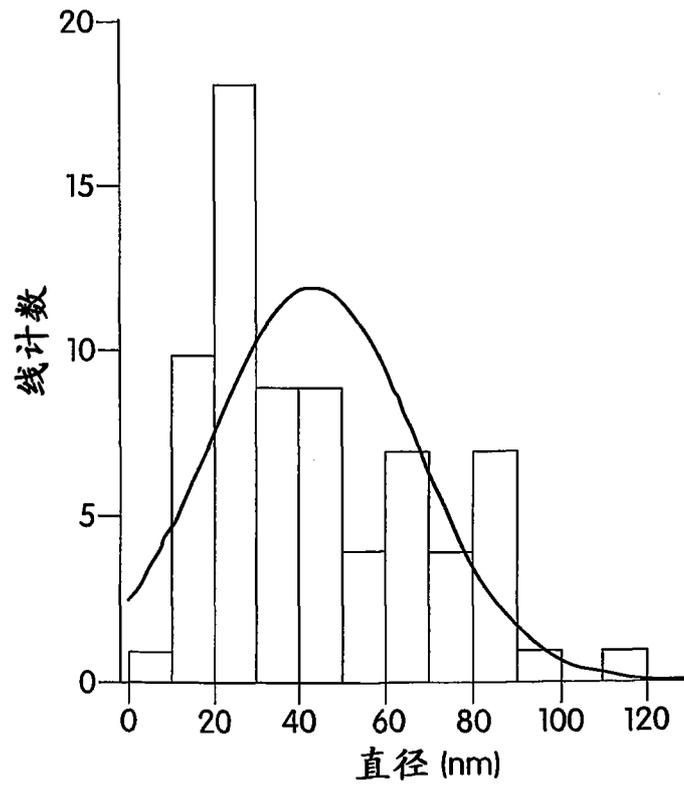


图 14D

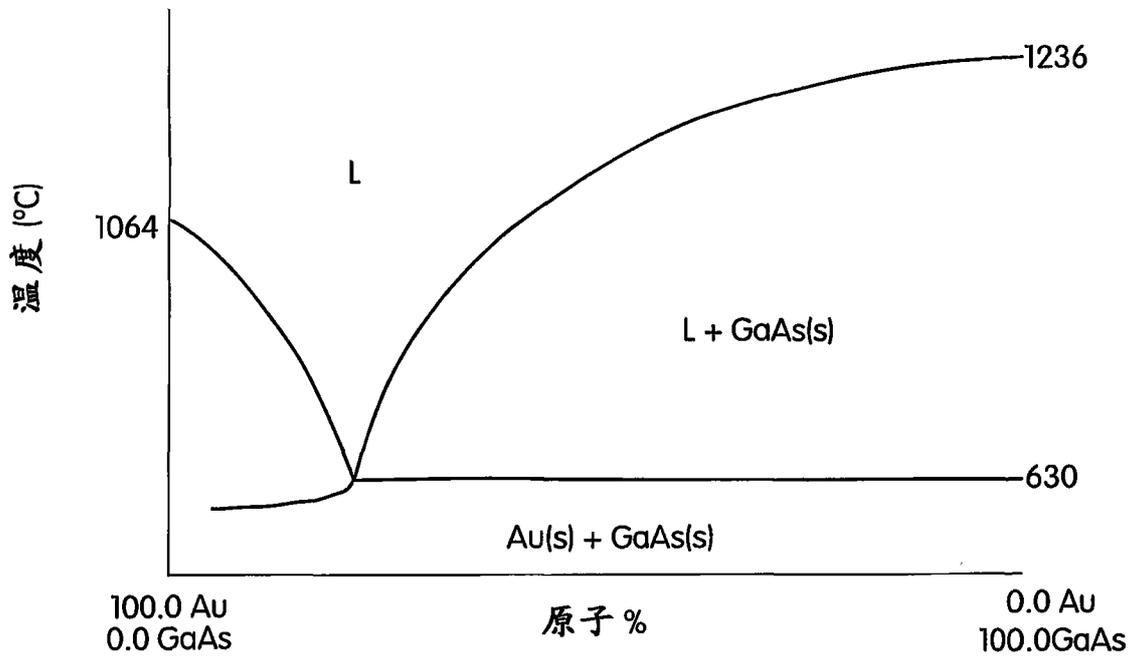


图 15

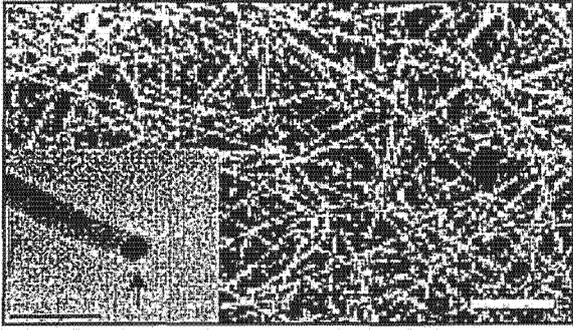


图 16A

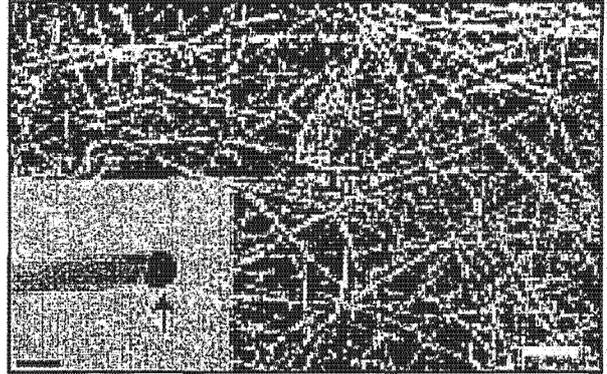


图 16B

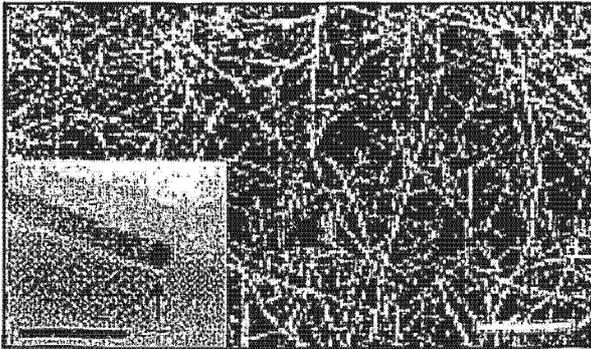


图 16C

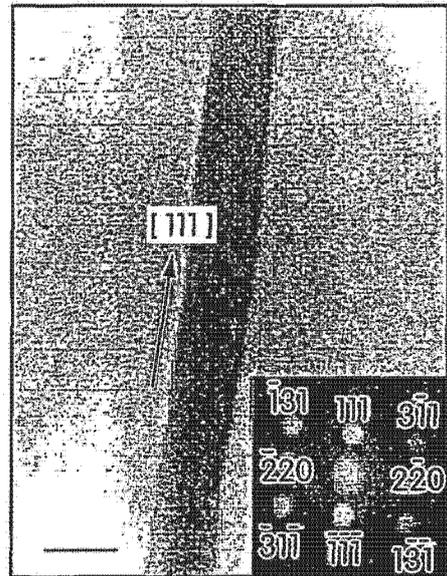


图 17A

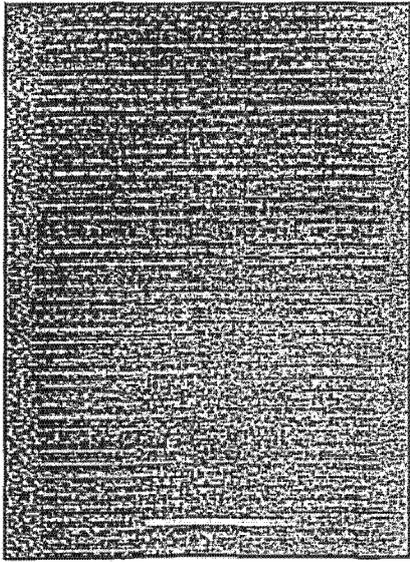


图 17B

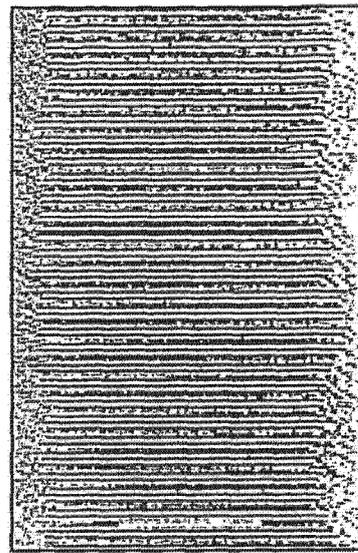


图 17C

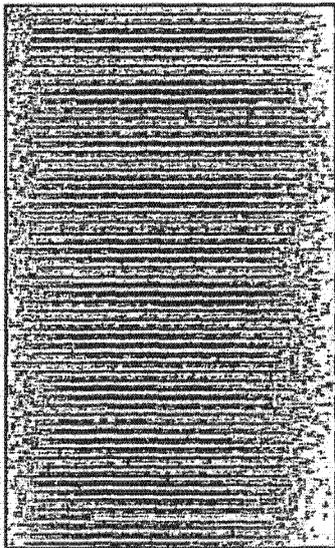


图 17D

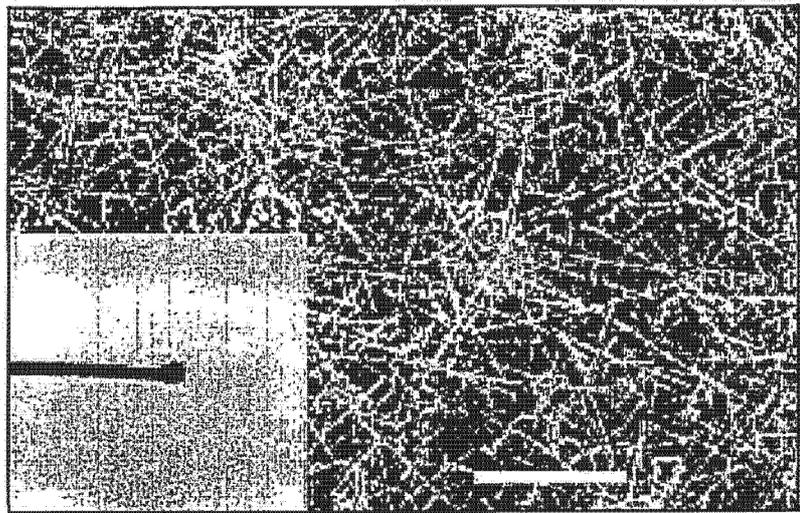


图 18A

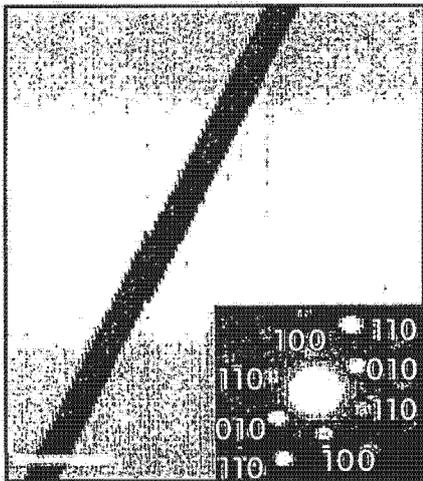


图 18B

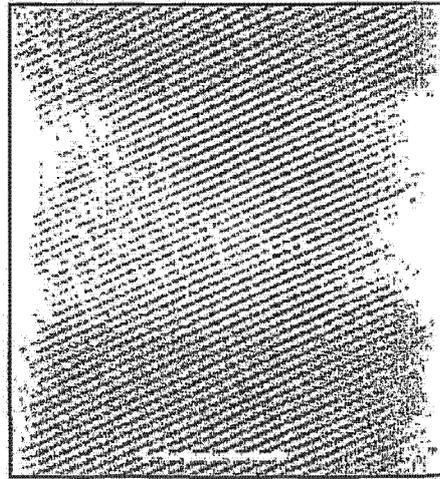


图 18C

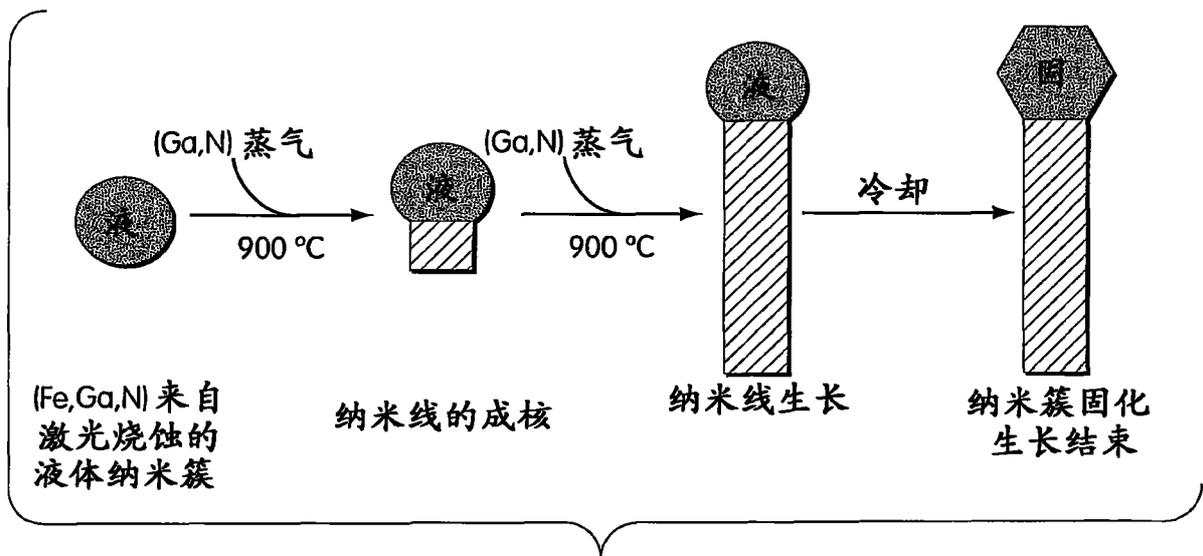


图 19

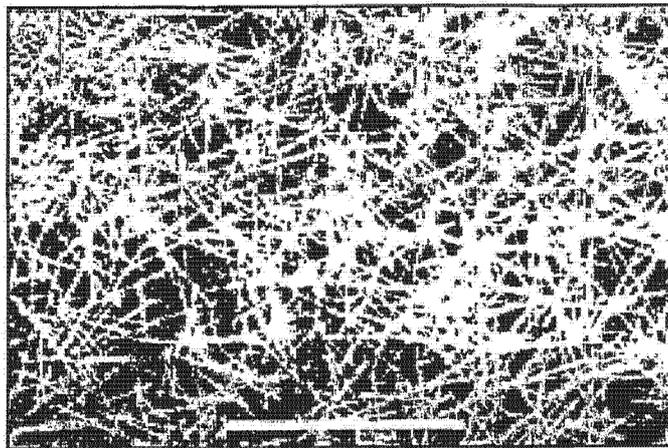


图 20A

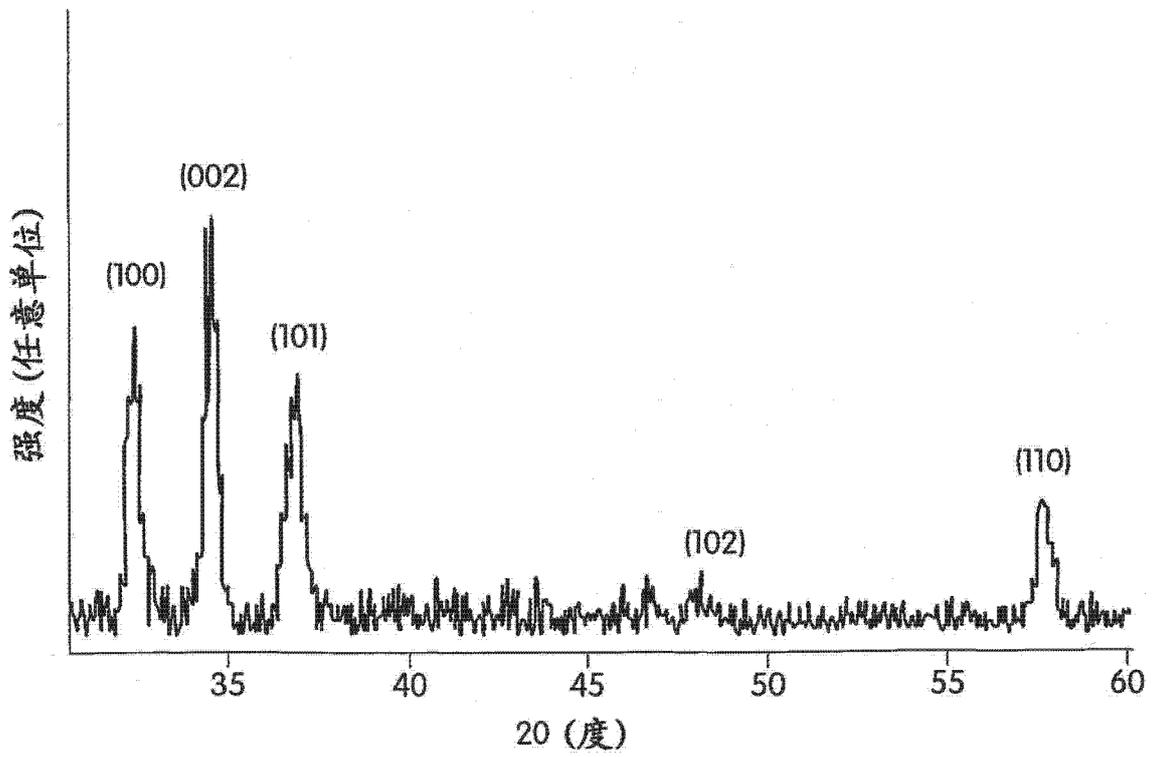


图 20B

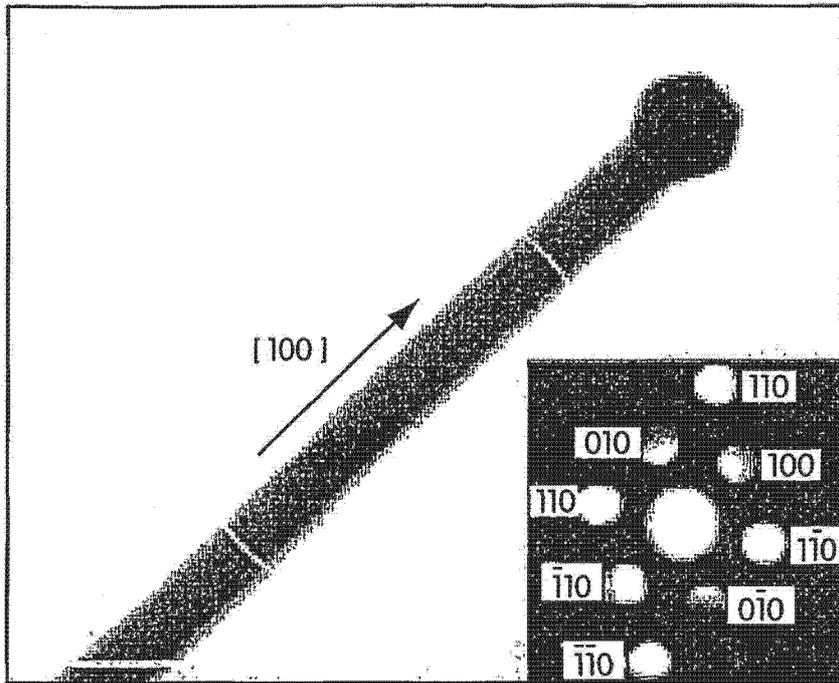


图 21A

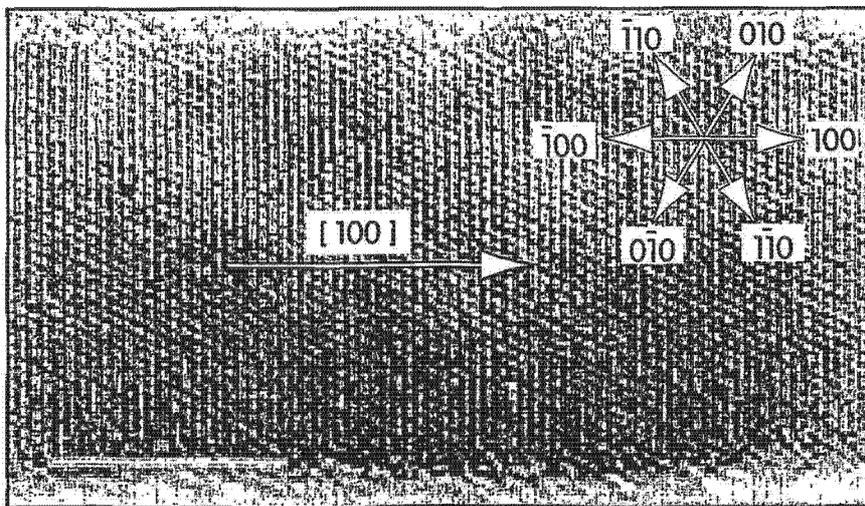


图 21B

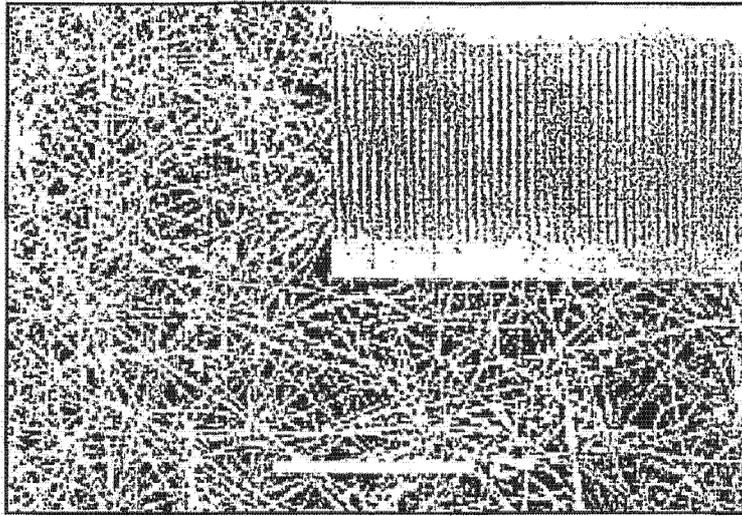


图 22A

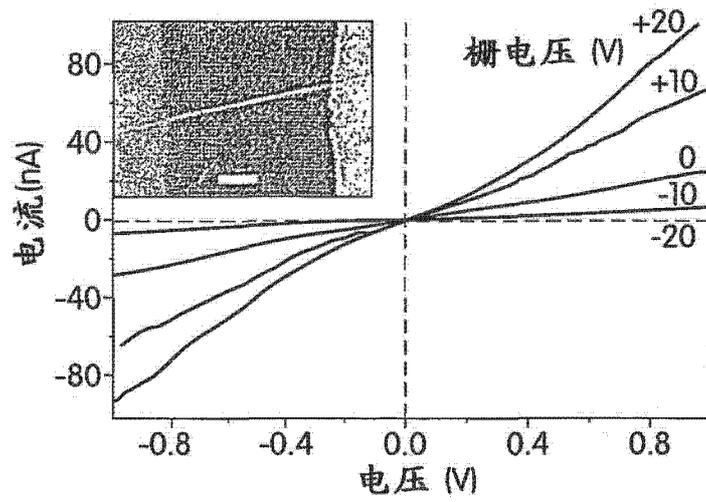


图 22B

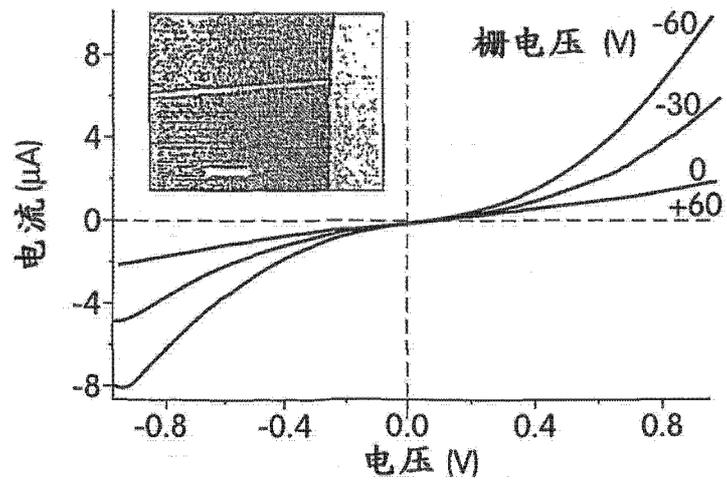


图 22C

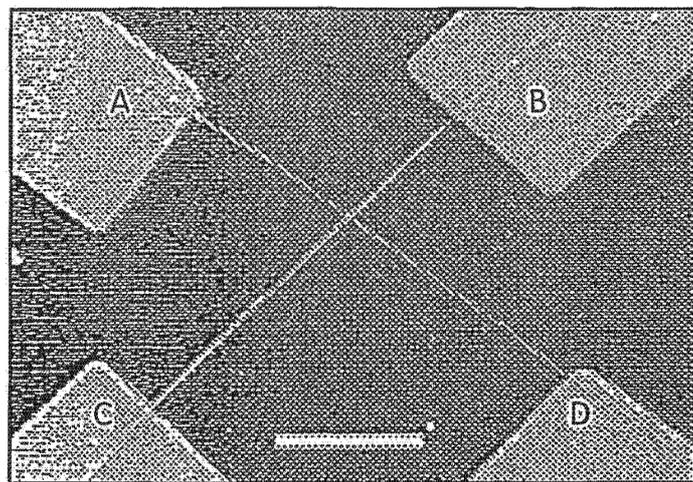


图 23A

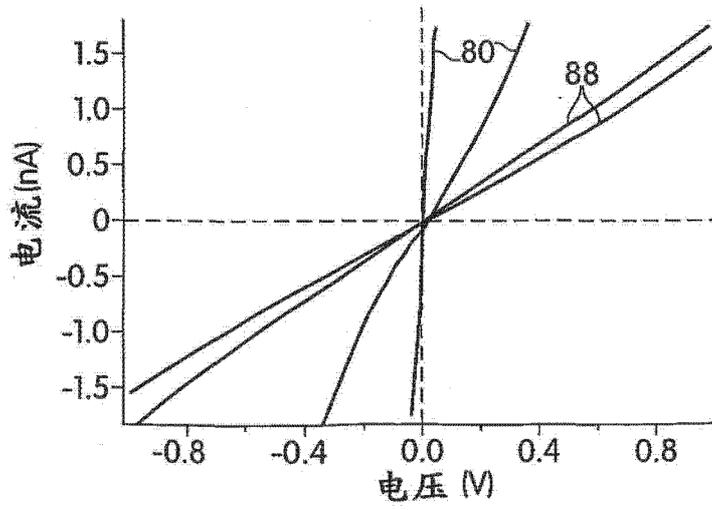


图 23B

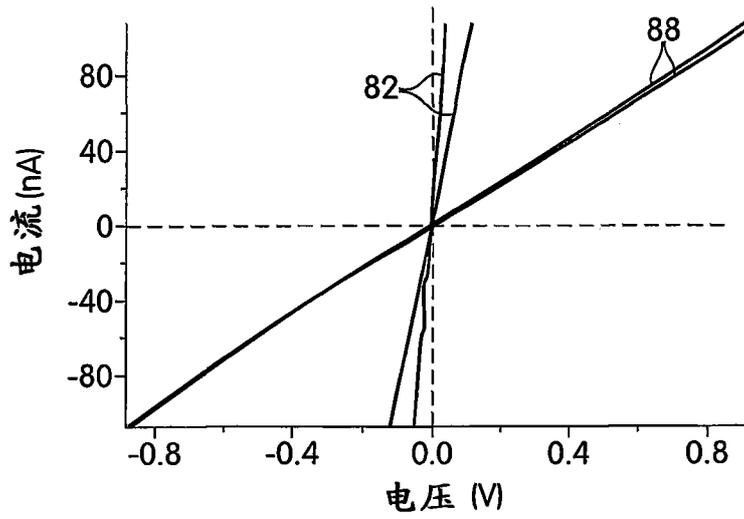


图 23C

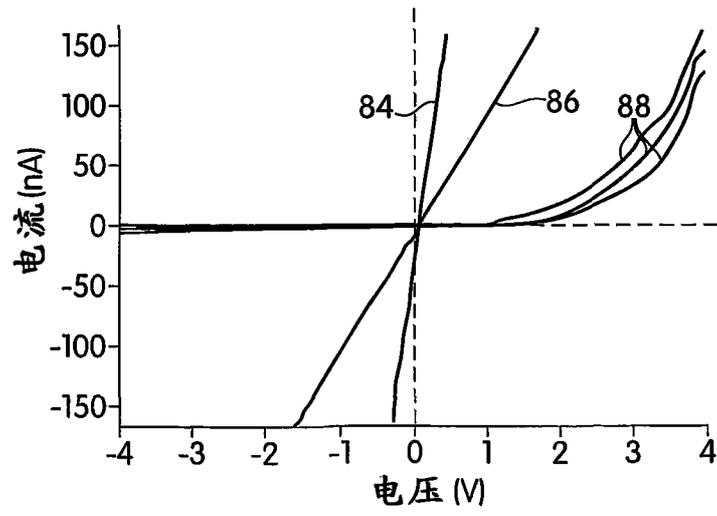


图 23D

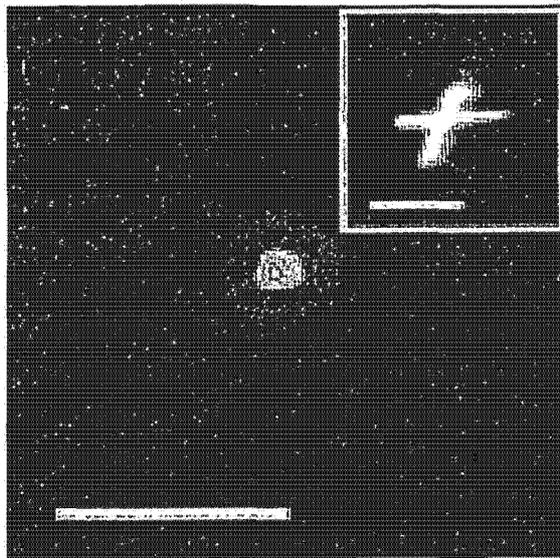


图 24A

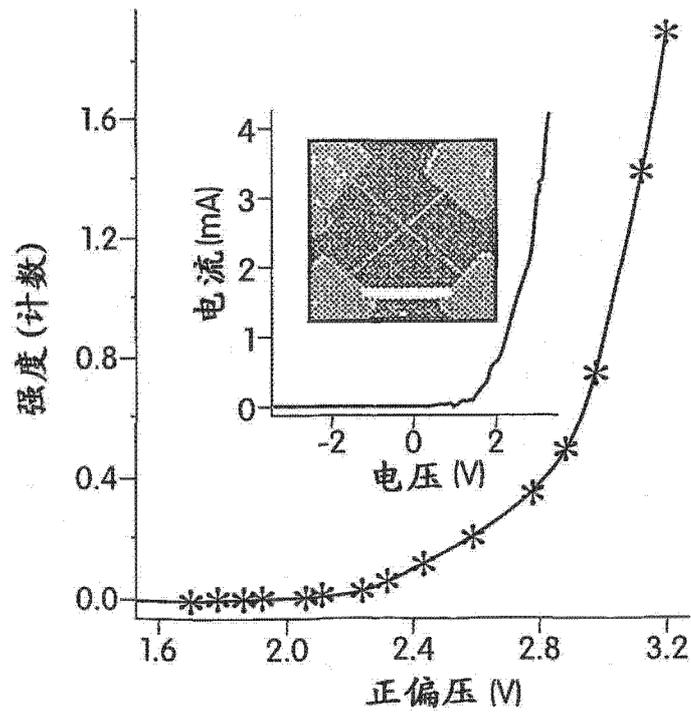


图 24B

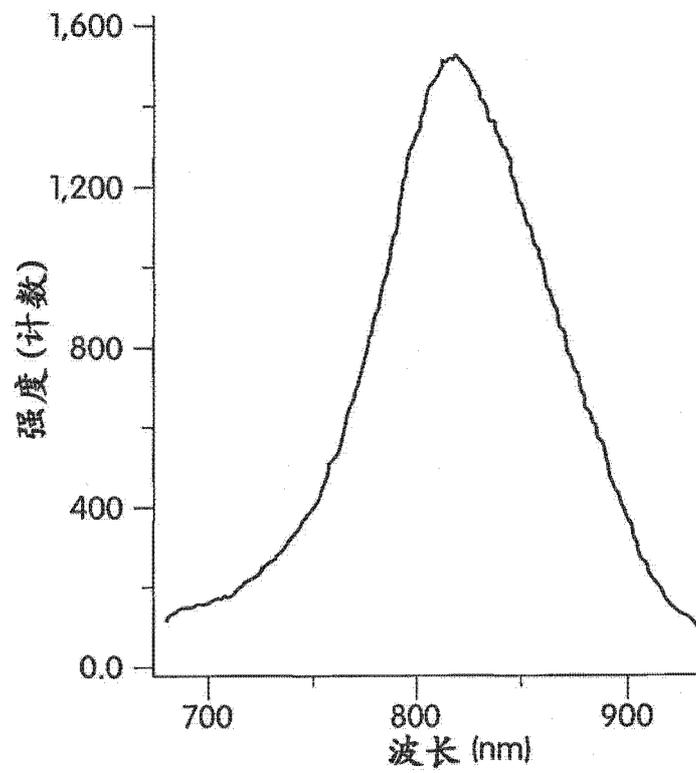


图 24C

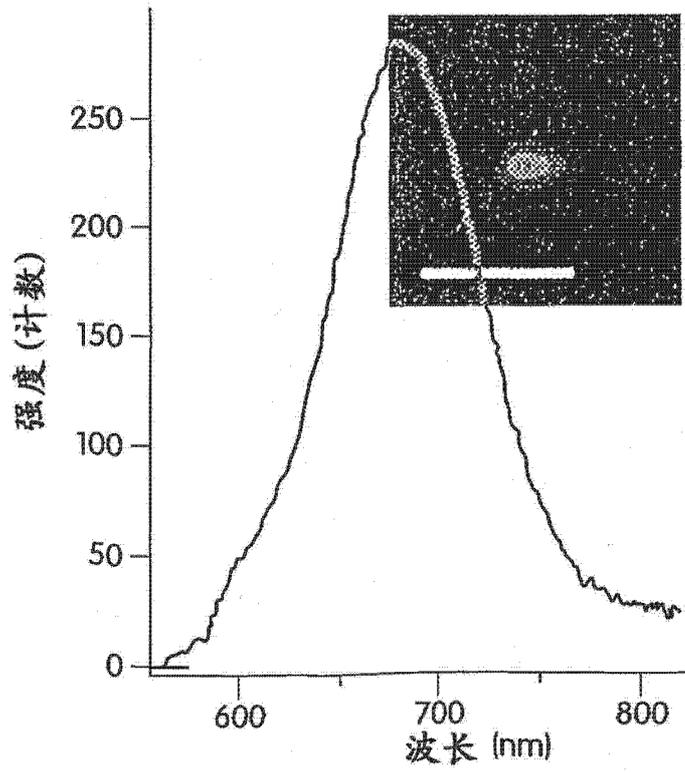


图 24D

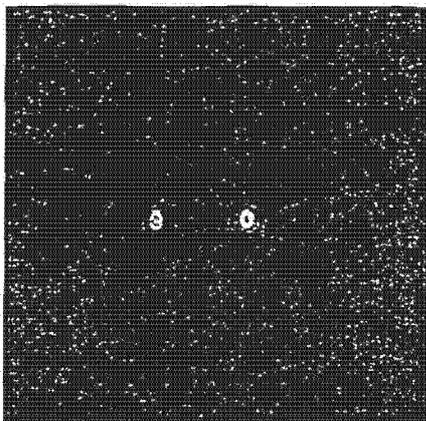


图 25A

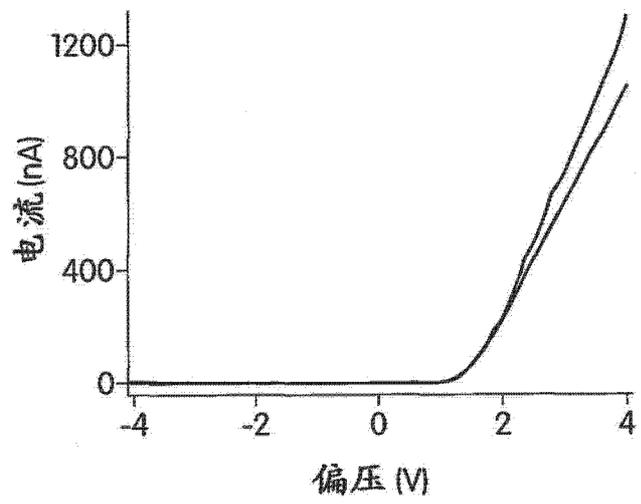


图 25B

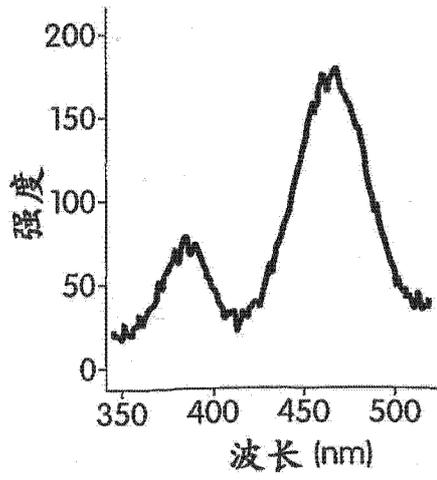


图 25C

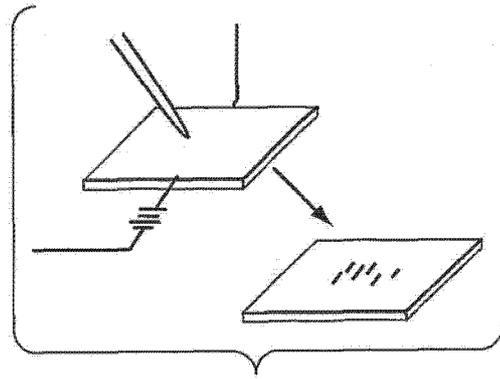


图 26A

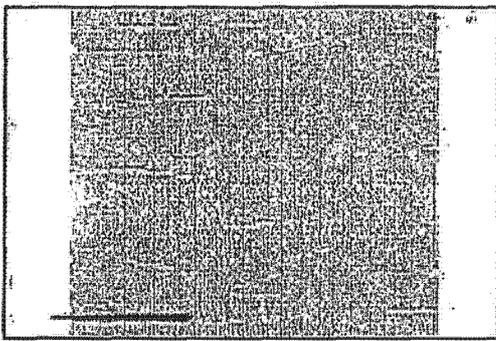


图 26B

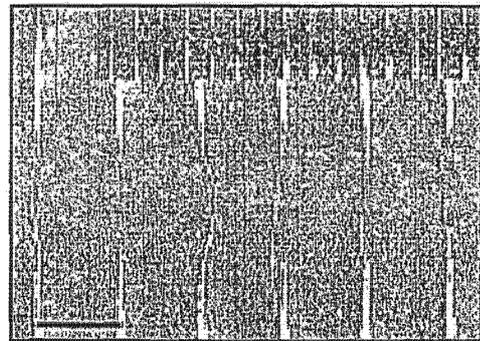


图 26C

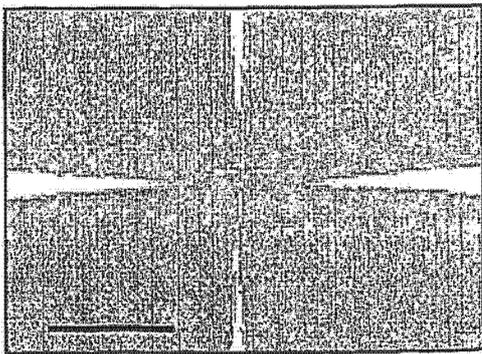


图 26D

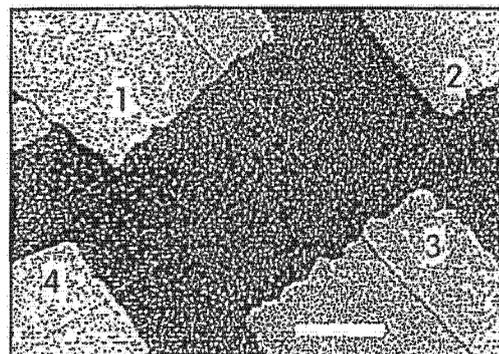


图 27A

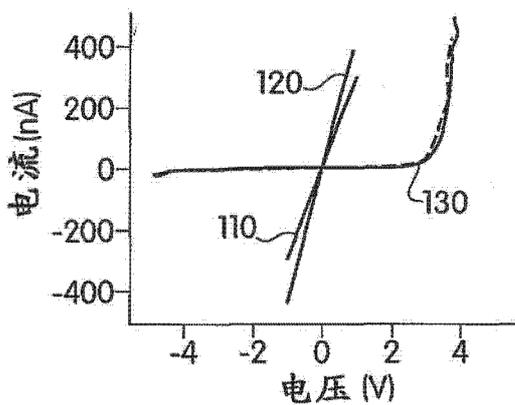


图 27B

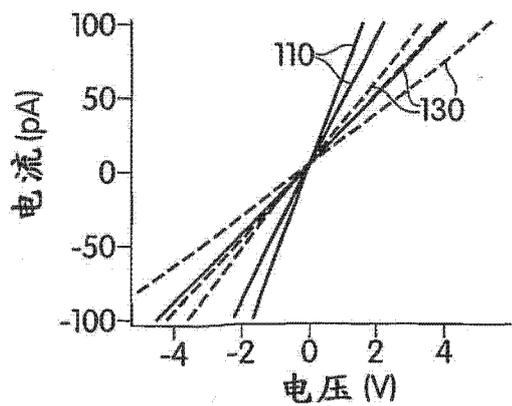


图 27C

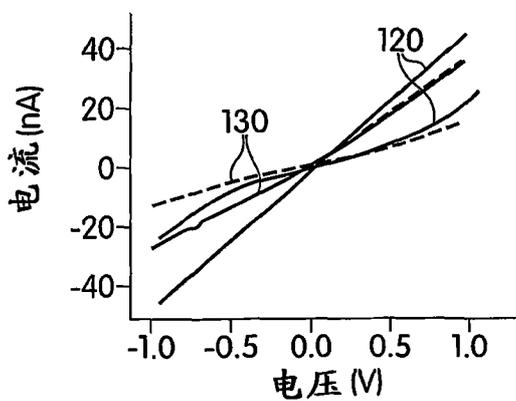


图 27D

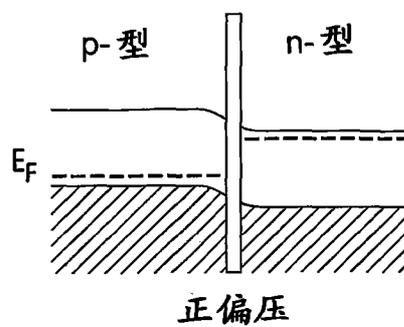


图 27E

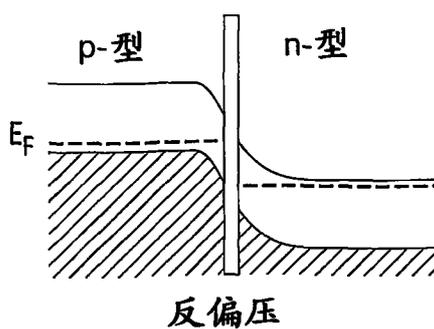


图 27F

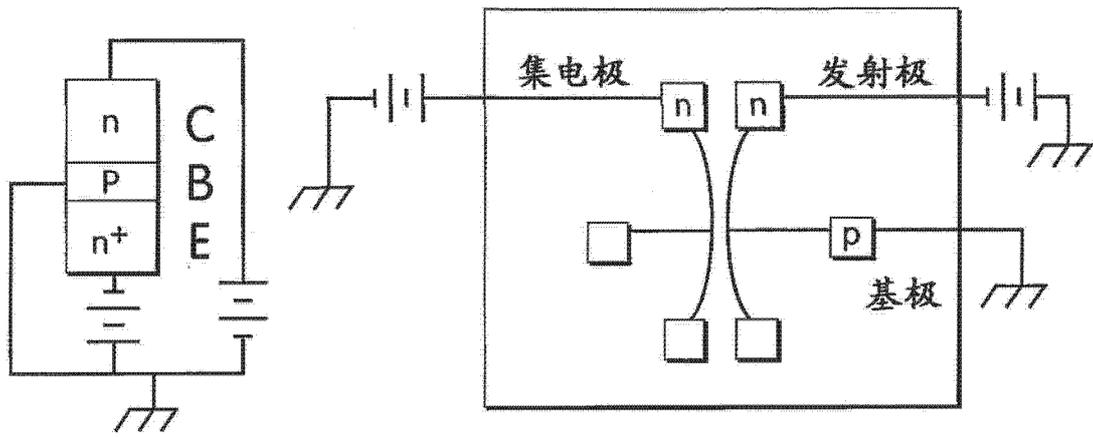


图 28A

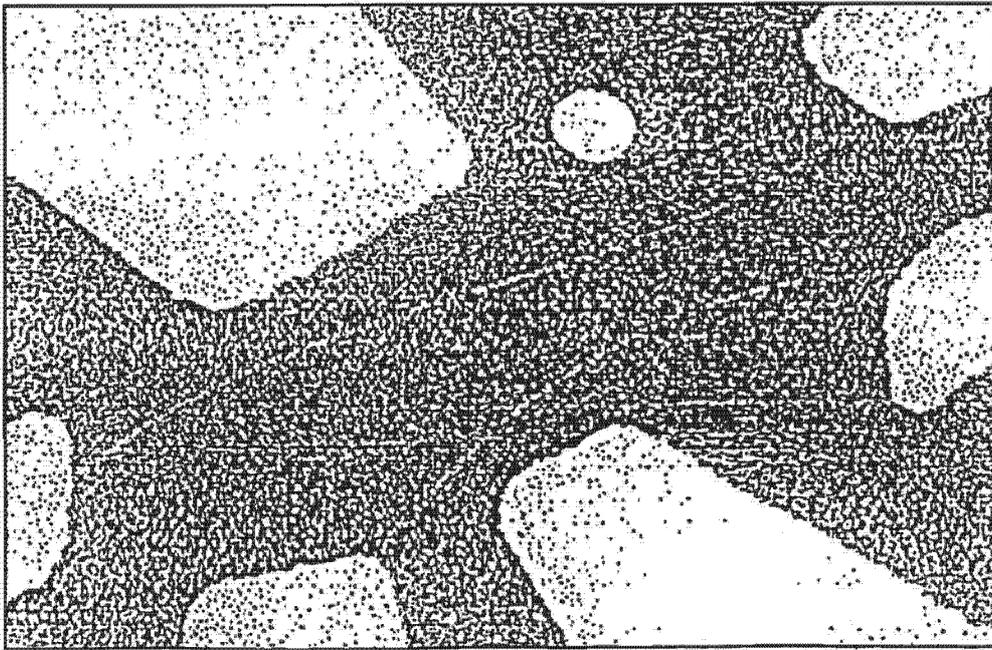


图 28B

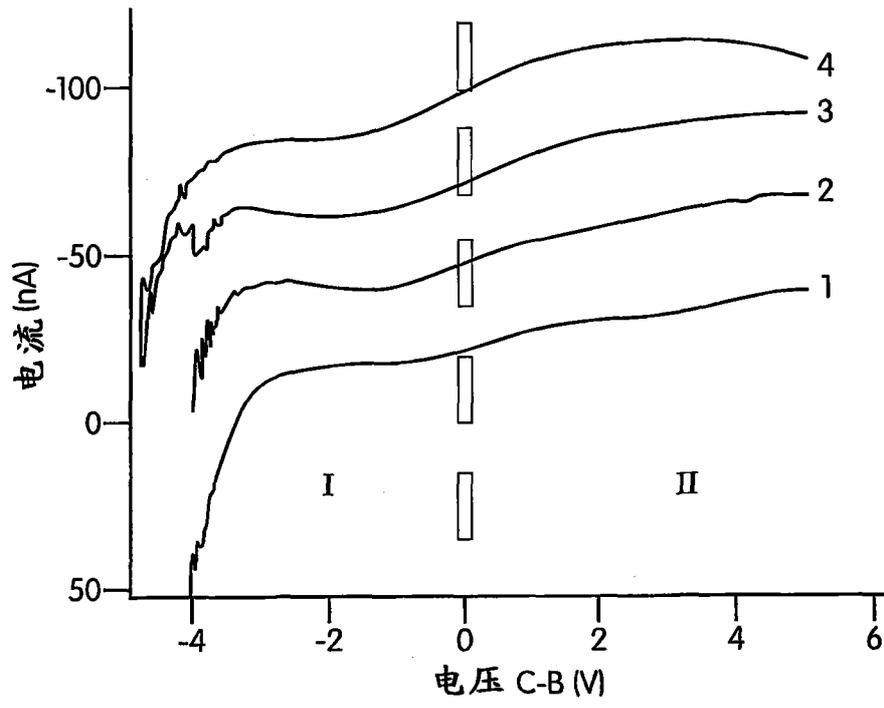


图 28C

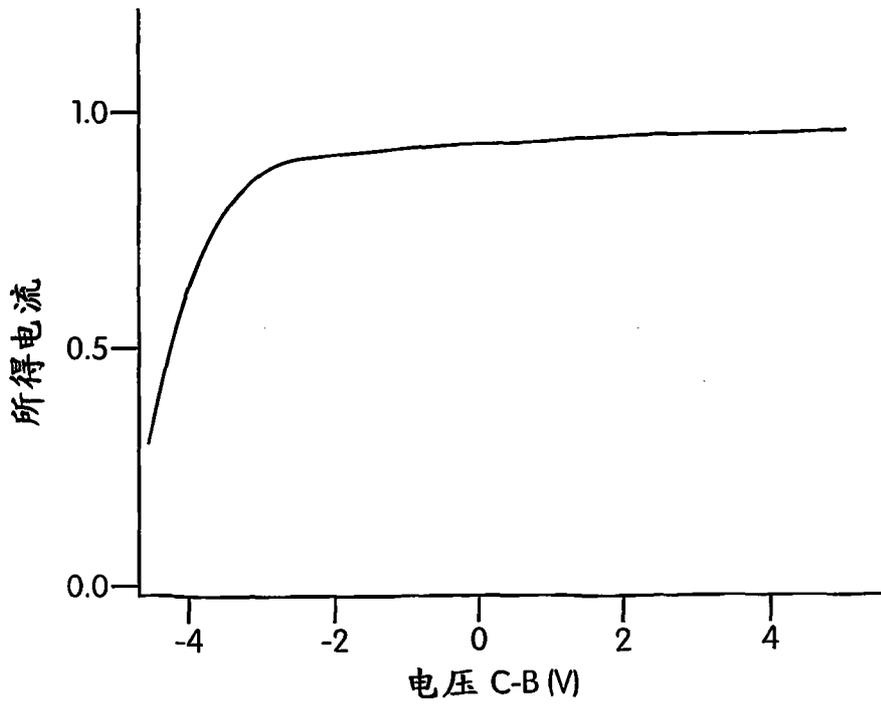


图 28D

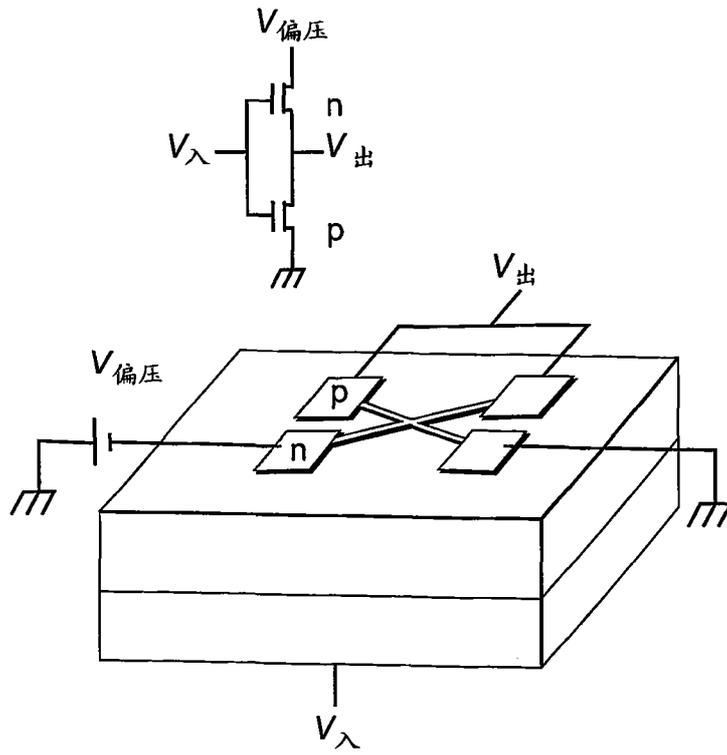


图 29A

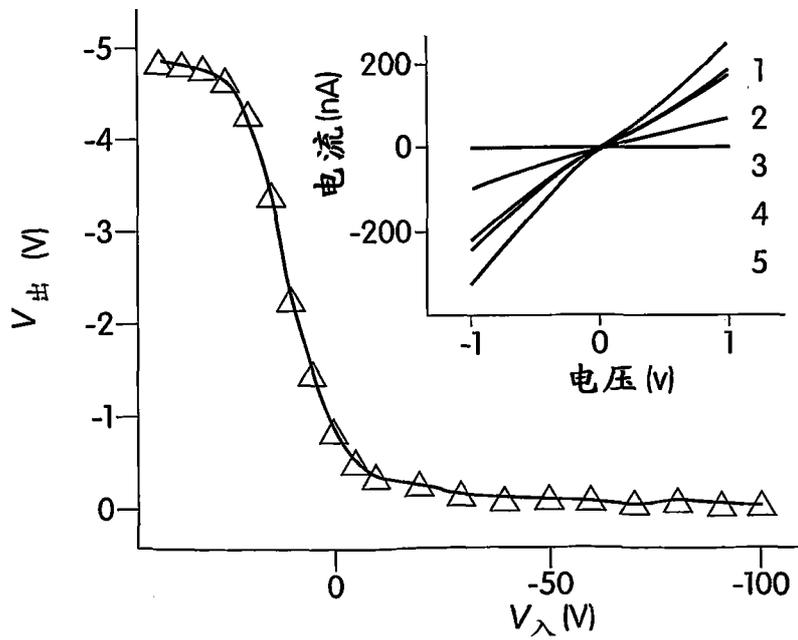


图 29B

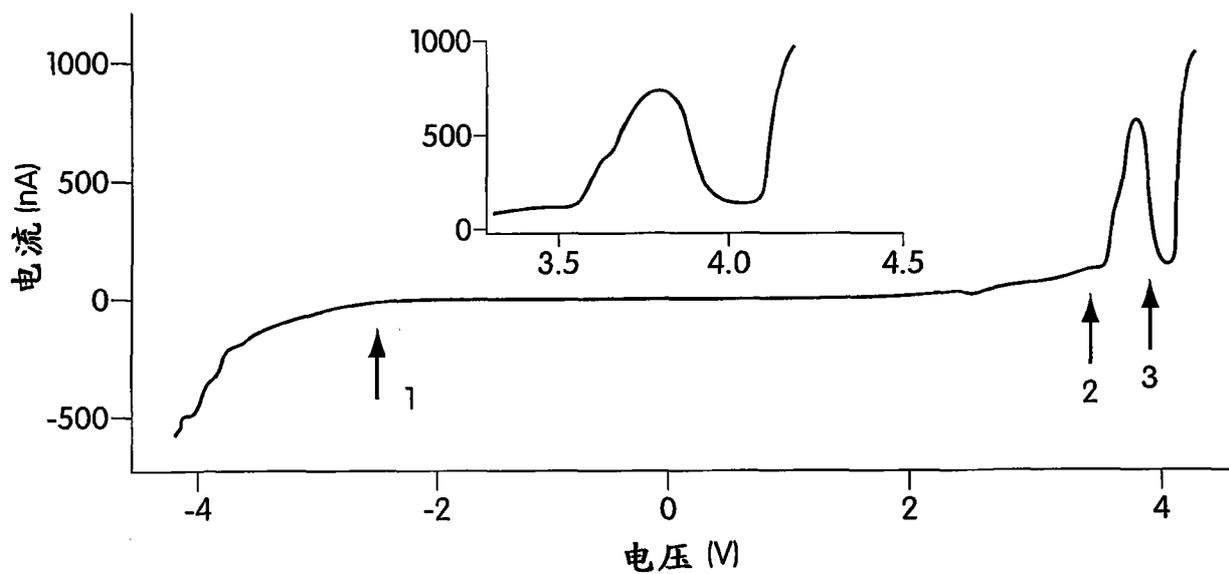


图 29C

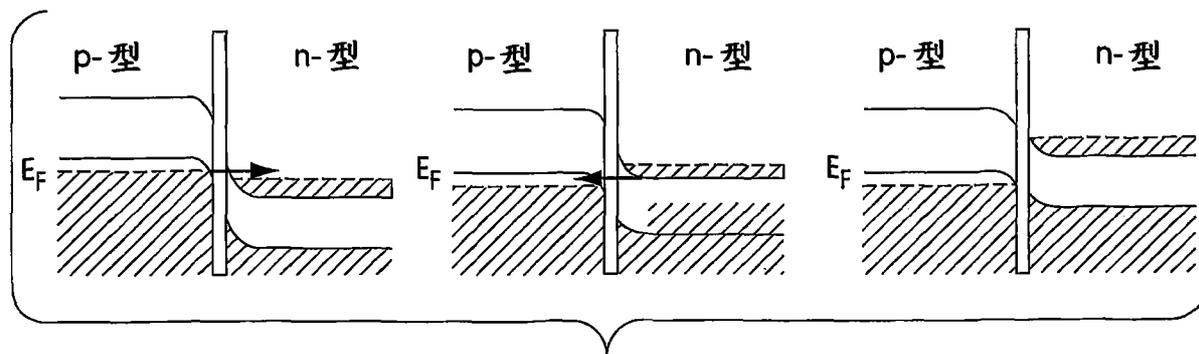


图 29D

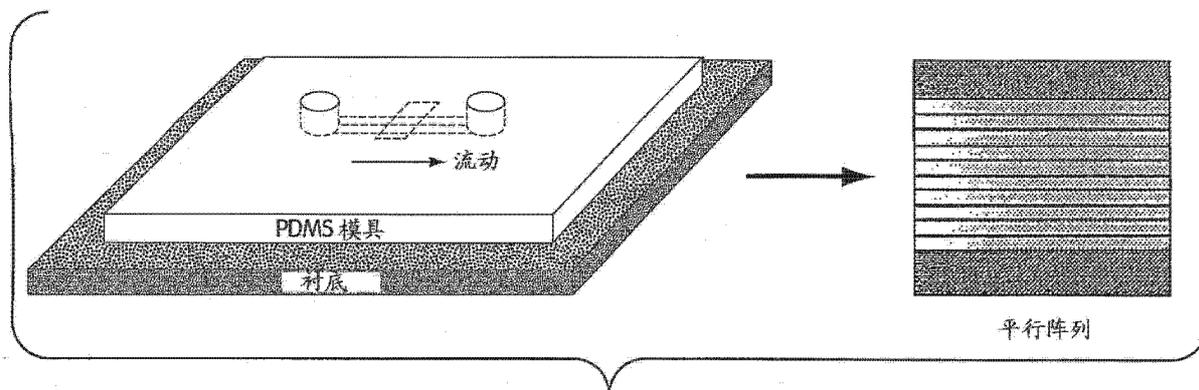


图 30A

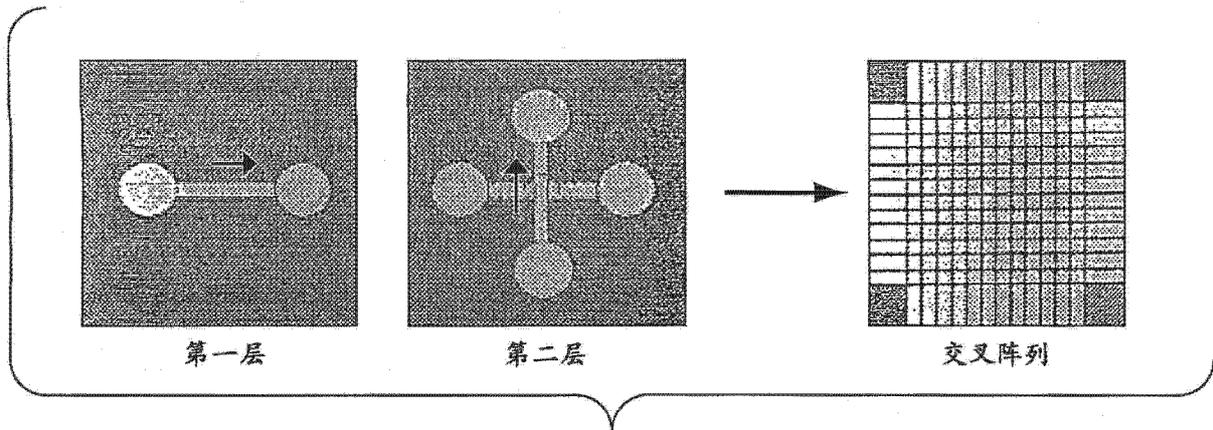


图 30B

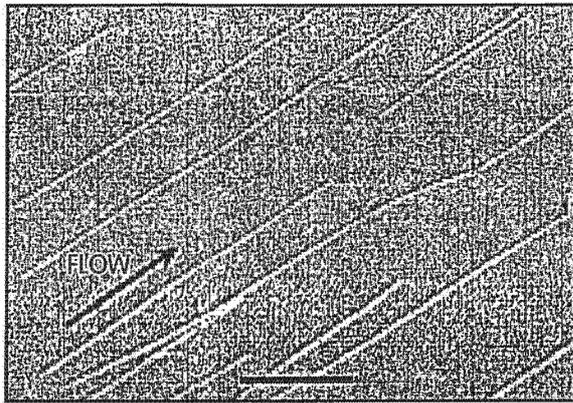


图 31A

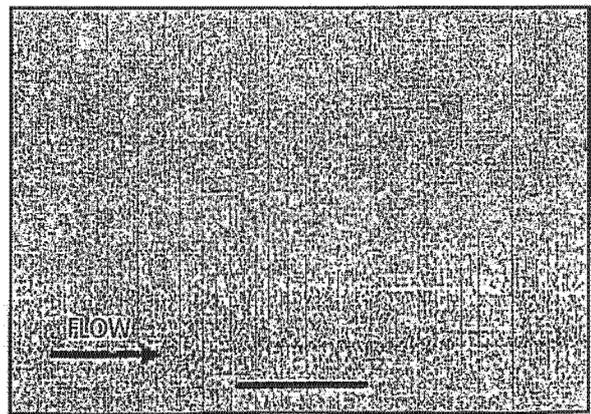


图 31B

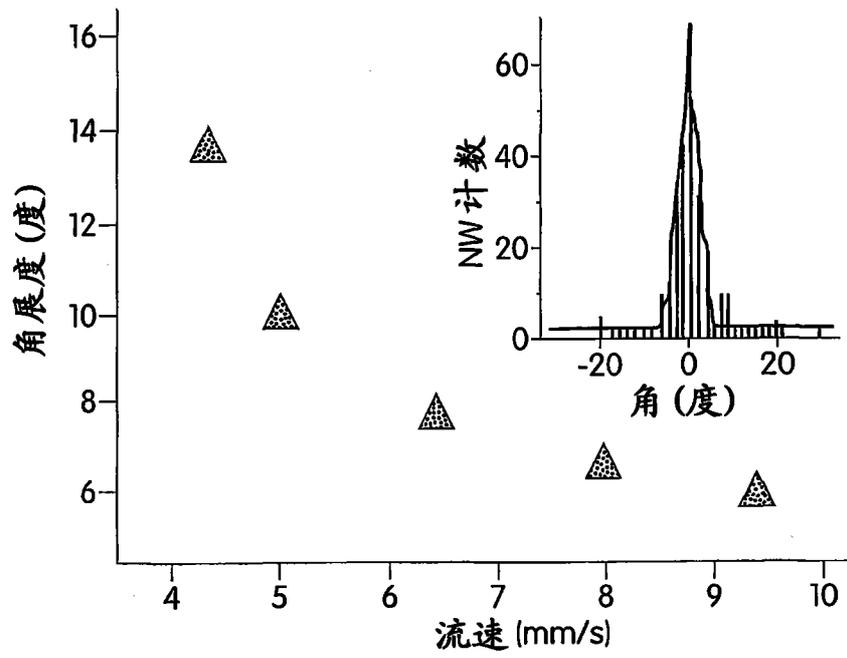


图 31C

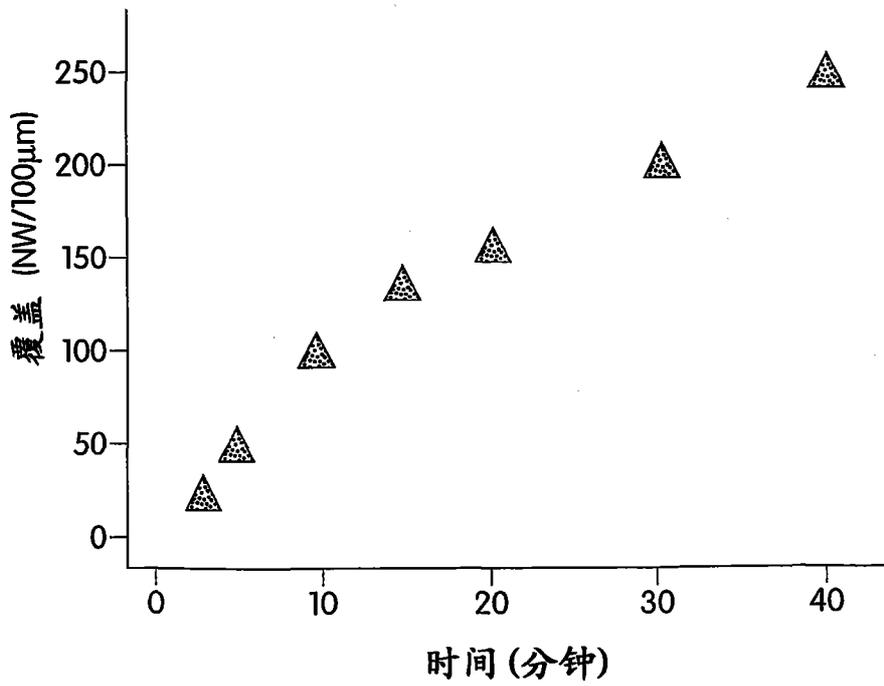


图 31D

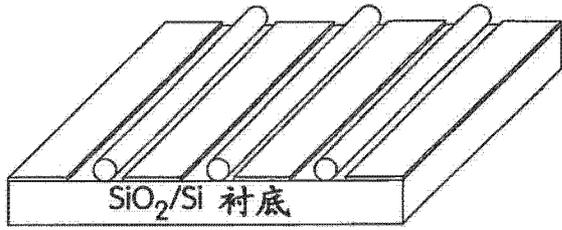


图 32A

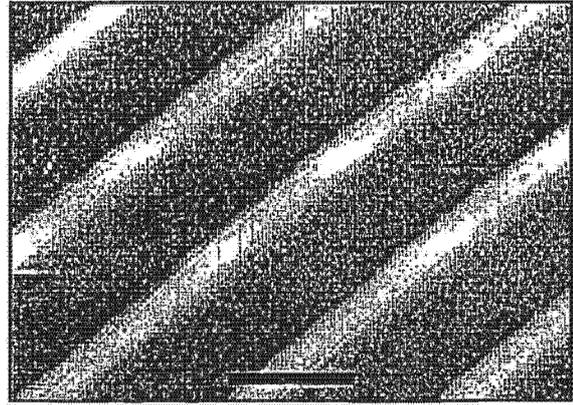


图 32B

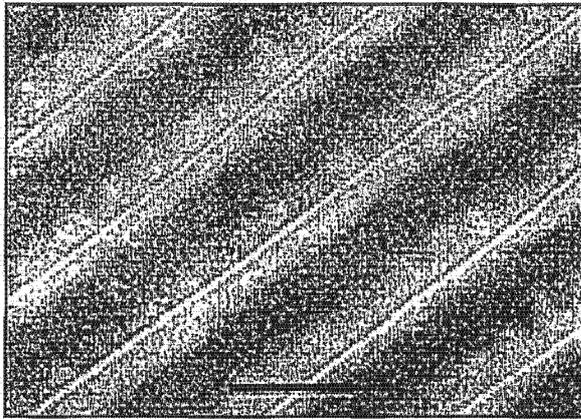


图 32C

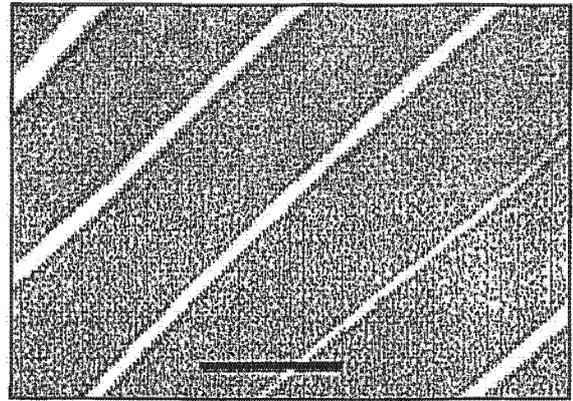


图 32D

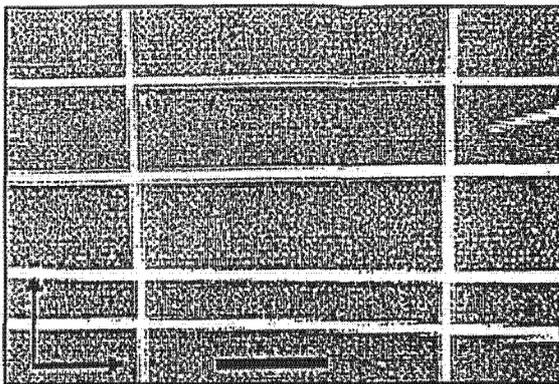


图 33A

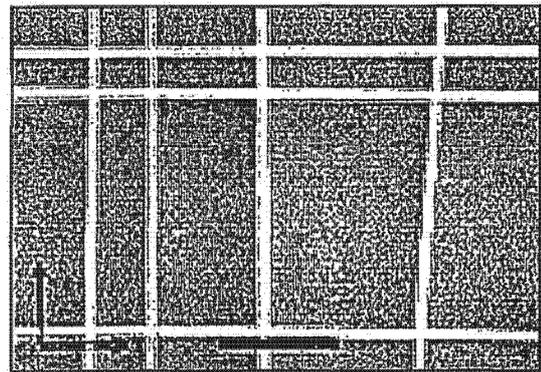


图 33B

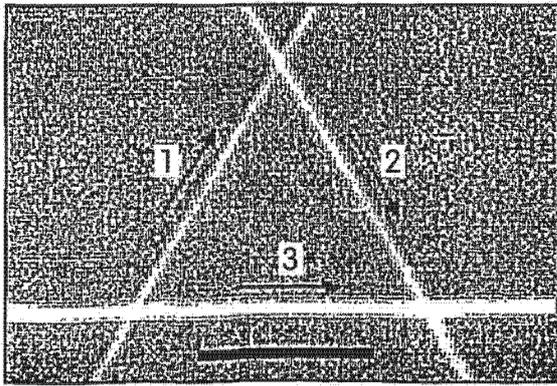


图 33C

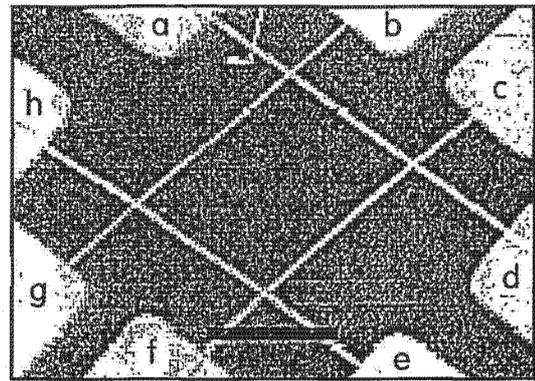


图 33D

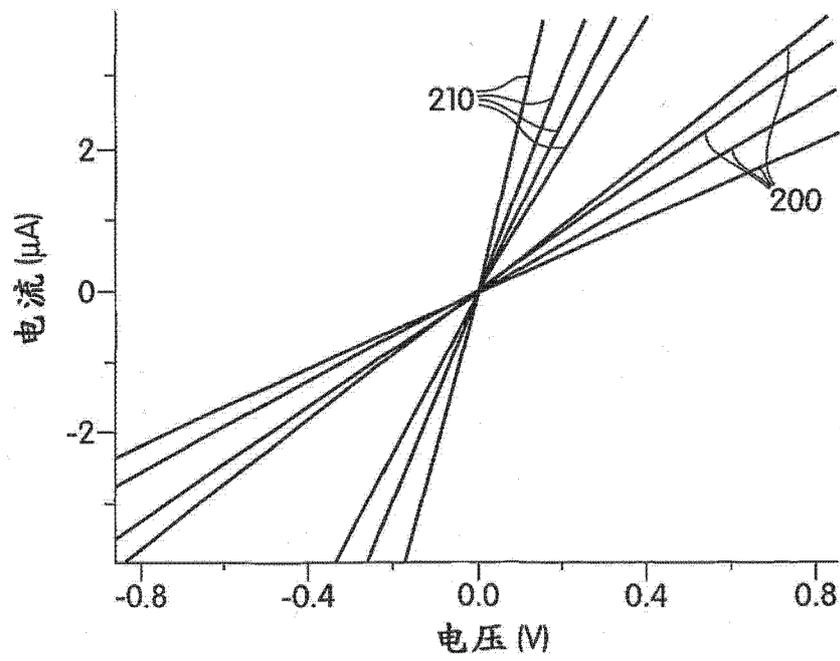


图 33E