

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称： リニア電源装置、および電源システム

技術分野

[0001] 本開示は、リニア電源装置、および電源システムに関する。

背景技術

[0002] 従来、入力電圧から所望の出力電圧を生成することのできるリニア電源装置（リニアレギュレータ）は、様々なアプリケーション（車載機器、産業機器、事務機器、デジタル家電、あるいはポータブル機器など）に搭載されている。

[0003] リニア電源装置には、2つのリニア電源装置を用いて、それぞれのリニア電源装置の出力電圧を出力する出力端子を共通の負荷に共通接続するものがある（例えば特許文献1）。すなわち、このようなリニア電源装置は、共通の負荷に対して並列に接続される。このようなリニア電源装置の用途は、負荷電流を出力端子から出力される出力電流に分散することで熱分散を行ったり、各出力端子から出力される出力電流に基づき負荷電流を大電流化することなどを目的とする。

先行技術文献

特許文献

[0004] 特許文献1：特開2020-4214号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記のようにリニア電源装置を並列接続した場合、リニア電源装置のばらつきの影響でそれぞれの出力端子から出力される出力電圧に差が生じる場合がある。この場合、低いほうの出力電圧のリニア電源装置から出力電流が出力されず、高いほうの出力電圧のリニア電源装置の出力電流のみにより負荷電流が供給される現象が生じる。これにより、リニア電源装置の並列接続が意味をなさない虞があった。

[0006] 上記状況に鑑み、本開示は、並列接続の用途において、リニア電源装置のばらつきに関わらず、効果的に並列動作を行うことが可能となるリニア電源装置を提供することを目的とする。

課題を解決するための手段

[0007] 例えば、本開示に係るリニア電源装置は、
入力電圧の印加端に接続可能に構成される第1主電極と、第2主電極と、
を有する出力トランジスタと、
前記第2主電極に接続される出力端子と、
前記出力端子に発生する出力電圧に基づく帰還電圧と、基準電圧とが入力され、前記出力トランジスタの制御端を駆動可能に構成されるエラーアンプと、
前記出力トランジスタに流れる電流のミラー電流を生成可能に構成されるミラートランジスタと、
前記ミラー電流を第1電圧情報に変換する電流／電圧変換部と、
前記第1電圧情報を外部に対して出力可能に構成される電圧情報出力端子と、
第2電圧情報を外部から入力可能に構成される電圧情報入力端子と、
前記第2電圧情報と前記第1電圧情報とを比較するように構成される比較部と、
前記比較部の比較結果に基づき駆動され、前記第2電圧情報と前記第1電圧情報の差が小さくなるように制御する制御トランジスタと、を備える構成としている。

発明の効果

[0008] 本開示に係るリニア電源装置によれば、並列接続の用途において、リニア電源装置のばらつきに関わらず、効果的に並列動作を行うことが可能となる。

図面の簡単な説明

[0009] [図1] 図1は、比較例に係る電源システムの構成を示す図である。

[図2]図2は、第1実施形態に係る電源システムの構成を示す図である。

[図3]図3は、OR回路を示す図である。

[図4]図4は、第1実施形態に係る電源システムの別構成例を示す図である。

[図5]図5は、図4に示す構成における電流波形例を示す図である。

[図6]図6は、第2実施形態に係る電源システムの構成を示す図である。

[図7]図7は、第2実施形態に係る電源システムの別構成例を示す図である。

発明を実施するための形態

[0010] <1. 比較例>

ここでは、リニア電源装置の新規な実施形態を説明する前に、これと対比される比較例について説明する。

[0011] 図1は、比較例に係る電源システム50の構成を示す図である。電源システム50は、リニア電源装置10Aと、リニア電源装置10Bと、抵抗 R_a 、 R_b と、を備える。電源システム50は、2つのリニア電源装置10A、10Bを用いて負荷 R_L に対して負荷電流 I_{out} を供給する。

[0012] リニア電源装置10A、10Bは、それぞれ入力電圧 V_{in} を降圧して所望の出力電圧 V_{oA} 、 V_{oB} を生成するリニアレギュレータである。なお、リニア電源装置10Aとリニア電源装置10Bは、同一の構成のIC (Integrated Circuit) であり、それぞれの対応する構成要素には、同一の符号に対して“A”または“B”を付して図示している。以下では、リニア電源装置10Aの構成について代表的に説明する。

[0013] 図1に示すように、リニア電源装置10Aは、出力トランジスタ M_{10A} と、抵抗 R_{11A} 、 R_{12A} と、エラーアンプ AP_{10A} と、を備え、これらを1チップに集積したICである。

[0014] PMOSトランジスタ (PチャネルMOSFET (metal-oxide-semiconductor field-effect transistor)) として構成される出力トランジスタ M_{10A} のソースは、入力電圧 V_{in} の入力端に接続されている。出力トランジスタ M_{10A} のドレインと抵抗 R_{11A} の第1端は、出力電圧 V_{oA} を出力するための出力端子 ToA に共通接続されている。抵抗 R_{11A} の第2端は

、抵抗 R_{12A} の第 1 端に接続されている。抵抗 R_{12A} の第 2 端は、接地端に接続されている。エラーアンプ AP_{10A} の非反転入力端 (+) は、抵抗 R_{11A} と R_{12A} とが接続される接続ノード (= 帰還電圧 V_{fbA} の印加端) に接続されている。エラーアンプ AP_{10A} の反転入力端 (-) は、基準電圧 V_{refA} の印加端に接続されている。エラーアンプ AP_{10A} の出力端は、出力トランジスタ M_{10A} のゲートに接続されている。

[0015] 上記したエラーアンプ AP_{10A} は、出力電圧 V_{oA} に応じた帰還電圧 V_{fbA} ($= V_{oA} \times \{ R_{12A} / (R_{11A} + R_{12A}) \}$) が所定の基準電圧 V_{refA} と一致するように、出力トランジスタ M_{10A} のゲート制御を行う。すなわち、出力トランジスタ M_{10A} は、出力電圧 V_{oA} がその目標値 ($= V_{refA} \times \{ (R_{11A} + R_{12A}) / R_{12A} \}$) と一致するように、オン抵抗値が連続的に制御される。

[0016] 同様に、リニア電源装置 $10B$ においては、出力電圧 V_{oB} がその目標値と一致するように出力トランジスタ M_{10B} のオン抵抗値が連続的に制御される。

[0017] 出力端子 T_{oA} は、リニア電源装置 $10A$ 、 $10B$ の外部に設けられる抵抗 R_a の第 1 端に接続される。出力端 T_{oB} は、リニア電源装置 $10A$ 、 $10B$ の外部に設けられる抵抗 R_b の第 1 端に接続される。抵抗 R_a 、 R_b のそれぞれの第 2 端は、負荷 R_L に共通接続される。従って、リニア電源装置 $10A$ 、 $10B$ は、共通の負荷 R_L に対して並列に接続される。

[0018] ここで、リニア電源装置 $10A$ 、 $10B$ の出力電圧 V_{oA} 、 V_{oB} の標準値 (Typ 値) は同じに設定しているが、リニア電源装置のばらつきにより、出力電圧は標準値に対してばらつく可能性がある。例えば、標準値 $5V$ に対して $\pm 2\%$ ばらつく等である。このようなばらつきは、例えば、基準電圧、帰還電圧、または出力トランジスタの閾値電圧のばらつき、さらにエラーアンプの入力オフセット電圧のばらつきなどによって生じる。

[0019] 仮に出力端子 T_{oA} 、 T_{oB} 間を直接的に接続した構成の場合、ばらつきにより例えば出力電圧 V_{oA} が V_{oB} よりも高い場合、リニア電源装置 $10B$

側の出力トランジスタM10Bはオフを維持され、出力端T0Bから出力電流IoutBは出力されず、負荷電流Ioutは、リニア電源装置10Aにおける出力端子T0Aから出力される出力電流IoutAのみにより供給される。従って、出力電流が片側のリニア電源装置に集中してしまう。

[0020] これに対し、図1に示す本比較例に係る構成では、例えば出力電圧V0AがV0Bよりも高い場合、負荷電流Ioutが0Aより徐々に増加するにつれ、出力電圧V0Aが抵抗Raにより電圧降下され、抵抗Ra, Rbの各第2端が接続されるノードに発生する出力電圧V0は、徐々に低下する。そして、出力電圧V0が出力電圧V0Bに到達すると、リニア電源装置10B側の出力トランジスタM10Bが動作を開始し、出力端T0Bから出力電流IoutBの出力が開始される。すなわち、出力電流IoutA, IoutBの両方により負荷電流Ioutが供給される並列動作が開始される。なお、抵抗Ra, Rbは、抵抗における電圧降下が、出力電圧のばらつきによる最大値と最小値の間の電圧差以上となるような抵抗値に設定すればよい。

[0021] このように、本比較例の構成であれば、2つのリニア電源装置を並列接続して用いる場合において、出力電圧のばらつきがある場合でも、並列動作が可能となる。しかしながら、このような本比較例では、抵抗Ra, Rbによる損失・発熱が発生すること、出力電流IoutA, IoutBが均等にならないといった課題を有している。また、負荷電流Ioutが変化すると抵抗Ra, Rbによる電圧降下により出力電圧V0が変化してしまい、レギュレータとしての機能に課題が生じる。

[0022] <2. 第1実施形態>

以下では、上記の課題を解決できる各種実施形態について説明する。図2は、第1実施形態に係る電源システム5の構成を示す図である。電源システム5は、リニア電源装置1Aと、リニア電源装置1Bと、を備える。電源システム5は、2つのリニア電源装置1A, 1Bを用いて負荷RLに対して負荷電流Ioutを供給する。

[0023] リニア電源装置1A, 1Bは、それぞれ入力電圧Vinを降圧して所望の

出力電圧 V_{OA} 、 V_{OB} を生成するリニアレギュレータである。なお、リニア電源装置 1 A とリニア電源装置 1 B は、同一の構成の IC であり、それぞれの対応する構成要素には、同一の符号に対して “A” または “B” を付して図示している。以下では、リニア電源装置 1 A の構成について代表的に説明する。

[0024] 図 2 に示すように、リニア電源装置 1 A は、出力トランジスタ M1 A と、ミラートランジスタ M2 A と、エラーアンプ AP1 A と、帰還抵抗 R1 A、R2 A、R3 A、R4 A と、バイパススイッチ BPA と、センス抵抗 $R_s A$ と、コンパレータ CPA と、NMOS トランジスタ（Nチャネル MOSFET）NMA と、抵抗 RA と、NMOS スイッチ NS1 A、NS2 A と、PMOS スイッチ PMA と、を備え、これらを 1 チップに集積した IC である。また、リニア電源装置 1 A は、外部との電氣的接続を確立するために、出力端子 T_{OA} 、電圧情報送受信端子 T_{vA} 等の外部端子を有している。

[0025] PMOS トランジスタとして構成される出力トランジスタ M1 A のソースは、入力電圧 V_{in} の印加端に接続される。出力トランジスタ M1 A のドレインは、帰還抵抗 R1 A の第 1 端に接続される。出力トランジスタ M1 A のドレインは、出力電圧 V_{OA} を出力するための出力端子 T_{OA} に接続される。帰還抵抗 R1 A の第 2 端は、帰還抵抗 R2 A の第 1 端に接続される。帰還抵抗 R2 A の第 2 端は、帰還抵抗 R3 A の第 1 端に接続される。帰還抵抗 R3 A の第 2 端は、帰還抵抗 R4 A の第 1 端に接続される。帰還抵抗 R4 A の第 2 端は、接地端に接続される。

[0026] エラーアンプ AP1 A の非反転入力端（+）は、抵抗 R2 A と R3 A とが接続される接続ノード（＝帰還電圧 V_{fbA} の印加端）に接続されている。エラーアンプ AP1 A の反転入力端（-）は、基準電圧 V_{refA} の印加端に接続されている。エラーアンプ AP1 A の出力端は、出力トランジスタ M1 A のゲートに接続されている。

[0027] NMOS トランジスタにより構成されるバイパススイッチ BPA のドレインは、帰還抵抗 R4 A の第 1 端に接続される。バイパススイッチ BPA のソ

ースは、帰還抵抗 R_{4A} の第2端に接続される。バイパススイッチ BPA のゲートは、制御信号 ScA の印加端に接続される。これにより、制御信号 ScA に応じてバイパススイッチ BPA のオン状態／オフ状態が切り替えられる。バイパススイッチ BPA がオン状態の場合、帰還抵抗 R_{4A} の両端間がショートされ、帰還抵抗 R_{4A} はバイパスされる。一方、バイパススイッチ BPA がオフ状態の場合、帰還抵抗 R_{4A} は有効となる。

[0028] 帰還抵抗 R_{4A} がバイパスされている場合は、上記したエラーアンプ $AP1A$ は、出力電圧 V_{oA} に応じた帰還電圧 V_{fbA} ($=V_{oA} \times \{R_{3A} / (R_{1A} + R_{2A} + R_{3A})\}$) が所定の基準電圧 V_{refA} と一致するように、出力トランジスタ $M1A$ のゲート制御を行う。すなわち、出力トランジスタ $M1A$ は、出力電圧 V_{oA} がその目標値 ($=V_{refA} \times \{(R_{1A} + R_{2A} + R_{3A}) / (R_{3A})\}$) と一致するように、オン抵抗値が連続的に制御される。

[0029] 帰還抵抗 R_{4A} がバイパスされていない場合は、上記したエラーアンプ $AP1A$ は、出力電圧 V_{oA} に応じた帰還電圧 V_{fbA} ($=V_{oA} \times \{(R_{3A} + R_{4A}) / (R_{1A} + R_{2A} + R_{3A} + R_{4A})\}$) が所定の基準電圧 V_{refA} と一致するように、出力トランジスタ $M1A$ のゲート制御を行う。すなわち、出力トランジスタ $M1A$ は、出力電圧 V_{oA} がその目標値 ($=V_{refA} \times \{(R_{1A} + R_{2A} + R_{3A} + R_{4A}) / (R_{3A} + R_{4A})\}$) と一致するように、オン抵抗値が連続的に制御される。

[0030] PMOSトランジスタとして構成されるミラートランジスタ $M2A$ のソースは、入力電圧 V_{in} の印加端に接続される。ミラートランジスタ $M2A$ のドレインは、センス抵抗 R_{sA} の第1端に接続される。ミラートランジスタ $M2A$ のゲートは、エラーアンプ $AP1A$ の出力端に接続される。センス抵抗 R_{sA} の第2端は、接地端に接続される。センス抵抗 R_{sA} の第1端は、NMOSトランジスタとして構成されるNMOSスイッチ $NS1A$ のドレインに接続される。NMOSスイッチ $NS1A$ のソースは、電圧情報送受信端子 TvA に接続される。NMOSスイッチ $NS1A$ のゲートは、制御信号 S

c Aの印加端に接続される。制御信号S c AによりNMOSスイッチNS 1 Aのオン状態／オフ状態が切り替えられる。

[0031] 出力トランジスタM 1 Aに流れる電流のミラー電流I m 2 AがミラートランジスタM 2 Aを流れる。ミラー電流I m 2 Aは、例えば出力トランジスタM 1 Aを流れる電流の数百分の1、あるいは数千分の1である。NMOSスイッチNS 1 Aがオン状態の場合、ミラー電流I m 2 Aをセンス抵抗R s Aにより電流／電圧変換して得られる電圧情報V m o nがNMOSスイッチNS 1 Aを介して電圧送受信端子T v Aから外部へ出力可能となる。

[0032] コンパレータC P Aは、PMOSTランジスタP 1, P 2と、NMOSTランジスタN 1, N 2と、を有する。PMOSTランジスタP 1, P 2のソースは、PMOSスイッチPMAのドレインに接続される。PMOSTランジスタP 1のゲートは、電圧情報送受信端子T v Aに接続される。PMOSTランジスタP 2のゲートは、センス抵抗R s Aの第1端に接続される。PMOSTランジスタP 1のドレインは、NMOSTランジスタN 1のドレインに接続される。NMOSTランジスタN 1のドレインとゲートは短絡される。NMOSTランジスタN 1, N 2のゲート同士は接続される。NMOSTランジスタN 1, N 2のソースは、接地端に接続される。NMOSTランジスタN 2のドレインとPMOSTランジスタP 2のドレインは、ノードN dで接続される。なお、NMOSTランジスタN 2のゲートとドレイン間には、位相補償用のコンデンサC 1が接続される。

[0033] NMOSTランジスタNMAのゲートは、ノードN dに接続される。NMOSTランジスタNMAのソースは、抵抗R Aを介して接地端に接続される。NMOSTランジスタNMAのドレインは、帰還抵抗R 1 A, R 2 Aが接続されるノードN D Aに接続される。なお、NMOSTランジスタNMAのゲートとドレイン間には、位相補償用のコンデンサC 2が接続される。

[0034] NMOSスイッチNS 2 Aのドレインは、NMOSTランジスタNMAのゲートに接続される。NMOSスイッチNS 2 Aのソースは、接地端に接続される。PMOSスイッチPMAのゲートおよびNMOSスイッチNS 2 A

のゲートは、制御信号 S_{cA} の印加端に接続される。制御信号 S_{cA} により PMOS スイッチ PMA および NMOS スイッチ $NS2A$ のオン状態／オフ状態が切り替えられる。

[0035] 制御信号 S_{cA} がローレベルの場合、NMOS スイッチ $NS1A$ はオフ状態、PMOS スイッチ PMA はオン状態、NMOS スイッチ $NS2A$ はオフ状態となる。この場合、外部から電圧情報送受信端子 T_{vA} に入力された電圧情報 V_{mon} が PMOS トランジスタ $P1$ のゲートに印加され、ミラー電流 I_{m2A} をセンス抵抗 R_{sA} により電流電圧変換して得られる電圧情報 V_s が PMOS トランジスタ $P2$ のゲートに印加される。コンパレータ CPA により電圧情報 V_s と V_{mon} の比較が行われ、比較結果に基づき NMOS トランジスタ NMA のゲートが駆動される。NMOS トランジスタ NMA のドレインはノード NDA に接続されているため、電圧情報 V_s と V_{mon} が一致するように出力電圧 V_{oA} が制御される。

[0036] 図3は、リニア電源装置1Aに備えられるOR回路 O_r を示す図である。OR回路 O_r には、保護信号 $P1 \sim P_n$ 、イネーブル信号 E_n 、およびマスター／スレーブ選択信号 MS が入力される。OR回路 O_r から制御信号 S_{cA} が出力される。保護信号 $P1 \sim P_n$ 、イネーブル信号 E_n 、およびマスター／スレーブ選択信号 MS のいずれかがハイレベルの場合に、制御信号 S_{cA} がハイレベルとなる。なお、OR回路に限らず、NAND回路等、他の論理回路により構成してもよい。

[0037] 図2に示す電源システム5では、リニア電源装置1Aの出力端子 T_{oA} とリニア電源装置1Bの出力端子 T_{oB} が負荷 R_L に共通接続される。すなわち、2つのリニア電源装置が負荷 R_L に対して並列接続される。また、リニア電源装置1Aの電圧情報送受信端子 T_{vA} とリニア電源装置1Bの電圧情報送受信端子 T_{vB} とが接続される。

[0038] リニア電源装置1A、1Bのうち一方がマスターに設定され、他方がスレーブに設定される。ここでは、リニア電源装置1Aがマスターに、リニア電源装置1Bがスレーブに設定されとする。

[0039] マスター／スレーブ選択信号MSをハイレベルとすることでリニア電源装置1Aがマスターに設定される（図2）。この場合、制御信号ScAがハイレベルとなり、NMOSスイッチNS1Aがオン状態、PMOSスイッチPMAがオフ状態、NMOSスイッチNS2Aがオン状態となる。これにより、電圧情報Vmonを電圧情報送受信端子TvAから出力可能となる。また、コンパレータCPAに電流が供給されずコンパレータCPAが無効となり、NMOSトランジスタNMAのゲートはローレベルとなる。また、バイパススイッチBPAがオン状態となり、帰還抵抗R4Aがバイパスされる。

[0040] マスター／スレーブ選択信号MSをローレベルとすることでリニア電源装置1Bがスレーブに設定される（図2）。この場合、制御信号ScBがローレベルとなり、NMOSスイッチNS1Bがオフ状態、PMOSスイッチPMBがオン状態、NMOSスイッチNS2Bがオフ状態となる。これにより、コンパレータCPBに電流が供給されてコンパレータCPBが有効となり、電圧情報VsとVmonの比較が可能となる。NMOSトランジスタNMBは有効となる。また、バイパススイッチBPBがオフ状態となり、帰還抵抗R4Bが有効となる。

[0041] 帰還抵抗R4Bはバイパスされないため、バイパスされる場合よりも出力電圧VoBは低い目標値に制御される。帰還抵抗R4A、R4Bは、出力電圧のばらつきによる最大値と最小値の間の電圧差以上となるような抵抗値に設定すればよい。これにより、出力電圧VoA、VoBにばらつきがあっても、出力電圧VoBをVoAよりも低く設定することができる。

[0042] これにより、負荷電流IoutをOAから流し始めても、リニア電源装置1Bにおける出力端子ToBから出力電流IoutBは出力されず、リニア電源装置1Aにおける出力端子ToAから出力される出力電流IoutAのみにより負荷電流Ioutが供給される。

[0043] このとき、マスターであるリニア電源装置1Aの電圧情報送受信端子TvAから出力されてスレーブであるリニア電源装置1Bの電圧情報送受信端子TvBに入力された電圧情報Vmonと、電圧情報Vsとがリニア電源装置

1 BにおけるコンパレータCPBにより比較される。リニア電源装置1 Bにおいてミラー電流 I_{m2B} が流れないため、 $V_s = 0$ となり、NMOSトランジスタNMBの駆動により出力電圧 V_{OB} は上昇するように制御される。

[0044] 負荷電流 I_{out} が増加し、出力電流 I_{outA} ひいてはミラー電流 I_{m2A} が増加するにつれ、出力電圧 V_{OB} が上昇する。そして、出力電圧 V_{OB} が V_{OA} に到達すると、リニア電源装置1 Bにおける出力端子 T_{OB} から出力電流 I_{outB} が出力され始める。すなわち、リニア電源装置1 A, 1 Bの並列動作が開始される。

[0045] 出力電流 I_{outB} が流れ始めると、ミラー電流 I_{m2B} も流れ始め、電圧情報 V_s と V_{mon} の比較によりNMOSトランジスタNMBの駆動により、電圧情報 V_s と V_{mon} が一致するように、すなわち出力電流 I_{outB} と I_{outA} が一致するように制御される。

[0046] これにより、リニア電源装置1 A, 1 Bで出力電圧のばらつきがあった場合でも、並列動作を可能とし、出力電流を均等に近づけることができる。また、負荷電流の変化に対する出力電圧の変化を抑制できる。さらに、先述の比較例のような電圧降下のための抵抗が不要であり、損失・発熱を抑制することができる。また、このような効果を同一品番のリニア電源装置により実現することができる。

[0047] なお、図4に示す電源システム5のように、負荷 R_L に対して3つのリニア電源装置を並列接続してもよい。図4に示すリニア電源装置1 A, 1 B, 1 Cの出力端子 T_{OA} , T_{OB} , T_{OC} は、負荷 R_L に共通接続される。また、リニア電源装置1 A, 1 B, 1 Cの電圧情報送受信端子 T_{vA} , T_{vB} , T_{vC} が接続される。

[0048] 図4に示すような構成において、例えばリニア電源装置1 Aがマスターに、リニア電源装置1 B, 1 Cがスレーブに設定される。リニア電源装置1 A, 1 B, 1 Cの出力電流 I_{outA} , I_{outB} , I_{outC} が一致するように制御される（すなわち出力電流 I_{outA} , I_{outB} , I_{outC} はそれぞれ負荷電流 I_{out} の $1/3$ に制御される）。

[0049] 図4に示す構成における起動時の概略的な電流波形を図5に示す。図5に示すように、まずマスターであるリニア電源装置1Aの出力電流 $I_{out A}$ が立ち上がってから、出力電流 $I_{out B}$ 、 $I_{out C}$ が立ち上がる。そして、出力電流 $I_{out A}$ 、 $I_{out B}$ 、 $I_{out C}$ が一致するように制御される。

[0050] なお、スレーブに設定されるリニア電源装置を3つ以上設けてもよい。すなわち、マスターに設定されるリニア電源装置に対してスレーブに設定されるリニア電源装置を2つ以上設けることが可能である。マスターのリニア電源装置から出力される電圧情報 V_{mon} は、電流ではなく電圧の信号であるため、2つ以上のスレーブのリニア電源装置によって信号が分割されることなく、各リニア電源装置の出力電流を均等にすることができる。

[0051] <3. 第2実施形態>

図6は、第2実施形態に係る電源システム5の構成を示す図である。ここでは、本実施形態に係る構成の第1実施形態(図2)との相違点について主に述べる。また、リニア電源装置1A、1Bのうちリニア電源装置1Aの構成について代表的に説明する。

[0052] 図6に示すリニア電源装置1Aでは、NMOSスイッチ $NS1A$ は設けず、センス抵抗 RsA の第1端が外部端子である電圧ソース端子 $TsrA$ に接続される。電圧ソース端子 $TsrA$ は、ミラー電流 I_{m2A} をセンス抵抗 RsA により電流電圧変換して得られる電圧情報 V_{monA} を外部へ出力するための端子である。

[0053] また、PMOSトランジスタ $P1$ のゲートは、電圧シンク端子 $TskA$ に接続される。電圧シンク端子 $TskA$ は、電圧情報 V_{mon} を外部から入力するための端子である。電圧ソース端子 $TsrA$ と電圧シンク端子 $TskA$ は、別個の端子である。

[0054] また、図6に示すリニア電源装置1Aでは、帰還抵抗 $R4A$ およびバイパススイッチ $BP A$ は設けない。

[0055] リニア電源装置1Aの電圧ソース端子 $TsrA$ は、リニア電源装置1Bの

電圧シンク端子 T_{skB} に接続される。これにより、電圧ソース端子 T_{srA} から出力された電圧情報 V_{monA} は電圧シンク端子 T_{skB} に入力される。リニア電源装置1Bにおいて、ミラー電流 I_{m2B} をセンス抵抗 R_{sB} により電流電圧変換して得られる電圧情報 V_{sB} と、 V_{monA} とがコンパレータ CPB により比較される。

[0056] リニア電源装置1Bの電圧ソース端子 T_{srB} は、リニア電源装置1Aの電圧シンク端子 T_{skA} に接続される。これにより、電圧ソース端子 T_{srB} から出力された電圧情報 V_{monB} は電圧シンク端子 T_{skA} に入力される。リニア電源装置1Aにおいて、ミラー電流 I_{m2A} をセンス抵抗 R_{sA} により電流電圧変換して得られる電圧情報 V_{sA} と、 V_{monB} とがコンパレータ CPA により比較される。

[0057] ここで、リニア電源装置のばらつきによりリニア電源装置1Aの出力電圧 V_{oA} がリニア電源装置1Bの出力電圧 V_{oB} よりも高いとする。これにより、負荷電流 I_{out} を0Aから流し始めても、初期にリニア電源装置1Bにおける出力端子 T_{oB} から出力電流 I_{outB} は出力されず、リニア電源装置1Aにおける出力端子 T_{oA} から出力される出力電流 I_{outA} のみにより負荷電流 I_{out} が供給される。

[0058] このとき、ミラー電流 I_{m2A} が流れ、ミラー電流 I_{m2A} に基づく電圧情報 V_{monA} が電圧ソース端子 T_{srA} から出力されて電圧シンク端子 T_{skB} に入力される。リニア電源装置1Bにおいて、ミラー電流 I_{m2B} は流れず、電圧情報 V_{sB} と V_{monA} とがコンパレータ CPB により比較されてNMOSトランジスタ NMB が駆動され、リニア電源装置1Bの出力電圧 V_{oB} が上昇する。

[0059] 負荷電流 I_{out} が増加し、出力電流 I_{outA} ひいてはミラー電流 I_{m2A} が増加するにつれ、出力電圧 V_{oB} が上昇する。そして、出力電圧 V_{oB} が V_{oA} に到達すると、リニア電源装置1Bにおける出力端子 T_{oB} から出力電流 I_{outB} が出力され始める。すなわち、リニア電源装置1A、1Bの並列動作が開始される。

[0060] 出力電流 $I_{out\ B}$ が流れ始めると、ミラー電流 $I_{m2\ B}$ も流れ始め、電圧情報 $V_{s\ B}$ と $V_{mon\ A}$ の比較により NMOS トランジスタ NMB が駆動され、電圧情報 $V_{s\ B}$ と $V_{mon\ A}$ が一致するように制御される。一方、リニア電源装置 1 A では、電圧情報 $V_{s\ A}$ と $V_{mon\ B}$ の比較により NMOS トランジスタ NMA が駆動され、電圧情報 $V_{s\ A}$ と $V_{mon\ B}$ が一致するように制御される。これにより、出力電流 $I_{out\ A}$ と $I_{out\ B}$ が一致するように制御される。

[0061] 図 7 は、第 2 実施形態に係るリニア電源装置を 3 つ、負荷 R_L に対して並列接続して電源システム 5 を構成した場合を示す図である。ここでは、リニア電源装置 1 A の電圧ソース端子 $T_{sr\ A}$ をリニア電源装置 1 B の電圧シンク端子 $T_{sk\ B}$ に接続し、リニア電源装置 1 B の電圧ソース端子 $T_{sr\ B}$ をリニア電源装置 1 C の電圧シンク端子 $T_{sk\ C}$ に接続し、リニア電源装置 1 C の電圧ソース端子 $T_{sr\ C}$ をリニア電源装置 1 A の電圧シンク端子 $T_{sk\ A}$ に接続している。

[0062] このような構成により、リニア電源装置 1 A, 1 B, 1 C の出力電流 $I_{out\ A}$, $I_{out\ B}$, $I_{out\ C}$ を均等に制御することができる。なお、4 つ以上のリニア電源装置 1 を負荷 R_L に対して並列接続しても、各出力電流を均等に制御することができる。

[0063] < 4. その他 >

なお、本開示に係る種々の技術的特徴は、上記実施形態の他、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。また、上記の各実施形態は、矛盾のない限り、適宜に組み合わせて実施してもよい。

[0064] < 5. 付記 >

以上の通り、例えば、本開示に係るリニア電源装置 (1 A) は、

入力電圧 (V_{in}) の印加端に接続可能に構成される第 1 主電極と、第 2 主電極と、を有する出力トランジスタ ($M1A$) と、

前記第 2 主電極に接続される出力端子 (T_{OA}) と、

前記出力端子に発生する出力電圧 (V_{OA}) に基づく帰還電圧 (V_{fbA}) と、基準電圧 (V_{refA}) とが入力され、前記出力トランジスタの制御端を駆動可能に構成されるエラーアンプ ($AP1A$) と、

前記出力トランジスタに流れる電流のミラー電流 (I_{m2A}) を生成可能に構成されるミラートランジスタ ($M2A$) と、

前記ミラー電流を第 1 電圧情報 (V_{mon} , V_s) に変換する電流／電圧変換部 (RS_A) と、

前記第 1 電圧情報 (V_{mon}) を外部に対して出力可能に構成される電圧情報出力端子 (T_{vA}) と、

第 2 電圧情報 (V_{mon}) を外部から入力可能に構成される電圧情報入力端子 (T_{vA}) と、

前記第 2 電圧情報 (V_{mon}) と前記第 1 電圧情報 (V_s) とを比較するように構成される比較部 (CPA) と、

前記比較部の比較結果に基づき駆動され、前記第 2 電圧情報と前記第 1 電圧情報の差が小さくなるように制御する制御トランジスタ (NMA) と、を備える構成としている (第 1 の構成)。

[0065] また、上記第 1 の構成において、前記制御トランジスタ (NMA) の第 1 主電極は、前記出力トランジスタ ($M1A$) の第 2 主電極に接続される帰還抵抗部 ($R1A$, $R2A$, $R3A$, $R4A$) に接続される構成としてもよい (第 2 の構成)。

[0066] また、上記第 1 または第 2 の構成において、前記電圧情報出力端子と前記電圧情報入力端子は同一の端子 (T_{vA}) であり、

前記第 1 電圧情報を前記電圧情報出力端子から出力するか否かを切り替える第 1 スイッチ ($NS1A$) をさらに備え、

前記第 1 電圧情報 (V_{mon}) が外部へ出力される場合、前記第 2 電圧情

報 (V_{mon}) と前記第 1 電圧情報 (V_s) の差が小さくなるような制御は機能せず、

前記第 1 電圧情報が外部へ出力されない場合、外部から入力された前記第 2 電圧情報と前記第 1 電圧情報の差が小さくなるような制御が機能する構成としてもよい (第 3 の構成)。

[0067] また、上記第 3 の構成において、前記出力トランジスタ ($M1A$) の第 2 主電極に接続される帰還抵抗部の一部の帰還抵抗 ($R4A$) をバイパスするか否かを切り替える第 2 スイッチ (BPA) をさらに備え、前記第 2 スイッチは、前記第 1 スイッチと連動する構成としてもよい (第 4 の構成)。

[0068] また、上記第 3 または第 4 の構成において、前記比較部 (CPA) に電流を供給するか否かを切り替える第 3 スイッチ (PMA) をさらに備え、前記第 3 スイッチは、前記第 1 スイッチと連動する構成としてもよい (第 5 の構成)。

[0069] また、上記第 3 から第 5 のいずれかの構成において、前記制御トランジスタ (NMA) の制御端と接地端との間に接続される第 4 スイッチ ($NS2A$) をさらに備え、

前記第 4 スイッチは、前記第 1 スイッチと連動する構成としてもよい (第 6 の構成)。

[0070] また、上記第 1 または第 2 の構成において、前記電圧情報出力端子 ($TsrA$) と前記電圧情報入力端子 ($TskA$) は別個の端子である構成としてもよい (第 7 の構成)。

[0071] また、本開示の一態様に係る電源システム (5) は、前記第 1 スイッチ ($NS1A$) がオン状態に設定される上記第 3 の構成のリニア電源装置であるマスターリニア電源装置 (1A) と、

前記第 1 スイッチがオフ状態に設定される上記第 3 の構成のリニア電源装置である 1 つ以上のスレーブリニア電源装置 (1B) と、を備え、

前記マスターリニア電源装置の前記出力端子 (TOA) と前記スレーブリニア電源装置の前記出力端子 (TOB) は、負荷に共通接続可能であり、

前記マスターリニア電源装置の前記電圧情報出力端子（ $T_v A$ ）と前記スレーブリニア電源装置の前記電圧情報入力端子（ $T_v B$ ）が接続可能である構成としている（第8の構成）。

[0072] また、上記第8の構成において、前記スレーブリニア電源装置は、2つ以上である構成としてもよい（第9の構成）。

[0073] また、本開示の一態様に係る電源システム（5）は、複数の上記第7の構成に記載のリニア電源装置を備え、

前記複数のリニア電源装置（1 A, 1 B）におけるそれぞれの前記出力端子（ $T_o A$, $T_o B$ ）は、負荷に共通接続可能であり、

前記複数のリニア電源装置において（1 A, 1 B）、異なる前記リニア電源装置の間で前記電圧情報出力端子（ $T_{sr} A$, $T_{sr} B$ ）と前記電圧情報入力端子（ $T_{sk} B$, $T_{sk} A$ ）とが順次接続される構成としている（第10の構成）。

産業上の利用可能性

[0074] 本開示は、各種機器に搭載される電源システムに利用することが可能である。

符号の説明

[0075] 1 A, 1 B, 1 C リニア電源装置
 5 電源システム
 1 O A, 1 O B リニア電源装置
 5 O 電源システム
 A P 1 O A エラーアンプ
 A P 1 A エラーアンプ
 B P A バイパススイッチ
 C 1 コンデンサ
 C 2 コンデンサ
 C P A コンパレータ
 M 1 O A 出力トランジスタ

M 1 0 B	出力トランジスタ
M 1 A	出力トランジスタ
M 2 A	ミラートランジスタ
N 1 , N 2	NMOSトランジスタ
NMA	NMOSトランジスタ
NS 1 A, NS 2 A	NMOSスイッチ
O r	OR回路
P 1 , P 2	PMOSトランジスタ
PMA	PMOSスイッチ
R 1 1 A, 1 2 A	抵抗
R 1 A, R 2 A, R 3 A, R 4 A	帰還抵抗
RA	抵抗
RL	負荷
R a, R b	抵抗
R s A	センス抵抗
T o A	出力端子
T s r A	電圧ソース端子
T s k A	電圧シンク端子
T v A	電圧情報送受信端子

請求の範囲

- [請求項1] 入力電圧の印加端に接続可能に構成される第1主電極と、第2主電極と、を有する出力トランジスタと、
 前記第2主電極に接続される出力端子と、
 前記出力端子に発生する出力電圧に基づく帰還電圧と、基準電圧とが入力され、前記出力トランジスタの制御端を駆動可能に構成されるエラーアンプと、
 前記出力トランジスタに流れる電流のミラー電流を生成可能に構成されるミラートランジスタと、
 前記ミラー電流を第1電圧情報に変換する電流／電圧変換部と、
 前記第1電圧情報を外部に対して出力可能に構成される電圧情報出力端子と、
 第2電圧情報を外部から入力可能に構成される電圧情報入力端子と、
 、
 前記第2電圧情報と前記第1電圧情報とを比較するように構成される比較部と、
 前記比較部の比較結果に基づき駆動され、前記第2電圧情報と前記第1電圧情報の差が小さくなるように制御する制御トランジスタと、
 を備える、リニア電源装置。
- [請求項2] 前記制御トランジスタの第1主電極は、前記出力トランジスタの第2主電極に接続される帰還抵抗部に接続される、請求項1に記載のリニア電源装置。
- [請求項3] 前記電圧情報出力端子と前記電圧情報入力端子は同一の端子であり、
 、
 前記第1電圧情報を前記電圧情報出力端子から出力するか否かを切り替える第1スイッチをさらに備え、
 前記第1電圧情報が外部へ出力される場合、前記第2電圧情報と前記第1電圧情報の差が小さくなるような制御は機能せず、

前記第 1 電圧情報が外部へ出力されない場合、外部から入力された前記第 2 電圧情報と前記第 1 電圧情報の差が小さくなるような制御が機能する、請求項 1 または請求項 2 に記載のリニア電源装置。

[請求項4] 前記出力トランジスタの第 2 主電極に接続される帰還抵抗部の一部の帰還抵抗をバイパスするか否かを切り替える第 2 スイッチをさらに備え、

前記第 2 スイッチは、前記第 1 スイッチと連動する、請求項 3 に記載のリニア電源装置。

[請求項5] 前記比較部に電流を供給するか否かを切り替える第 3 スイッチをさらに備え、

前記第 3 スイッチは、前記第 1 スイッチと連動する、請求項 3 または請求項 4 に記載のリニア電源装置。

[請求項6] 前記制御トランジスタの制御端と接地端との間に接続される第 4 スイッチをさらに備え、

前記第 4 スイッチは、前記第 1 スイッチと連動する、請求項 3 から請求項 5 のいずれか 1 項に記載のリニア電源装置。

[請求項7] 前記電圧情報出力端子と前記電圧情報入力端子は別個の端子である、請求項 1 または請求項 2 に記載のリニア電源装置。

[請求項8] 前記第 1 スイッチがオン状態に設定される請求項 3 に記載のリニア電源装置であるマスターリニア電源装置と、

前記第 1 スイッチがオフ状態に設定される請求項 3 に記載のリニア電源装置である 1 つ以上のスレーブリニア電源装置と、

を備え、

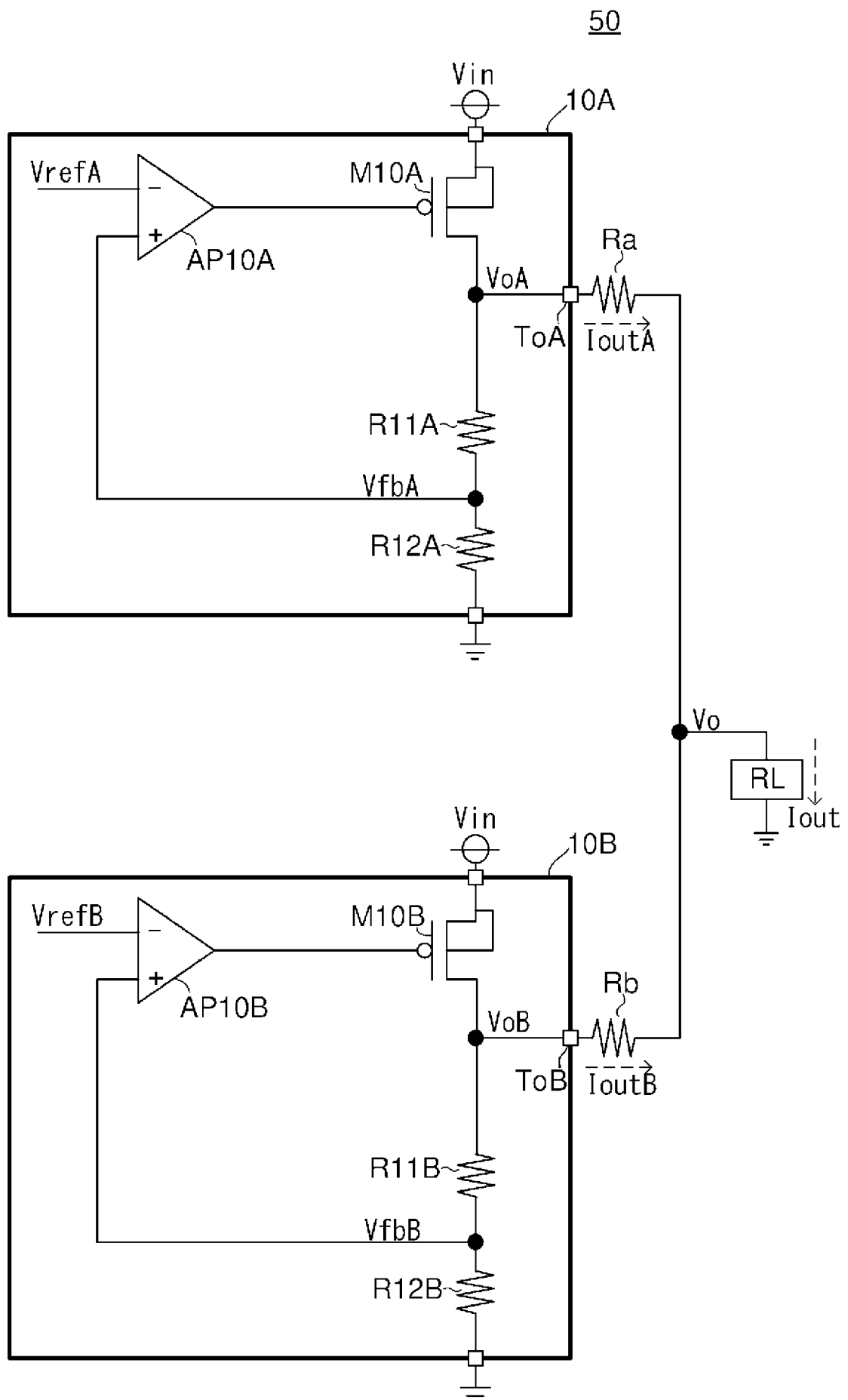
前記マスターリニア電源装置の前記出力端子と前記スレーブリニア電源装置の前記出力端子は、負荷に共通接続可能であり、

前記マスターリニア電源装置の前記電圧情報出力端子と前記スレーブリニア電源装置の前記電圧情報入力端子が接続可能である、電源システム。

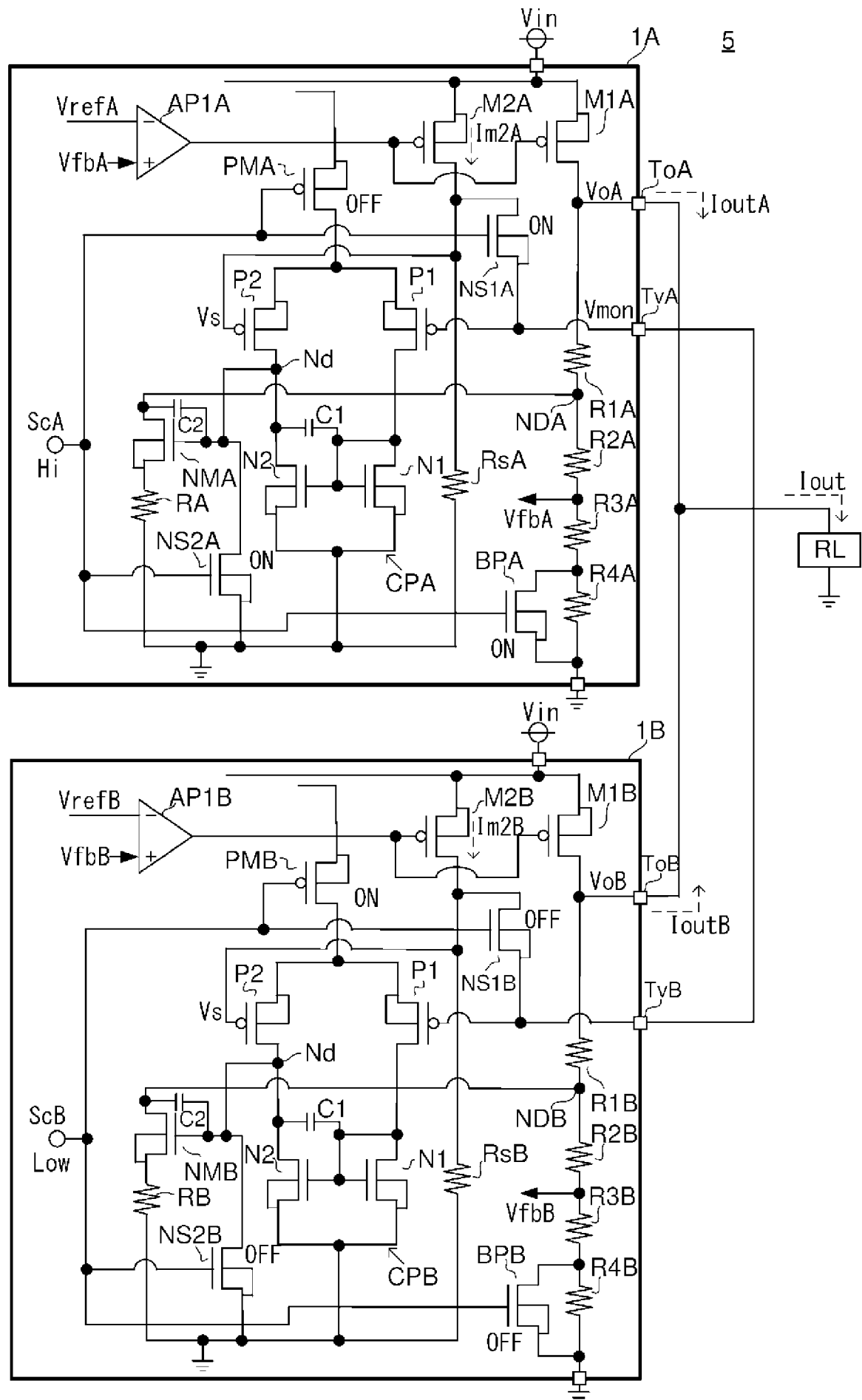
[請求項9] 前記スレーブリニア電源装置は、2つ以上である、請求項8に記載の電源システム。

[請求項10] 複数の請求項7に記載のリニア電源装置を備え、
前記複数のリニア電源装置におけるそれぞれの前記出力端子は、負荷に共通接続可能であり、
前記複数のリニア電源装置において、異なる前記リニア電源装置の間で前記電圧情報出力端子と前記電圧情報入力端子とが順次接続される、電源システム。

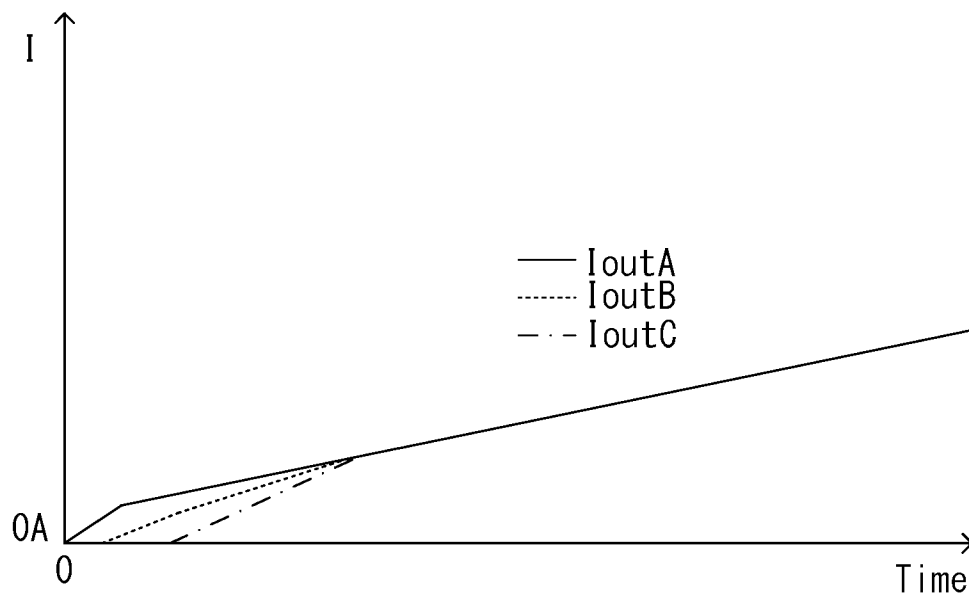
[図1]



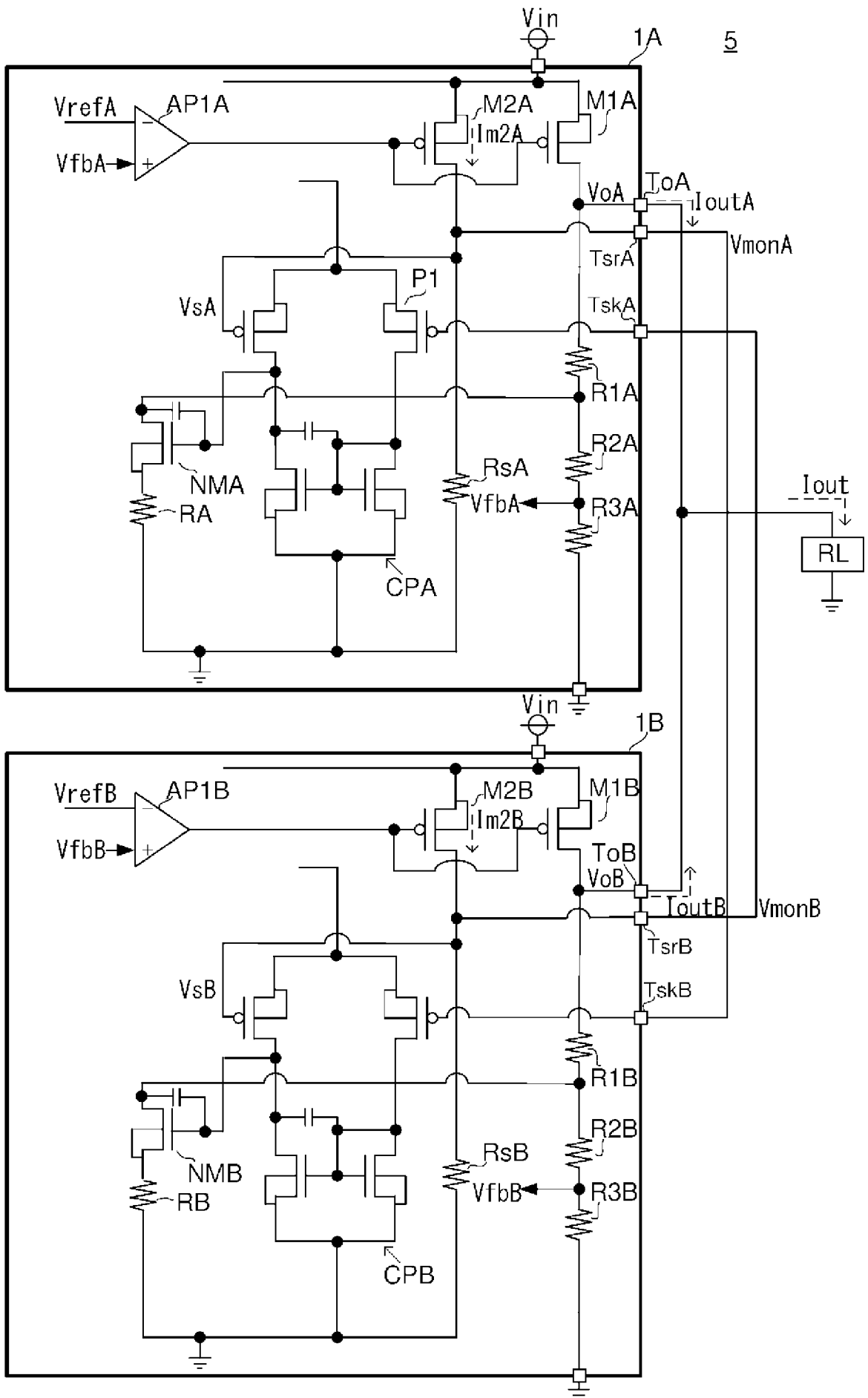
[図2]



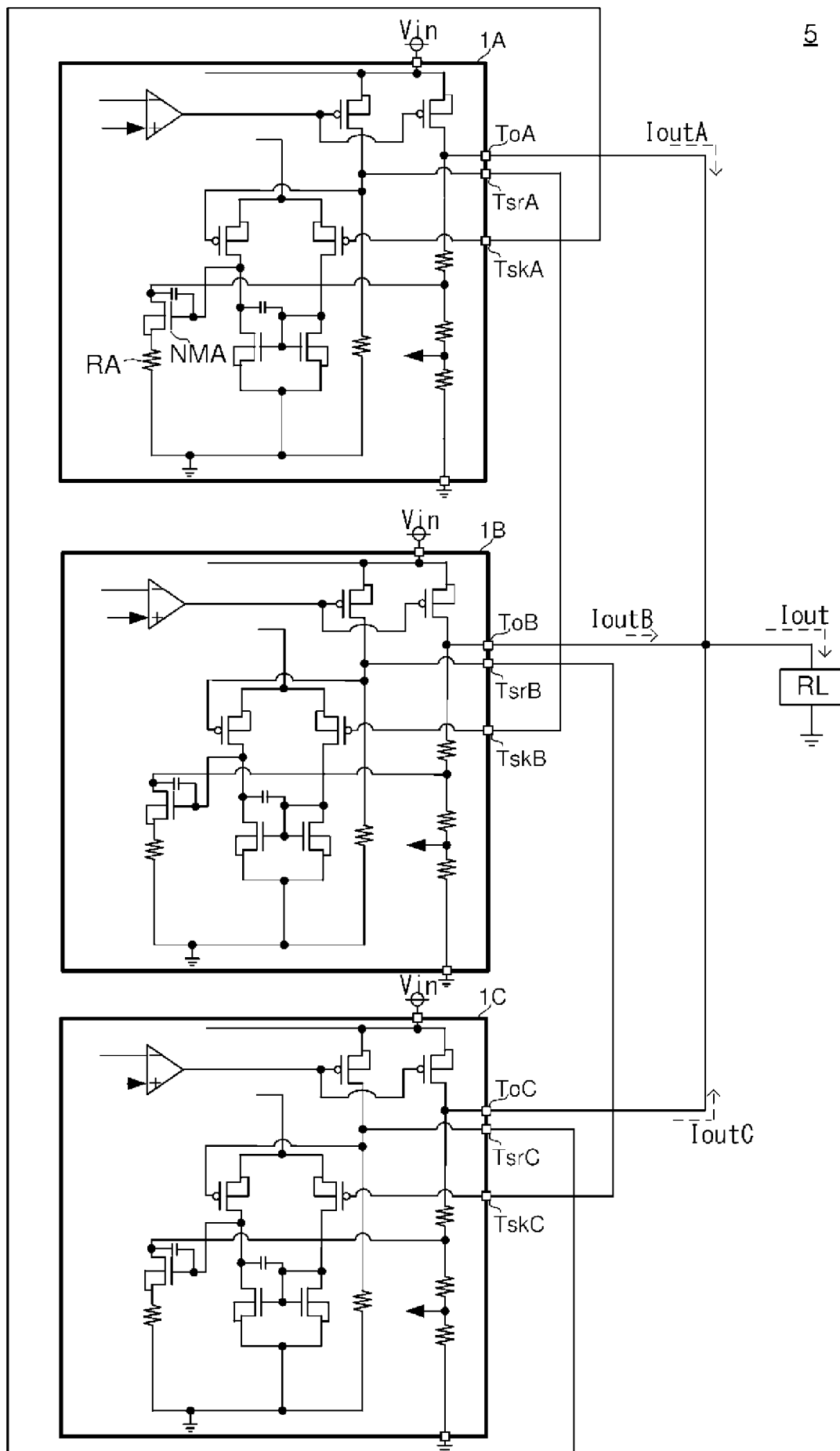
[図5]



〔図6〕



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/025292

A. CLASSIFICATION OF SUBJECT MATTER**G05F 1/56**(2006.01)i

FI: G05F1/56 310V

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-061655 A (TOYOTA INDUSTRIES CORP.) 15 April 2021 (2021-04-15) entire text, all drawings	1-10
A	JP 10-020947 A (SONY CORP.) 23 January 1998 (1998-01-23) entire text, all drawings	1-10
A	JP 2-171811 A (SIEMENS NIXDORF INFORMATION SYSTEMS AG) 03 July 1990 (1990-07-03) entire text, all drawings	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 August 2023

Date of mailing of the international search report

15 August 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)**3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915****Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/025292

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2021-061655	A	15 April 2021	(Family: none)	
JP	10-020947	A	23 January 1998	(Family: none)	
JP	2-171811	A	03 July 1990	US 5122727 A	
				entire text, all drawings	
				EP 366940 A2	
				DE 3837071 C1	

A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 1/56(2006.01)i FI: G05F1/56 310V														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G05F1/56 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2021-061655 A（株式会社豊田自動織機）15.04.2021（2021 - 04 - 15） 全文，全図	1-10												
A	JP 10-020947 A（ソニー株式会社）23.01.1998（1998 - 01 - 23） 全文，全図	1-10												
A	JP 2-171811 A（シーメンス・ニックスドルフ・インフオメーションシステム・アク チエンゲゼルシャフト）03.07.1990（1990 - 07 - 03） 全文，全図	1-10												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 02.08.2023	国際調査報告の発送日 15.08.2023													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 柳下 勝幸 5G 2676 電話番号 03-3581-1101 内線 3526													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/025292

引用文献			公表日	パテントファミリー文献	公表日
JP	2021-061655	A	15.04.2021	(ファミリーなし)	
JP	10-020947	A	23.01.1998	(ファミリーなし)	
JP	2-171811	A	03.07.1990	US	5122727 A
				全文, 全図	
				EP	366940 A2
				DE	3837071 C1