

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 9 月 18 日 (18.09.2014)



(10) 国际公布号
WO 2014/139277 A1

- (51) 国际专利分类号:
H01L 27/24 (2006.01) H01L 45/00 (2006.01)
H01L 29/861 (2006.01) G11C 13/00 (2006.01)
- (21) 国际申请号: PCT/CN2013/084063
- (22) 国际申请日: 2013 年 9 月 24 日 (24.09.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310084292.7 2013 年 3 月 15 日 (15.03.2013) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 刘琦 (LIU, Qi); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 刘明 (LIU, Ming); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 龙世兵 (LONG, Shibing); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 吕杭炳 (LV, Hangbing); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 王艳 (WANG, Yan); 中国

北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: GATE DEVICE UNIT FOR CROSS ARRAY INTEGRATION MODE OF BIPOLAR RESISTIVE RANDOM ACCESS MEMORY

(54) 发明名称: 用于双极型阻变存储器交叉阵列集成方式的选通器件单元

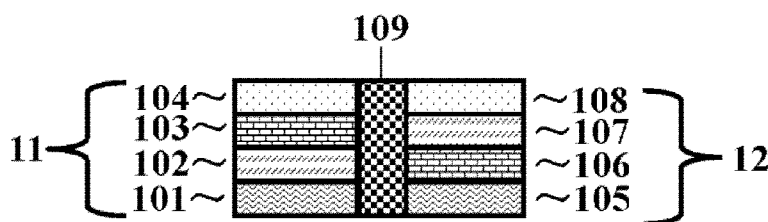


图 3 / FIG. 3

(57) Abstract: A gate device unit for a cross array integration mode of a bipolar resistive random access memory. The gate device unit comprises an n-p diode (11) and a p-n diode (12) and the n-p diode (11) and the p-n diode (12) are opposite in polarity and are connected in parallel, making the gate device unit have a bidirectional rectification feature. The gate device unit for a cross array integration mode of a bipolar resistive random access memory has the bidirectional rectification feature, that is, a higher current density can be provided in any voltage polarity in an on state and a greater rectification ratio (R_{v2}/R_v) is also provided in a read-voltage; therefore, a read-crosstalk phenomenon in a cross array structure of the bipolar resistive random access memory can be restrained and misreading can be avoided, thereby solving the problem that a common rectification diode is only applicable to a cross array of a unipolar resistive random access memory.

(57) 摘要: 一种用于双极型阻变存储器交叉阵列集成方式的选通器件单元, 其特征在于, 该选通器件单元包括一个 n-p 二极管 (11) 和一个 p-n 二极管 (12), 该 n-p 二极管 (11) 和该 p-n 二极管 (12) 的极性相反且并联连接, 使该选通器件单元具有双向整流特性。这种用于双极型阻变存储器交叉阵列集成方式的选通器件单元具有双向整流特性, 即在导通态时在任意电压极性下都能够提供较高的电流密度, 同时在读电压下也具有较大的整流比 (R_{v2}/R_v), 因此能够抑制双极型阻变存储器交叉阵列结构中的读串扰现象, 避免误读, 解决了普通整流二极管只适用于单极型阻变存储器交叉阵列的难题。



WO 2014/139277 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

用于双极型阻变存储器交叉阵列集成方式的选通器件单元

技术领域

本发明涉及微电子技术领域，尤其是一种适用于双极型阻变存储器交叉阵列集成方式的选通器件单元。

背景技术

电阻转变型随机存取存储器（resistive random access memory, RRAM）作为一种新兴的非易失性存储技术，在器件结构、单元面积、存储密度、功耗、编程/擦除速度、3D 集成和多值存储等诸多方面具有极大的优势，成为替代目前非易失性存储技术市场主流产品“闪存”的最有力竞争者之一。金属/绝缘层/金属（MIM）的三明治结构是阻变存储器的基本结构，这种垂直的 MIM 结构有利于采用交叉阵列的集成方式来实现超高密度存储。在交叉阵列结构中，上下相互垂直的平行交叉点处含有存储单元，每一个存储单元都可以实现器件的选通并进行读写。

然而，现有阻变存储器的读电流-电压曲线在正负电压极性下是对称的。如图 1 所示，当阻变存储器处于低阻态时，采用直流扫描- $V_{\text{读}} \rightarrow V_{\text{读}}$ 时，器件在正负电压极性下，表现出对称的电流-电压曲线。当采取交叉阵列存储架构时，由于存储器单元对称的读电学特性，处于低阻态的存储单元将提供额外的漏电通道，这些漏电通道将影响选通存储单元的读取信息，在交叉阵列中产生严重的读串扰问题。如图 2 所示，在相邻的四个存储器件，坐标为 (1, 1) 的器件处于高阻状态，其余三个相邻器件 (1, 2)、(2, 2) 和 (2, 1) 都处于低阻状态，在 (1, 1) 器件上加读电压时，电流可以沿着低阻通道 $(1, 2) \rightarrow (2, 2) \rightarrow (2, 1)$ 进行传输（虚线所示），使得 (1, 1) 器件被误读成导通状态（低阻态）。

现有技术中通过将整流二极管串联到电阻转变存储器上，可以有效地解决误读现象。但是，通常整流二极管只具有正向的导通特性，在反方向上无法提供足够的电流，因此当前能够与整流二极管集成的阻变存

存储器必须具有单极型电阻转变特性，即阻变存储器的编程和擦除操作必须在相同的电压极性下完成。而对于当前较为普遍的双极型电阻转变存储器，其编程和擦除操作必须在相反的电压极性下完成，单个的整流二极管无法满足其反向擦除所需的电流要求，因此目前还无法有效地消除双极型阻变存储器交叉阵列中的读串扰引起的误读现象。

发明内容

（一）要解决的技术问题

有鉴于此，本发明的主要目的在于提供一种适用于双极型阻变存储器交叉阵列集成方式的选通器件单元，以消除双极型阻变存储器交叉阵列中的读串扰引起的误读现象。

（二）技术方案

为达到上述目的，本发明提供了一种用于双极型阻变存储器交叉阵列集成方式的选通器件单元，该选通器件单元包括一个 n-p 二极管 11 和一个 p-n 二极管 12，该 n-p 二极管 11 和该 p-n 二极管 12 的极性相反且并联连接，使该选通器件单元具有双向整流特性。

上述方案中，所述 n-p 二极管 11 与所述 p-n 二极管 12 之间通过介质隔离层 109 并联连接。所述介质隔离层 109 采用的材料是 SiO_2 、 Si_3N_4 、 HfO_2 、 ZrO_2 或 Al_2O_3 中的一种。

上述方案中，所述 n-p 二极管 11 包括由下至上依次叠层的第一下导电电极 101、第一 n 型掺杂半导体层 102、第一 p 型掺杂半导体层 103 和第一上导电电极 104，所述 p-n 二极管 12 包括由下至上依次叠层的第二下导电电极 105、第二 p 型掺杂半导体层 106、第二 n 型掺杂半导体层 107 和第二上导电电极 108。

上述方案中，所述第一下导电电极 101 或所述第二下导电电极 105 由金属材料或导电金属化合物构成，所述第一下导电电极 101 与所述第二下导电电极 105 采用的材料相同或不相同。所述金属材料选自 W、Al、Cu、Au、Ag、Pt、Ru、Ti、Ta、Pb、Co、Mo、Ir 或 Ni 构成的群组中

的至少一种；所述导电金属化合物选自 TiN、TaN、IrO₂、ITO 或 IZO 构成的群组中的至少一种。

上述方案中，所述第一下导电电极 101 或所述第二下导电电极 105 采用电子束蒸发、化学气相沉积、脉冲激光沉积、原子层沉积或磁控溅射方法中的一种制备而成。

上述方案中，所述第一下导电电极 101 或所述第二下导电电极 105 的厚度为 1nm~500nm。

上述方案中，所述第一 n 型掺杂半导体层 102 与所述第一 p 型掺杂半导体层 103 形成 n-p 结，该 n-p 结是由 Si、Ge、GaAs、InP 或 SiGe 半导体材料经过掺杂改性后而形成；所述第二 p 型掺杂半导体层 106 与所述第二 n 型掺杂半导体层 107 形成 p-n 结，该 p-n 结是由 Si、Ge、GaAs、InP 或 SiGe 半导体材料经过掺杂改性后而形成。所述掺杂是采用热扩散和离子注入方法中的一种；所述形成 n-p 结或 p-n 的掺杂浓度为 $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{22} \text{ cm}^{-2}$ 。该选通器件单元的正负导通电压分别由 n-p 二极管中的 n-p 结和 p-n 二极管中的 p-n 结的掺杂浓度或结深来控制。

上述方案中，所述第一 n 型掺杂半导体层 102、所述第一 p 型掺杂半导体层 103、第二 p 型掺杂半导体层 106 或所述第二 n 型掺杂半导体层 107 是采用化学气相沉积、原子层沉积和分子束外延方法中的一种制备而成。

上述方案中，所述第一 n 型掺杂半导体层 102、所述第一 p 型掺杂半导体层 103、第二 p 型掺杂半导体层 106 或所述第二 n 型掺杂半导体层 107 的厚度为 10nm~500nm。

上述方案中，所述第一上导电电极 104 或所述第二上导电电极 108 由金属材料或导电金属化合物构成，所述第一上导电电极 104 与所述第二上导电电极 108 采用的材料相同或不相同。所述金属材料选自 W、Al、Cu、Au、Ag、Pt、Ru、Ti、Ta、Pb、Co、Mo、Ir 或 Ni 构成的群组中的至少一种；所述导电金属化合物选自 TiN、TaN、IrO₂、ITO 或 IZO 构成的群组中的至少一种。

上述方案中，所述第一上导电电极 104 或所述第二上导电电极 108

采用电子束蒸发、化学气相沉积、脉冲激光沉积、原子层沉积或磁控溅射方法中的一种制备而成。

上述方案中，所述第一上导电电极 104 或所述第二上导电电极 108 的厚度为 1nm~500nm。

（三）有益效果

从上述技术方案可以看出，本发明具有以下有益效果：

1、本发明提供的这种用于双极型阻变存储器交叉阵列集成方式的选通器件单元，采用一个 n-p 型半导体材料构成的正向导通二极管与一个 p-n 型半导体材料构成的负向导通二极管，将二者并联作为双极型阻变存储器交叉阵列中的选通器件单元，n-p 二极管在正向电压下导通，负向电压下截止；p-n 二极管在负向电压下导通，在正向电压下截止；n-p 二极管和 p-n 二极管并联后，在正负两种电压方向下都能提供较大的导通电流和较大的非线性电阻系数，所以能够有效地消除双极型阻变存储器交叉阵列中的读串扰引起的误读现象。

2、本发明提供的这种用于双极型阻变存储器交叉阵列集成方式的选通器件单元，是将两个极性相反的整流二极管并联构成一个选通器件单元，其结构如图 3 所示，可以作为双极型电阻转变存储器的选通管，在正负两种电压方向下都能提供较大的导通电流和较大的非线性电阻系数，同时还能保持较高的整流特性，具有双向整流特性，即在导通态时在任意电压极性下都能够提供较高的电流密度，同时在读电压下也具有较大的整流比($R_{V/2}/R_V$)，因此能够抑制双极型阻变存储器交叉阵列结构中的读串扰现象，避免误读，解决了普通整流二极管只适用于单极型阻变存储器交叉阵列的难题。

附图说明

为了更进一步说明本发明的内容，以下结合附图及实施例子，对本发明做详细描述，其中：

图 1 为现有技术中的阻变存储器在低阻态下的读操作电流-电压曲

线示意图；

图 2 为现有技术中的阻变型存储器交叉阵列在读串扰问题的示意图；

图 3 本发明提供的适用于双极型阻变存储器交叉阵列集成方式的选通器件单元的结构示意图；其中，11 为 n-p 二极管，12 为 p-n 二极管，101 为下导电电极，102 为 n 型半导体层，103 为 p 型半导体层，104 为上导电电极，105 为下导电电极，106 为 p 型半导体层，107 为 n 型半导体层，108 为上导电电极，109 为隔离介质层；

图 4 为依照本发明实施例的选通器件单元中 n-p 结二极管在直流扫描模式下的电流-电压特性曲线图；

图 5 为依照本发明实施例的选通器件单元中 p-n 结二极管在直流扫描模式下的电流-电压特性曲线图；

图 6 为依照本发明实施例的选通器件单元中 n-p 结二极管与 p-n 结二极管并联后在直流扫描模式下的电流-电压特性曲线图；

图 7 为依照本发明实施例的阻变型随机存储单元中双极型阻变存储器在直流扫描模式下的电流-电压特性曲线图；

图 8 为依照本发明实施例的由双极型阻变存储器与选通器件串联构成的交叉阵列的读写电压的 $V/2$ 加压方式示意图；

图 9 为依照本发明实施例的双极型阻变存储器与选通器件串联后在直流扫描模式下的读电流-电压特性曲线图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本发明进一步详细说明。

如图 3 所示，图 3 本发明提供的适用于双极型阻变存储器交叉阵列集成方式的选通器件单元的结构示意图，该选通器件单元包括一个 n-p 二极管 11 和一个 p-n 二极管 12，该 n-p 二极管 11 和该 p-n 二极管 12 的极性相反且并联连接，使该选通器件单元具有双向整流特性。

其中，n-p 二极管 11 与 p-n 二极管 12 之间通过介质隔离层 109 并联

连接，介质隔离层 109 采用的材料可以是 SiO_2 、 Si_2N_3 、 HfO_2 、 ZrO_2 或 Al_2O_3 中的任意一种。

n-p 二极管 11 包括由下至上依次叠层的第一下导电电极 101、第一 n 型掺杂半导体层 102、第一 p 型掺杂半导体层 103 和第一上导电电极 104，p-n 二极管 12 包括由下至上依次叠层的第二下导电电极 105、第二 p 型掺杂半导体层 106、第二 n 型掺杂半导体层 107 和第二上导电电极 108。

第一下导电电极 101 或第二下导电电极 105 是由金属材料或导电金属化合物构成，第一下导电电极 101 与第二下导电电极 105 采用的材料可以相同也可以不同，其中金属材料选自 W、Al、Cu、Au、Ag、Pt、Ru、Ti、Ta、Pb、Co、Mo、Ir 或 Ni 构成的群组中的至少一种，导电金属化合物选自 TiN、TaN、 IrO_2 、ITO 或 IZO 构成的群组中的至少一种。

第一下导电电极 101 或第二下导电电极 105 采用电子束蒸发、化学气相沉积、脉冲激光沉积、原子层沉积或磁控溅射方法中的一种制备而成，第一下导电电极 101 或第二下导电电极 105 的厚度为 1nm~500nm。

第一 n 型掺杂半导体层 102 与第一 p 型掺杂半导体层 103 形成 n-p 结，该 n-p 结是由 Si、Ge、GaAs、LnP 或 SiGe 半导体材料经过掺杂改性后而形成；第二 p 型掺杂半导体层 106 与第二 n 型掺杂半导体层 107 形成 p-n 结，该 p-n 结是由 Si、Ge、GaAs、LnP 或 SiGe 半导体材料经过掺杂改性后而形成。其中，掺杂是采用热扩散和离子注入方法中的一种；所述形成 n-p 结或 p-n 的掺杂浓度为 $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{22} \text{ cm}^{-2}$ 。该选通器件单元的正负导通电压分别由 n-p 二极管中的 n-p 结和 p-n 二极管中的 p-n 结的掺杂浓度或结深来控制。

所述第一 n 型掺杂半导体层 102、所述第一 p 型掺杂半导体层 103、第二 p 型掺杂半导体层 106 或所述第二 n 型掺杂半导体层 107 是采用化学气相沉积、原子层沉积或分子束外延方法中的一种制备而成。第一 n 型掺杂半导体层 102、第一 p 型掺杂半导体层 103、第二 p 型掺杂半导体层 106 或第二 n 型掺杂半导体层 107 的厚度为 10nm~500nm。

第一上导电电极 104 或第二上导电电极 108 是由金属材料或导电金

属化合物构成，第一上导电电极 104 与第二上导电电极 108 采用的材料可以相同也可以不同，其中金属材料选自 W、Al、Cu、Au、Ag、Pt、Ru、Ti、Ta、Pb、Co、Mo、Ir 或 Ni 构成的群组中的至少一种，导电金属化合物选自 TiN、TaN、IrO₂、ITO 或 IZO 构成的群组中的至少一种。

第一上导电电极 104 或第二上导电电极 108 采用电子束蒸发、化学气相沉积、脉冲激光沉积、原子层沉积或磁控溅射方法中的一种制备而成，第一上导电电极 104 或第二上导电电极 108 的厚度为 1nm~500nm。

本发明实施例是由一个 n-p 二极管与一个 p-n 二极管并联构成选通器件单元，该选通器件单元对双极型阻变存储器交叉阵列的读串扰具有抑制和消除作用。

图 4 为依照本发明实施例的选通器件单元中 n-p 结二极管在直流扫描模式下的电流-电压特性曲线图。当正向扫描电压超过 V_1 时，n-p 二极管在正向导通，这时二极管处于低阻状态；在负向扫描电压下，n-p 二极管处于截止状态，二极管为高阻状态。

图 5 为依照本发明实施例的选通器件单元中 p-n 结二极管在直流扫描模式下的电流-电压特性曲线图。p-n 二极管极性与 n-p 二极管相反，当负向扫描电压超过 V_2 时，p-n 二极管在负向导通，这时二极管处于低阻状态；而在正向扫描电压下，p-n 二极管处于截止状态，二极管为高阻状态。

图 6 为依照本发明实施例的选通器件单元中 n-p 结二极管与 p-n 结二极管并联后在直流扫描模式下的电流-电压特性曲线图。当正向扫描电压超过 V_1 时，n-p 二极管导通，即选通器件导通，而当负向扫描电压超过 V_2 是，p-n 二极管导通，使得选通器件导通。由图 6 可以看出，n-p 二极管和 p-n 二极管并联构成的选通器件在正负电压方向上都能提供较大的电流，因此能够同时满足如图 7 所示的双极型阻变存储器编程/擦除操作时，在正负电压极性下所需的电流要求。

另外，n-p 二极管和 p-n 二极管并联构成的选通器件在电压小于导通电压 V_1 （或 V_2 ）时，选通器件均处于较高的电阻状态。因此在 n-p 二极管和 p-n 二极管并联构成的选通器件与双极型阻变存储器构成的交叉阵

列中采用的 $V/2$ 加压方式，如图 8 所示。

选通单元所在的字线上加 $(1/2)V_{\text{编程}}$ 或 $(1/2)V_{\text{读}}$ 电压，选通单元所在的位线上加 $(-1/2)V_{\text{编程}}$ 或 $(-1/2)V_{\text{读}}$ 电压，其它字线和位线上加零偏压。这时，选通单元上获得的电压为 $V_{\text{编程}}$ 或 $V_{\text{读}}$ ，而与选通单元在同一字线或位线上的存储单元获得的电压为 $(\pm 1/2)V_{\text{编程}}$ 或 $(\pm 1/2)V_{\text{读}}$ ，其它存储单元获得的电压为零。因此，这种加压方式下，阵列的读串扰主要来源于同一位线或同一字线上，且处于低阻状态的阻变存储单元。由图 8 可知，当读取选通存储单元时，位于选通存储单元同一位线或同一字线上的存储单元两端的电压为 $(\pm 1/2)V_{\text{读}}$ ，在本发明实施例中，采用的读电压 $V_{\text{读}}/2 < V_1 < V_{\text{读}}$ ， $|-V_{\text{读}}/2| < |V_2| < |-V_{\text{读}}|$ ，选通器件与双极型阻变存储器串联构成的存储单元在读操作过程中表现出双向的整流特性，如图 9 所示。

在 $\pm V_{\text{读}}$ 电压，存储单元的电阻表现为阻变存储器的电阻，为低阻态；而在 $(\pm 1/2)V_{\text{读}}$ 电压下，存储单元的电阻表现为二极管未开启时的电阻，为高阻态，因此减小了同一位线或同一字线上的存储单元产生的漏电通道。本发明将整流定义为 $R_{V/2}/R_V$ ，本发明提出的选通器件对于双极型阻变存储器交叉阵列中读串扰的抑制效果主要由整流比 $(R_{V/2}/R_V)$ 的大小决定。

以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权利要求

1、一种用于双极型阻变存储器交叉阵列集成方式的选通器件单元，其特征在于，该选通器件单元包括一个 n-p 二极管（11）和一个 p-n 二极管（12），该 n-p 二极管（11）和该 p-n 二极管（12）的极性相反且并联连接，使该选通器件单元具有双向整流特性。

2、根据权利要求 1 所述的选通器件单元，其特征在于，所述 n-p 二极管（11）与所述 p-n 二极管（12）之间通过介质隔离层（109）并联连接。

3、根据权利要求 2 所述的选通器件单元，其特征在于，所述介质隔离层（109）采用的材料是 SiO₂、Si₃N₄、HfO₂、ZrO₂ 或 Al₂O₃ 中的一种。

4、根据权利要求 1 所述的选通器件单元，其特征在于，所述 n-p 二极管（11）包括由下至上依次叠层的第一下导电电极（101）、第一 n 型掺杂半导体层（102）、第一 p 型掺杂半导体层（103）和第一上导电电极（104），所述 p-n 二极管（12）包括由下至上依次叠层的第二下导电电极（105）、第二 p 型掺杂半导体层（106）、第二 n 型掺杂半导体层（107）和第二上导电电极（108）。

5、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一下导电电极（101）或所述第二下导电电极（105）由金属材料或导电金属化合物构成，所述第一下导电电极（101）与所述第二下导电电极（105）采用的材料相同或不相同。

6、根据权利要求 5 所述的选通器件单元，其特征在于，所述金属材料选自 W、Al、Cu、Au、Ag、Pt、Ru、Ti、Ta、Pb、Co、Mo、Ir 或 Ni 构成的群组中的至少一种；所述导电金属化合物选自 TiN、TaN、IrO₂、ITO 或 IZO 构成的群组中的至少一种。

7、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一下导电电极（101）或所述第二下导电电极（105）采用电子束蒸发、化学气相沉积、脉冲激光沉积、原子层沉积或磁控溅射方法中的一种制备

而成。

8、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一下导电电极(101)或所述第二下导电电极(105)的厚度为 1nm~500nm。

9、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一 n 型掺杂半导体层(102)与所述第一 p 型掺杂半导体层(103)形成 n-p 结，该 n-p 结是由 Si、Ge、GaAs、InP 或 SiGe 半导体材料经过掺杂改性后而形成；所述第二 p 型掺杂半导体层(106)与所述第二 n 型掺杂半导体层(107)形成 p-n 结，该 p-n 结是由 Si、Ge、GaAs、InP 或 SiGe 半导体材料经过掺杂改性后而形成。

10、根据权利要求 9 所述的选通器件单元，其特征在于，所述掺杂是采用热扩散和离子注入方法中的一种；所述形成 n-p 结或 p-n 的掺杂浓度为 $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{22} \text{ cm}^{-2}$ 。

11、根据权利要求 9 所述的选通器件单元，其特征在于，该选通器件单元的正负导通电压分别由 n-p 二极管中的 n-p 结和 p-n 二极管中的 p-n 结的掺杂浓度或结深来控制。

12、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一 n 型掺杂半导体层(102)、所述第一 p 型掺杂半导体层(103)、第二 p 型掺杂半导体层(106)或所述第二 n 型掺杂半导体层(107)是采用化学气相沉积、原子层沉积和分子束外延方法中的一种制备而成。

13、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一 n 型掺杂半导体层(102)、所述第一 p 型掺杂半导体层(103)、第二 p 型掺杂半导体层(106)或所述第二 n 型掺杂半导体层(107)的厚度为 10nm~500nm。

14、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一上导电电极(104)或所述第二上导电电极(108)由金属材料或导电金属化合物构成，所述第一上导电电极(104)与所述第二上导电电极(108)采用的材料相同或不相同。

15、根据权利要求 14 所述的选通器件单元，其特征在于，所述金属材料选自 W、Al、Cu、Au、Ag、Pt、Ru、Ti、Ta、Pb、Co、Mo、Ir

或 Ni 构成的群组中的至少一种；所述导电金属化合物选自 TiN、TaN、IrO₂、ITO 或 IZO 构成的群组中的至少一种。

16、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一上导电电极（104）或所述第二上导电电极（108）采用电子束蒸发、化学气相沉积、脉冲激光沉积、原子层沉积或磁控溅射方法中的一种制备而成。

17、根据权利要求 4 所述的选通器件单元，其特征在于，所述第一上导电电极（104）或所述第二上导电电极（108）的厚度为 1nm~500nm。

1/4

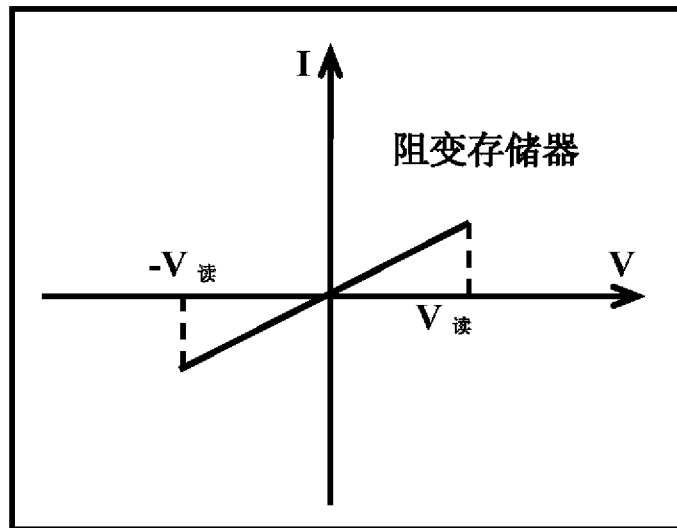


图 1

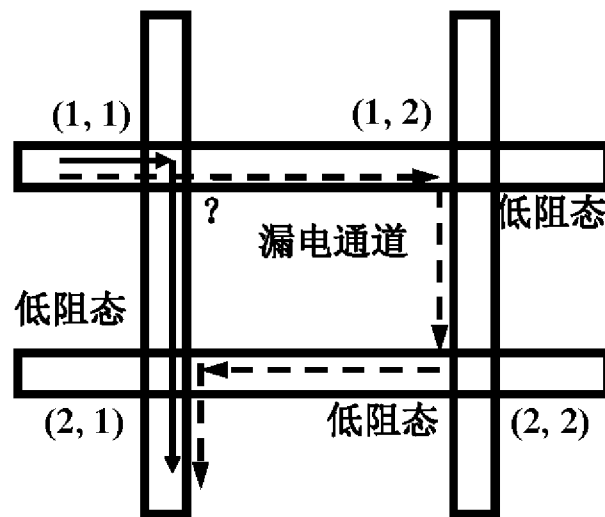


图 2

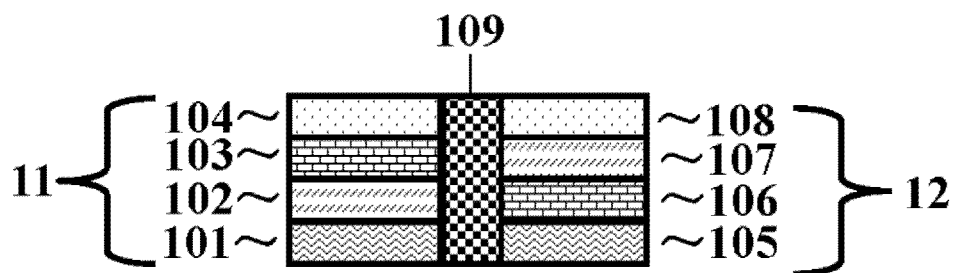


图 3

2/4

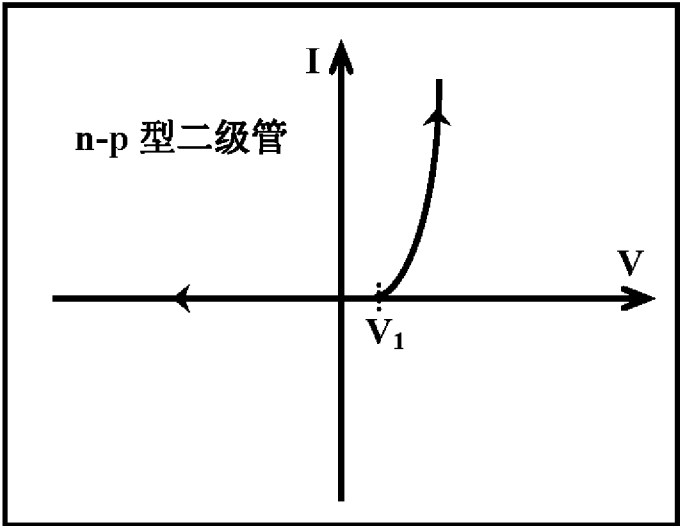


图 4

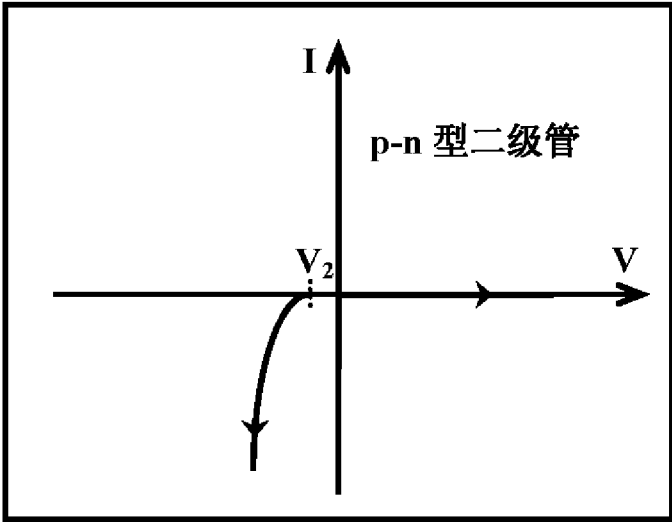


图 5

3/4

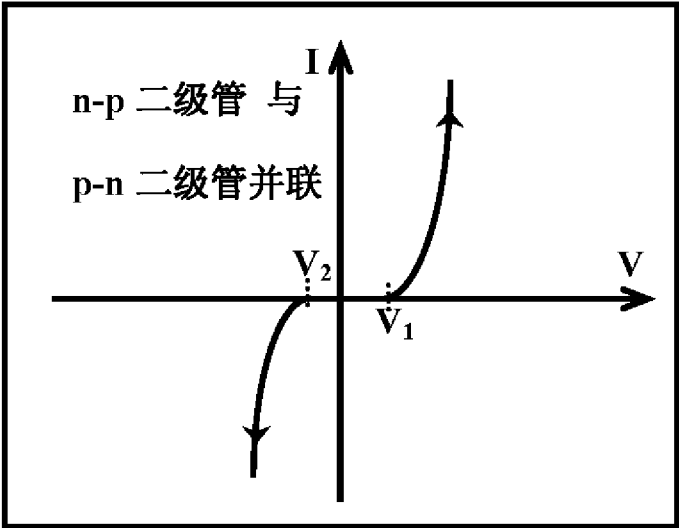


图 6

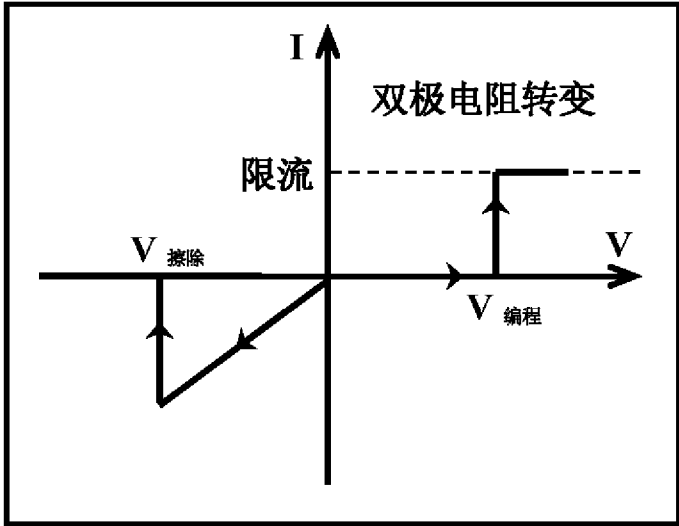


图 7

4/4

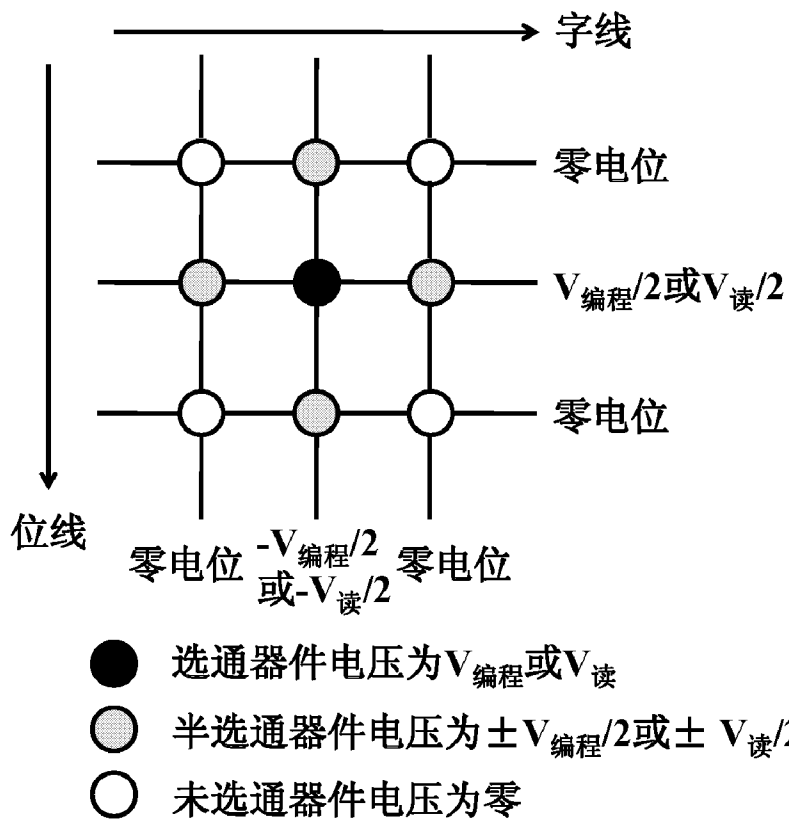


图 8

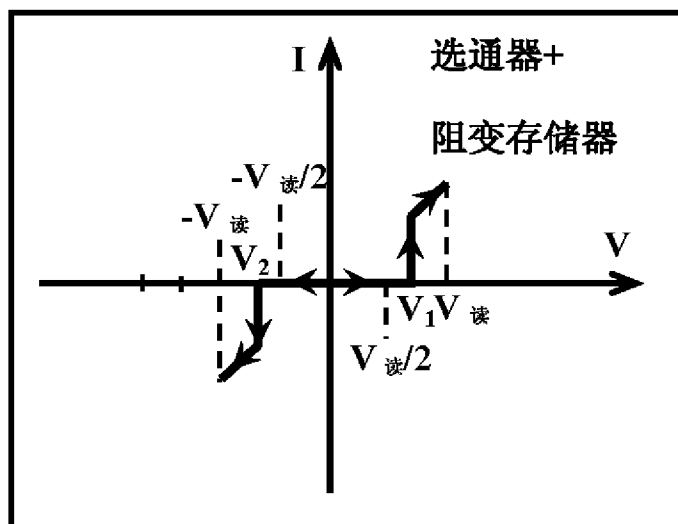


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/084063

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 27/, H01L 45/, H01L 29/, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; IEEE; CPRS: strobe unit, polar phase, opposite, parallel connection, bidirectional, rectify, conduct, voltage, higher, current, density, depress, suppress, CROSS RESISTANCE CHANGE MEMORY BIPOLAR ARRAY INTEGRATE GATE DEVICE UNIT N P DIODE CONNECT THROUGH MEDIUM ISOLATE LAYER PARALLEL MANNER

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2012061639 A1 (TOSHIBA CORPORATION), 15 March 2012 (15.03.2012), description, paragraphs [0129]-[0143], and figures 16-23	1-17
Y	CN 1319273 A (OHTSUBO KAZUO), 24 October 2001 (24.10.2001), figure 2	1-17
Y	CN 102637681 A (XIAMEN SAN'AN OPTOELECTRONICS TECHNOLOGY CO., LTD.), 15 August 2012 (15.08.2012), description, paragraph [0026], and figure 2	2-17
PX	CN 103137646 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 05 June 2013 (05.06.2013), description, paragraph [0026], and claims 1-17	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 December 2013 (16.12.2013)	Date of mailing of the international search report 02 January 2014 (02.01.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GAO, Yingran Telephone No.: (86-10) 62411596

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/084063

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2012061639 A1	15.03.2012	JP 2012064669 A	29.03.2012
		JP 5075959 B2	21.11.2012
		US 8461563 B2	11.06.2013
CN 1319273 A	24.10.2001	EP 1143592 A1	10.10.2001
		CN 1124673 C	15.10.2003
		CA 2343187 C	17.07.2007
		WO 0019575 A1	06.04.2000
		RU 2232458 C2	10.07.2004
		JP 3831127 B2	11.10.2006
		KR 20010075436 A	09.08.2001
		US 6437626 B1	20.08.2002
		KR 100583339 B1	25.05.2006
		JP 2000102169 A	07.04.2000
CN 102637681 A	15.08.2012	WO 2013159615 A1	31.10.2013
CN 103137646 A	05.06.2013	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/084063

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/24 (2006.01) i

H01L 29/861 (2006.01) i

H01L 45/00 (2006.01) i

G11C 13/00 (2006.01) i

国际检索报告

国际申请号

PCT/CN2013/084063

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 27/,H01L 45/,H01L 29/,G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))WPI;EPODOC;CNKI;IEEE;CPRS: 双极型;存储器;选通器;二极管;极性相;交叉;阵列;器件;相反;并联;联连;双向;整流;导通;电压;较高;电流;密度;压下;抑制
CROSS RESISTANCE CHANGE MEMORY BIPOLAR ARRAY INTEGRATE GATE DEVICE UNIT N P DIODE
CONNECT THROUGH MEDIUM ISOLATE LAYER PARALLEL MANNER

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 2012061639 A1 (株式会社东芝) 15.3 月 2012 (15.03.2012) 说明书【0129】-【0143】, 图 16-23	1-17
Y	CN 1319273 A (大坪一夫) 24.10 月 2001 (24.10.2001) 图 2	1-17
Y	CN 102637681 A (厦门市三安光电科技有限公司) 15.8 月 2012 (15.08.2012) 说明书【0026】, 图 2	2-17
PX	CN 103137646 A (中国科学院微电子研究所) 05.6 月 2013 (05.06.2013) 说明书【0026】, 权利要求 1-17	1-17



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

16.12 月 2013 (16.12.2013)

国际检索报告邮寄日期

02.1 月 2014 (02.01.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

高莺然

电话号码: (86-10) **62411596**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2013/084063

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US 2012061639 A1	15.03.2012	JP 2012064669 A	29.03.2012
		JP 5075959 B2	21.11.2012
CN 1319273 A	24.10.2001	US 8461563 B2	11.06.2013
		EP 1143592 A1	10.10.2001
		CN 1124673 C	15.10.2003
		CA 2343187 C	17.07.2007
		WO 0019575 A1	06.04.2000
		RU 2232458 C2	10.07.2004
		JP 3831127 B2	11.10.2006
		KR 20010075436 A	09.08.2001
		US 6437626 B1	20.08.2002
		KR 100583339 B1	25.05.2006
		JP 2000102169 A	07.04.2000
CN 102637681 A	15.08.2012	WO 2013159615 A1	31.10.2013
CN 103137646 A	05.06.2013	无	

A. 主题的分类

H01L 27/24 (2006.01) i

H01L 29/861 (2006.01) i

H01L 45/00 (2006.01) i

G11C 13/00 (2006.01) i