

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月5日(05.12.2019)



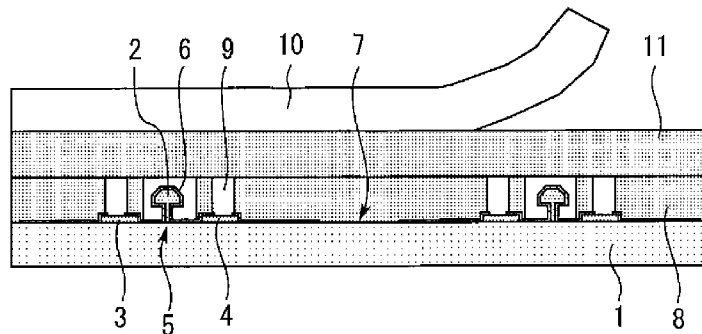
(10) 国際公開番号

WO 2019/229802 A1

- (51) 国際特許分類:
H01L 21/301 (2006.01)
- (21) 国際出願番号: PCT/JP2018/020353
- (22) 国際出願日: 2018年5月28日(28.05.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 前田 和弘 (MAEDA, Kazuhiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 高田 守, 外(TAKADA, Mamoru et al.); 〒1040045 東京都中央区築地1丁目12番2号 コンワビル7階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A resin film (8) that covers a dicing line (7) for a semiconductor device (5) and a semiconductor substrate (1) is formed on the main surface of the semiconductor substrate (1). Without removing the resin film (8) located over the dicing line (7), the resin film (8) located around a first electrode (2) is removed and the resin film (8) located over second electrodes (3, 4) is removed to form a first contact hole (9). A resin film (11) is adhered to the top surface of the resin film (8), forming a hollow structure (12) around the first electrode (2). The resin film (11) is patterned to form, simultaneously, a second contact hole (13) communicating with the first contact hole (9), and a first opening (14) over the dicing line (7). After the first opening (14) is formed, the semiconductor substrate (1) is diced along the dicing line (7).

(57) 要約: 半導体デバイス(5)及び半導体基板(1)のダイシングライン(7)を覆う樹脂膜(8)を半導体基板(1)の主面の上に形成し、ダイシングライン(7)の上の樹脂膜(8)を除去することなく第1の電極(2)の周りの樹脂膜(8)を除去し第2の電極(3, 4)の上の樹脂膜(8)を除去して第1のコンタクトホール(9)を形成する。樹脂フィルム(11)を樹脂膜(8)の上面に貼り付けて第1の電極(2)の周りに中空構造(12)を形成する。樹脂フィルム(11)をパターンニングして、第1のコンタクトホール(9)につながる第2のコンタクトホール(13)とダイシングライン(7)の上方の第1の開口(14)を同時に形成する。第1の開口(14)を形成した後にダイシングライン(7)に沿って半導体基板(1)をダイシングする。

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] 半導体装置の高集積化と小型化を実現するために、樹脂膜と金属配線を繰り返し積層する多層配線構造が用いられている。しかし、樹脂膜により寄生容量が増加し、半導体デバイスの電気特性が劣化する。特にY型又はT型のゲート電極を有する半導体装置ではゲート電極のひさしの下に樹脂が充填されて寄生容量が増加し、高周波特性の利得が劣化する。これに対して、半導体デバイスを覆う樹脂膜をパターニングしてゲート電極の周りの樹脂膜を除去し、樹脂フィルムを樹脂膜の上面に貼り付けることでゲート電極の周りに中空構造を形成する方法が提案されている（例えば、特許文献1参照）。中空構造を形成することで、樹脂膜が充填されている場合に比べて格段に特性が向上する。

先行技術文献

特許文献

[0003] 特許文献1：日本特開2016-39319号公報

発明の概要

発明が解決しようとする課題

[0004] 従来は、樹脂膜をパターニングする際にダイシングラインの上の樹脂膜も除去していた。従って、樹脂フィルムと樹脂膜との接触面積が小さくなるため、密着力が弱くなる。また、樹脂フィルムは支持フィルムに支持されており、樹脂フィルムを樹脂膜に貼り付けた後に樹脂フィルムから支持フィルムを剥がす必要がある。しかし、樹脂フィルムと支持フィルムの密着力が樹脂フィルムと樹脂膜の密着力よりも強いため、樹脂フィルムから支持フィルムを剥がす際に樹脂フィルムの浮き又は剥がれが生じる場合があった。また、

貼り付けた樹脂フィルムが中空部に埋まり込む場合もあった。この結果、製品の歩留まりが低下するという問題があった。

[0005] 本発明は、上述のような課題を解決するためになされたもので、その目的は製品の歩留まりを向上させることができる半導体装置の製造方法を得るものである。

課題を解決するための手段

[0006] 本発明に係る半導体装置の製造方法は、半導体基板の主面に第1及び第2の電極を有する半導体デバイスを形成する工程と、前記半導体デバイス及び前記半導体基板のダイシングラインを覆う樹脂膜を前記半導体基板の前記主面の上面に形成し、前記ダイシングラインの上の前記樹脂膜を除去することなく前記第1の電極の周りの前記樹脂膜を除去し前記第2の電極の上の前記樹脂膜を除去して第1のコンタクトホールを形成する工程と、前記第1及び第2の電極から離間しつつ前記第1及び第2の電極の上方を覆う感光性樹脂フィルムを前記樹脂膜の上面に貼り付けて前記第1の電極の周りに中空構造を形成する工程と、前記感光性樹脂フィルムを露光及び現像して、前記第1のコンタクトホールにつながる第2のコンタクトホールと前記ダイシングラインの上方の第1の開口を同時に形成する工程と、前記第1及び第2のコンタクトホールを介して前記第2の電極に接続された配線を形成する工程と、前記第1の開口を形成した後に前記ダイシングラインに沿って前記半導体基板をダイシングする工程とを備えることを特徴とする。

発明の効果

[0007] 本発明では、樹脂膜をパターニングする際にダイシングラインの上の樹脂膜を除去しない。このため、樹脂フィルムと樹脂膜との接触面積が増えるため、密着力が向上し、樹脂フィルムの浮き及び剥がれを防ぐことができる。また、樹脂フィルムが樹脂膜にしっかりと支えられるため、埋まり込みも防ぐことができる。この結果、製品の歩留まりを向上させることができる。

図面の簡単な説明

[0008] [図1]実施の形態1に係る半導体装置の製造方法を示す断面図である。

[図2]実施の形態 1 に係る半導体装置の製造方法を示す断面図である。

[図3]実施の形態 1 に係る半導体装置の製造方法を示す断面図である。

[図4]実施の形態 1 に係る半導体装置の製造方法を示す断面図である。

[図5]実施の形態 1 に係る半導体装置の製造方法を示す断面図である。

[図6]実施の形態 1 に係る半導体装置の製造方法を示す断面図である。

[図7]実施の形態 1 に係る半導体装置の製造方法を示す断面図である。

[図8]実施の形態 1 に係る半導体装置の製造方法を示す断面図である。

[図9]実施の形態 1 に係る半導体装置の製造方法を示す断面図である。

[図10]比較例に係る半導体装置の製造方法を示す断面図である。

[図11]比較例に係る半導体装置の製造方法を示す断面図である。

[図12]比較例に係る半導体装置の製造方法を示す断面図である。

[図13]実施の形態 2 に係る半導体装置の製造方法を示す断面図である。

[図14]実施の形態 2 に係る半導体装置の製造方法を示す断面図である。

[図15]実施の形態 3 に係る半導体装置の製造方法を示す断面図である。

[図16]実施の形態 3 に係る半導体装置の製造方法を示す断面図である。

[図17]実施の形態 3 に係る半導体装置の製造方法を示す断面図である。

[図18]実施の形態 3 に係る半導体装置の製造方法を示す断面図である。

発明を実施するための形態

[0009] 実施の形態に係る半導体装置の製造方法について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

[0010] 実施の形態 1 .

図 1 から図 9 は、実施の形態 1 に係る半導体装置の製造方法を示す断面図である。まず、図 1 に示すように、半導体基板 1 の主面にゲート電極 2、ソース電極 3 及びドレイン電極 4 を有する半導体デバイス 5 を形成する。半導体デバイス 5 を耐湿性の高い絶縁膜 6 で覆う。ソース電極 3、ドレイン電極 4 及びダイシングライン 7 上の絶縁膜 6 を開口する。次に、半導体デバイス 5 及び半導体基板 1 のダイシングライン 7 を覆う感光性樹脂膜 8 を半導体基

板 1 の主面の上にスピンコートで塗布する。感光性樹脂膜 8 を露光及び現像によりパターンニングして、ダイシングライン 7 の上の感光性樹脂膜 8 を除去することなく、ゲート電極 2 の周りの感光性樹脂膜 8 を除去し、ソース電極 3 及びドレイン電極 4 の上の感光性樹脂膜 8 を除去して第 1 のコンタクトホール 9 を形成する。その後、熱硬化処理を行って感光性樹脂膜 8 を硬化する。

[0011] 次に、図 2 に示すように、ラミネート法又は S T P 法を用いて、支持フィルム 1 0 に支持された感光性樹脂フィルム 1 1 を感光性樹脂膜 8 の上面に貼り付ける。感光性樹脂フィルム 1 1 は、ゲート電極 2、ソース電極 3 及びドレイン電極 4 から離間しつつゲート電極 2、ソース電極 3 及びドレイン電極 4 の上方を覆う。次に、図 3 に示すように、感光性樹脂フィルム 1 1 から支持フィルム 1 0 を剥がす。これにより、図 4 に示すように、ゲート電極 2 の周りに中空構造 1 2 が形成される。

[0012] 次に、図 5 に示すように、感光性樹脂フィルム 1 1 を露光及び現像によりパターンニングして、第 1 のコンタクトホール 9 につながる第 2 のコンタクトホール 1 3 とダイシングライン 7 の上方の第 1 の開口 1 4 を同時に形成する。その後、熱硬化処理を行って感光性樹脂フィルム 1 1 を硬化する。

[0013] 次に、図 6 に示すように、全面に絶縁膜 1 5 及びレジスト 1 6 を順に形成し、ダイシングライン 7 の上方でレジスト 1 6 を開口する。次に、レジスト 1 6 をマスクとして用いたドライエッチングを行う。これにより、図 7 に示すように、ダイシングライン 7 の上の絶縁膜 1 5 及び感光性樹脂膜 8 を除去して第 2 の開口 1 7 を形成する。予めダイシングライン 7 の上方の感光性樹脂フィルム 1 1 を除去しておくことで、ドライエッチングで除去する膜の膜厚が薄くなるため、ドライエッチングが容易になる。その後、マスクとして用いた絶縁膜 1 5 及びレジスト 1 6 を除去する。

[0014] 次に、図 8 に示すように、第 1 及び第 2 のコンタクトホール 9, 1 3 を介してソース電極 3 及びドレイン電極 4 に接続された配線 1 8 をめっき又は蒸着法により形成する。次に、ダイシングブレード 1 9 を用いてダイシングラ

イン7に沿って半導体基板1をダイシングする。この結果、図9に示すように、個々のチップごとに分離される。

[0015] 続いて、本実施の形態の効果を比較例と比較して説明する。図10から図12は、比較例に係る半導体装置の製造方法を示す断面図である。比較例では、図10に示すように、感光性樹脂膜8をパターニングする際にダイシングライン7の上の感光性樹脂膜8を除去する。次に、図11に示すように感光性樹脂フィルム11を感光性樹脂膜8の上面に貼り付ける。次に、図12に示すように感光性樹脂フィルム11を露光及び現像する。

[0016] 比較例では、ダイシングライン7の上の感光性樹脂膜8を除去することで感光性樹脂フィルム11と感光性樹脂膜8との接触面積が小さくなるため、密着力が弱くなる。このため、感光性樹脂フィルム11から支持フィルム10を剥がす際に感光性樹脂フィルム11の浮き又は剥がれが生じる場合がある。また、貼り付けた感光性樹脂フィルム11が中空部に埋まり込む場合もある。この結果、製品の歩留まりが低下するという問題がある。

[0017] これに対して、本実施の形態では、感光性樹脂膜8をパターニングする際にダイシングライン7の上の感光性樹脂膜8を除去しない。このため、感光性樹脂フィルム11と感光性樹脂膜8との接触面積が増えるため、密着力が向上し、感光性樹脂フィルム11の浮き及び剥がれを防ぐことができる。また、感光性樹脂フィルム11が感光性樹脂膜8にしっかりと支えられるため、埋まり込みも防ぐことができる。この結果、製品の歩留まりを向上させることができる。

[0018] また、支持フィルム10に支持された感光性樹脂フィルム11を感光性樹脂膜8の上面に貼り付けた後に感光性樹脂フィルム11から支持フィルム10を剥がす場合には、感光性樹脂フィルム11の浮き及び剥がれが発生し易い。このような場合に本実施の形態のように感光性樹脂フィルム11と感光性樹脂膜8の密着力を向上させることが特に有効である。

[0019] また、ゲート電極2はひさしを含むY型又はT型のゲート電極であり、ゲート電極2のひさしの下にも中空構造12が形成されている。これにより、

寄生容量が減少し、高周波特性の利得が向上する。

[0020] また、第1の開口14を形成した後、半導体基板1をダイシングする前にダイシングライン7の上の感光性樹脂膜8を除去して第2の開口17を形成する。これにより、ダイシングが容易になる。

[0021] また、感光性樹脂フィルム11の第1の開口14の端部が感光性樹脂膜8の第2の開口17の端部よりも半導体デバイス5側である。これにより、ダイシングラインの際にダイシングブレードが感光性樹脂フィルム11の第1の開口14の端部に当るのを防ぐことができる。このため、半導体装置の歩留まりが向上する。

[0022] 実施の形態2.

図13及び図14は、実施の形態2に係る半導体装置の製造方法を示す断面図である。図5の工程までは実施の形態1と同様である。本実施の形態ではダイシングライン7の上の感光性樹脂膜8をドライエッチングで加工することなく、図13に示すように第1及び第2のコンタクトホール9、13を介してソース電極3及びドレイン電極4に接続された配線18を形成する。次に、図14に示すように、ダイシングライン7の上の感光性樹脂膜8を半導体基板1と共にダイシングする。これにより、実施の形態1よりもプロセス数を削減することができる。その他の構成及び効果は実施の形態1と同様である。

[0023] 実施の形態3.

図15から図18は、実施の形態3に係る半導体装置の製造方法を示す断面図である。本実施の形態は、実施の形態1及び2の感光性樹脂フィルム11を非感光性樹脂フィルム19に置き換えたものである。図5の工程までは実施の形態1と同様である。次に、図15に示すように、ラミネート法又はSTP法を用いて、支持フィルム10に支持された非感光性樹脂フィルム19を感光性樹脂膜8の上面に貼り付ける。非感光性樹脂フィルム19は、ゲート電極2、ソース電極3及びドレイン電極4から離間しつつゲート電極2、ソース電極3及びドレイン電極4の上方を覆う。次に、非感光性樹脂フィル

ム 1 9 から支持フィルム 1 0 を剥がすと、図 1 6 に示すように、ゲート電極 2 の周りに中空構造 1 2 が形成される。次に、図 1 7 に示すように、全面に絶縁膜 1 5 及びレジスト 1 6 を順に形成し、レジスト 1 6 をフォトリソグラフィ等によりパターニングする。このレジスト 1 6 をマスクとして用いたドライエッチングを行うことにより、図 1 8 に示すように、第 2 のコンタクトホール 1 3 及び第 1 の開口 1 4 を開口する。その後、実施の形態 1 又は実施の形態 2 のどちらかの工程を行って素子構造を作製する。その他の構成及び効果は実施の形態 1 と同様である。

符号の説明

[0024] 1 半導体基板、2 ゲート電極（第 1 の電極）、3 ソース電極（第 2 の電極）、4 ドレイン電極（第 2 の電極）、5 半導体デバイス、7 ダイシングライン、8 感光性樹脂膜（樹脂膜）、9 第 1 のコンタクトホール、11 感光性樹脂フィルム（樹脂フィルム）、12 中空構造、13 第 2 のコンタクトホール、14 第 1 の開口、17 第 2 の開口、18 配線

請求の範囲

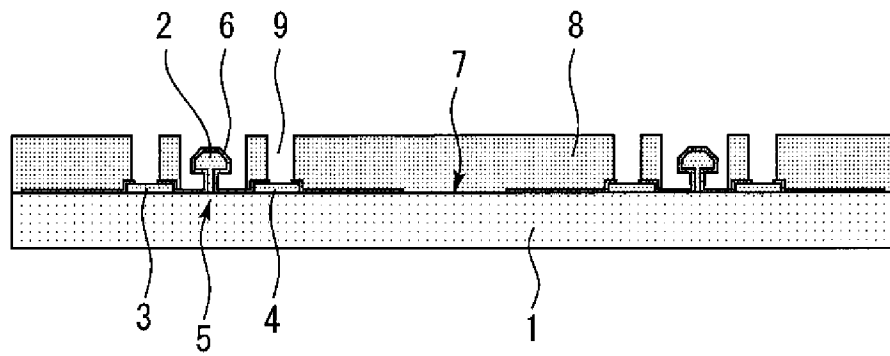
- [請求項1] 半導体基板の主面に第1及び第2の電極を有する半導体デバイスを形成する工程と、
- 前記半導体デバイス及び前記半導体基板のダイシングラインを覆う樹脂膜を前記半導体基板の前記主面の上に形成し、前記ダイシングラインの上の前記樹脂膜を除去することなく前記第1の電極の周りの前記樹脂膜を除去し前記第2の電極の上の前記樹脂膜を除去して第1のコンタクトホールを形成する工程と、
- 前記第1及び第2の電極から離間しつつ前記第1及び第2の電極の上方を覆う樹脂フィルムを前記樹脂膜の上面に貼り付けて前記第1の電極の周りに中空構造を形成する工程と、
- 前記樹脂フィルムをパターニングして、前記第1のコンタクトホールにつながる第2のコンタクトホールと前記ダイシングラインの上方の第1の開口を同時に形成する工程と、
- 前記第1及び第2のコンタクトホールを介して前記第2の電極に接続された配線を形成する工程と、
- 前記第1の開口を形成した後に前記ダイシングラインに沿って前記半導体基板をダイシングする工程とを備えることを特徴とする半導体装置の製造方法。
- [請求項2] 支持フィルムに支持された前記樹脂フィルムを前記樹脂膜の上面に貼り付けた後に前記樹脂フィルムから前記支持フィルムを剥がすことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第1の電極はひさしを含むY型又はT型のゲート電極であり、
前記ゲート電極の前記ひさしの下にも前記中空構造が形成されていることを特徴とする請求項1又は2に記載の半導体装置の製造方法。
- [請求項4] 前記第1の開口を形成した後、前記半導体基板をダイシングする前に前記ダイシングラインの上の前記樹脂膜を除去して第2の開口を形成する工程を更に備えることを特徴とする請求項1～3の何れか1項

に記載の半導体装置の製造方法。

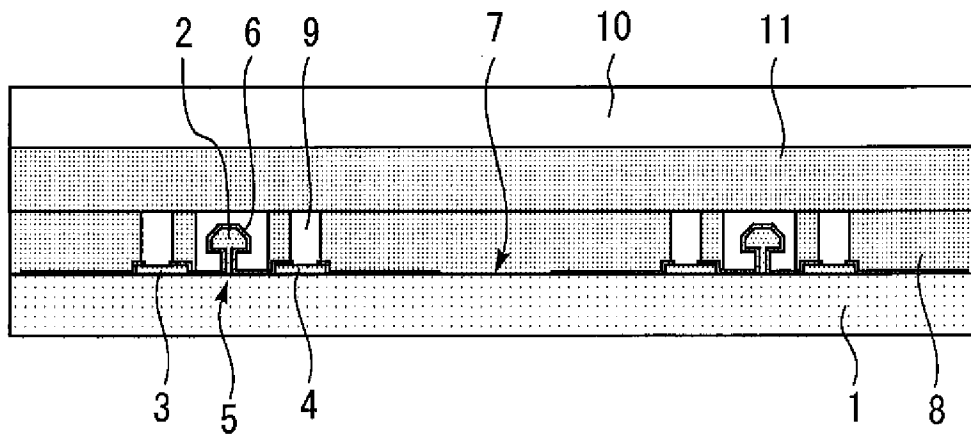
[請求項5] 前記第 1 の開口の端部が前記第 2 の開口の端部よりも前記半導体デバイス側であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

[請求項6] 前記ダイシングラインの上の前記樹脂膜を前記半導体基板と共にダイシングすることを特徴とする請求項 1 ～ 3 の何れか 1 項に記載の半導体装置の製造方法。

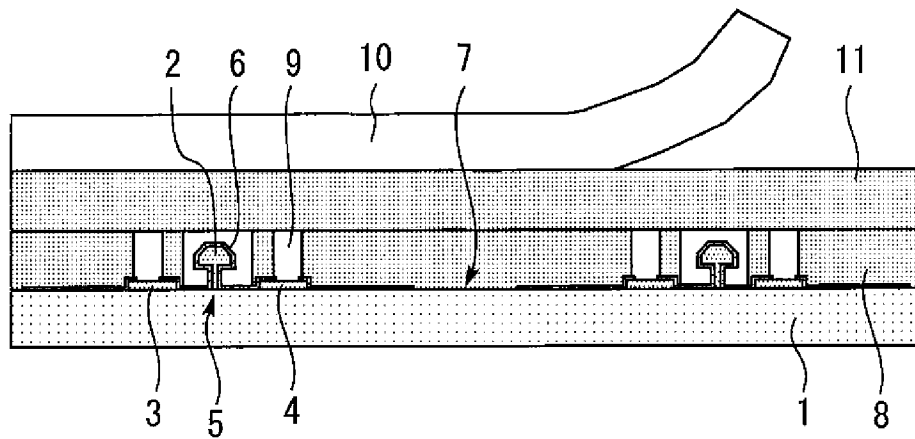
[図1]



[図2]



[図3]



[図4]

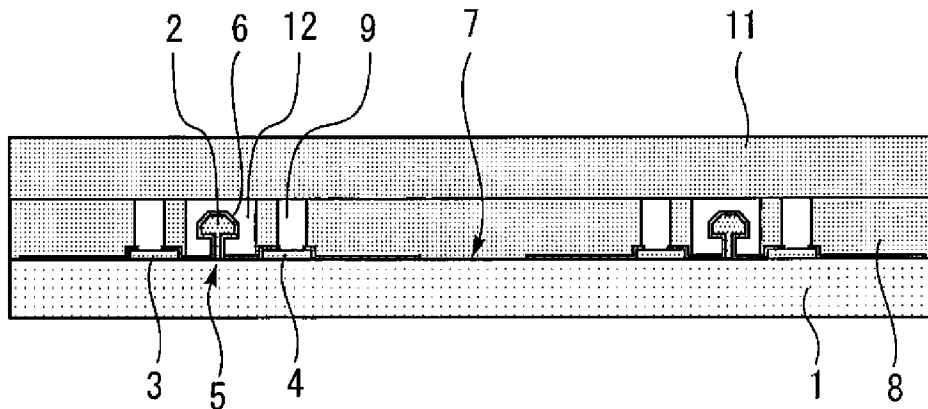
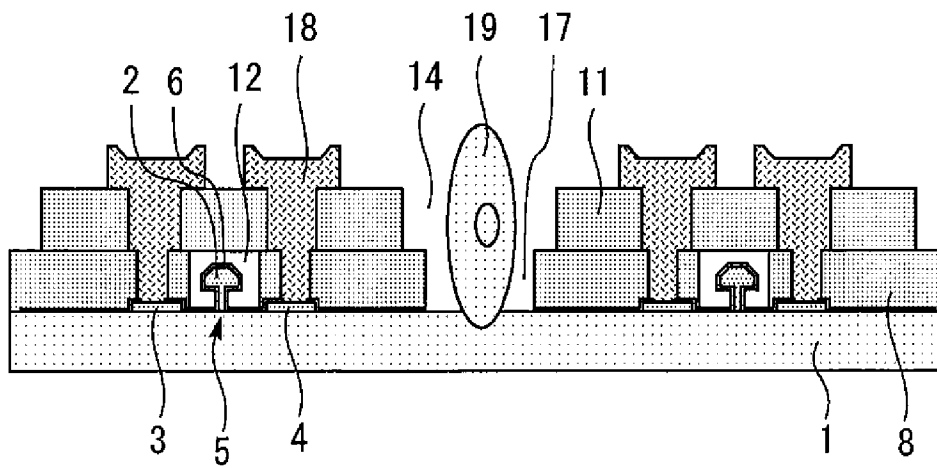


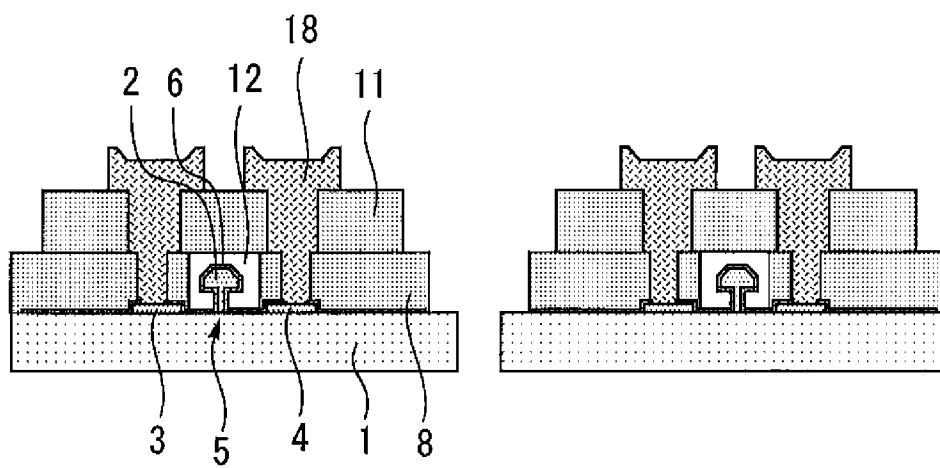
Figure 1 is a cross-sectional view of a semiconductor device during a dry etching process. The device consists of a substrate 1 with a base layer 8. On top of the base layer, there are several rectangular blocks 15 and 16. A central block 12 is being etched, with a downward arrow labeled 'ドライエッチング' (Dry Etching) indicating the process. The etching is performed through a mask 7. The etched region is labeled 14. Other components labeled include 2, 3, 4, 5, 6, 11, and 13.

This cross-sectional view shows a semiconductor device with a central gate structure and side gates. The central gate structure includes a gate dielectric (12), a gate electrode (13), and a gate stack (9). The side gates include a gate dielectric (14), a gate electrode (17), and a gate stack (11). The device is built on a substrate (1) with a layer (8) on top. The central gate structure is flanked by side gates, and the entire device is covered by a layer (3). The central gate structure is connected to a terminal (5) and the side gates are connected to a terminal (4). The central gate structure is also connected to a terminal (2) and the side gates are connected to a terminal (6). The central gate structure is also connected to a terminal (12) and the side gates are connected to a terminal (13). The central gate structure is also connected to a terminal (14) and the side gates are connected to a terminal (17). The central gate structure is also connected to a terminal (11) and the side gates are connected to a terminal (9).

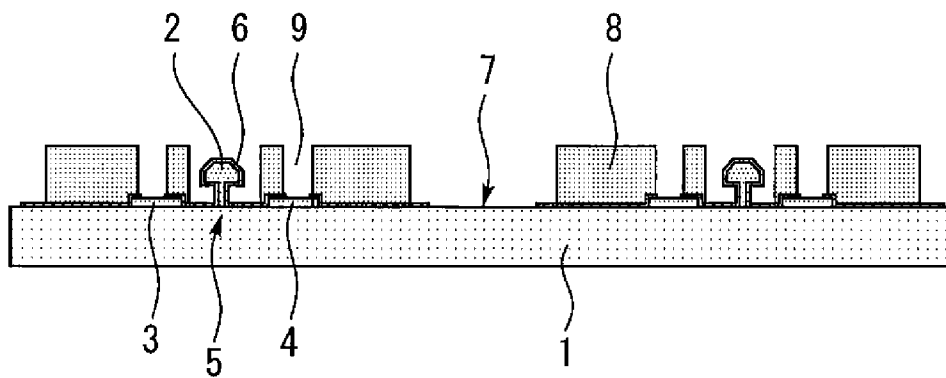
[図8]



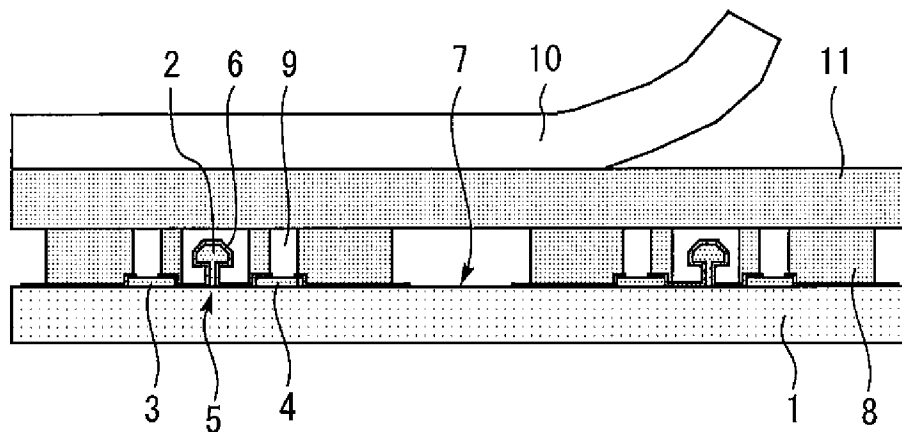
[図9]



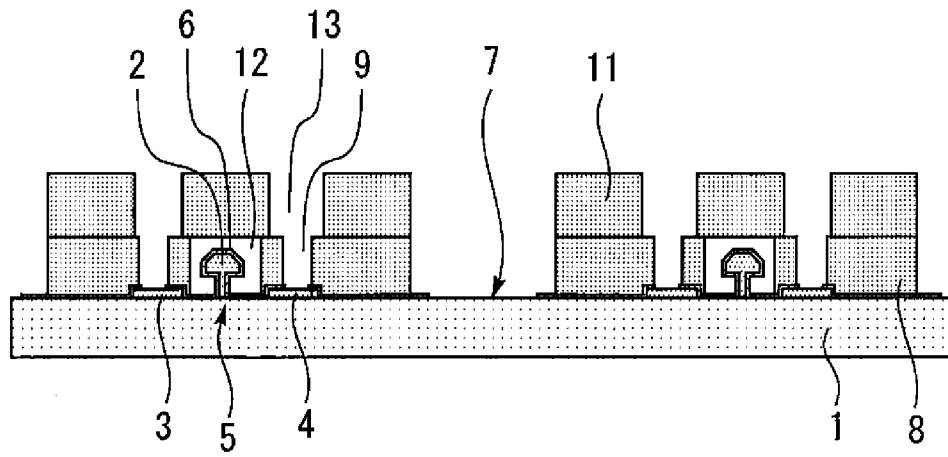
[図10]



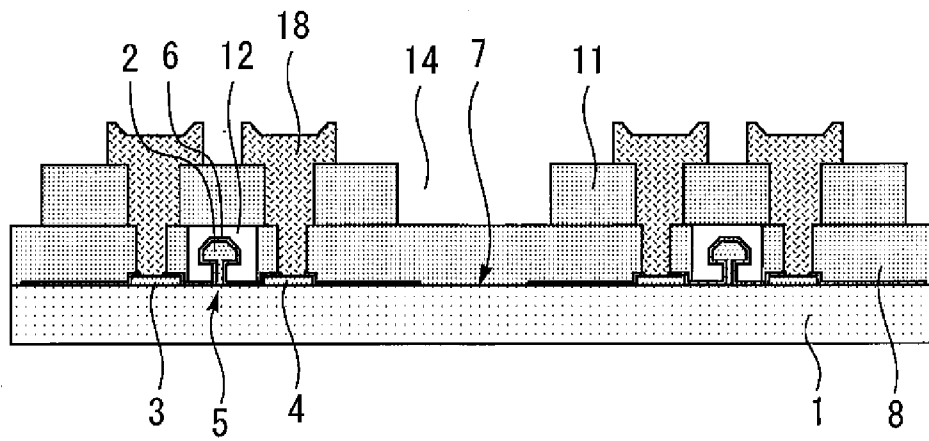
[図11]



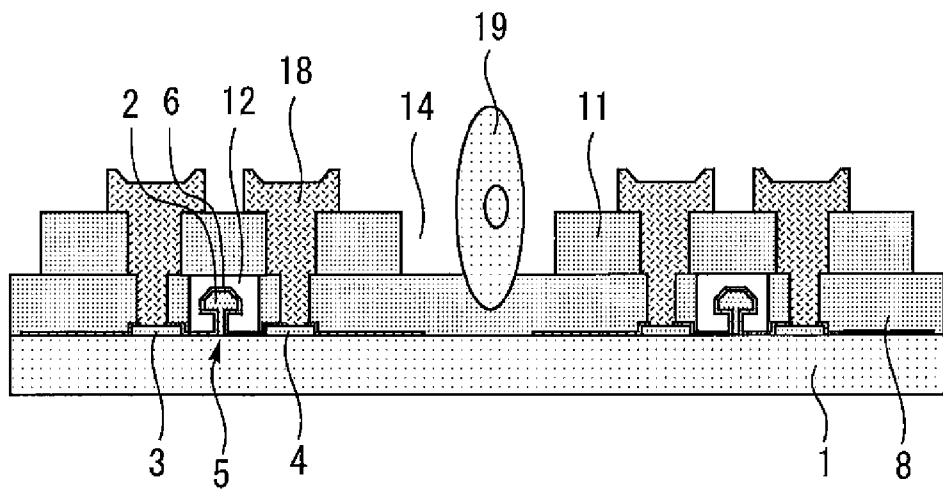
[図12]



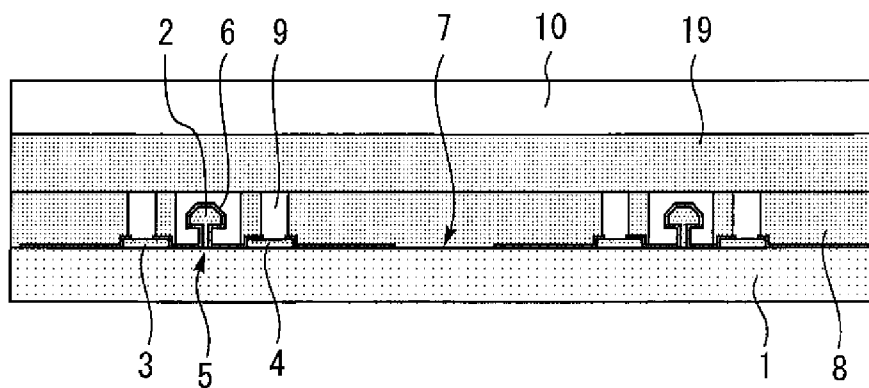
[図13]



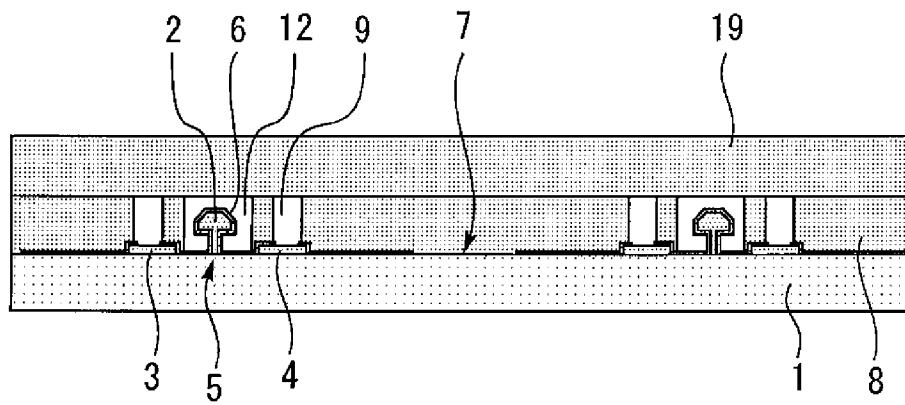
[図14]



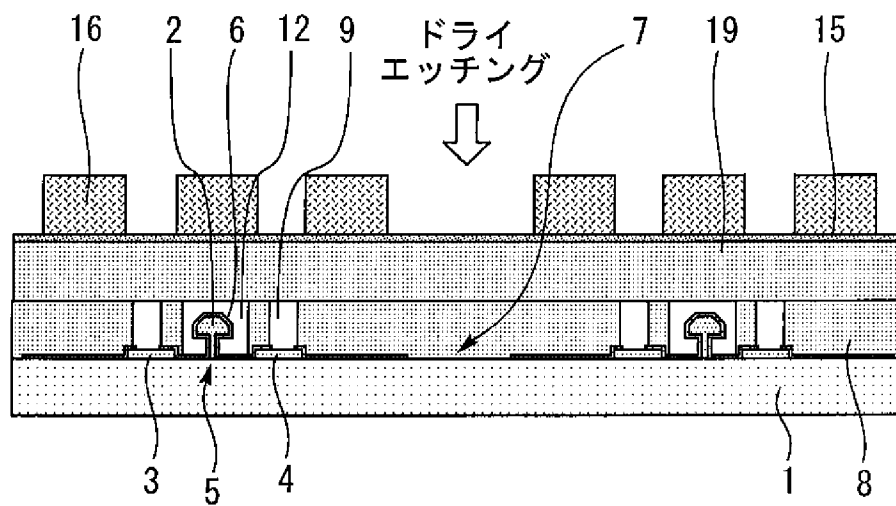
[図15]



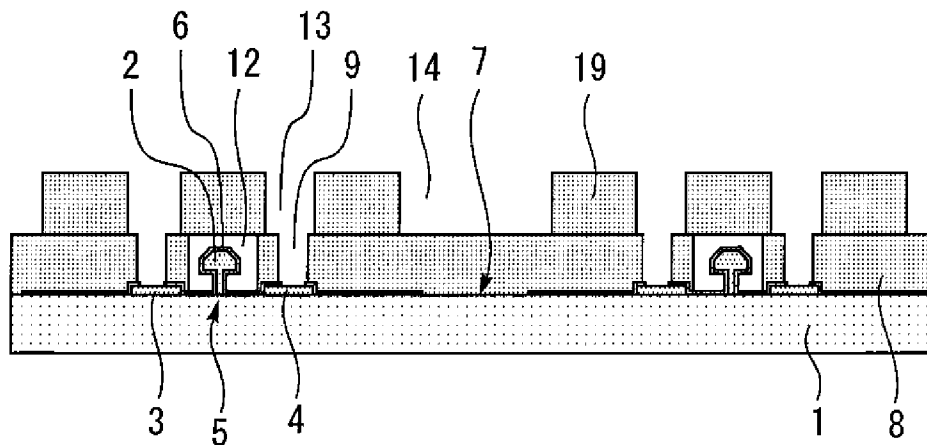
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/020353

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/301 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/301

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-039319 A (MITSUBISHI ELECTRIC CORP.) 22 March 2016, entire text, all drawings & US 2016/0042994 A1, entire text, all drawings & DE 102015212980 A1 & CN 105374743 A & KR 10-2016-0018428 A	1-6
A	JP 2011-014652 A (PANASONIC ELECTRIC WORKS CO., LTD.) 20 January 2011, entire text, all drawings (Family: none)	1-6
A	JP 2009-206183 A (FUJITSU MEDIA DEVICES LIMITED) 10 September 2009, entire text, all drawings & US 2009/0212399 A1, entire text, all drawings & US 2011/0156265 A1 & CN 101521493 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19.06.2018

Date of mailing of the international search report
03.07.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/301(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/301

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-039319 A（三菱電機株式会社）2016.03.22, 全文, 全図 & US 2016/0042994 A1, 全文, 全図 & DE 102015212980 A1 & CN 105374743 A & KR 10-2016-0018428 A	1-6
A	JP 2011-014652 A（パナソニック電工株式会社）2011.01.20, 全文, 全図（ファミリーなし）	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

19.06.2018

国際調査報告の発送日

03.07.2018

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山口 大志

50

4053

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-206183 A (富士通メディアデバイス株式会社) 2009.09.10, 全文, 全図 & US 2009/0212399 A1, 全文, 全図 & US 2011/0156265 A1 & CN 101521493 A	1-6