

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成18年3月30日(2006.3.30)

【公開番号】特開2003-323159(P2003-323159A)

【公開日】平成15年11月14日(2003.11.14)

【出願番号】特願2003-52746(P2003-52746)

【国際特許分類】

G 09 G	3/30	(2006.01)
G 09 G	3/20	(2006.01)
H 01 L	51/50	(2006.01)

【F I】

G 09 G	3/30	K
G 09 G	3/20	6 1 1 A
G 09 G	3/20	6 2 4 C
G 09 G	3/20	6 4 1 A
G 09 G	3/20	6 4 1 D
G 09 G	3/20	6 4 1 E
H 05 B	33/14	A

【手続補正書】

【提出日】平成18年2月13日(2006.2.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

発光素子が設けられた複数の画素を有し、前記発光素子の発光時間の差を制御して階調の表現を行う発光装置の駆動方法であって、

映像信号の前記画素への書き込みを行う第1のステップと、

前記書き込まれた映像信号に基づき、前記発光素子を発光、もしくは非発光の状態とする第2のステップと、

前記第2のステップの後、前記発光素子を強制的に非発光の状態とする第3のステップと、

前記発光素子の第1の電極と第2の電極間に、前記発光素子の発光時に、前記発光素子の第1の電極と第2の電極間に印加された順方向バイアス電圧V₁に対してその極性の反転した逆方向バイアス電圧V₂を印加する第4のステップとを有し、

かつ、|V₁| |V₂|とすることを特徴とする発光装置の駆動方法。

【請求項2】

複数の画素を有し、

前記画素はソース信号線、書込用ゲート信号線、消去用ゲート信号線、スイッチング用薄膜トランジスタ、消去用薄膜トランジスタ、駆動用薄膜トランジスタ、発光素子、電流供給線を有し、

前記発光素子の一方は前記駆動用薄膜トランジスタのソース電極またはドレイン電極に、他方は対向電極に接続され、

前記対向電極の電位は前記発光素子に順方向バイアスを印加する時にはV₁、逆方向バイアスを印加する時にはV₂に対してその極性を反転したV₃であり、

前記発光素子の発光時間の差を制御して階調の表現を行う発光装置の駆動方法であって

前記発光素子に順方向バイアスが印加される期間において、

前記対向電極の電位をV₁にするステップと、

前記書込用ゲート信号線からパルスが前記スイッチング用薄膜トランジスタのゲート電極に入力され、前記ソース信号線から映像信号を前記スイッチング用薄膜トランジスタのソース電極及びドレイン電極を介して前記駆動用薄膜トランジスタのゲート電極に印加し、前記駆動用薄膜トランジスタをオン又はオフさせるステップと、

前記駆動用薄膜トランジスタがオン時には前記電流供給線から前記駆動用薄膜トランジスタのソース電極及びドレイン電極を介して前記発光素子に電流を流して発光状態にするステップと、

前記駆動用薄膜トランジスタがオフ時には前記電流供給線から前記駆動用薄膜トランジスタのソース電極及びドレイン電極を介して前記発光素子に電流が流れず非発光状態にするステップと、

前記消去用ゲート信号線からパルスが前記消去用薄膜トランジスタのゲート電極に入力され、前記消去用薄膜トランジスタをオンすることによって、前記駆動用薄膜トランジスタのゲートに前記消去用薄膜トランジスタのソース及びドレインを介して前記電流供給線の電位を入力するとともに前記駆動用薄膜トランジスタのソースに前記電流供給線の電位を入力して、前記駆動用薄膜トランジスタをオフにして前記発光素子を非発光状態にするステップと、を有し、

前記発光素子に逆方向バイアスが印加される期間において、

前記対向電極の電位をV₂にするステップと、

前記消去用ゲート信号線からパルスが前記消去用薄膜トランジスタのゲート電極に入力され、前記消去用薄膜トランジスタをオンすることによって、前記駆動用薄膜トランジスタのゲートに前記消去用薄膜トランジスタのソース及びドレインを介して前記電流供給線の電位を入力するとともに前記駆動用薄膜トランジスタのソースに前記電流供給線の電位を入力して、前記駆動用薄膜トランジスタをオフにして前記発光素子を非発光状態にするステップと、を有し、

前記電流供給線の電位はV₁よりも高く、V₂よりも低く、

かつ、|V₁|>|V₂|とすることを特徴とする発光装置の駆動方法。

【請求項3】

複数の画素を有し、

前記画素はソース信号線、書込用ゲート信号線、消去用ゲート信号線、スイッチング用薄膜トランジスタ、消去用薄膜トランジスタ、駆動用薄膜トランジスタ、発光素子、電流供給線を有し、

前記発光素子の一方は前記駆動用薄膜トランジスタのソース電極またはドレイン電極に、他方は対向電極に接続され、

前記対向電極の電位は前記発光素子に順方向バイアスを印加する時にはV₁、逆方向バイアスを印加する時にはV₂に対してその極性を反転したV₃であり、

前記書込用ゲート信号線は前記発光素子に順方向バイアスを印加する時にはV₃、逆方向バイアスを印加する時にはV₄が選択され、

V₃が選択された時には、ゲートドライバのシフトレジスタからの出力パルスが前記書込用ゲート信号線に出力され、V₄が選択された時には、前記スイッチング用薄膜トランジスタがオンとなる電位が、前記書込用ゲート信号線に出力され、

前記発光素子の発光時間の差を制御して階調の表現を行う発光装置の駆動方法であって、

前記発光素子に順方向バイアスが印加される期間において、

前記対向電極の電位をV₁にするステップと、

前記書込用ゲート信号線はV₃が選択されるステップと、

前記書込用ゲート信号線からパルスが前記スイッチング用薄膜トランジスタのゲート電極に入力され、前記ソース信号線から映像信号を前記スイッチング用薄膜トランジスタ

のソース電極及びドレイン電極を介して前記駆動用薄膜トランジスタのゲート電極に印加し、前記駆動用薄膜トランジスタをオン又はオフさせるステップと、

前記駆動用薄膜トランジスタがオン時には前記電流供給線から前記駆動用薄膜トランジスタのソース電極及びドレイン電極を介して前記発光素子に電流を流して発光状態にするステップと、

前記駆動用薄膜トランジスタがオフ時には前記電流供給線から前記駆動用薄膜トランジスタのソース電極及びドレイン電極を介して前記発光素子に電流が流れず非発光状態にするステップと、

前記消去用ゲート信号線からパルスが前記消去用薄膜トランジスタのゲート電極に入力され、前記消去用薄膜トランジスタをオンすることによって、前記駆動用薄膜トランジスタのゲートに前記消去用薄膜トランジスタのソース及びドレインを介して前記電流供給線の電位を入力するとともに前記駆動用薄膜トランジスタのソースに前記電流供給線の電位を入力して、前記駆動用薄膜トランジスタをオフにして前記発光素子を非発光状態にするステップと、を有し、

前記発光素子に逆方向バイアスが印加される期間において、

前記対向電極の電位を V_2 にするステップと、

前記書込用ゲート信号線は V_4 が選択されるステップと、

前記ソース信号線からの電位によって前記駆動用薄膜トランジスタをオンにするステップと、を有し、

前記電流供給線の電位は V_1 よりも高く、 V_2 よりも低く、

かつ、 $|V_1| > |V_2|$ とすることを特徴とする発光装置の駆動方法。

【請求項4】

発光素子が設けられた複数の画素を有し、前記発光素子の発光時間の差を制御して階調の表現を行う発光装置の駆動方法であって、

1フレーム期間は、n個(n は自然数、 $2 < n$)のサブフレーム期間を有し、

前記サブフレーム期間は、それぞれ、映像信号の画素への書き込みを行うアドレス期間と、前記画素に書き込まれた映像信号に基づき前記発光素子の発光または非発光を制御して表示を行うサステイン期間とを有し、

前記n個のサブフレーム期間より選ばれたm個(m は自然数、 $0 < m < n - 1$)のサブフレーム期間は、それぞれ、前記サステイン期間の終了後、画素にリセット信号の書き込みを行う、互いに期間の重複しないm個のリセット期間と、前記リセット信号が書き込まれた行において前記発光素子の状態を強制的に非発光状態とする、互いに期間の重複しないm個の消去期間とを有し、

前記m個のサブフレーム期間より選ばれたk個(k は自然数、 $0 < k < m$)のサブフレーム期間は、それぞれ、前記発光素子の発光時に、前記発光素子の第1の電極と第2の電極間に印加されている順方向バイアス電圧 V_1 に対してその極性の反転した逆方向バイアス電圧 V_2 を印加する、互いに期間の重複しないk個の逆方向バイアス印加期間を有し、

前記アドレス期間、前記サステイン期間、前記リセット期間、前記消去期間および前記逆方向バイアス印加期間は、それぞれが互いに一部重複する期間を有し、

かつ、 $|V_1| > |V_2|$ とすることを特徴とする発光装置の駆動方法。

【請求項5】

複数の画素を有し、

前記画素はソース信号線、書込用ゲート信号線、消去用ゲート信号線、スイッチング用薄膜トランジスタ、消去用薄膜トランジスタ、駆動用薄膜トランジスタ、発光素子、電流供給線を有し、

前記発光素子の一方は前記駆動用薄膜トランジスタのソース電極またはドレイン電極に、他方は対向電極に接続され、

前記対向電極の電位は前記発光素子に順方向バイアスを印加する時には V_1 、逆方向バイアスを印加する時には V_2 に対してその極性を反転した V_3 であり、

前記発光素子の発光時間の差を制御して階調の表現を行う発光装置の駆動方法であって

、
1フレーム期間は、n個（nは自然数、 $2 < n$ ）のサブフレーム期間を有し、

前記サブフレーム期間は、それぞれ、映像信号の画素への書き込みを行うアドレス期間と、前記画素に書き込まれた映像信号に基づき前記発光素子の発光または非発光を制御して表示を行うサステイン期間とを有し、

前記n個のサブフレーム期間より選ばれたm個（mは自然数、 $0 < m < n - 1$ ）のサブフレーム期間は、それぞれ、前記サステイン期間の終了後、画素にリセット信号の書き込みを行う、互いに期間の重複しないm個のリセット期間と、前記リセット信号が書き込まれた行において前記発光素子の状態を強制的に非発光状態とする、互いに期間の重複しないm個の消去期間とを有し、

前記m個のサブフレーム期間より選ばれたk個（kは自然数、 $0 < k < m$ ）のサブフレーム期間は、それぞれ、前記対向電極の電位をV₂に印加する、互いに期間の重複しないk個の逆方向バイアス印加期間とを有し、

前記アドレス期間、前記サステイン期間、前記リセット期間、前記消去期間および前記逆方向バイアス印加期間は、それぞれが互いに一部重複する期間とを有し、

前記電流供給線の電位はV₁よりも高く、V₂よりも低く、

かつ、|V₁| > |V₂|とすることを特徴とする発光装置の駆動方法。

【請求項6】

前記アドレス期間において、

前記書込用ゲート信号線からパルスが前記スイッチング用薄膜トランジスタのゲート電極に入力され、前記スイッチング用薄膜トランジスタをオンにし、前記ソース信号線から前記映像信号を前記スイッチング用薄膜トランジスタのソース及びドレインを介して前記駆動用薄膜トランジスタのゲート電極に印加し、前記駆動用薄膜トランジスタをオン又はオフさせることによって画素への書き込みを行い、

前記サステイン期間において、

前記駆動用薄膜トランジスタがオン時には前記電流供給線から前記駆動用薄膜トランジスタのソース電極及びドレイン電極を介して前記発光素子に電流を流して発光状態にし、

前記駆動用薄膜トランジスタがオフ時には前記電流供給線から前記駆動用薄膜トランジスタのソース電極及びドレイン電極を介して前記発光素子に電流が流れず非発光状態にし、

前記リセット期間において、

前記消去用ゲート信号線からパルスが前記消去用薄膜トランジスタのゲート電極に入力され、前記消去用薄膜トランジスタをオン又はオフさせることによって、画素にリセット信号の書き込みを行い、

前記消去期間において、

前記消去用薄膜トランジスタがオン時には前記駆動用薄膜トランジスタのゲートに前記消去用薄膜トランジスタのソース及びドレインを介して前記電流供給線の電位を入力するとともに前記駆動用薄膜トランジスタのソースに前記電流供給線の電位を入力して、前記駆動用薄膜トランジスタをオフにして前記発光素子を非発光状態にすることを特徴とする請求項5に記載の発光装置の駆動方法。

【請求項7】

請求項2、3、5又は6において、前記スイッチング用薄膜トランジスタ、前記消去用薄膜トランジスタがNチャネル型薄膜トランジスタであり、

前記駆動用薄膜トランジスタがPチャネル型薄膜トランジスタであり、

前記発光素子において、前記駆動用薄膜トランジスタのソース電極またはドレイン電極に接続されている側が陽極であり、前記対向電極に接続されている側が陰極であることを特徴とする発光装置の駆動方法。

【請求項8】

請求項1乃至請求項6のいずれか1項において、前記発光素子が発光、もしくは非発光

となって画面の表示を行っている期間において、前記順方向バイアス電圧が印加されている発光素子は定電流駆動されることを特徴とする発光装置の駆動方法。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項において、前記順方向バイアス電圧から前記逆方向バイアス電圧への変更は、前記発光素子の前記対向電極のみを変化させることによって行うことを特徴とする発光装置の駆動方法。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか 1 項に記載の発光装置の駆動方法を用いることを特徴とする発光装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正の内容】

【0072】

所望の逆方向バイアス期間 T_{b3} が終了した時点で、対向電極の電位を V_c_2 から V_c_1 へ切り替える。それと同時に、次のアドレス(書き込み)期間 T_{a4} が開始される。以後、SF3 と同様の動作を繰り返し、SF4 が終了すると、1 フレームが終了し、次のフレームへと移る。