(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4319259号
(P4319259)

(45)発行日　平成21年8月26日(2009.8.26)　(24)登録日　平成21年6月5日(2009.6.5)

(51)Int.Cl.　F I
G11B 19/28 (2006.01)　G11B 19/28　C
G11B 20/14 (2006.01)　G11B 20/14　351A

請求項の数 13　(全 16 頁)

(21)出願番号　特願平8-189916
(22)出願日　平成8年7月2日(1996.7.2)
(65)公開番号　特開平10-21634
(43)公開日　平成10年1月23日(1998.1.23)
審査請求日　平成14年3月15日(2002.3.15)
審判番号　不服2005-3591(P2005-3591/J1)
審判請求日　平成17年3月2日(2005.3.2)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100097629
弁理士　竹村　壽
(72)発明者　林　泰弘
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝　半導体システム技術センター内
(72)発明者　三谷　孝一
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝　半導体システム技術センター内

最終頁に続く

(54)【発明の名称】アクティブ・ワイドレンジＰＬＬ装置、位相ロックループ方法及びディスク再生装置

(57)【特許請求の範囲】

【請求項１】

第１の制御電圧によって発振周波数を連続的に変化させ、且つ第２の制御電圧によって第１の制御電圧対発振周波数特性を連続的に変化させる電圧制御発振器と、

ディスクから読み出されたデータと前記電圧制御発振器の出力の位相とを比較する位相検出手段と、

ディスクから読み出されたデータと前記電圧制御発振器の出力の周波数とを比較する周波数検出手段と、

前記位相及び周波数検出手段の検出結果をイコライジングする第１のフィルタ手段と、

前記第１のフィルタ手段の出力の低周波数成分を取り出す第２のフィルタ手段とを備え、

前記第１のフィルタ手段の出力を前記第１の制御電圧とし、前記第２のフィルタ手段の出力を前記第２の制御電圧とし、前記第２の制御電圧は、前記第１の制御電圧の低周波成分に応じて決まり、前記電圧制御発振器が発振可能な周波数においてロックし、前記ロック動作は、前記位相検出手段と周波数検出手段とから生成される第１のフィルタ手段の出力によって常時制御され、ロックした状態のまま、前記第１の制御電圧が常に所定の電圧になるように前記第２の制御電圧を変化させ、前記電圧制御発振器の発振周波数センターをシフトすることを特徴とするアクティブワイドレンジＰＬＬ装置。

【請求項２】

前記電圧制御発振器は、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジス

タのソース／ドレインを互いに電気的に接続した複数のトランジスタ対を有するリングオシレータを備え、前記ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとにおいて、一方のＭＯＳトランジスタのゲートには前記第１の制御電圧が入力され、他方のＭＯＳトランジスタのゲートには前記第２の制御電圧が入力されることを特徴とする請求項１に記載のアクティブ・ワイドレンジＰＬＬ装置。

【請求項３】

ディスクから読み出されたデータと第１の制御電圧によって発振周波数を連続的に変化させ、且つ第２の制御電圧によって第１の制御電圧対発振周波数特性を連続的に変化させる電圧制御発振器の出力の位相とを比較する位相検出手段とこのデータと前記電圧制御発振器の出力の周波数とを比較する周波数検出手段との検出検出結果を第１のフィルタ手段でイコライジングする段階と、

第２のフィルタ手段を用いて前記第１のフィルタ手段の出力の低周波数成分を取り出す段階と、

前記第１のフィルタ手段の出力を前記第１の制御電圧とし、前記第２のフィルタ手段の出力を前記第２の制御電圧とし、前記第２の制御電圧は、前記第１の制御電圧の低周波成分に応じて決まり、前記電圧制御発振器が発振可能な周波数においてロックする段階とを有し、

前記ロック動作は、前記位相検出手段と周波数検出手段とから生成される第１のフィルタ手段の出力によって常時制御され、ロックした状態のまま、前記第１の制御電圧が常に所定の電圧になるように前記第２の制御電圧を変化させ、前記電圧制御発振器の発振周波数センターをシフトすることを特徴とする位相ロックループ方法。

【請求項４】

データが記録されているディスクからこのデータを読み取る手段と、

ディスクモータを線速度一定で回転させる手段と、

ディスクモータを角速度一定で回転させる手段と、

前記ディスクモータを線速度一定で回転させる手段及び前記ディスクモータを角速度一定で回転させる手段のいづれかを選択するスイッチング手段と、

前記データを読み取る手段から読み取られたデータを２値化してＥＦＭ信号を生成する手段と、

前記ＥＦＭ信号に同期し、前記ディスクモータの回転速度に応じたクロックを生成するクロック生成手段と、

前記ＥＦＭ信号を復調し、再生データを生成する手段と、

前記再生データを一時的に格納するメモリ手段と、

前記クロックに同期して前記再生データを前記メモリ手段に書き込み、基準クロックに同期して前記再生データを読み出すメモリ制御手段とを具備し、

前記クロック生成手段は第１の制御電圧によって発振周波数を連続的に変化させ、且つ第２の制御電圧によって第１の制御電圧対発振周波数特性を連続的に変化させる電圧制御発振器と、ディスクから読み出されたデータと前記電圧制御発振器の出力の位相とを比較する位相検出手段と、ディスクから読み出されたデータと前記電圧制御発振器の出力の周波数とを比較する周波数検出手段と、前記位相及び周波数検出手段の検出結果をイコライジングする第１のフィルタ手段と、前記第１のフィルタ手段の出力の低周波数成分を取り出す第２のフィルタ手段とを備え、

前記第１のフィルタ手段の出力を前記第１の制御電圧とし、前記第２のフィルタ手段の出力を前記第２の制御電圧とし、前記第２の制御電圧は、前記第１の制御電圧の低周波成分に応じて決まり、前記電圧制御発振器が発振可能な周波数においてロックし、前記ロック動作は、前記位相検出手段と周波数検出手段とから生成される第１のフィルタ手段の出力によって常時制御され、ロックした状態のまま、前記第１の制御電圧が常に所定の電圧になるように前記第２の制御電圧を変化させ、前記電圧制御発振器の発振周波数センターをシフトすることを特徴とするディスク再生装置。

【請求項５】

前記スイッチング手段は、前記ディスクを低速回転させるときはで前記ディスクモータを線速度一定で回転させる手段を選択し、前記ディスクを高速で回転させる時は前記ディスクモータを角速度一定で回転させる手段を選択することを特徴とする請求項４に記載のディスク再生装置。

【請求項６】

前記スイッチング手段は、前記ディスクの内周を再生するときは前記ディスクモータを角速度一定で回転させる手段を選択し、前記ディスクの外周を再生するときは前記ディスクモータを線速度一定で回転させる手段を選択することを特徴とする請求項４に記載のディスク再生装置。

【請求項７】

データが記録されているディスクからこのデータを形成する読み取り手段と、

ＰＬＬ回路とを備え、

前記ＰＬＬ回路は、第１の制御電圧によって発振周波数を連続的に変化させ、且つ第２の制御電圧によって第１の制御電圧対発振周波数特性を連続的に変化させる電圧制御発振器と、ディスクから読み出されたデータと前記電圧制御発振器の出力の位相とを比較する位相検出手段と、ディスクから読み出されたデータと前記電圧制御発振器の出力の周波数とを比較する周波数検出手段と、前記位相及び周波数検出手段の検出結果をイコライジングする第１のフィルタ手段と、前記第１のフィルタ手段の出力の低周波数成分を取り出す第２のフィルタ手段とを備え、前記第１のフィルタ手段の出力を前記第１の制御電圧とし、前記第２のフィルタ手段の出力を前記第２の制御電圧とし、前記第２の制御電圧は、前記第１の制御電圧の低周波成分に応じて決まり、前記電圧制御発振器が発振可能な周波数においてロックし、前記ロック動作は、前記位相検出手段と周波数検出手段とから生成される第１のフィルタ手段の出力によって常時制御され、ロックした状態のまま、前記第１の制御電圧が常に所定の電圧になるように前記第２の制御電圧を変化させ、前記電圧制御発振器の発振周波数センターをシフトすることを特徴とするディスク再生装置。

【請求項８】

前記ディスクを回転させ、且つ前記ディスクの回転速度を変えるデスクモータ制御回路をさらに備えたことを特徴とする請求項７に記載のディスク再生装置。

【請求項９】

ディスクから読み出されたデータから生成された２値化データを蓄えるメモリと、前記２値化データのエラー訂正を完遂し、前記ＰＬＬ回路から出力したクロックを適用する訂正回路をさらに備えたことを特徴とする請求項７に記載のディスク再生装置。

【請求項１０】

前記ＰＬＬ回路は、前記第１の制御電圧を生成する第１の制御電圧発生器と、

２値化データの位相と発振周波数を有するクロックとを比較する位相比較器と、

前記２値化データからの予め定められた周波数を有するデータを検出する周波数検出器とを備えたことを特徴とする請求項７に記載のディスク再生装置。

【請求項１１】

前記中心周波数は、前記発振周波数と一致して変化することを特徴とする請求項７に記載のディスク再生装置。

【請求項１２】

前記電圧制御発振器の前記発振周波数が変化するときに、前記中心周波数は、発振周波数にごく接近するように変化することを特徴とする請求項７に記載のディスク再生装置。

【請求項１３】

前記電圧制御発振器の前記発振周波数が変化するときに、前記中心周波数は、中心周波数と発振周波数との差が小さくなるように変化することを特徴とする請求項７に記載のディスク再生装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ＣＤ（コンパクトディスク）やＣＤ－ＲＯＭなどの光学的ディスク再生装置等に用いられる高性能なアクティブ・ワイドレンジＰＬＬ装置に関するものである。

【０００２】

【従来の技術】

現在、音響機器の分野では、高密度で忠実度の高い記録再生を行うために、オーディオ信号をＰＣＭ (Pulse Code Modulation)技術によりデジタル化信号に変換して、例えば、ディスクや磁気テープなどの記録媒体に記録し、これを再生するデジタル記録再生システム（ディスク再生装置）が知られている。とくに直径１２ｃｍのディスクにデジタル化データに対応したビット列を形成し、これを光学式に読み取るＣＤが最も普及している。この様なディスク再生装置は、半導体レーザや光電変換素子などを内蔵した光学式ピックアップ素子をディスクの内周側から外周側に向けてリニアトラッキングに移動させると共に、ＣＤを線速度一定（ＣＬＶ：Constant Linear Velocity）で回転させることによってＣＤに記録されたデータの読み取りを行う。

ディスク再生装置としてＣＤ－ＲＯＭもその代表例の１つである。ＣＤ－ＲＯＭはディスクに混在するオーディオ信号と、画像情報やキャラクタ・コードなどのＲＯＭデータとを再生する装置である。オーディオ信号を再生する際には、音として出力するために通常再生速度（１倍速）で再生が行われる。これに対し、ＲＯＭデータは、出来るだけ速くデータを読み取るために、例えば、２倍速あるいはそれ以上といった高速で再生が行われる。このようなオーディオ信号とＲＯＭデータとが混在したディスクを再生する場合、頻繁に再生速度を切換える（例えば、１倍速から２倍速へ、或いはその逆）必要がある。

【０００３】

図１を参照して従来のＣＤ－ＲＯＭドライブシステムを説明する。

ディスクモータ２４で回転されているディスク１１からピックアップヘッド１２によって読み出された信号は、アンプ１３に入力され、アンプ１３ではこの読み出された信号からＲＦ信号が生成される。ＲＦ信号は、データスライス回路１４で２値化される（ＥＦＭ(Eight to Fourteen Modulation)）。２値化信号ＥＦＭは、ＰＬＬ及び同期分離回路１５に入力され、ここでデータ信号ＤＡＴＡ、同期クロックＣＫ、同期信号ＰＦＣＫが生成される。ＰＬＬ及び同期分離回路１５で生成されたデータ信号ＤＡＴＡとクロックＣＫは、エラー訂正回路１６へ送られる。この訂正回路内でバッファＲＡＭ１７を使用してエラー訂正が行われる。エラー訂正回路１６で訂正された信号は、ＣＤ－ＲＯＭデコーダ回路１８でＣＤ－ＲＯＭ訂正及びバッファリングされ、ホストコンピュータ２８の命令に応じてデータのやり取りを行う。また、オーディオ用のディスクが再生された時は、エラー訂正回路１６からのデータ信号はオーデイオ用Ｄ／Ａ変換器２７でオーディオアナログ信号に変換され、ＣＤ－ＲＯＭドライブから出力される。

【０００４】

エラー訂正回路１６の動作クロックは、前記ＰＬＬ回路１５で抜き出されたクロックＣＫかクロックジェネレータ２５で生成されたクロックかをスイッチ回路１９で選択する構成になっている。ＣＫ側に切り替える場合は、ＣＤ－ＲＯＭ用のデータが高速再生される場合であり、発明者等が以前に提案した特願平６－２１１７８０号、特願平５－３００８３６号、特願平６－５１３５０号で述べている可変速再生が行われる時である。また、クロックジェネレータ２５のクロックに切り換わる場合は前記オーディオ用のディスクが再生される場合である。

さらに、ＰＬＬ及び同期分離回路１５で抜き出された同期信号ＰＦＣＫは、ディスクモータ制御回路（ＣＬＶ）２２でクロックジェネレータ２５から生成されたクロックＣＬＯＣＫと比較されて、モータ駆動信号を生成する。このディスクモータ駆動回路２２は、ディスクモータを線速度一定で回転させるための回路である。この出力（モータ駆動信号）は、スイッチ３２を介してモータードライバ２３に入力され、モータドライバ２３の出力によってディスクモータ２４が駆動される。

ここで、ディスクモータ２４の回転数を検出する検出器ＦＧ３０は、ディスク１１を角速度一定で回転させる（以下、ＣＡＶ(Constant Angular Velosity) 制御という）ＣＤ－Ｒ

ＯＭドライブを考えた場合に必要な構成要素である。ＦＧ３０で検出されたディスクモータ２４の回転数信号は、ディスクモータ制御回路（ＣＡＶ）３１へ送られ、クロックジェネレータ２５からのクロックを計測してディスクモータ制御信号を生成する。この信号は、スイッチで選択されてモータドライバ２３へ送られる。

【０００５】

ＣＡＶ制御を行う回路は、従来のＣＤ－ＲＯＭドライブシステムには必ずしも存在していない。この回路が存在するシステムを考えた場合、このスイッチ３２を切り替える信号は、システムコントローラで制御される場合が１例として考えられる。

一方、ピックアップ１２から出力された信号の一部は、マトリックスアンプ１９に入力される。そしてマトリックスアンプ１９でこの信号の一部からピックアップ制御用のエラー信号が生成される。このエラー信号は、ピックアップサーボ回路２０でイコライジング処理された後、ドライブ回路２１に入力され、その出力がピックアップアクチュエータを駆動する。

【０００６】

図９は、図１に示したＰＬＬ及び同期分離回路１５の詳細なブロック回路図である。一般に、ＰＬＬ(Phase Lock Loop) 回路は、出力信号を発生する電圧制御発振器（ＶＣＯ）と、この出力を所定の低周波数まで分周した信号と一定周波数の基準信号との位相差を検出してこの位相差に応じた制御電圧をＶＣＯに与える位相ロックループ（ＰＬＬループ）とを有する。即ち、ＰＬＬループは、ＶＣＯの出力を分周した信号と基準信号との位相が一致する位相ロック状態になるまでＶＣＯの制御電圧を調整する。ＰＬＬループは、位相差に応じた信号（電流）を制御電圧に変えるためのループフィルタを有する。データスライス回路１４で２値化されたＥＦＭ信号は、電圧制御発振器（以下、ＶＣＯ回路という）４３の出力信号を分周したクロックと位相を比較するため、位相比較器４０に入力される。また、ＥＭＦ信号は、その信号中の同期信号に含まれる１１Ｔ成分の信号（ＴＭＡＸといい、１Ｔ＝１／ｎ・４．３２１８ＭＨｚ（ｎ倍速再生時）であるので、１１Ｔ＝１１／ｎ・４．３２１８ＭＨｚである）をＶＣＯ回路のクロックで計測させるためＴＭＡＸ検出器４１に入力される。位相比較器４０とＴＭＡＸ検出器４１の出力信号は、ラグリードフィルター４２で加算積分され、ＶＣＯ回路４３に入力される。ＶＣＯ回路４３の出力クロックは、分周器４４で分周、選択され、位相比較器４０及びＴＭＡＸ検出器４１に入力される。

【０００７】

ここで、ＶＣＯ回路４３の入力信号ＣＶが、基準電圧（ＶＲ）の時、その出力クロックは、６８ＭＨｚの場合を考えている。したがって、１倍速再生時のＥＦＭ信号の同期クロックが４．３２ＭＨｚであるので、ＶＣＯ回路４３の出力クロックの１／１６になる。このときは、ＴＭＡＸ検出器４１に入力されるクロックは、前記位相比較器４０に入力されるクロックの２倍の周波数になる。この関係については１倍速から８倍速まで同様である。さらに２倍速再生時は、位相比較器４０に入力されるクロックは１倍速再生時の２倍の８．６４ＭＨｚになり、４倍速再生時及び８倍速再生時は、それぞれ１７．２８ＭＨｚ及び３４．５６ＭＨｚとなる。

また、図１のディスクモータ制御回路２２に入力される同期クロックＰＦＣＫは図９の同期信号分離回路４７で生成される。図１のエラー訂正回路に入力されるデータＤＡＴＡと同期クロックＣＫは、それぞれ図９のＤＡＴＡとＣＫに相当する。

【０００８】

図２には、ＣＭＯＳのＬＳＩ内部で一般的に良く使われるディレイラインによるリングオシレータタイプのＶＣＯ回路が示されている。ここでは、ＰチャネルＭＯＳトランジスタ（Ｐ－ｃｈ）のゲート電圧は、基準電圧ＶＲに固定されており、ＮチャネルＭＯＳトランジスタ（Ｎ－ｃｈ）のゲート電圧を変化させることにより、この一対のトランジスタの等価的なオン抵抗値を変化させ、リングオシレータ６０の発振周波数（ｆout ）を変化させる。リングオシレータ６０は、ソース／ドレインを接続した１対のＰチャネル／ＮチャネルトランジスタをＮ対有し、各対間にインバータが挿入されている。図３は、図２に示

すＶＣＯ回路で使用されるリングオシレータ６０のディレイセルの等価的な回路を示した図である。等価的には、上記のＭＯＳ抵抗のオン抵抗値を変化させることは、図３の可変抵抗器を変化させることに相当する。

【０００９】

【発明が解決しようとする課題】

もともとＣＤシステムは、オーディオ再生システムであるので１倍速で回転させていたが、ＣＤ－ＲＯＭとして応用されるようになってからは、転送レートが一般のコンピュータ記憶メディアと比較すると遅いことが欠点となっていた。さらに最近の大容量動画データの再生処理を考えると転送レートを上げることが重要な課題となってきている。最近では、４倍速再生機は当然であり、４倍速から６倍速へ、さらに８倍速とスピード競争は止まるところを知らない状況になっている。

ところが、ＣＤのディスク規格は、一般に１倍速を想定して決められ、線速度一定記録（ＣＬＶ記録）とされているために、内周と外周ではディスクの回転数が異なる。１倍速では、内周８Ｈｚ、外周で３Ｈｚであり、２倍速では、内周で１６Ｈｚ、外周で６Ｈｚとなる。８倍速になると、内周で６４Ｈｚ、外周で２４Ｈｚとなり、非常に速くディスクを回転させる必要が生じてくる。さらにシーク時は、この回転数を短時間で修正するため、より大きなトルクを持つ高価な高性能モータが必要になってくる。この観点から考え出されたのが、以前に発明した可変速再生技術であり、８倍速以上ではさらに一層こういった問題点が強調されてくるようになる。

【００１０】

また、高速回転時に発生する問題点を解決する方法としては、ＣＬＶ回転のまま、回転数をわずかに変化させ、ＣＤ－ＲＯＭドライブの性能を上げる方法も考案しており、特願平８－４９３２号で述べている。この方法もＶＣＯ回路の発振周波数幅を広げる手段の一つである。この発明では回転数を変化させると同時にＶＣＯ回路の発振周波数センターをシフトする手段を設けており、ファームウェアがこの操作に介在することを前提としているが、しかしこれではファームウェアの負担は大きい。

最近では、ディスクを高速に回転させる限界に近付いて来ているので、ＣＡＶ制御を行うドライブも出てきている。

このシステムではディスクモータの回転数を変化させる必要がない。しかし、ＣＡＶシステムではデータの転送レートが一定でないという問題がある。例えば、外周でのデータの転送速度が４倍速になるようにディスクを回転させると、それと同じ回転数では、内周で転送速度は１．６倍速となる。また、ＣＡＶシステムでは、モータを一定速度で回転させるために前述したＦＧ（Frequency Generator ：回転数に応じた数のパルスを発生させる回路）等のメカの変更が必要となる。また，内周から外周まで再生速度（データの転送レート）が変化するのでＰＬＬがロック可能な周波数レンジを大きくする必要がある。更に通常の音楽再生のためにＣＬＶに切り換える必要がある。このように、ＣＡＶ制御の場合は内周に対して外周のデータレートが２倍以上高くなってしまう。殆どのディスクは内周側にデータトラックが集中しているため、ＣＡＶ制御の場合、転送レートが低い状態が多く、非常に不利である。今後は、こういった問題点からＣＡＶ、ＣＬＶ混在型のドライブも多く出てくるものと思われる。

【００１１】

このような動向を考えた場合、ＰＬＬ及び同期分離回路１５のキャプチャレンジに要求される性能はさらに大きいものになる。

ディスクの回転を角速度一定（ＣＡＶ）で回転させることでデータの読み取りが可能となれば、ディスクを回転させるモーターもそれ程大きなものは必要なくなる。そしてシークタイムも回転変動を修正しないので、より高速化されることになる。

これを実現するためにはＶＣＯ回路の可変幅をより広げれば良い。線速度一定で記録されたディスクを角速度一定で回転させるということは、内周の取り込み信号のデータレートと外周の取り込み信号のデータレートが２．５倍異なるということになる。内周のレートに対して、外周は２．５倍レートが高くなる。したがって、このデータを読み出すために

は、ＶＣＯ回路のキャプチャレンジを広げなければならない。このことは前述した図２に示すＶＣＯ回路の発振レンジ幅を広げるということにほかならない。

【００１２】

したがって、ＶＣＯ回路の可変幅を広げるということは、換言するとＶＣＯ回路の変換ゲインを上げることになり、ＰＬＬループのゲインを上げることになる。ＰＬＬループのゲインを上げると、一般には、ＰＬＬループが閉じているときの応答性が速くなり、入力信号のわずかな時間変化に追従するようになるため、同期クロックＣＫのジッタが悪化し、データのエラーレートが悪化する。ＶＣＯ回路の可変幅が広いことはシークタイムの高速化には必要な要因ではあるが、ＣＤ－ＲＯＭドライブとしての信頼性（データのエラー率）から考えると好ましくない。通常、再生状態では、その時々のＰＬＬループのロック位置における発振周波数に対して、可変幅は数％もあれば十分である。しかし、シーク時のデータレート変動を吸収するためにはディスクが完全に角速度一定で回転していたとすると、外周から内周へシークを行う場合は、－６０％、内周から外周へシークを行う場合は、＋２６０％という非常に広い可変幅が必要となる。

それゆえ、この通常再生時の条件と高速再生時におけるシークタイムを最適化するための条件とは相反するものとなり、これを両立させることは難しい。

したがって、本発明は、通常再生時の条件と高速再生時におけるシークタイムを最適化するための条件と両立させるアクティブ・ワイドレンジＰＬＬ装置、位相ロックループ方法及びこのＰＬＬ装置を使用した光学的ディスク再生装置を提供する。

【００１３】

【課題を解決するための手段】

本発明は、ＶＣＯ回路に入力する制御電圧を２つ設け、一方の入力は従来の制御を行い、他方の入力にはデータレートの変化に追従するようなゆっくりとした変化電圧を入力し、通常再生時とシーク時の両方において、ＶＣＯ回路に要求される条件を満足するようにＰＬＬ装置を構成することを特徴とする。

このアクティブ・ワイドレンジＰＬＬ装置によれば、内外周のすべての位置で必要とするクロックをＶＣＯ回路が発振することが可能となり、データの読み取りが可能となる。

【００１４】

すなわち、本発明のアクティブ・ワイドレンジＰＬＬ装置は、第１の制御電圧によって発振周波数を連続的に変化させ且つ第２の制御電圧によって第１の制御電圧対発振周波数特性を連続的に変化させる電圧制御発振器と、ディスクから読み出されたデータと前記電圧制御発振器の出力の位相とを比較する位相検出手段と、ディスクから読み出されたデータと前記電圧制御発振器の出力の周波数とを比較する周波数検出手段と、前記位相及び周波数検出手段の検出結果をイコライジングする第１のフィルタ手段と、前記第１のフィルタ手段の出力の低周波数成分を取り出す第２のフィルタ手段とを備え、前記第１のフィルタ手段の出力を前記第１の制御電圧とし、前記第２のフィルタ手段の出力を前記第２の制御電圧とし、前記第２の制御電圧は、前記第１の制御電圧の低周波成分に応じて決まり、前記電圧制御発振器が発振可能な周波数においてロックし、前記ロック動作は、前記位相検出手段と周波数検出手段とから生成される第１のフィルタ手段の出力によって常時制御され、ロックした状態のまま、前記第１の制御電圧が常に所定の電圧になるように前記第２の制御電圧を変化させ、前記電圧制御発振器の発振周波数センターをシフトすることを特徴としている（請求項１）。

【００１５】

本発明の位相ロックループ方法は、ディスクから読み出されたデータと第１の制御電圧によって発振周波数を連続的に変化させ、且つ第２の制御電圧によって第１の制御電圧対発振周波数特性を連続的に変化させる電圧制御発振器の出力の位相とを比較する位相検出手段とこのデータと前記電圧制御発振器の出力の周波数とを比較する周波数検出手段との検出検出結果を第１のフィルタ手段でイコライジングする段階と、第２のフィルタ手段を用いて前記第１のフィルタ手段の出力の低周波数成分を取り出す段階と、前記第１のフィルタ手段の出力を前記第１の制御電圧とし、前記第２のフィルタ手段の出力を前記第２の

制御電圧とし、前記第２の制御電圧は、前記第１の制御電圧の低周波成分に応じて決まり、前記電圧制御発振器が発振可能な周波数においてロックする段階とを有し、前記ロック動作は、前記位相検出手段と周波数検出手段とから生成される第１のフィルタ手段の出力によって常時制御され、ロックした状態のまま、前記第１の制御電圧が常に所定の電圧になるように前記第２の制御電圧を変化させ、前記電圧制御発振器の発振周波数センターをシフトすることを特徴としている（請求項３）。

【００１６】

本発明のディスク再生装置は、データが記録されているディスクからこのデータを読み取る手段と、ディスクモータを線速度一定で回転させる手段と、ディスクモータを角速度一定で回転させる手段と、前記ディスクモータを線速度一定で回転させる手段及び前記ディスクモータを角速度一定で回転させる手段のいづれかを選択するスイッチング手段と、前記データを読み取る手段から読み取られたデータを２値化してＥＦＭ信号を生成する手段と、前記ＥＦＭ信号に同期し、前記ディスクモータの回転速度に応じたクロックを生成するクロック生成手段と、前記ＥＦＭ信号を復調し、再生データを生成する手段と、前記再生データを一時的に格納するメモリ手段と、前記クロックに同期して前記再生データを前記メモリ手段に書き込み、基準クロックに同期して前記再生データを読み出すメモリ制御手段とを具備し、前記クロック生成手段は第１の制御電圧によって発振周波数を連続的に変化させ、且つ第２の制御電圧によって第１の制御電圧対発振周波数特性を連続的に変化させる電圧制御発振器と、ディスクから読み出されたデータと前記電圧制御発振器の出力の位相とを比較する位相検出手段と、ディスクから読み出されたデータと前記電圧制御発振器の出力の周波数とを比較する周波数検出手段と、前記位相及び周波数検出手段の検出結果をイコライジングする第１のフィルタ手段と、前記第１のフィルタ手段の出力の低周波数成分を取り出す第２のフィルタ手段とを備え、前記第１のフィルタ手段の出力を前記第１の制御電圧とし、前記第２のフィルタ手段の出力を前記第２の制御電圧とし、前記第２の制御電圧は、前記第１の制御電圧の低周波成分に応じて決まり、前記電圧制御発振器が発振可能な周波数においてロックし、前記ロック動作は、前記位相検出手段と周波数検出手段とから生成される第１のフィルタ手段の出力によって常時制御され、ロックした状態のまま、前記第１の制御電圧が常に所定の電圧になるように前記第２の制御電圧を変化させ、前記電圧制御発振器の発振周波数センターをシフトするアクティブ・ワイドレンジＰＬＬ装置からなることを特徴としている（請求項４）。前記スイッチング手段は、前記ディスクを低速回転させるときはで前記ディスクモータを線速度一定で回転させる手段を選択し、前記ディスクを高速で回転させる時は前記ディスクモータを角速度一定で回転させる手段を選択するようにしても良い。前記スイッチング手段は、前記ディスクの内周を再生するときは前記ディスクモータを角速度一定で回転させる手段を選択し、前記ディスクの外周を再生するときは前記ディスクモータを線速度一定で回転させる手段を選択するようにしても良い。

また、本発明のディスク再生装置は、データが記録されているディスクからこのデータを形成する読み取り手段と、ＰＬＬ回路とを備え、前記ＰＬＬ回路は、第１の制御電圧によって発振周波数を連続的に変化させ、且つ第２の制御電圧によって第１の制御電圧対発振周波数特性を連続的に変化させる電圧制御発振器と、ディスクから読み出されたデータと前記電圧制御発振器の出力の位相とを比較する位相検出手段と、ディスクから読み出されたデータと前記電圧制御発振器の出力の周波数とを比較する周波数検出手段と、前記位相及び周波数検出手段の検出結果をイコライジングする第１のフィルタ手段と、前記第１のフィルタ手段の出力の低周波数成分を取り出す第２のフィルタ手段とを備え、前記第１のフィルタ手段の出力を前記第１の制御電圧とし、前記第２のフィルタ手段の出力を前記第２の制御電圧とし、前記第２の制御電圧は、前記第１の制御電圧の低周波成分に応じて決まり、前記電圧制御発振器が発振可能な周波数においてロックし、前記ロック動作は、前記位相検出手段と周波数検出手段とから生成される第１のフィルタ手段の出力によって常時制御され、ロックした状態のまま、前記第１の制御電圧が常に所定の電圧になるように前記第２の制御電圧を変化させ、前記電圧制御発振器の発振周波数センターをシフトす

ることを特徴としている（請求項７）。前記ディスクを回転させ、且つ前記ディスクの回転速度を変えるデスクモータ制御回路をさらに備えるようにしても良い。ディスクから読み出されたデータから生成された２値化データを蓄えるメモリと、前記２値化データのエラー訂正を完遂し、前記ＰＬＬ回路から出力したクロックを適用する訂正回路をさらに備えるようにしても良い。前記ＰＬＬ回路は、前記第１の制御電圧を生成する第１の制御電圧発生器と、２値化データの位相と発振周波数を有するクロックとを比較する位相比較器と、前記２値化データからの予め定められた周波数を有するデータを検出する周波数検出器とを備えるようにしても良い。前記中心周波数は、前記発振周波数と一致して変化するようにしても良い。前記電圧制御発振器の前記発振周波数が変化するときに、前記中心周波数は、発振周波数にごく接近するように変化するようにしても良い。前記電圧制御発振器の前記発振周波数が変化するときに、前記中心周波数は、中心周波数と発振周波数との差が小さくなるように変化するようにしても良い。

【００１８】

【発明の実施の形態】

以下、図面を参照して発明の実施の形態を説明する。

まず、図１乃至図７を参照して第１の実施例を説明する。図１は、本発明のアクティブ・ワイドレンジＰＬＬ装置を用いたＣＤ－ＲＯＭドライブシステム（ディスク再生装置）の回路ブロック図、図４は、デジタル積分器を用いた本発明のアクティブ・ワイドレンジＰＬＬ装置の回路図、図５は、図４のデジタル積分器の回路図、図６は、本発明のＶＣＯ特性を示す特性図、図７は、従来のＰＬＬ装置と本発明のＰＬＬ装置の動作を比較する説明図、図２は、このアクティブ・ワイドレンジＰＬＬ装置に用いられるリングオシレータの回路図、図３は、このリングオシレータを構成するディレイセルの等価回路図である。図２及び図３の回路構成は、図９に示された従来のＰＬＬ装置にも用いたものであるので重複した説明は省略する。

図１のＣＤ－ＲＯＭドライブシステムにおいて、データスライス回路１４で２値化されたＥＦＭ信号は、ＶＣＯ回路４３の出力信号を分周したクロックと位相を比較するため、位相比較器４０に入力される。また、ＥＦＭ信号は、その信号中の同期信号に含まれる１１Ｔ成分の信号ＴＭＡＸをＶＣＯ回路のクロックで計測させるため、ＴＭＡＸ検出器４１に入力される。位相比較器４０とＴＭＡＸ検出器４１の出力信号は、ラグリードフィルター４２で加算積分され、ＶＣＯ回路４３に入力される。ＶＣＯ回路４３の出力クロックは、分周器４４で分周、選択され、位相比較器４０及びＴＭＡＸ検出器４１に入力される。

【００１９】

ここで、ＶＣＯ回路４３の入力信号ＣＶが、基準電圧（ＶＲ）の時、その出力クロックは、６８ＭＨｚである。したがって、１倍速再生時のＥＦＭ信号の同期クロックが４．３２ＭＨｚであるので、ＶＣＯ回路４３の出力クロックの１／１６になる。このときは、ＴＭＡＸ検出器４１に入力されるクロックは、前記位相比較器４０に入力されるクロックの２倍の周波数になる。この関係については１倍速から８倍速まで同様である。さらに２倍速再生時は、位相比較器４０に入力されるクロックは１倍速再生時の２倍の８．６４ＭＨｚになり、４倍速再生時及び８倍速再生時は、それぞれ１７．２８ＭＨｚ及び３４．５６ＭＨｚとなる。

また、図１のディスクモータ制御回路２２に入力される同期クロックＰＦＣＫは図９の同期信号分離回路４７で生成される。図１のエラー訂正回路に入力されるデータＤＡＴＡと同期クロックＣＫは、それぞれ図９のＤＡＴＡとＣＫに相当する。

図２に示されたリングオシレータ６０で構成されるＶＣＯ回路において、ＤＣＶ端子は、従来基準電圧ＶＲに固定されていたが、本発明では、この端子に図４に示されたＰＬＬ装置のデジタル積分器５０を接続する。このようにして構成されたアクティブ・ワイドレンジＰＬＬ装置の動作について説明する。

まず、図２に示したリングオシレータタイプのＶＣＯ特性について説明する。この特性図を図６に示す。

【００２０】

ＤＣＶ端子を基準電圧ＶＲにしたとき、この特性は特性Ａのようになる。従来は、入力電圧ＣＶがＶＲレベルの時、発振出力は６８ＭＨｚになる。ディスクが従来どうりＣＬＶ制御され、定常回転している時は、ＰＬＬループは特性Ａ上の６８ＨＭｚの点を中心に動作する。ＤＣＶ端子を基準電圧ＶＲより高い電圧にすると図２でＰ－ｃｈトランジスタのゲート電圧が基準位置（ＤＣＶ＝ＶＲの点）よりも高くなるため、Ｐ－ｃｈトランジスタの等価抵抗が上り発振周波数が下がる。また、ＤＣＶ端子の電圧をＶＲよりも下げるとＰ－ｃｈトランジスタの等価抵抗が下がり発振周波数が高くなる。
このデジタル積分器５０では、ＤＣＶ電圧は、ＣＶ電圧を基準電位に対して積分しているため、ＣＶ電圧→ＶＲ電圧になるように決定される。このとき必要とされるＶＣＯの発振が選ばれる。
ＰＬＬの帯域を決定している高周波動作は、図６の▲１▼上の動作点で決定され、ディスクから再生されたデータレートの追従に対しては▲２▼上の動作点上で発振する。
特性Ｄは、従来の考え方でＶＣＯ回路の発振レンジを広げた場合の図であり、このような特性を実現すれば、ＣＬＶディスクをＣＡＶで回転させた場合でもデータの読み取りを高速で行うことができる。しかし、前述したようにデータのＰＬＬ回路の周波数が高い領域での応答性も速くなっているため、エラーレート等は悪化してしまう。

【００２１】

このように、ＣＶ電圧がＶＲになるようにＤＣＶの電圧が決定する。つまり、図６の周波数対入力電圧特性は、上下方向に特性が自由に移動するため、あたかも発振可変幅が非常に広いＶＣＯ回路を実現したように作用する。
次に、このデジタル積分器について説明する。
図５は、デジタル積分器の１例を示す回路ブロック図である。
この積分器の構成例を図５に示す。ラグリードフィルタ４２の出力ＣＶは、基準電圧ＶＲとコンパレータ５３で比較され、出力ＣＶがＶＣＯＲ信号で決定される基準電圧ＶＲより大きいか小さいか判定される。ＶＣＯＲ信号は、ＶＲ生成回路５９に入力され、この信号は、この回路で基準電圧ＶＲを生成する。例えば、ＶＣＯＲ信号は、数ビットのデジタル値からなり、ＶＲ生成回路は、このデジタル値に対応したＤ／Ａ変換器などからなる。

【００２２】

このＶＲ生成回路から生成されるＶＲ電位は、前述の図６に示すＶＲ電圧であるが、必ずしも電源電圧のセンター（ダイナミックレンジのセンター）である必要はない。その時々で変動する所定電圧でよい。例えば、ＶＣＯＲ信号を動かす基本となるものは、ＣＡＶ再生時などでは、ＰＦＣＫ信号をシステムクロックでカウントした情報に依存した電圧のようなもので良い。この情報は、発明者らが提案しているもの（特願平６－２１１７８０号、特願平５－３００８３６号、特願平６－５１３５０号参照）で、ディスクの回転情報であり、見方を変えると情報信号のデータレートを表している。したがって、この情報から、ピックアップのディスク半径方向の位置情報を得ることも可能である。ＣＡＶ制御時でもＣＬＶ制御時でも、ピックアップがディスクの内周にある場合は、ピックアップが外周方向へ移動するケースが多く、その時のデータレートは、上がる方向（ＶＣＯ回路の発振周波数は高い方向）へ動く場合が多い。したがって、このＶＲ電位は低めに設定し、発振周波数が高い側のダイナミックレンジを広げるようにしておく。ピックアップが外周付近にある場合は、前述と逆の理由からＶＲ電圧を高めに設定しておく。このような例もあるので、以下、ＶＲ電圧は、所定電圧を意味する。

【００２３】

クロック発生器５１で発生した１１．２ＭＨｚのクロックを分周器５２で１２８分周して生成した８８．２ｋＨｚのクロックをＤタイプＦＦ５５に入力してコンパレータ５３の出力をシフトする。これにより積分値を大きくするか小さくするかが８８．２ｋＨｚ周期で決定される。そしてＤタイプＦＦ５５の出力は１５ビットアップダウンカウンタ５６のカウントアップするかカウントダウンするかの切り替え信号入力端子（Ｕ／Ｄ）へ接続される。そして前記８８．２ｋＨｚのクロックを前記１１．２ＭＨｚのクロックの反転信号でＤタイプＦＦ５４によりシフトしてタイミング調整したクロックを用いて前記アップダウ

ンカウンタ５６をカウントさせる。カウンタ５６の出力は、積分器のゲインを調整するため上位８ビットだけがＲ－２ＲのデジタルアナログＤＡＣ）５７に入力され、ディジタル値からアナログ値に変換される。そして、その出力がオペアンプ５８によりインピーダンスを下げてＶＣＯ回路４３のＤＣＶ端子に入力される。この積分器は反転増幅型でありＤＣゲインは無限大である。
このようにして構成したアクティブワイドレンジＰＬＬ装置は、ＣＭＯＳ－ＬＳＩの基板内に内蔵する有効な手段である。さらに機能、性能的にもデジタル回路を含んでいるので安定していて使い易い。

【００２４】

本発明では、ディスクのエラーレート等に対しては従来通りの性能を維持しつつ、更にＣＬＶ記録されているディスクをＣＡＶで回転させた場合でも十分に発振周波数が変化するため、非常に高速でデータを読取ることが可能となる。
図７は、本発明のアクティブ・ワイドレンジＰＬＬ装置の動作をデータレートの時間的変化に示した図である。図の上段は、データレートの変化を表しており、例えば、ＣＬＶ記録のディスクをＣＡＶで回転させ、内周から外周へピックアップが移動した時の変化の様子を示している。
中段は、ＤＣＶ＝ＶＲとした時でＶＣＯ回路の特性が図６の特性Ａの場合である。この特性では、ＶＣＯ回路の発振可変幅がデータレートの変化を完全にカバーしていないので、内周と外周のデータレートにＶＣＯ回路が追従しないところではＰＬＬがロックすることができず、データを読むことができない（図の斜線で示した領域でＰＬＬがロックできる）。
下段は、本発明のアクティブ・ワイドレンジＰＬＬ装置の例であり、ＣＶ電圧がＶＲ電圧になるようにＤＣＶ電圧が動いていることがわかる。この例では、ＤＣＶ電圧がVSSとVDDを越えたところまで変化した例を示しているが、この時はＣＶ電圧が変化して、目的の発振周波数まで変化しようとしている。本発明のアクティブ・ワイドレンジＰＬＬ装置によれば、内外周のすべての位置で必要とするクロックをＶＣＯ回路が発振することが可能となり、データの読み取りが可能となる。

【００２５】

次に、図８を参照して第２の実施例を説明する。
図は、本発明のアクティブ・ワイドレンジＰＬＬ装置の回路図であり、図１に示したＰＬＬ及び同期分離回路１５の詳細なブロック回路図である。図１の構造及び動作は前述の通りである。図８は、図４に示すデジタル積分器をアナログ積分器に置き換えて構成したアクティブ・ワイドレンジＰＬＬ装置である。この回路方式は、非常に簡単に構成が可能であるが、実際のＬＳＩへ内蔵することを考えると、アンプのアナログ的なオフセット管理や性能の保証といった点で難しい部分もある。また、積分器５０に用いるオペアンプの正転入力の基準電位は、図５に示したような可変のＶＲ生成回路でも良い。図８の積分器５０のオペアンプには、抵抗ｒを接続することもできるが、この抵抗ｒを接続した場合はＰＬＬ回路の応答性において周波数の低い部分のみ▲１▼の応答から▲３▼の応答になる。

【００２６】

【発明の効果】

以上説明したように、積分器回路を追加することで、ＣＬＶ記録ディスクをＣＡＶ制御で回転させた場合のようにデータレートが非常に広く変化しても、エラーレート等を犠牲にすることなく、高性能なＰＬＬ回路を構成することができる。本発明を使うと今後考えられるＣＡＶ、ＣＬＶ混在のドライブシステムにおいて非常に利用価値の高いシステムを構成することができる。
本発明のアクティブ・ワイドレンジＰＬＬ装置を使用することで、エラーレート等を決定している高周波部分の性能は、従来のままに保ち、シーク性能を決定している発振周波数の変化幅も広く確保でき、高性能なＣＤ－ＲＯＭドライブを構成することができる。
また、本発明は、ＣＬＶ記録が基本となっているＤＶＤ等にも応用することが可能である。

追加される部品については、ＬＳＩに内蔵化することが可能であることは、いうまでもなく、コストアップをほとんどすること無く高性能なＰＬＬ回路が実現可能である。
ディスクの回転を角速度一定（ＣＡＶ）で回転させることによってデータの読み取りが可能となれば、ディスクを回転させるモーターもそれ程大きなものは必要なくなる。そしてシークタイムも回転変動を修正しないのでより高速化を図ることができる。ＣＡＶ制御の必要性は、倍速が大きくなる程増してくる。したがって、本発明では、ＣＡＶ制御のみを用いるのではなく、例えば、８倍速以下の倍速の場合には、従来と同じＣＬＶ制御を用い、これを越えるような場合にＣＡＶ制御を用いるような構成の再生機を用いることが可能になる。

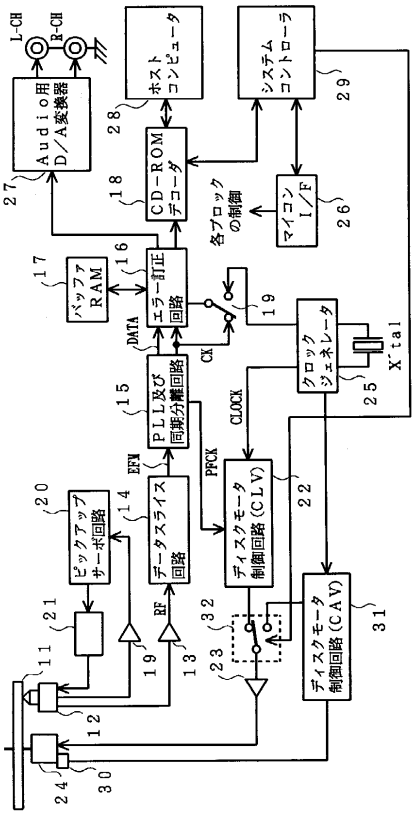
【図面の簡単な説明】

【図１】本発明及び従来のＣＤ－ＲＯＭドライブシステムのブロック構成図。
【図２】本発明のＶＣＯ回路に使用されるディレイセルを用いたリングオシレータの回路図。
【図３】本発明のディレイセルの等価回路図。
【図４】本発明のアクティブ・ワイドレンジＰＬＬ装置の回路ブロック図。
【図５】図４のＰＬＬ装置に用いられるディジタル積分器を示す回路図。
【図６】本発明のＶＣＯ特性を説明する発振周波数－入力電圧特性図。
【図７】本発明のＰＬＬ装置と従来のＰＬＬ装置の動作を比較する特性図。
【図８】本発明のアクティブ・ワイドレンジＰＬＬ装置の回路ブロック図。
【図９】従来のＰＬＬ回路ブロックの構成図。

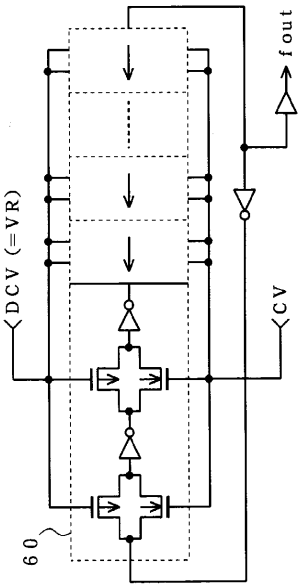
【符号の説明】

１１・・・ディスク、　１２・・・ピックアップヘッド、
１３・・・アンプ、　１４・・・データスライス回路、
１５・・・ＰＬＬ及び同期分離回路、　１６・・・エラー訂正回路、
１７・・・バッファＲＡＭ、　１８・・・ＣＤ－ＲＯＭデコーダ回路、
１９・・・スイッチ回路、　２０・・・ピックアップサーボ回路、
２１・・・ドライブ回路、　２２・・・ディスクモータ制御回路、
２３・・・モータドライバ、　２４・・・デスクモータ、
２５・・・クロックジェネレータ、　２６・・・マイコンＩ／Ｆ
２７・・・オーディオ用Ｄ／Ａ変換器、
２８・・・ホストコンピュータ、　２９・・・システムコントローラ、
３０・・・ＦＧ、　３１・・・ディスクモータ制御回路、
３２・・・スイッチ、　４０・・・位相比較器、
４１・・・ＴＭＡＸ検出器、　４２・・・ラグリードフィルタ、
４３・・・ＶＣＯ回路、　４４、４６、５２・・・分周器、
４７・・・同期信号分離回路、　５０・・・デジタル積分器、
５１・・・クロック発生器、　５３、５８・・・コンパレータ、
５４、５５・・・ＤタイプＦＦ、　５６・・・カウンタ、
５７・・・ＤＡＣ、　６０・・・リングオシレータ、
６１・・・ディレイセル。

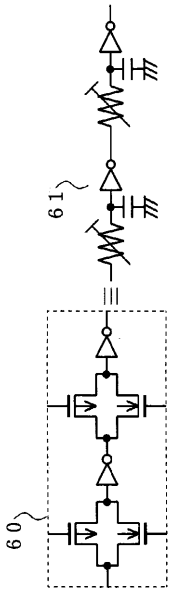
【図１】


L-CH
R-CH
Audio用 D/A変換器
ホスト コンピュータ
システム コントローラ
CD-ROM デコーダ
各ブロックの制御
マイコン I/F
バッファ RAM
エラー訂正 回路
PLL及び 同期分離回路
クロック ジェネレータ
Xtal
DATA
CK
CLOCK
EFM
PPCK
RF
ピックアップ サーボ回路
データスライス 回路
ディスクモータ 制御回路 (CLV)
ディスクモータ 制御回路 (CAV)

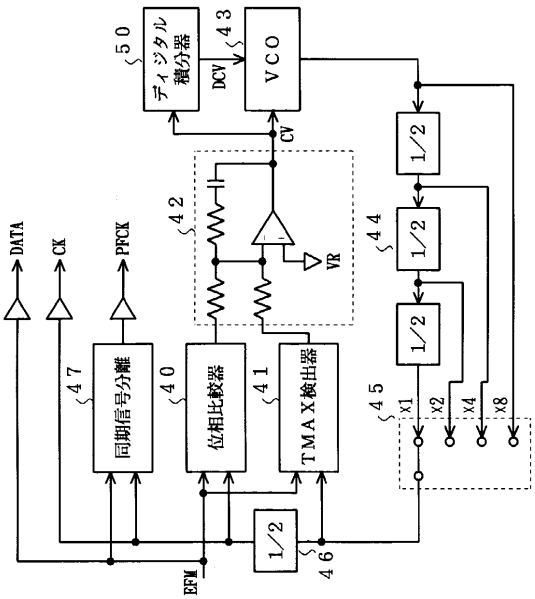
【図２】


fout
DCV (=VR)
CV

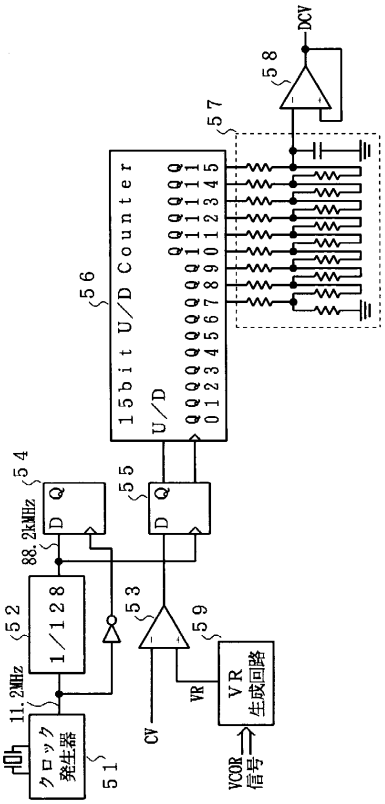
【図３】



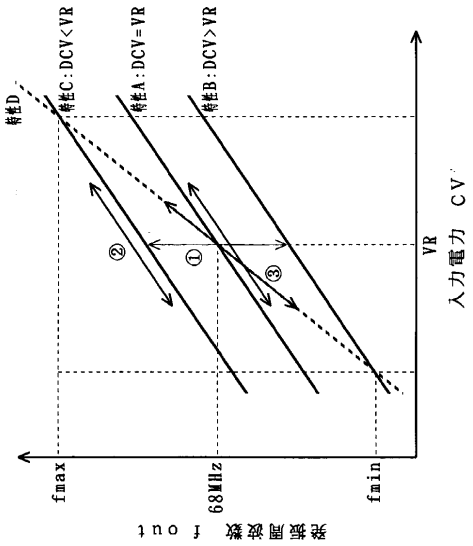
【図４】


ディジタル 積分器
DCV
VCO
CV
VR
DATA
CK
PPCK
同期信号分離
位相比較器
TMAX検出器
1/2
X1
X2
X4
X8
EFM

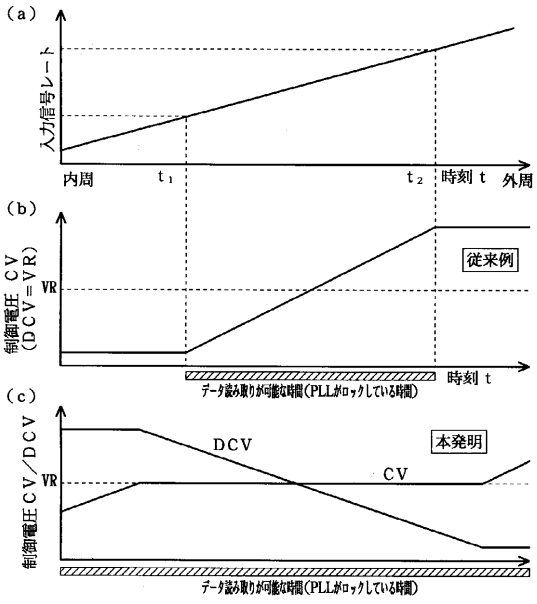
【図５】


クロック発生器
51
11.2MHz
52
1/128
88.2kMHz
54
D Q
53
CV
55
D Q
59
VR
VR生成回路
VCOR信号
56
15bit U/D Counter
U/D
57
58
DCV

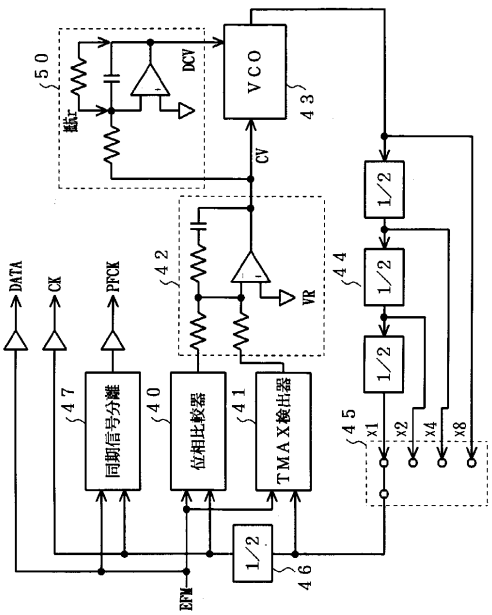
【図６】


特性D
特性C:DCV<VR
特性A:DCV=VR
特性B:DCV>VR
①
②
③
VR
入力電力 CV
fmax
68MHz
fmin
発振周波数 f out

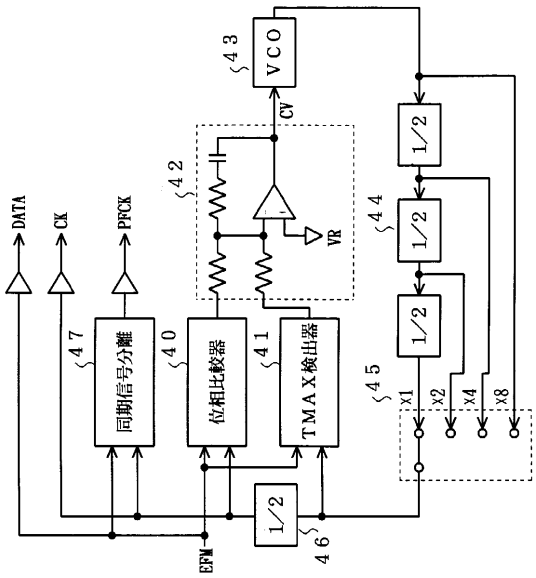
【図７】


(a)
入力信号レート
内周
t1
t2
時刻 t
外周
(b)
制御電圧 CV
(DCV=VR)
VR
従来例
時刻 t
データ読み取りが可能な時間(PLLがロックしている時間)
(c)
制御電圧CV/DCV
VR
DCV
CV
本発明
データ読み取りが可能な時間(PLLがロックしている時間)

【図８】


50
DCV
VCO
43
CV
42
VR
44
1/2
1/2
1/2
DATA
CK
PFCK
47
同期信号分離
40
位相比較器
41
TMAX検出器
45
x1
x2
x4
x8
1/2
46
EFM

【図９】


DATA
CK
PPCK
EFM
同期信号分離
位相比較器
TMAX検出器
VCO
CV
VR
1/2
1/2
1/2
1/2
x1
x2
x4
x8
40
41
42
43
44
45
46
47

フロントページの続き

合議体
審判長　山田　洋一
審判官　小松　正
審判官　関谷　隆一

(56)参考文献　特開平６－１０４７４８（ＪＰ，Ａ）
特開平８－７９０６９（ＪＰ，Ａ）
特開平７－２３５１２６（ＪＰ，Ａ）
特開平７－３１２０１８（ＪＰ，Ａ）
特開平１－１３８１５（ＪＰ，Ａ）
特開平３－１１９８２７（ＪＰ，Ａ）
特開平７－１６１１３２（ＪＰ，Ａ）
特開平３－２３０６１９（ＪＰ，Ａ）
特開平７－１４１７８１（ＪＰ，Ａ）
特開平７－２２６０３１（ＪＰ，Ａ）
特開平８－１８６４９０（ＪＰ，Ａ）
国際公開第９２／０７４２５（WO，Ａ１）
特開平８－１６７２５３（ＪＰ，Ａ）
特開平９－１９８８０７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11B 19/20-19/28
G11B 20/10-20/14
H03L 7/00-7/26