

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95747984

※ 申請日期： 95.12.20

※IPC 分類：H01L 21/768

(2000.01)

一、發明名稱：(中文/英文)

具有用於接合之鄰近儲存槽之半導體互連及其製造方法

SEMICONDUCTOR INTERCONNECT HAVING ADJACENT
RESERVOIR FOR BONDING AND METHOD FOR FORMATION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓名：(中文/英文)

里維克 查特基

CHATTERJEE, RITWIK

國籍：(中文/英文)

美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年01月25日；11/339,132

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種半導體裝置(10)及方法具有具鄰近儲存槽開口(44、46、48)之互連(38、40、42)。一介電層(20)形成為一或多個互連層(18)之最頂部之部分。形成於介電層中之開口(30)導致該介電層沿該等開口之側壁的部分之改質的部分(32)。以導電材料，諸如金屬，填充該等開口。移除該介電層(20)之一曝露部分(22)以形成在該介電層上延伸之該導電材料的突出襯墊(38、40、42)。藉由移除該介電層之該等改質的部分而鄰近該等突出襯墊形成儲存槽開口。當該半導體裝置與另一裝置(100)(一晶圓或一晶粒)接合時，橫向流動之金屬在該等儲存槽開口中聚集且確保該半導體裝置與該另一裝置之間產生一可靠電連接。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

10	半導體結構
12	基板
14	裝置及接觸層
16	第一互連層
18	互連層
20	最終互連層
21	介電質
22	最終互連層
24、26	電晶體
38、40、42	金屬接合襯墊
44、46、48	儲存槽

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明大體上係關於半導體處理，且更特定言之，係關於接合結構之間的半導體互連。

【先前技術】

隨著技術進步，積體電路(IC)之複雜度亦已增加，需要增加數目之連接電晶體及其他電路元件。當今許多電子系統使用多個積體電路來執行所要的功能。舉例而言，當今可用之一技術為三維(3-D)垂直堆疊技術，其中多個晶圓或晶粒垂直堆疊於一共同基板上以便達成主動電路之多個階層。舉例而言，晶圓或晶粒可以面朝背定向來堆疊，其中一個晶圓或晶粒之面附著至另一晶圓或晶粒之背部。或者，晶圓或晶粒可以面對面定向來堆疊，其中一個晶圓或晶粒之面附著至另一晶圓或晶粒之面。為了製造堆疊晶圓或晶粒之間的電連接，堆疊中每一晶圓或晶粒之金屬接合襯墊接合至該堆疊中另一晶圓或晶粒之金屬接合襯墊。然而，歸因於晶圓或晶粒上之表面變化，金屬接合襯墊之金屬至金屬接合可為不可靠的，導致不可靠之互連。

【實施方式】

就3-D垂直堆疊技術而言，可形成晶圓或晶粒之堆疊，其導致主動電路之多個垂直堆疊的階層。在一實施例中，一晶粒可垂直堆疊至另一晶粒上(晶粒至晶粒整合)或堆疊至另一晶圓上(晶粒至晶圓整合)。在另一實施例中，一晶圓可垂直堆疊至另一晶圓上(晶圓至晶圓整合)。如上文所

論述，藉由將一晶粒或晶圓之金屬接合襯墊接合至另一晶粒或晶圓之金屬接合襯墊來製造電連接。然而，表面變化可導致不可靠互連。因此，在本發明之一實施例中，製造突出金屬接合襯墊使得其在最終介電層上延伸且鄰近突出之金屬接合襯墊形成儲存槽以便允許改良的半導體互連。

圖1-7說明根據本發明之一實施例形成半導體結構10之方法。圖1說明具有基板12之半導體10、覆蓋基板12之裝置及接觸層14、覆蓋裝置及接觸層14的第一互連層16、覆蓋第一互連層16之一或多個互連層18、覆蓋一或多個互連層18之最終互連層20及覆蓋最終互連層20的頂蓋層22。基板12可為任何類型之半導體基板，諸如塊體基板或絕緣體上半導體基板(SOI)，且可包括任何類型之半導體材料或材料的組合，諸如砷化鎵、矽鍺、矽、單晶矽、類似物及以上材料之組合。主動電路在基板12上且在基板12內形成，其中該主動電路可執行任何功能或多種功能。該主動電路包括任何數目及任何類型之電晶體，諸如電晶體26及24。注意，電晶體26及24在基板12及裝置及接觸層14中形成，且可為具有(例如)如此項技術中已知之各種不同類型之源極及汲極區域、閘極介電質、閘極堆疊、間隔層等等的任何類型之電晶體。該等電晶體可藉由如圖1中所說明之基板12中之絕緣區域來隔離。儘管僅說明兩個電晶體，但是半導體結構10可包括任何數目之電晶體以形成任何類

型之電路。

裝置及接觸層 14 亦包括製造與電晶體(諸如電晶體 26 及 24)之電接觸且向上延伸至第一互連層 16 之接觸。覆蓋第一互連層 16 之一或多個互連層 18 可包括任何數目之通道及渠溝層(如需要)用以將來自第一互連層 16 之信號導引至基板 12 上的其他裝置且導引至最終互連層 20。在一實施例中，一或多個互連層 18 之每一者包括一具有用以導引信號之複數個導電部分(諸如金屬通道或金屬渠溝)的介電材料，且可使用習知製程來形成。該等導電部分可包括(例如)金屬，諸如鋁或銅。最終互連層 20 包括介電質 21，其中金屬通道及渠溝將經形成以形成金屬接合襯墊。在一實施例中，介電質 21 為具有低介電常數(K)(諸如小於約 4.0 之 K)之介電質。在一實施例中，介電質 21 包括 SiCOH 或其他含碳介電質。注意，最終互連層 20 可包括任何數目之介電層。

在一實施例中，頂蓋層 22 為一絕緣頂蓋層，諸如沈積四正矽酸酯(TEOS)介電層。或者，頂蓋層 22 之沈積可使用矽烷、甲基矽烷、二甲基矽烷、三甲基矽烷、氧氣或其組合來執行。在一實施例中，頂蓋層 22 保護介電質 21 之下伏部分。又，在一實施例中，頂蓋層 22 在材料上與介電質 21 不同。舉例而言，在一實施例中，介電質 21 包括碳而頂蓋層 22 不包括。

注意，在一實施例中，頂蓋層 22 可指最終互連層 20 之部分。又，在一實施例中，最終互連層 20 可指一或多個互連

層 18 之最頂層。

圖 2 說明頂蓋層 22 上之圖案化遮罩層 28 之形成之後的半導體結構 10，其中圖案化遮罩層 28 界定複數個開口。在一實施例中，圖案化遮罩層 28 為可使用習知處理技術形成之圖案化光阻層。

圖 3 說明在使用圖案化遮罩層 28 形成開口 30 之後的半導體結構 10。在一實施例中，使用諸如 CF_4 、 C_2F_6 、 C_3F_8 等等之碳氟化合物化學物之乾式反應性離子蝕刻 (RIE) 用以形成延伸入最終互連層 20 的介電質 21 中之開口 30。在一實施例中，多個蝕刻步驟可用以形成開口 30。舉例而言，一第一蝕刻化學物可用以蝕刻通過頂蓋層 22，且一第二蝕刻化學物可用以蝕刻入介電質 21。

圖 4 說明在圖案化遮罩層 28 之移除之後的半導體結構 10。在一實施例中，在一電漿環境中以一使用 (例如) 含氧化學物或一氧化碳化學物之氧化蝕刻環境移除圖案化遮罩層 28。用以移除圖案化遮罩層 28 (意即灰化) 之氧化蝕刻環境之使用引發對開口 30 內介電質 21 的曝露部分之損壞或對其改質，導致損壞之介電區域 32 (亦稱為改質的介電區域 32) 舉例而言，在上文所提供之實例中，其中介電質 21 包括碳而頂蓋層 22 不包括，形成損壞或改質之介電區域 32 的對介電質 21 之損壞指自此等區域的碳之移除。

因此，圖案化遮罩層 28 之厚度及氧化蝕刻環境中之氧的量可用以控制損壞的介電區域 32 之形成。舉例而言，藉由控制移除圖案化遮罩層 28 中使用之蝕刻參數 (諸如時間、

功率、壓力、溫度、化學物及氣流)，可控制損壞之介電區域32的尺寸及形狀。亦注意，介電質21之曝露部分亦可已受用於形成開口30之蝕刻損壞或改質；然而，在此實施例中，損壞之介電區域32之大部分在圖案化遮罩層28的移除期間形成。

圖5說明在頂蓋層22上且在開口30內障壁層34及障壁層34上之金屬層36之形成之後的半導體結構10。障壁層34可用以防止金屬擴散入下伏層。在一實施例中，障壁層34可包括諸如鈹、氮化鈹、氮化鈦或其組合之材料或層之組合。在一實施例中，金屬層36可使用電鍍形成，其中首先在障壁層34上(使用例如物理氣相沈積)形成一晶種層且其中此晶種層用以電鍍金屬層36。在一實施例中，金屬層36為一銅層。

圖6說明在金屬層36及障壁層34上執行化學機械研磨法(CMP)以曝露下伏頂蓋層22之後的半導體結構10。注意，開口30目前經填充以形成金屬接合襯墊38、40及42(在一實施例中，其為銅接合襯墊38、40及42)。然而，歸因於CMP，金屬接合襯墊38、40及42之頂部可不是直的。意即，CMP可導致金屬接合襯墊之表面凹陷，如圖6中說明。

圖7說明在頂蓋層22之移除之後的半導體結構10。在一實施例中，一HF濕式蝕刻用以移除頂蓋層22，其中該蝕刻亦自最終互連層20移除損壞之介電部分32。舉例而言，在一實施例中，損壞之介電部分32比最終互連層22之介電質

21具有一更低碳含量。因此，一HF蝕刻可用以移除損壞之介電部分32而大體上不影響介電質21。或者，可使用對未損壞或原始低K材料選擇性的移除損壞之低K材料之其他化學物。因此，用於頂蓋層22之移除之蝕刻化學物亦導致分別鄰近金屬接合襯墊38、40及42的每一者之儲存槽44、46及48之形成。(注意儲存槽44、46及48亦可指儲存槽開口。)又，注意，用於先前移除圖案化遮罩層28以控制損壞介電部分32之形成之蝕刻參數可因此用以控制儲存槽44、46及48的尺寸及形狀。在一實施例中，儲存槽44、46及48之形成導致介電質21內分別圍繞金屬接合襯墊38、40及42之每一者的開口，其中此等開口在介電質21之表面處具有大於介電質21的表面之寬度。又，頂蓋層22之移除導致突出之金屬接合襯墊，其在最終互連層的介電質上延伸。意即，如在圖7中說明，金屬接合襯墊38、40及42在最終互連層20之介電質21上延伸。

注意，最終互連層20亦包括通道部分以將金屬接合襯墊(諸如金屬接合襯墊38、40及42)連接至一或多個互連層18；然而，此等通道部分在圖3-7之橫截面中未說明。該等通道開口可視正使用首先通道最後渠溝還是首先渠溝最後通道整合而在金屬接合襯墊38、40及42之渠溝開口之前或之後形成。習知處理可用以形成此等通道且因此在本文中未更詳細論述。

又，在一實施例中，一抗腐蝕金屬塗層可在金屬接合襯墊38、40及42之曝露部分上形成。在上文所描述之實施例

中，此可在頂蓋層22之移除之前或之後執行。在一實施例中，此抗腐蝕金屬塗層包括金。

圖8說明附著至另一半導體結構100以形成一面對面3-D垂直堆疊整合之半導體結構10。注意，半導體結構10及半導體結構100之每一者可為一晶粒或晶圓之一部分。(半導體結構10及半導體結構100亦可分別稱作半導體裝置10及100)。半導體結構100包括基板64、基板64上之裝置及接觸層62、裝置及接觸層62上之第一互連層60、第一互連層60上的一或多個互連層58、一或多個互連層58上之最終互連層56及最終互連層56中形成且在最終互連層56上延伸之突出的金屬接合襯墊54、52及50。主動電路在基板64上且在基板64內形成，其中該主動電路可執行任何功能或多種功能。該主動電路包括任何數目及任何類型之電晶體，諸如電晶體126及124。注意，電晶體126及124在基板64及裝置及接觸層62中形成，且可為具有(例如)如此項技術中已知之各種不同類型之源極及汲極區域、閘極介電質、閘極堆疊、間隔層等等的任何類型之電晶體。該等電晶體可藉由基板64中之絕緣區域隔離。儘管僅說明兩個電晶體，但是半導體結構100可包括任何數目之電晶體以形成任何類型之電路。注意，上文所提供關於基板12、裝置及接觸層14、電晶體24及26、第一互連層16、一或多個互連層18、最終互連層20及突出之金屬接合襯墊54、52及50之描述亦分別適用於基板64、裝置及接觸層62、電晶體124及126、第一互連層60、一或多個互連層58、最終互連層56及突出

之金屬接合襯墊38、40及42。半導體結構100亦包括最終互連層56中鄰近金屬接合襯墊54、52及50之每一者之儲存槽。然而，注意在替代性實施例中，此等儲存槽可不存在。又，在替代性實施例中，半導體結構100可具有不同層、不同類型之電晶體及電路，及不同類型之金屬接合襯墊。意即，半導體結構100在形式上可不類似半導體結構10。

如在圖8中所說明，半導體結構100置於半導體結構10上，朝向半導體結構10，使得其金屬接合襯墊與半導體結構10之金屬接合襯墊對準。接著如藉由箭頭61所指示施加力使半導體結構10與半導體結構100接觸，如圖9中所說明。參看圖9，突出之金屬接合襯墊38、40及42分別接合至突出之金屬接合襯墊54、52及50。在一實施例中，突出之金屬接合襯墊在高溫(例如高於室溫之溫度)下接合。又，在一實施例中，突出之金屬接合襯墊在接合期間藉由溫度及壓力變形。作為接合之結果任何橫向流動之過量金屬捕獲於半導體結構10及半導體結構100(若半導體結構100中存在)之鄰近儲存槽中。以此方式，過量金屬在接合期間未溢出至最終互連層20或56上，因此防止鄰近互連之間的短路。注意，儲存槽可在接合期間以來自金屬接合襯墊之金屬材料完全填充，或可僅部分填充。又，儲存槽可經設計足夠大使得最終互連層56之介電質可與最終互連層20之介電質接觸。在此實施例中，兩個半導體結構之間的間隔59將不存在。

圖 10-15 說明根據本發明之一替代性實施例的半導體結構 200 之形成。注意，圖 10-15 中類似參考號用以指示圖 1-9 之類似元件。在圖 10 之實施例中，圖案化遮罩層 66 形成於最終互連層 20 上。意即，在當前實施例中，無諸如頂蓋層 22 之頂蓋層形成於最終互連層 20 上。圖案化遮罩層 66 類似於圖案化遮罩層 28 且上文對圖案化遮罩層 28 所提供之描述亦適用於圖案化遮罩層 66。

圖 11 說明在延伸入最終互連層 20 之介電質 21 之開口 68 的形成之後的半導體結構 200。上文所描述用於形成開口 30 之相同化學物此處適用於開口 68 之形成。然而，在圖 11 之當前實施例中，因為不存在頂蓋層，所以無需蝕刻通過一頂蓋層。

圖 12 說明在圖案化遮罩層 66 之移除之後的半導體結構 200。如上文關於圖案化遮罩層 28 之移除所描述，在一電漿環境中使用(例如)含氧化學物或一氧化碳化學物之氧化蝕刻環境可用以移除圖案化遮罩層 66。用以移除圖案化遮罩層 66 之氧化蝕刻環境之使用在開口 30 內且沿介電質 21 的表面引發對介電質 21 之曝露部分之損壞或改質介電質 21 的曝露部分，產生損壞之介電區域 70(亦稱為改質之介電區域 70)。在一實施例中，用以形成損壞或改質之介電區域 70 之損壞或改質指此等區域中碳的移除。因此，圖案化遮罩層 66 之厚度及氧化蝕刻環境中之氧的量可用以控制損壞之介電區域 70 之形成。舉例而言，藉由控制移除圖案化遮罩層 66 中使用之蝕刻參數(諸如時間、功率、壓力、溫

度、化學物及氣流)，可控制損壞之介電區域70的尺寸及形狀。亦注意，介電質21之曝露部分亦可已受用以開口68中之蝕刻損壞；然而，在此實施例中，損壞之介電區域70之大部分在圖案化遮罩層66的移除期間形成。

圖13說明在最終互連層20上且在開口68內的障壁層72及障壁層72上之金屬層74之形成之後的半導體結構200。上文所提供關於障壁層34及金屬層36之描述(包括用於形成之材料及方法)此處亦分別適用於障壁層72及金屬層74。

圖14說明在執行金屬層74及障壁層72之CMP以曝露下伏最終互連層20之後的半導體結構200。注意，開口68目前經填充以形成金屬接合襯墊76、78及80。然而，歸因於CMP，金屬接合襯墊76、78及80之頂部可能不是直的。意即，CMP可導致金屬接合襯墊之表面凹陷，如圖14中說明。

圖15說明在移除損壞部分70以形成分別鄰近金屬接合襯墊76、78及80之儲存槽82、84及86之後的半導體結構200。在一實施例中，一HF蝕刻用以自最終互連層20移除損壞之介電部分70。舉例而言，在一實施例中，損壞之介電部分70相比最終互連層22之介電質21具有一更低碳含量。因此，一HF蝕刻可用以移除損壞之介電部分70而大體上不影響介電質21。或者，可使用對未損壞或原始低K材料選擇性的移除損壞之低K材料之其他化學物。在一實施例中，儲存槽82、84及86之形成導致介電質21內分別圍繞金屬接合襯墊76、78及80之每一者的開口，其中此等開口

在介電質21之表面處具有比在介電質21的表面以下更大的寬度。注意，自介電質21之頂部表面移除損壞之介電部分70亦產生在最終互連層的介電質上延伸之突出金屬接合襯墊。意即，如在圖15中說明，金屬接合襯墊76、78及80在最終互連層20之介電質21上延伸。因此，注意，用於先前移除圖案化遮罩層66以控制損壞之介電部分70之形成的蝕刻參數因此可用以控制儲存槽44、46及48之尺寸及形狀，且用以控制在介電質21上延伸之金屬接合襯墊76、78及80的量。

至此，應瞭解到，已提供一種具有用以允許用於諸如3-D垂直堆疊整合中接合之改良半導體互連之金屬接合襯墊及鄰近金屬接合襯墊的儲存槽或開口之半導體結構。此外，該半導體結構之金屬接合襯墊可在最終介電質上突出以亦允許改良之互連。該等儲存槽可用以在接合過程期間含有過量之金屬以將一晶粒或晶圓之金屬接合襯墊接合至另一晶粒或晶圓，因此防止可藉由在接合期間自互連溢出的橫向流動之金屬引發之短路。又，注意，如需要，可使用鄰近金屬接合襯墊之任何形狀或尺寸之開口。此等儲存槽或開口之尺寸及形狀可藉由控制蝕刻之參數來控制，該等蝕刻最初引發接合襯墊形成於其中的最終互連層之介電質之損壞或將其改質。此外，儲存槽之尺寸及形狀亦可經設計以便允許兩個半導體結構之介電質經堆疊以彼此接觸。

實施方式及申請專利範圍中術語"前部"、"背部"、"頂部"、

"底部"、"上"、"下"及類似術語(若有)用於描述性目的且不一定用於描述永久性相對位置。理解到，如此使用之術語在合適之情形下係可互換的使得本文所描述之本發明之實施例能(例如)在本文所說明或以其他方式描述的定向以外之其他定向中操作。

在前述說明書中，本發明已參考特定實施例來描述。然而，熟習此項技術者瞭解到在未背離如下文中申請專利範圍中提出之本發明之範疇的情形下可作各種修改及改變。因此，說明書及圖式應認為係說明性而非限制性意義，且所有此等修改意欲包括在本發明之範疇內。

上文已關於特定實施例來描述益處、其他優勢及問題之解決方案。然而，益處、優勢、問題之解決方案及可產生任何益處、優勢或解決方案或使其變得更明顯之任何元件不應理解為任何或所有申請專利範圍的關鍵、必須或基本特徵或元件。如本文所使用，術語"包含"或其任何變化意欲用以覆蓋一非專用包括物，使得包含一列表之元件之製程、方法、物品或裝置不僅包括彼等元件而且可包括未明確列出或此製程、方法、物品或裝置固有的其他元件。

如本文所使用之術語"複數個"定義為兩個或兩個以上。如本文所使用之術語另一個定義為至少一第二個或更多。

如本文所使用之術語"耦接"定義為連接，儘管不一定直接且不一定機械地連接。

因為上文詳細描述為例示性的，所以當描述"一實施例"時，其為一例示性實施例。因此，在此上下文中之詞語"一"

並非意欲用以指示一旦唯一實施例可具有一所描述特徵。更明確地，許多其他實施例可且通常確實具有例示性"一實施例"之所描述特徵。因此，如上文所使用，當本發明在一實施例之環境中描述時，彼一實施例為本發明之許多可能實施例中的一者。

儘管以上關於詞語"一實施例"在實施方式中之使用之告誡，但是藉由熟習此項技術者將理解到，若在下文申請專利範圍中意欲特定數目的所引入申請專利範圍元件，則此意圖將明確地敘述於申請專利範圍中，且在此敘述不存在之情形下不存在或未意欲有此限制。舉例而言，在下文申請專利範圍中，當一申請專利範圍元件描述為具有"一"特徵時，意欲該元件限於所描述之一且唯一特徵。

此外，如本文所使用之術語"一"定義為一個或一個以上。又，申請專利範圍中諸如"至少一"及"一或多個"之介紹性詞組之使用不應理解為意謂另一申請專利範圍元件藉由不定冠詞"一"的引入將含有此所引入申請專利範圍元件之任何特定申請專利範圍限制為含有唯一此元件之發明，即使當相同申請專利範圍包括介紹性詞組"一或多個"或"至少一"及諸如"一"的不定冠詞時。此同樣適用於定冠詞之使用。

【圖式簡單說明】

圖 1-7 說明根據本發明之一實施例形成半導體結構之各個階段的橫截面視圖。

圖 8 及 9 說明根據本發明之一實施例附著兩個半導體結構

之橫截面視圖。

圖10-15說明根據本發明之一替代性實施例形成半導體結構之各個階段的橫截面視圖。

熟習此項技術者瞭解該等圖式中之元件出於簡化及清楚之目的來說明且不一定按比例繪製。舉例而言，圖式中某些元件之尺寸可相對其他元件誇大以幫助改良本發明之實施例的理解。

【主要元件符號說明】

10	半導體結構
12	基板
14	接觸層
16	互連層
18	互連層
20	最終互連層
21	介電質
22	最終互連層
24	電晶體
26	電晶體
28	層
30	開口
32	介電部分
34	障壁層
36	電鍍金屬層
38	金屬接合襯墊

40	金屬接合襯墊
42	金屬接合襯墊
44	儲存槽
46	儲存槽
48	儲存槽
50	金屬接合襯墊
52	金屬接合襯墊
54	金屬接合襯墊
56	最終互連層
58	互連層
59	間隔
60	互連層
61	箭頭
62	接觸層
64	基板
66	遮罩層
68	開口
70	介電部分
72	障壁層
74	金屬層
76	金屬接合襯墊
78	金屬接合襯墊
80	金屬接合襯墊
82	儲存槽

84	儲存槽
86	儲存槽
100	半導體結構
124	電晶體
126	電晶體
200	半導體結構

十、申請專利範圍：

102年6月18日修正
對照頁(本) 1-3頁

1. 一種形成一半導體裝置之方法，其包含：

提供一具有一覆蓋裝置層之基板；

在該基板內且在該覆蓋裝置層內形成複數個裝置；

形成覆蓋該裝置層之一或多個互連層；

形成圍繞該或該等互連層之一最頂部之一介電層；

在該介電層中形成開口；

以一導電材料填充該等開口；

移除該介電層之一曝露部分以形成在該介電層上延伸之該導電材料的突出襯墊；及

形成在該介電層中且鄰近該等突出襯墊之儲存槽開口。

2. 如請求項1之方法，其進一步包含：

形成覆蓋該介電層之在材料上不同於該介電層之一絕緣頂蓋層，該絕緣頂蓋層保護該介電層的下伏部分。

3. 如請求項1之方法，其中該介電層中開口之該形成導致該介電層沿該等開口的側壁之部分之改質的部分。

4. 如請求項3之方法，其中形成該等儲存槽開口進一步包含：

移除該介電層之該等改質之部分以形成該等儲存槽開口。

5. 如請求項3之方法，其中形成該等開口進一步包含：

在覆蓋該介電層之一絕緣頂蓋層之頂部上提供一圖案化遮罩層；

蝕刻該介電層及該絕緣頂蓋層；

在一電漿環境中以一氧化化學物移除該圖案化遮罩層；及

控制該圖案化遮罩層之移除以控制該介電層之該等改質部分的尺寸，進而控制該等儲存槽開口之尺寸。

6. 如請求項5之方法，其中控制該圖案化遮罩層之移除進一步包含控制以下至少一者：控制移除該圖案化遮罩層所需的一時間、用以移除該圖案化遮罩層之功率、用以移除該圖案化遮罩層之壓力、用以移除該圖案化遮罩層的溫度及控制一移除化學物。

7. 如請求項1之方法，其進一步包含：

將一第二半導體裝置之突出金屬襯墊耦接至該半導體裝置之該等突出襯墊；

藉由溫度及壓力使該半導體裝置之該等突出襯墊變形；及

將該第二半導體裝置之金屬襯墊及該半導體裝置之該等突出襯墊的任何橫向流動之部分捕獲在該等儲存槽開口內。

8. 如請求項7之方法，其進一步包含：

形成鄰近該第二半導體裝置之該等突出金屬襯墊之額外儲存槽開口，以用於該第二半導體的金屬襯墊及該半導體裝置之該等突出襯墊之任何橫向流動部分的額外捕獲。

9. 如請求項4之方法，其中形成該等開口進一步包含：

在覆蓋該介電層之一絕緣頂蓋層之頂部上提供一圖案化遮罩層；

蝕刻該介電層及該絕緣頂蓋層；

在一電漿環境中以一氧化化學物移除該圖案化遮罩層；及

控制該圖案化遮罩層之移除以控制該介電層之該等改質部分的尺寸，進而控制該等儲存槽開口之尺寸。

10. 如請求項1之方法，其中該等儲存槽開口在該介電層之一表面處比在該介電層的該表面以下具有一更大寬度。

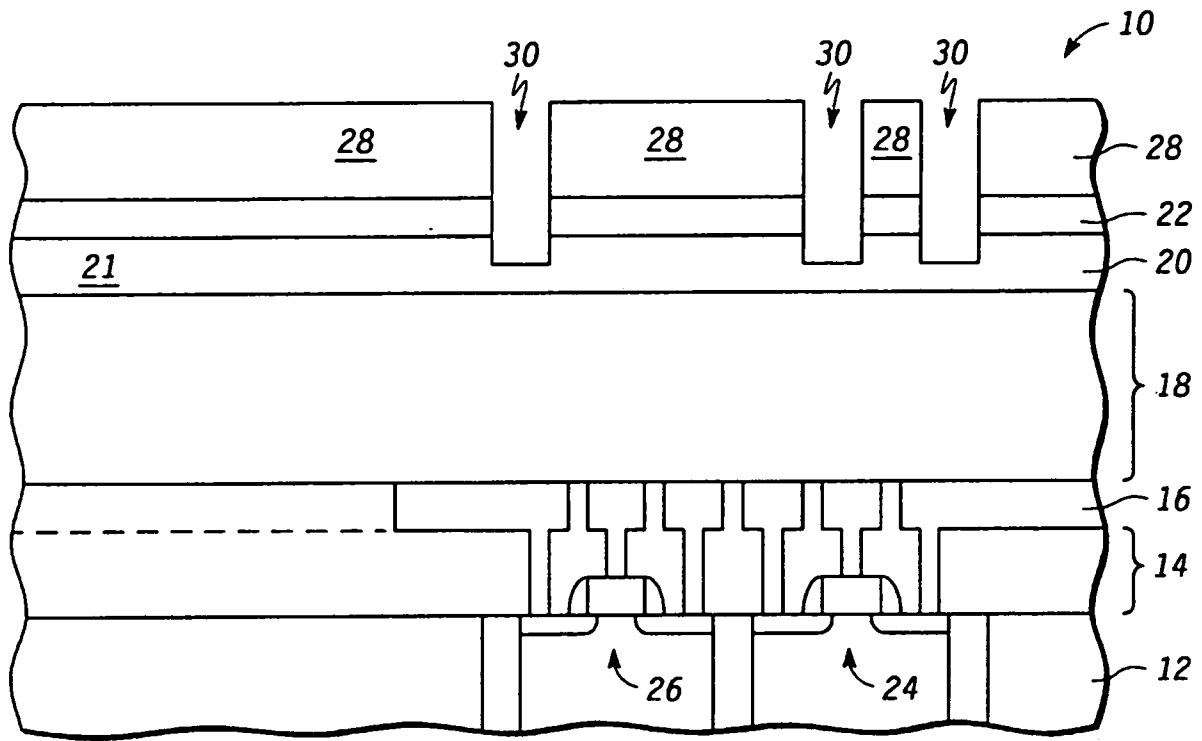


圖3

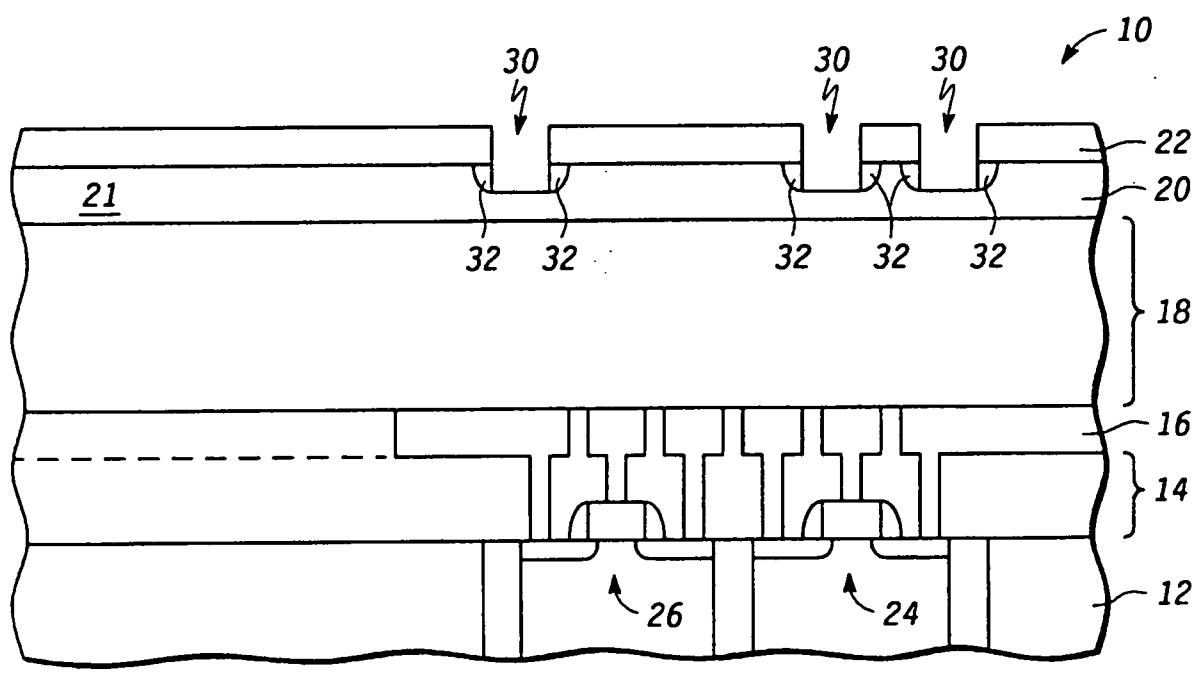


圖4

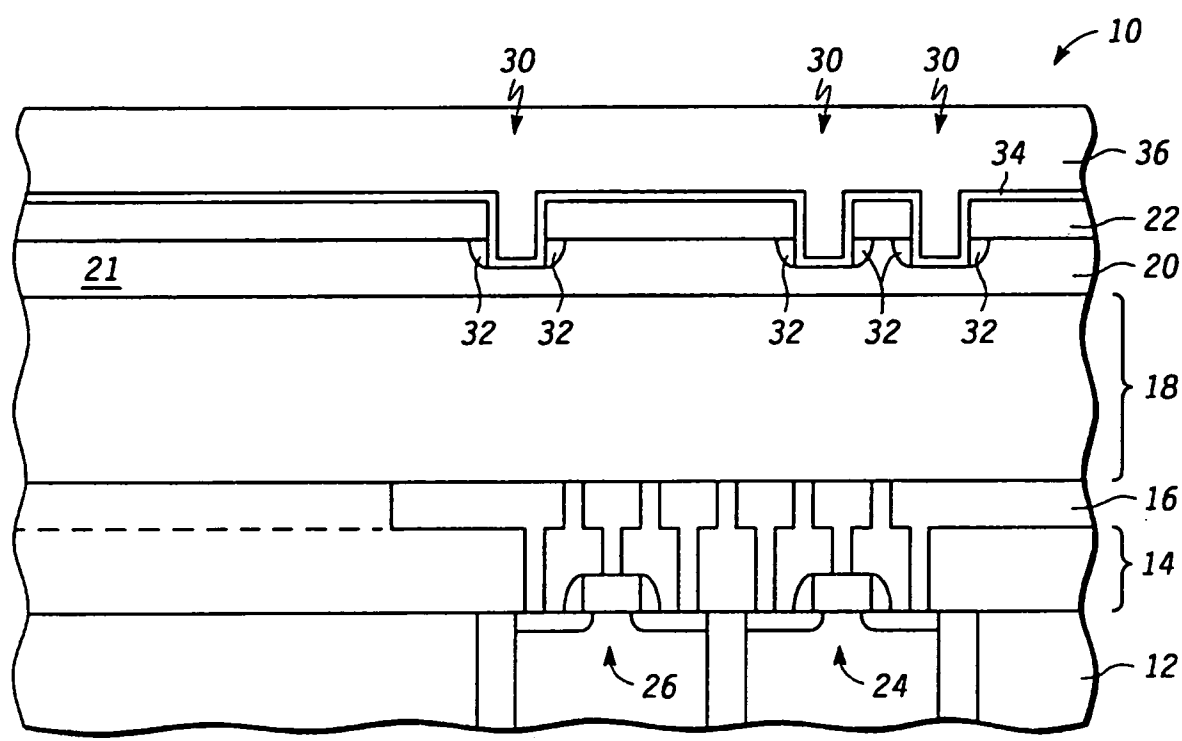


圖5

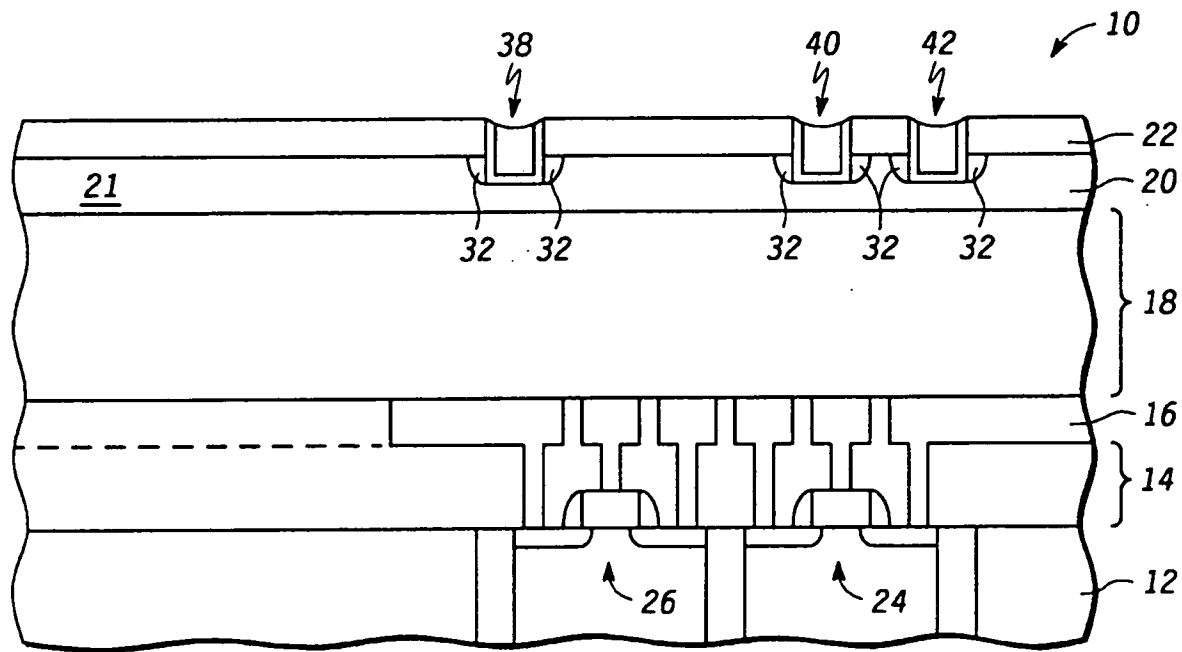


圖6

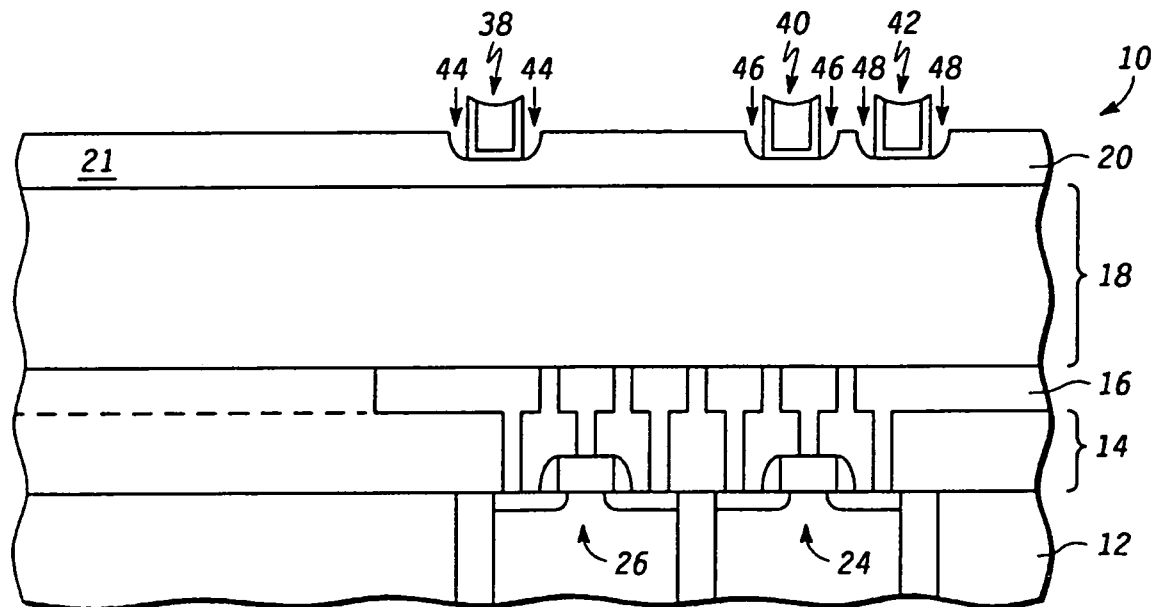


圖 7

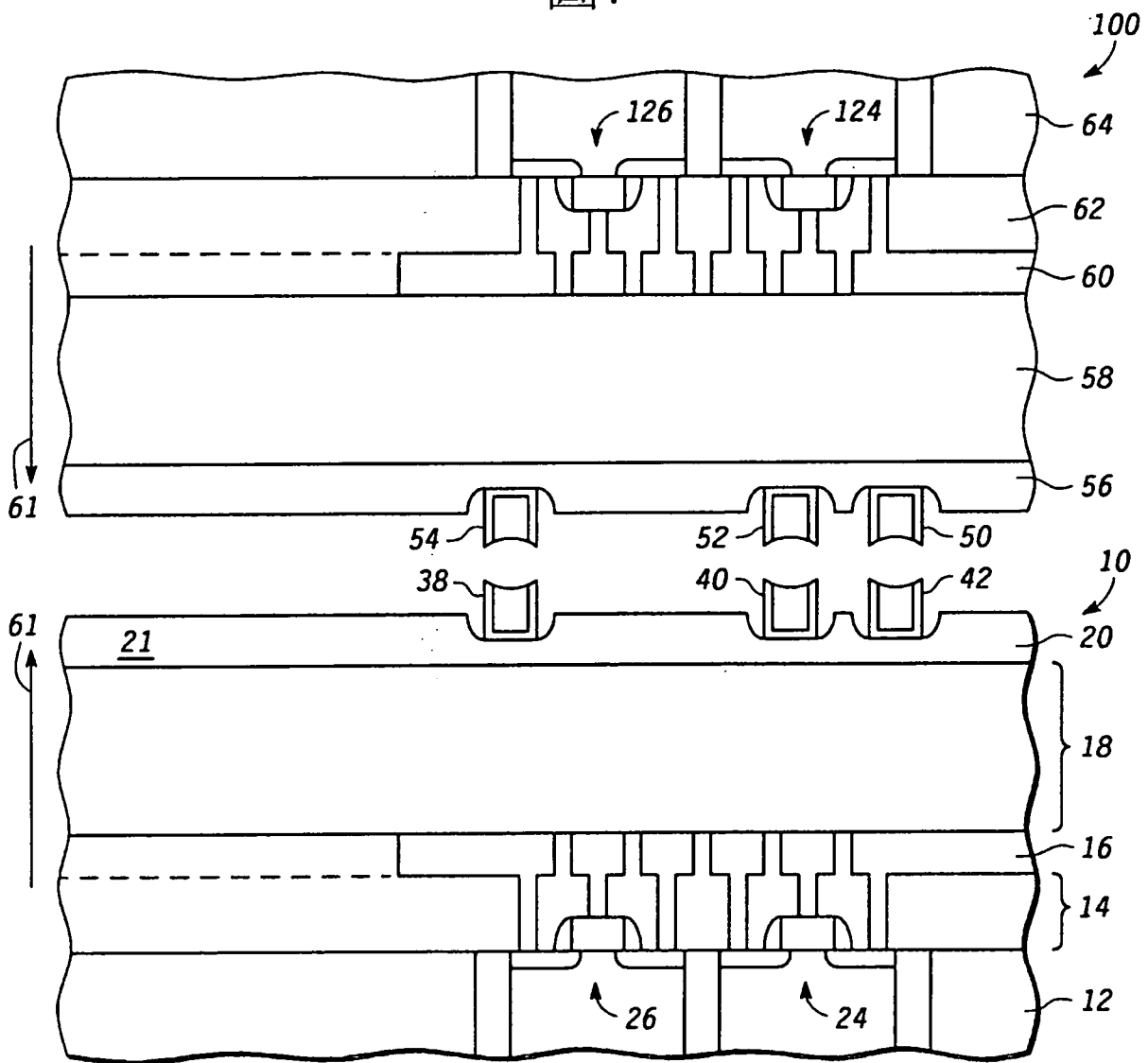


圖 8

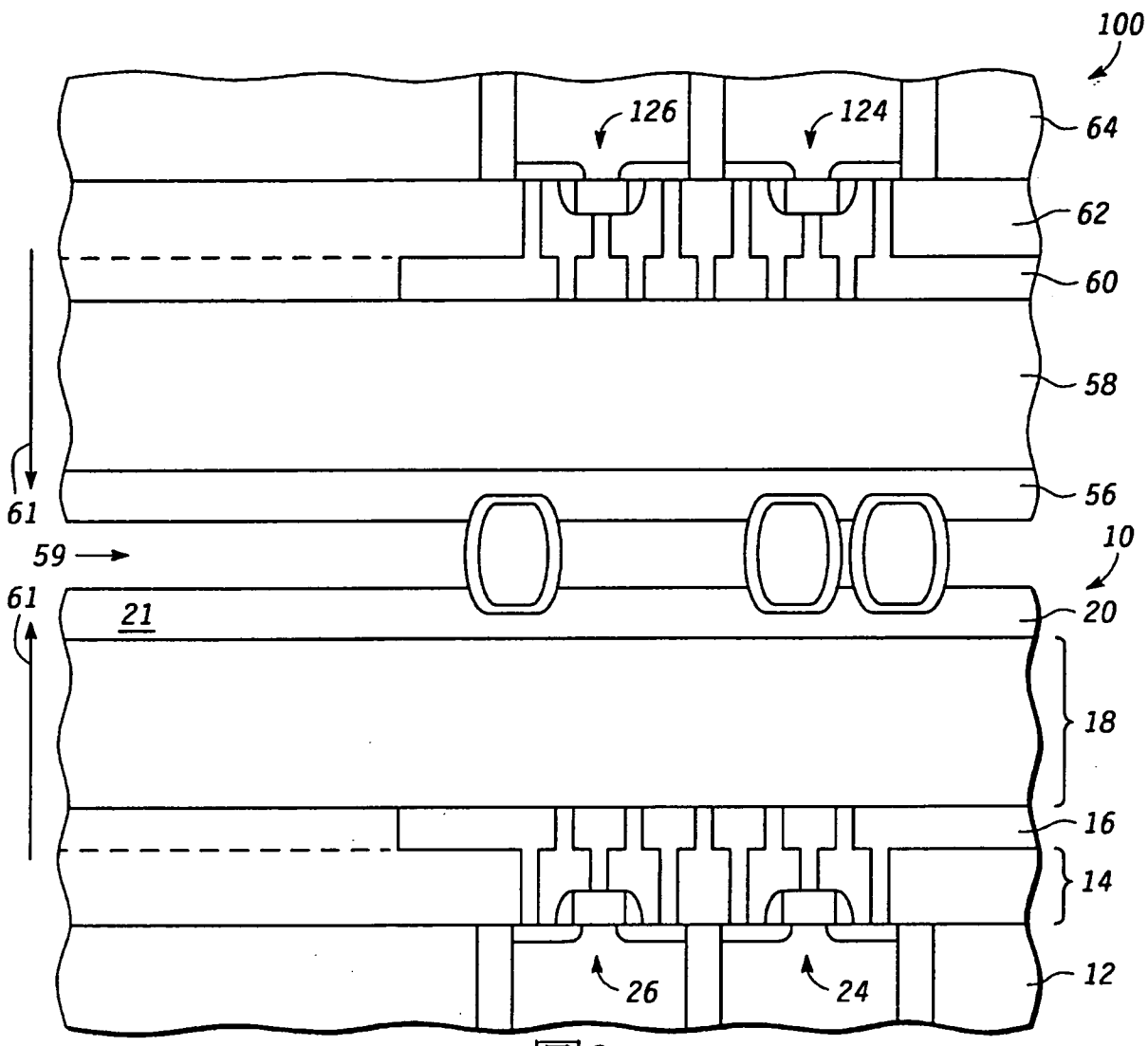


圖9

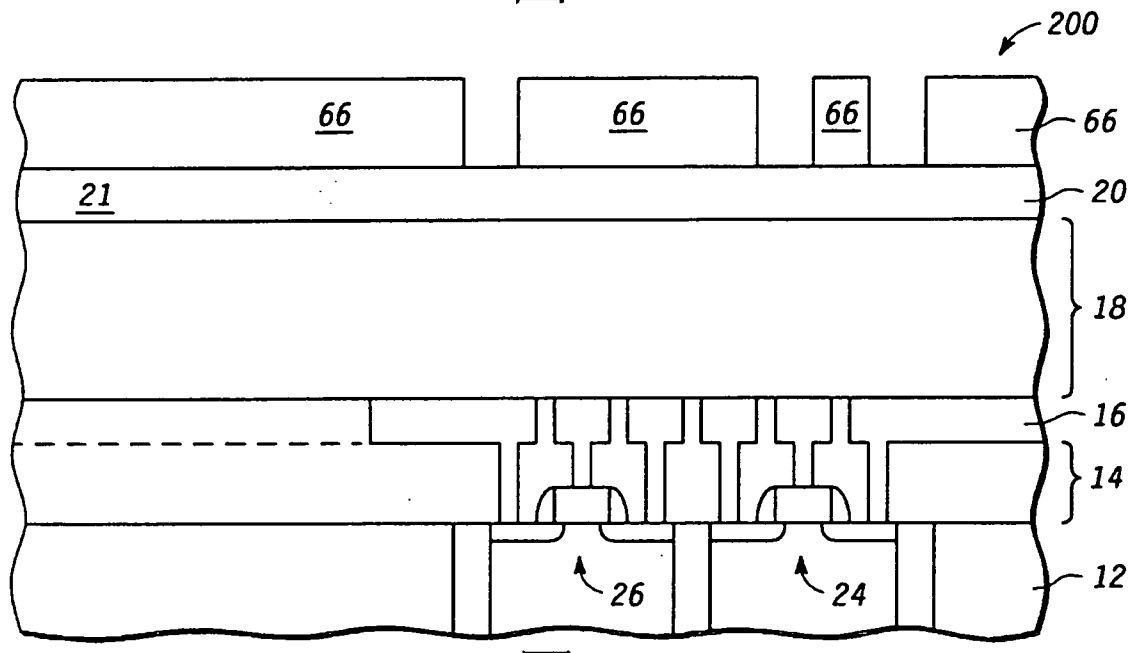


圖10

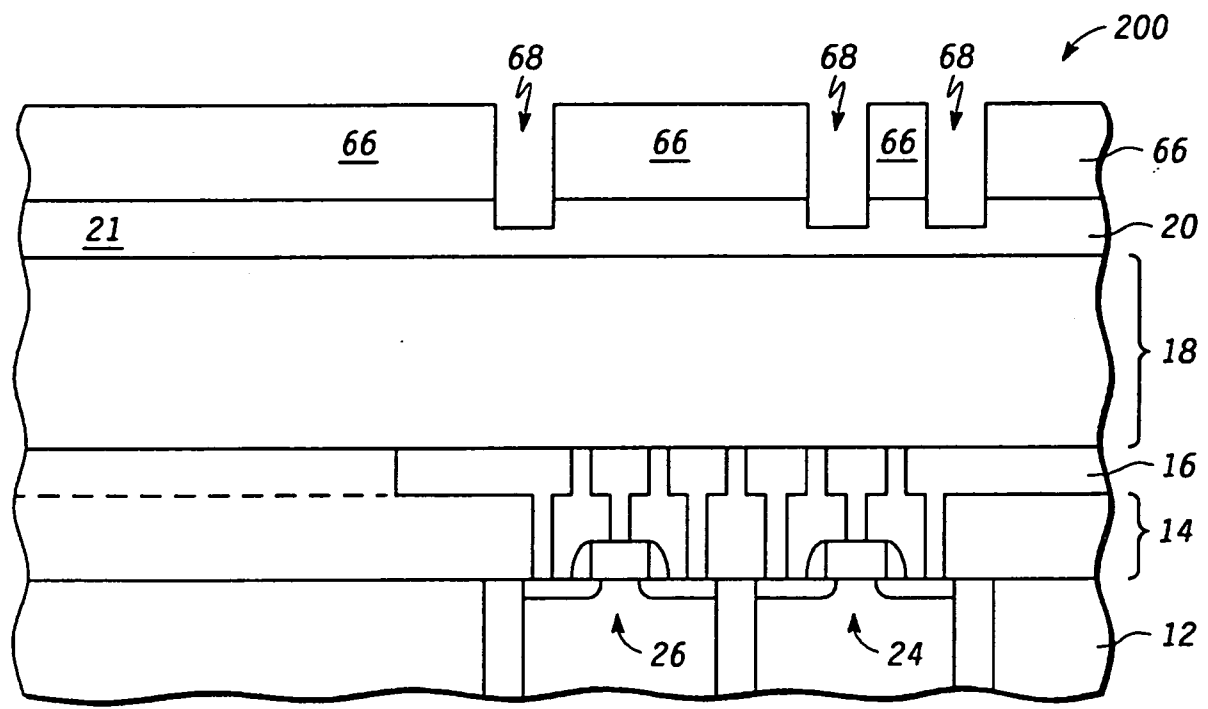


圖11

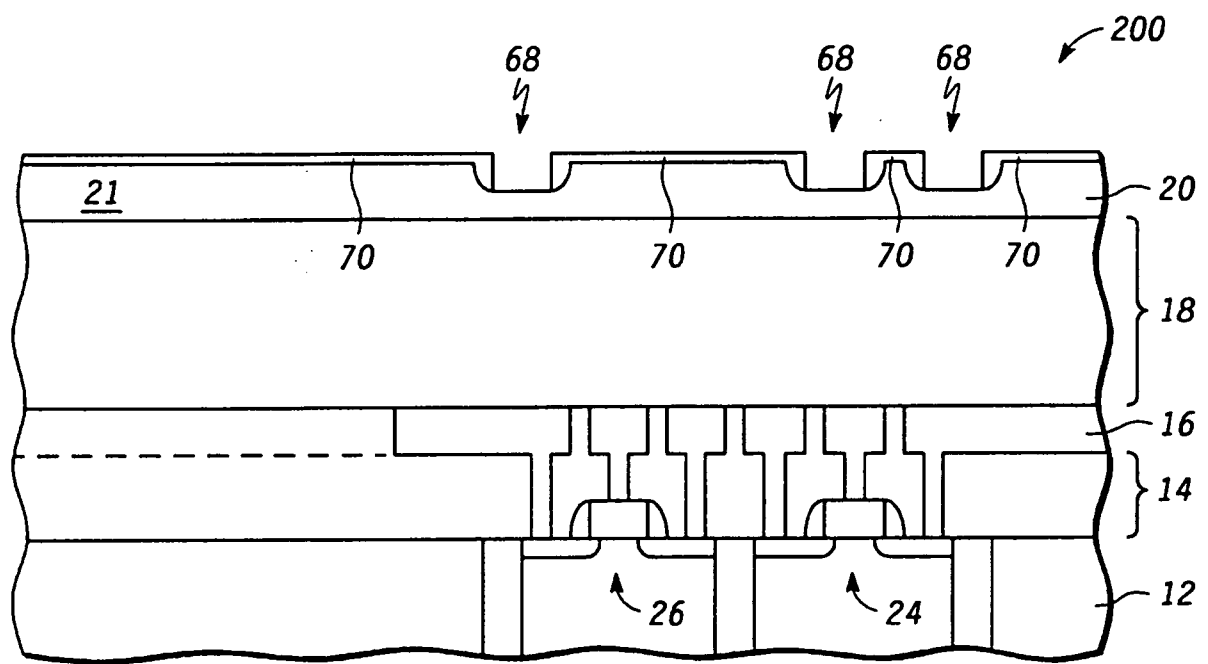


圖12

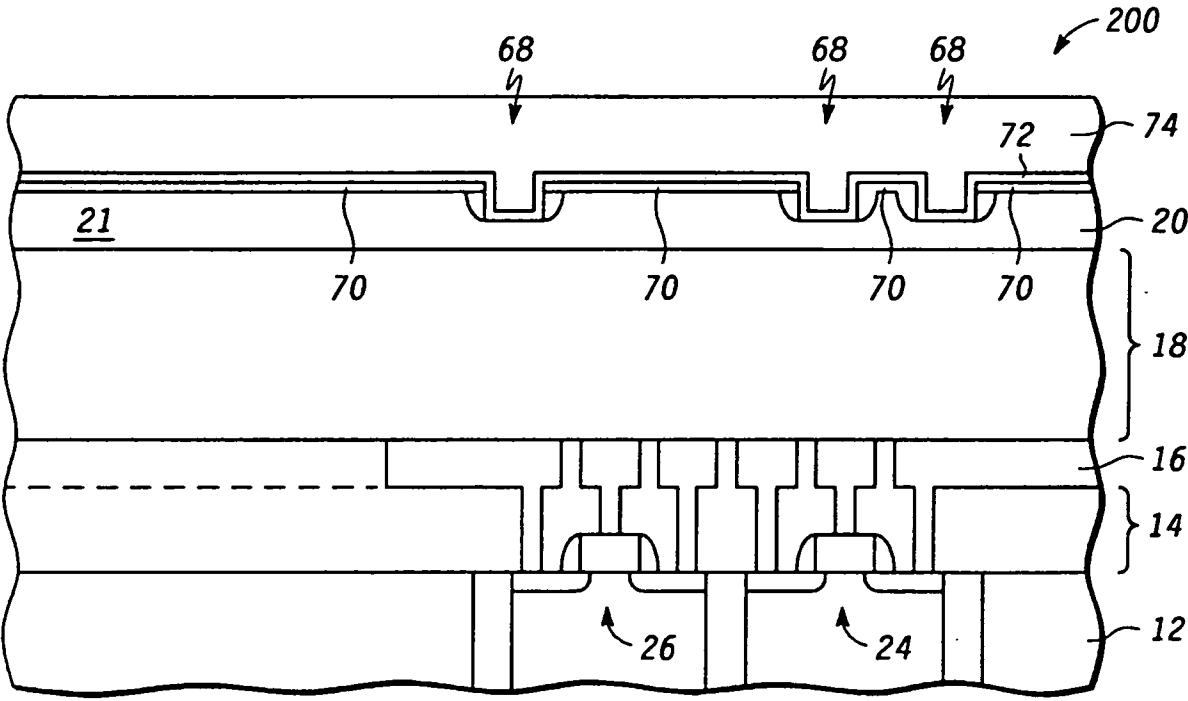


圖13

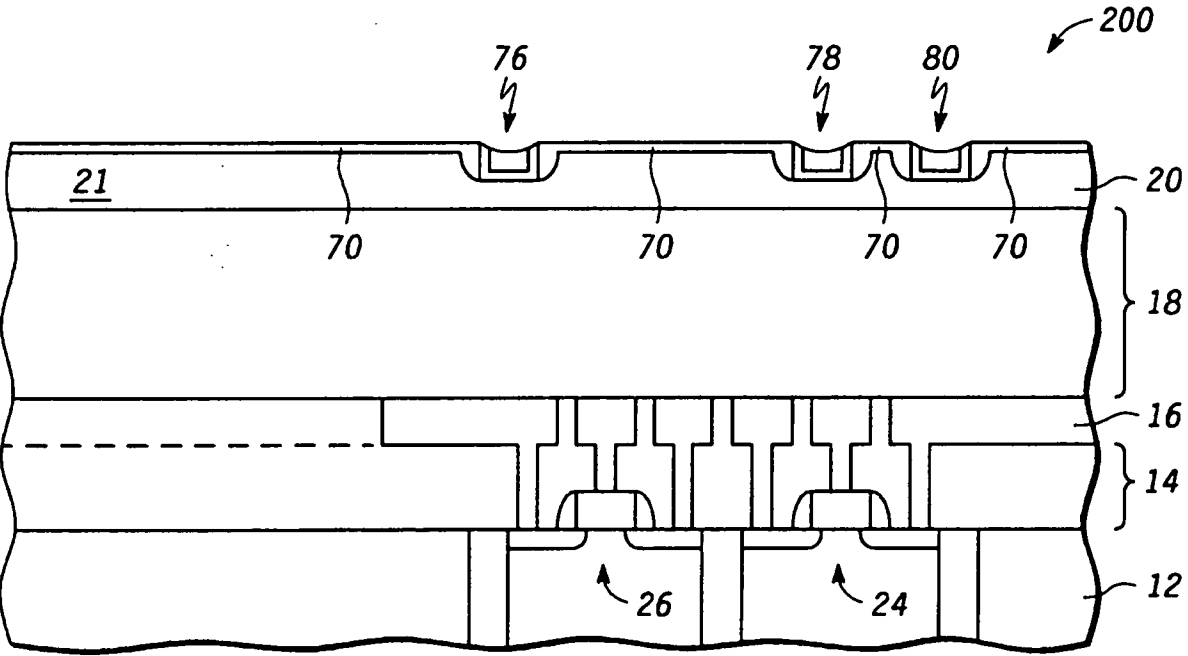


圖14

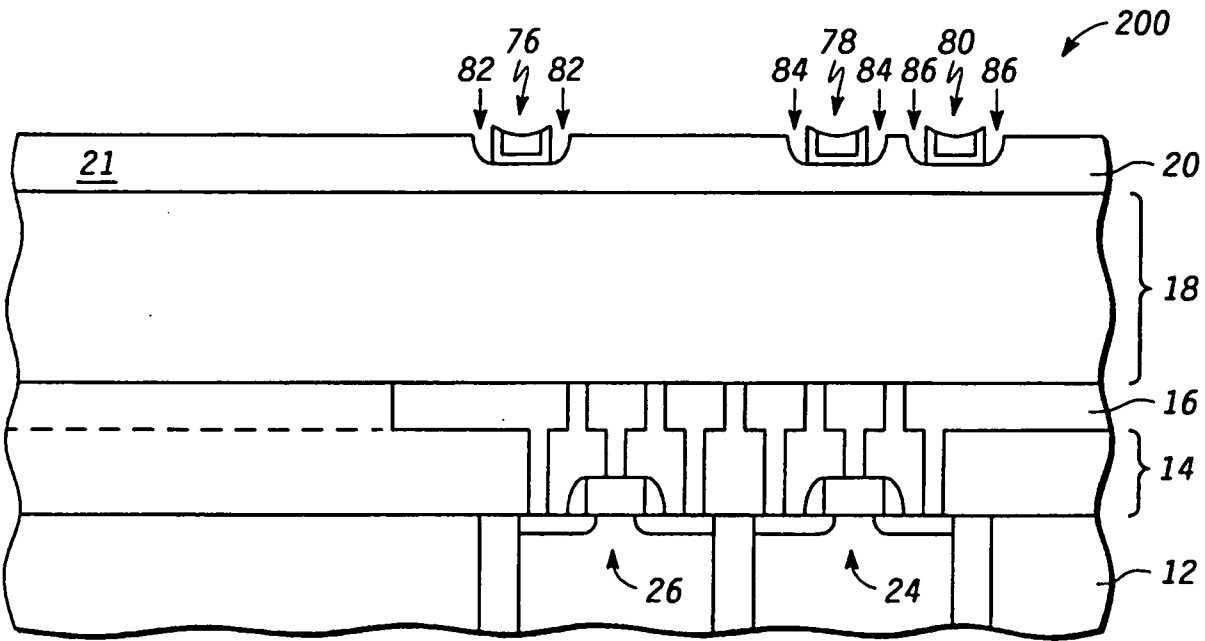


圖15