

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成30年1月11日 (2018.1.11)

【公開番号】特開2016-133874(P2016-133874A)

【公開日】平成28年7月25日 (2016.7.25)

【年通号数】公開・登録公報2016-044

【出願番号】特願2015-6688(P2015-6688)

【国際特許分類】

G 0 6 F 12/14 (2006.01)

G 0 6 F 12/16 (2006.01)

【F I】

G 0 6 F 12/14 5 1 0 D

G 0 6 F 12/16 3 1 0 A

【手続補正書】

【提出日】平成29年11月24日 (2017.11.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データが格納されるデータ格納領域と、前記データ格納領域におけるデータの消去回数
を示す消去回数データが格納される消去回数格納領域とを有する少なくとも 1 つのフラッ
シュメモリと、

プロセッサと、前記少なくとも 1 つのフラッシュメモリとの間に接続される制御回路と
、を備え、

前記制御回路は、前記データ格納領域に格納されるデータの前記プロセッサによる変更
を許容し、前記消去回数格納領域に格納される消去回数データの前記プロセッサによる変
更を抑止する、

情報処理装置。

【請求項 2】

前記制御回路は、前記消去回数格納領域に格納された消去回数データを更新した後に、
前記データ格納領域に格納されたデータを消去する、

請求項 1 に記載の情報処理装置。

【請求項 3】

前記消去回数格納領域は、前記消去回数データが格納される第 1 の消去回数格納領域及
び第 2 の消去回数格納領域を含み、

前記少なくとも 1 つのフラッシュメモリは、前記第 1 の消去回数格納領域と、前記第 2
の消去回数格納領域のいずれが有効かを示す領域情報が格納される領域情報格納領域とを含
み、

前記制御回路は、前記データ格納領域におけるデータを消去する場合、前記第 1 の消去
回数格納領域及び前記第 2 の消去回数格納領域のうち、前記領域情報が有効と示す消去回
数格納領域から前記消去回数データを取得し、取得した消去回数データを更新して他方の
消去回数格納領域に格納し、当該他方の消去回数格納領域を有効と示すように前記領域情
報を更新する、

請求項 1 に記載の情報処理装置。

【請求項 4】

前記少なくとも１つのフラッシュメモリは、複数の前記データ格納領域と、複数の前記第１の消去回数格納領域と、複数の前記第２の消去回数格納領域とを有し、

前記制御回路は、前記データを消去するデータ格納領域に対応する消去回数格納領域については、前記領域情報が有効と示す消去回数格納領域から前記消去回数データを取得し、取得した消去回数データを更新して他方の消去回数格納領域に格納し、それ以外の消去回数格納領域については、前記領域情報が有効と示す消去回数格納領域から取得した消去回数データをそのまま他方の消去回数格納領域に格納する、

請求項３に記載の情報処理装置。

【請求項５】

前記少なくとも１つのフラッシュメモリは、複数の前記データ格納領域を有し、

前記少なくとも１つのフラッシュメモリは、さらに、前記複数のデータ格納領域のそれぞれに対応するように、複数の前記消去回数格納領域と、前記消去回数データの更新の許可／禁止を示す許可情報が格納される複数の許可情報格納領域とを有し、

前記制御回路は、許可を示す許可情報が格納された許可情報格納領域に対応する消去回数格納領域については前記消去回数データを更新し、禁止を示す許可情報が格納された許可情報格納領域に対応する消去回数格納領域については前記消去回数データの更新を抑止する、

請求項１に記載の情報処理装置。

【請求項６】

前記プロセッサは、前記許可情報の変更を要求する変更要求データを前記制御回路に送信し、

前記制御回路は、前記プロセッサから受信した変更要求データによって、前記許可情報の禁止から許可への変更が要求された場合には前記許可情報の変更を許容し、前記許可情報の許可から禁止への変更が要求された場合には前記許可情報の変更を抑止する、

請求項５に記載の情報処理装置。

【請求項７】

前記許可情報格納領域は、前記許可情報が格納される第１の許可情報格納領域及び第２の許可情報格納領域を含み、

前記少なくとも１つのフラッシュメモリは、さらに、前記第１の許可情報格納領域と、前記第２の許可情報格納領域のいずれが有効かを示す領域情報が格納される領域情報格納領域とを含み、

前記制御回路は、前記許可情報を変更する場合、前記第１の許可情報格納領域及び前記第２の許可情報格納領域のうち、前記領域情報が有効と示さない許可情報格納領域に対して変更後の許可情報を格納し、当該許可情報格納領域を有効と示すように前記領域情報を更新する、

請求項６に記載の情報処理装置。

【請求項８】

前記少なくとも１つのフラッシュメモリは、さらに、前記消去回数の上限値が格納される上限値格納領域を有し、

前記制御回路は、前記消去回数データが示す消去回数が、前記上限値格納領域に格納された上限値を超える場合には、前記データ格納領域におけるデータの消去を抑止する、

請求項１に記載の情報処理装置。

【請求項９】

前記プロセッサは、前記上限値の変更を要求する上限値変更要求データを前記制御回路に送信し、

前記制御回路は、前記プロセッサから受信した上限値変更要求データによって、前記上限値を低くする変更が要求された場合には前記上限値の変更を許容し、前記上限値を高くする変更が要求された場合には前記上限値の変更を抑止する、

請求項８に記載の情報処理装置。

【請求項１０】

前記上限値格納領域は、前記上限値が格納される第 1 の上限値格納領域及び第 2 の上限値格納領域を含み、

前記少なくとも 1 つのフラッシュメモリは、さらに、前記第 1 の上限値格納領域と、前記第 2 の上限値格納領域のいずれが有効かを示す領域情報が格納される領域情報格納領域とを含み、

前記制御回路は、前記上限値を変更する場合、前記第 1 の上限値格納領域及び前記第 2 の上限値格納領域のうち、前記領域情報が有効と示さない上限値格納領域に対して変更後の上限値を格納し、当該上限値格納領域を有効と示すように前記領域情報を更新する、

請求項 9 に記載の情報処理装置。

【請求項 1 1】

前記少なくとも 1 つのフラッシュメモリは、前記データ格納領域を含む第 1 のブロックを有する第 1 のフラッシュメモリと、前記消去回数格納領域を含む第 2 のブロックを有する第 2 のフラッシュメモリとを有し、

前記第 2 のブロックは、前記第 1 のブロックよりもサイズの小さいデータ消去単位である、

請求項 1 に記載の情報処理装置。

【請求項 1 2】

前記制御回路は、前記データ格納領域に格納される前記データの前記プロセッサによる変更を許容し、前記消去回数格納領域に格納される前記消去回数データの前記プロセッサによる変更を常時抑止する、

請求項 1 に記載の情報処理装置。

【請求項 1 3】

前記制御回路は、前記データ格納領域に格納される前記データの前記プロセッサによる変更を許可し、前記消去回数格納領域に格納される前記消去回数データの前記プロセッサによる直接の変更を常に禁止する、

請求項 1 に記載の情報処理装置。

【請求項 1 4】

前記少なくとも 1 つのフラッシュメモリは、前記データ格納領域と、前記消去回数格納領域とを有し、

前記制御回路は、前記データ格納領域及び前記消去回数格納領域を含む前記フラッシュメモリを制御する、

請求項 1 に記載の情報処理装置。

【請求項 1 5】

前記制御回路は、

データ変更要求において変更対象として前記データ格納領域が指定された場合に、前記データ格納領域に格納される前記データの前記プロセッサによる変更を許可し、

前記データ変更要求において前記変更対象として前記消去回数格納領域が指定された場合に、前記消去回数格納領域に格納される前記消去回数データの前記プロセッサによる変更を常時禁止する、

請求項 1 に記載の情報処理装置。

【請求項 1 6】

前記制御回路は、前記少なくとも 1 つのフラッシュメモリに対する許可を制御し、前記少なくとも 1 つのフラッシュメモリの前記消去回数格納領域は、前記制御回路によって前記プロセッサによる直接の制御が禁止される、

請求項 1 に記載の情報処理装置。

【請求項 1 7】

データが格納されるデータ格納領域と、前記データ格納領域におけるデータの消去回数を示す消去回数データが格納される消去回数格納領域とを有する少なくとも 1 つのフラッシュメモリに対するデータ変更要求を、プロセッサから受け、

前記データ変更要求において変更対象として、前記データ格納領域が指定された場合に

は前記データを変更し、前記消去回数格納領域が指定された場合には前記消去回数データを変更しない、

フラッシュメモリ制御方法。

【請求項 18】

前記データ変更要求において変更対象として前記データ格納領域が指定された場合に、
前記データを変更し、

前記データ変更要求において前記変更対象として前記消去回数格納領域が指定された場合に、前記消去回数データを常時変更しない、

請求項 17 に記載のフラッシュメモリ制御方法。

【請求項 19】

データが格納されるデータ格納領域と、前記データ格納領域におけるデータの消去回数
を示す消去回数データが格納される消去回数格納領域とを有する少なくとも 1 つのメモリ
と、

プロセッサと、前記少なくとも 1 つのメモリとの間に接続される制御回路と、を備え、

前記制御回路は、前記データ格納領域に格納される前記データの前記プロセッサによる
変更を許可し、前記消去回数格納領域に格納される前記消去回数データの前記プロセッサ
による変更を常時禁止する、

情報処理装置。

【請求項 20】

前記消去回数格納領域は、前記消去回数データが格納される第 1 の消去回数格納領域及
び第 2 の消去回数格納領域を含み、

前記少なくとも 1 つのメモリは、前記第 1 の消去回数格納領域と、前記第 2 の消去回数
格納領域のいずれが有効かを示す領域情報が格納される領域情報格納領域とを含み、

前記制御回路は、前記データ格納領域におけるデータを消去する場合、前記第 1 の消去
回数格納領域及び前記第 2 の消去回数格納領域のうち、前記領域情報が有効と示す消去回
数格納領域から前記消去回数データを取得し、取得した消去回数データを更新して他方の
消去回数格納領域に格納し、当該他方の消去回数格納領域を有効と示すように前記領域情
報を更新する、

請求項 19 に記載の情報処理装置。