

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶
G11C 7/06

(45) 공고일자 2001년11월01일
(11) 등록번호 10 - 0299524
(24) 등록일자 2001년06월09일

(21) 출원번호 10 - 1999 - 0024621
(22) 출원일자 1999년06월28일

(65) 공개번호 특2001 - 0004036
(43) 공개일자 2001년01월15일

(73) 특허권자 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 엄인환
경기도이천시대월면사동리386 - 72번지현대5차아파트503동304호

(74) 대리인 강성배

심사관 : 최정윤

(54) 메모리소자의 래치회로

요약

본 발명은 글리치 현상을 방지하고 작은 사이즈 및 저소비전력의 메모리소자에 작용가능한 래치회로에 관한 것이다.

본 발명은 감지증폭기로부터 출력버퍼로 전달되는 출력신호를 래치하기 위한 메모리소자의 래치회로에 있어서, 상기 감지증폭기의 출력신호를 제1제어신호쌍에 의해 전달하기 위한 제1전달수단과; 상기 제1전달수단을 통해서 전달된 감지증폭기의 출력신호를 래치하기 위한 래치수단과; 제2제어신호쌍에 의해 상기 래치수단을 제어하는 제2전달수단과; 제3제어신호쌍에 의해 상기 래치수단으로부터의 출력신호를 상기 출력버퍼로 제공하기 위한 제3전달수단을 포함한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 일반적인 반도체 메모리소자의 블록구성도,

도 2는 종래의 반도체 메모리소자의 래치회로의 상세회로도,

도 3는 본 발명의 실시예에 따른 반도체 메모리소자에 있어서, 래치회로의 블럭구성도,

도 4는 도 2의 종래의 래치회로의 동작 시뮬레이션 결과를 도시한 도면,

도 5은 도 3의 본 발명의 래치회로의 동작 시뮬레이션 결과를 도시한 도면,

(도면의 주요 부분에 대한 부호의 설명)

10 : 메모리셀부 20 : 감지증폭기

30 : 데이터 출력버퍼 40 : 데이터 입력버퍼

50 : 기입 드라이버 60 : 래치회로

31 : 제1전달수단 32 : 제2전달수단

33 : 래치수단 34 : 제3전달수단

31 - 1, 32 - 1, 34 - 1 : PMOS 트랜지스터

31 - 2, 32 - 2, 34 - 2 : NMOS 트랜지스터

33 - 1, 33 - 2 : 반전 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리소자에 관한 것으로서, 보다 구체적으로는 래치의 크기를 동작모드에 따라 가변시킬 수 있는 데이터 래치회로에 관한 것이다.

도 1은 일반적인 반도체 메모리소자, 예를 들면 데이터의 독출 및 기입이 가능한 SRAM의 블럭구성도를 도시한 것이다, 도 1을 참조하면, 일반적인 반도체 메모리소자는 메모리셀들이 배열되어 데이터를 저장하거나, 저장된 데이터를 독출할 수 있는 메모리 셀부(10)와, 상기 메모리셀부(10)의 메모리셀로부터의 데이터(sa, sab)를 감지 및 증폭하는 감지증폭기(20)와, 상기 감지증폭기(20)로부터의 출력신호(sj, sjb)를 출력신호(dout)로 제공하기위한 데이터 출력버퍼(30)와, 외부로부터 데이터를 입력하기 위한 데이터 입력버퍼(40)와, 상기 데이터 입력버퍼(40)로부터 데이터를 입력하여 상기 메모리셀부(10)에 기입하도록 하는 기입 드라이버(50) 및 상기 감지증폭기(20)로부터의 출력신호(sj, sjb)와 데이터 입력버퍼(40)로부터의 입력 데이터(dlj, dljb)를 홀드(hold)하고 홀드된 신호, (sj', sjb'), (dlj', dljb')를 상기 데이터 출력버퍼(30)로 제공하기 위한 래치회로(60)를 포함한다.

반도체 메모리소자에 있어서, 래치회로(60)는 메모리셀부(10)로부터 데이터 독출시에는 감지증폭기(20)가 완전히 디벨로프(develop)된 후, 즉 감지증폭기(10)가 거의 디스에이블되려고 할 때, 감지증폭기(20)의 인에이블시와 약간의 오버랩을 두고 인에이블됨으로써, 메모리셀부(10)로부터 감지증폭기(20)를 통해 독출된 데이터(sj)를 저장하고, 감지증폭기(20)가 디스에이블된 후에는 데이터 출력버퍼(30)의 입력신호인 감지증폭기(20)의 출력신호(sj)를 홀드시켜 주는 역할을 한다.

또한, 데이터 독출시 래치(60)는 데이터 입력버퍼(40)로부터 데이터(dlj)를 직접 입력하여 저장하고, 기입검증모드(write verify mode)에서는 저장된 데이터에 의해 데이터 출력버퍼(30)를 직접 구동하도록 하는 역할을 한다.

도 2를 종래의 래치의 상세회로도 도식한 것이다. 도 2를 참조하면, 종래의 래치는 래치입력 인에이블신호(lch11)를 반전시켜주기 위한 반전 게이트(11)와, 래치입력 인에이블신호(lch11)와 상기 반전 게이트(11)를 통해 반전된 래치입력 인에이블신호(/lch11)에 의해 감지증폭기(20)로부터 출력되는 신호(sj11, sj1l)를 각각 전달하기 위한 PMOS 트랜지스터(PM11)와 NMOS 트랜지스터(NM11)로 이루어진 제1전달 게이트 및 PMOS 트랜지스터(PM12)와 NMOS 트랜지스터(NM12)로 이루어진 제2전달 게이트(12, 13)와, 상기 전달 게이트(12, 13)의 출력신호를 각각 래치하기 위한, 출력이 각각의 입력으로 궤환되는 1쌍의 반전 게이트(14, 15)를 구비하여, 그의 출력신호(dlj, dljb)를 각각 래치한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기한 바와같은 종래의 래치회로는 데이터 독출시 감지증폭기가 디스에이블되기 직전에 감지증폭기(20)와 래치(60)가 동시에 인에이블되는 구간이 있는데, 이 구간에서 감지증폭기(20)와 래치(60)가 서로 경쟁을 하게 된다.

만약, 어떠한 요인에 의해 감지증폭기(20)의 출력신호(sj11)가 완전히 디벨로프되지 않은 상태에서 감지증폭기(20)의 출력데이터와 반대 레벨을 갖는 래치회로(60)가 인에이블되면, 감지 증폭기(20)의 데이터에 의해 래치(60)의 데이터가 변경되지 못하고, 반대로 래치(60)의 데이터가 감지증폭기(20)의 출력신호(sj)를 드라이브하게 되어, 셀 데이터와는 반대되는 데이터가 출력되는 경우가 발생하는 문제점이 있었다.

도 4를 참조하면, 감지증폭기 인에이블신호(pse)와 래치입력 인에이블신호(lch11)가 오버랩되는 구간에서 감지증폭기(20)의 출력신호(sj11)에 0.8V 정도의 글리치(glitch)가 발생됨을 알 수 있다.

이는 상기에서 설명한 바와같이 감지증폭기와 래치가 경쟁하여 감지 증폭기가 완전히 디벨로프되지 않은 상태에서 래치가 인에이블되면 출력 버퍼를 통해 오류 데이터를 출력하는 결과를 초래하게 되는 문제점이 있었다.

본 발명은 상기한 바와같은 문제점을 해결하기 위한 것으로서, 데이터 독출시 감지증폭기가 완전히 디벨로프된 다음 데이터가 출력되도록 함으로써 감지증폭기의 출력 데이터를 안정되게 유지할 수 있는 래치회로를 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명은 감지증폭기로부터 출력버퍼로 전달되는 출력신호를 래치하기 위한 메모리소자의 래치회로에 있어서, 상기 감지증폭기의 출력신호를 제1제어신호쌍에 의해 전달하기 위한 제1전달수단과; 상기 제1전달수단을 통해서 전달된 감지증폭기의 출력신호를 래치하기 위한 래치수단과; 제2제어신호쌍에 의해 상기 래치수단을 제어하는 제2전달수단과; 제3제어신호쌍에 의해 상기 래치수단으로부터의 출력신호를 상기 출력버퍼로 제공하기 위한 제3전달수단을 포함하는 것을 특징으로 한다.

상기 제2제어신호쌍은 상기 감지증폭기가 인에이블될 때 인에이블되는 것을 특징으로 한다.

상기 제2전달수단은 상기 제2제어신호쌍이 각각 게이트에 인가되고 제1전달수단과 래치수단사이에 각각 연결되는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 전달 게이트로 이루어지는 것을 특징으로 한다.

상기 제1제어신호쌍은 감지증폭기를 통해 데이터 독출시에만 인에이블되는 것을 특징으로 한다.

상기 제1전달수단은 상기 제1제어신호쌍이 각각 게이트에 인가되고, 상기 감지증폭기와 래치수단 사이에 각각 연결되는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 전달게이트로 이루어진다.

상기 제3제어신호쌍은 데이터 독출시에는 감지증폭기가 디스에이블된 후 또는 데이터 기입시에는 기입 인에이블신호가 디스에이블된 후에 인에이블되는 것을 특징으로 한다.

상기 제3전달수단은 게이트에 각각 제3제어신호쌍이 인가되고 래치수단과 출력버퍼 사이에 각각 연결되는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 전달 게이트로 이루어지는 것을 특징으로 한다.

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

도 3는 본 발명의 실시예에 따른 메모리소자의 래치회로의 상세도를 도시한 것이다. 본 발명은 도 1과 동일한 구성을 갖는 반도체 메모리소자로서, 래치회로의 구성을 도 2의 종래의 래치회로대신에 도 3과 같은 구성을 갖는 래치회로를 구성한 것이다.

본 발명의 실시예에 따른 래치회로는 1쌍의 제2제어신호(lch32, lch32b)에 의해 상기 감지증폭기(20)로부터 출력되는 감지신호(sj21)를 전달하기 위한 제1전달수단(31)과, 상기 제1전달수단(31)을 통해 전달되는 감지증폭기(20)로부터의 감지신호(sj21)를 래치하기 위한 래치수단(33)과, 1쌍의 제1제어신호(lch31, lch31b)에 의해 상기 래치수단(33)이 상기 제1전달수단(32)의 출력신호를 래치하도록 제어하는 제2전달수단(32)과, 상기 래치수단(33)에 래치된 신호를 1쌍의 제3제어신호(lch33, lch33b)에 의해 출력버퍼(30)로 제공하기 위한 제3전달수단(34)을 구비한다.

상기 제1전달수단(31)은 래치입력 인에이블신호인 1쌍의 제2제어신호(lch32, lch32b)에 의해 데이터 독출시에만 감지증폭기(20)의 출력신호(sj31)가 래치수단(33)으로 전달되도록 하고, 기입시에는 감지증폭기(20)의 출력신호(sj31)가 래치수단(33)으로 전달되는 것을 차단하는 수단으로서, 1쌍의 제어신호(lch32, lch32b)가 각각 게이트에 인가되고, 상기 감지증폭기(20)와 래치수단(33) 사이에 각각 연결된 제1PMOS 트랜지스터(31 - 1)와 제1NMOS 트랜지스터(31 - 2)를 구비한다.

상기 제2전달수단(32)은 래치 디스에이블신호인 1쌍의 제1제어신호(lch31, lch31b)에 의해 감지증폭기(20)가 디스에이블된 후 상기 래치수단(33)이 상기 제1전달수단(31)을 통해 전달된 감지증폭기(20)의 출력신호(sj31)를 래치하도록 하는 수단으로서, 1쌍의 제어신호(lch31, lch31b)가 각각 게이트에 인가되고, 상기 제1전달수단(31)과 래치수단(33) 사이에 각각 연결된 제1PMOS 트랜지스터(32 - 1)와 제1NMOS 트랜지스터(32 - 2)를 구비한다.

상기 제3전달수단(34)은 래치출력 인에이블신호인 1쌍의 제3제어신호(lch33, lch33b)에 의해 래치수단(33)의 출력신호를 출력버퍼로 제공하기 위한 수단으로서, 1쌍의 제어신호(lch33, lch33b)가 각각 게이트에 인가되고, 상기 래치수단(33)과 출력버퍼(30) 사이에 각각 연결된 제3PMOS 트랜지스터(33 - 1)와 제3NMOS 트랜지스터(33 - 2)를 구비한다.

상기한 바와같은 구조를 갖는 본 발명의 메모리소자의 래치회로의 동작을 도 5를 참조하여 설명하면 다음과 같다.

감지증폭기(20)가 인에이블되어 입력신호(sa)를 감지증폭하고, 그의 출력이 어느 정도 디벨로프되면, 1쌍의 래치입력 인에이블신호(lch32, lch32b)에 의해 제1전달수단(31)의 PMOS 트랜지스터(31 - 1)와 NMOS 트랜지스터(31 - 2)가 턴온되고, 이에 따라 감지증폭기(20)의 출력신호(sj31)는 제1전달수단(31)을 통해 래치수단(33)에 전달되어 래치된다.

이때, 제3전달수단(34)은 제어신호(lch33, lch33b)에 의해 PMOS 트랜지스터(33-1)와 NMOS 트랜지스터(33-2)가 턴오프되어 디스에이블상태로 된다. 따라서, 래치수단(33)과 출력버퍼(30)는 디스에이블되어 래치수단(30)의 출력신호는 출력버퍼(30)로 전달되지 않는다.

이어서, 감지증폭기(20)가 데이터 센싱을 완료한 다음 디스에이블되면, 제어신호(lch31, lch31b)에 의해 제2전달수단(32)이 인에이블된다. 즉, 제2전달수단(32)의 PMOS 트랜지스터(32-1)와 NMOS 트랜지스터(32-2)는 턴온되어 래치수단(33)은 래치구조가 복원되어 제1전달수단(32)을 통해 전달된 감지증폭기(20)의 출력신호(sj31)는 래치된다.

또한, 제어신호(lch33, lch33b)에 의해 제3전달수단(33)의 PMOS 트랜지스터(33-1)와 NMOS 트랜지스터(33-2)가 턴온되어 출력버퍼(30)로 래치수단(33)의 출력신호를 전달하므로, 감지증폭기(20)로부터 출력버퍼(30)로 전달되는 출력신호(sj)의 레벨을 안정되게 유지시켜준다.

한편, 기입동작시에는 기입인에이블신호(web)가 인에이블됨과 동시에 제어신호(lch31, lch31b)를 디스에이블시켜 래치구조를 제거함으로써, 래치수단(33)이 데이터를 용이하게 저장할 수 있도록 한다. 즉, 데이터 입력버퍼(40)로부터 직접 래치수단(33)으로 데이터를 전달하여 저장하도록 한다.

제3제어신호(lch33, lch33b)가 인에이블되어 기입동작이 끝나면, 즉 기입 인에이블신호(web)가 디스에이블되면 제어신호(lch31, lch31b)가 인에이블되어 래치수단(33)의 래치구조를 복원시키고 이어서 제어신호(lch33, lch33b)가 인에이블되어 래치수단(30)에 저장된 신호(dlj31)가 출력버퍼(30)로 전달되게 된다.

상기에서 설명한 바와같이, 기입동작시에는 입력버퍼(40)를 통해 입력된 데이터가 래치수단(33)을 통해 바로 출력버퍼(30)로 전달되는 기입검증동작(write verify)을 수행하게 된다.

종래의 래치회로는 감지증폭기(20)로부터 독출된 데이터를 입력하기 위하여 2개의 라인(sj11, sjb11)이 필요하였으나, 상기한 바와같은 구조를 갖는 본 발명의 래치회로는 감지증폭기(20)로부터 독출된 데이터를 입력하기 위하여 하나의 라인(sj31)만이 필요하므로, 각 I/O 당 하나의 라인을 절약할 수 있다.

또한, 감지증폭기(20)의 출력라인(sj31)이 10,000 μm 이상의 길이를 가지므로, 라인 캐패시턴스가 1.5pF 이상되는 큰 용량성부하(capacitive load)로 작용하게 되는데, 본 발명에서와 같이 감지증폭기(20)의 출력신호를 전달하기 위하여 하나의 라인만이 필요하므로, 큰 사이즈의 감지증폭기 출력 드라이버도 줄일 수 있으며, 이에 따라 칩사이즈 감소와 큰 용량성부하의 충, 방전시의 전력소모도 감소시킬 수 있을 뿐만 아니라 보다 작은 칩면적과 저소비전력을 갖는 메모리소자의 설계가 가능하다.

도 5는 본 발명의 반도체 메모리소자에 있어서, 래치회로의 동작 시뮬레이션 결과를 도시한 것이다. 도 5을 참조하면, 감지증폭기가 완전히 디벨로프되고 디스에이블된 다음, 감지증폭기의 출력이 출력버퍼로 제공되도록 함으로써, 미세한 글리치만이 발생하므로 감지증폭기로부터 제공되는 신호에 별다른 영향을 주지않음을 알 수 있다.

발명의 효과

이상에서 자세히 설명된 바와 같은 본 발명의 래치회로에 따르면, 감지증폭기가 완전히 디벨로프된 다음 래치수단의 출력신호를 출력버퍼로 전달함으로써, 데이터 독출시의 글리치현상을 상당히 감소시켜 오동작을 방지할 수 있을 뿐만 아니라 작은 사이즈 및 저소비전력의 메모리소자의 설계가 가능한 이점이 있다.

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1.

감지증폭기로부터 출력버퍼로 전달되는 출력신호를 래치하기 위한 메모리소자의 래치회로에 있어서,

상기 감지증폭기의 출력신호를 제1제어신호쌍에 의해 전달하기 위한 제1전달수단과;

상기 제1전달수단을 통해서 전달된 감지증폭기의 출력신호를 래치하기 위한 래치수단과;

제2제어신호쌍에 의해 상기 래치수단을 제어하는 제2전달수단과;

제3제어신호쌍에 의해 상기 래치수단으로부터의 출력신호를 상기 출력버퍼로 제공하기 위한 제3전달수단을 포함하는 것을 특징으로 하는 메모리소자의 래치회로.

청구항 2.

제1항에 있어서, 상기 제2제어신호쌍은 상기 감지증폭기가 인에이블될 때 인에이블되는 것을 특징으로 하는 메모리소자의 래치회로.

청구항 3.

제2항에 있어서, 상기 제2전달수단은

상기 제2제어신호쌍이 각각 게이트에 인가되고 제1전달수단과 래치수단사이에 각각 연결되는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 전달 게이트로 이루어지는 것을 특징으로 하는 메모리소자의 래치회로.

청구항 4.

제1항에 있어서, 상기 제1제어신호쌍은 감지증폭기를 통해 데이터 독출시에만 인에이블되는 것을 특징으로 하는 메모리소자의 래치회로.

청구항 5.

제4항에 있어서, 상기 제1전달수단은 상기 제1제어신호쌍이 각각 게이트에 인가되고, 상기 감지증폭기와 래치수단사이에 각각 연결되는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 전달게이트로 이루어지는 것을 특징으로 하는 메모리소자의 래치회로.

청구항 6.

제1항에 있어서, 상기 제3제어신호쌍은 데이터 독출시에는 감지증폭기가 디스에이블된 후 또는 데이터 기입시에는 기입 인에이블신호가 디스에이블된 후에 인에이블되는 것을 특징으로 하는 메모리소자의 래치회로.

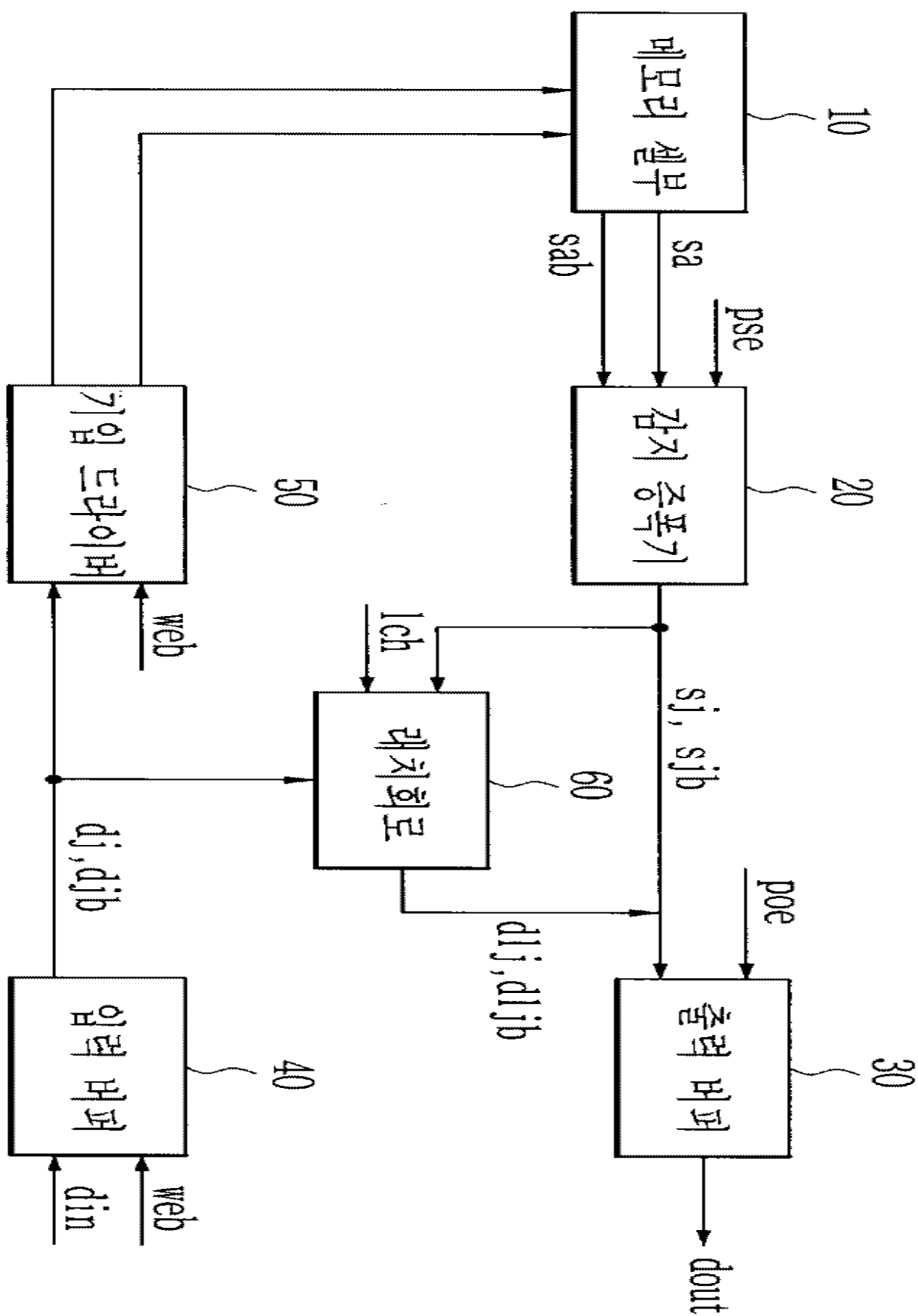
청구항 7.

제6항에 있어서, 상기 제3전달수단은

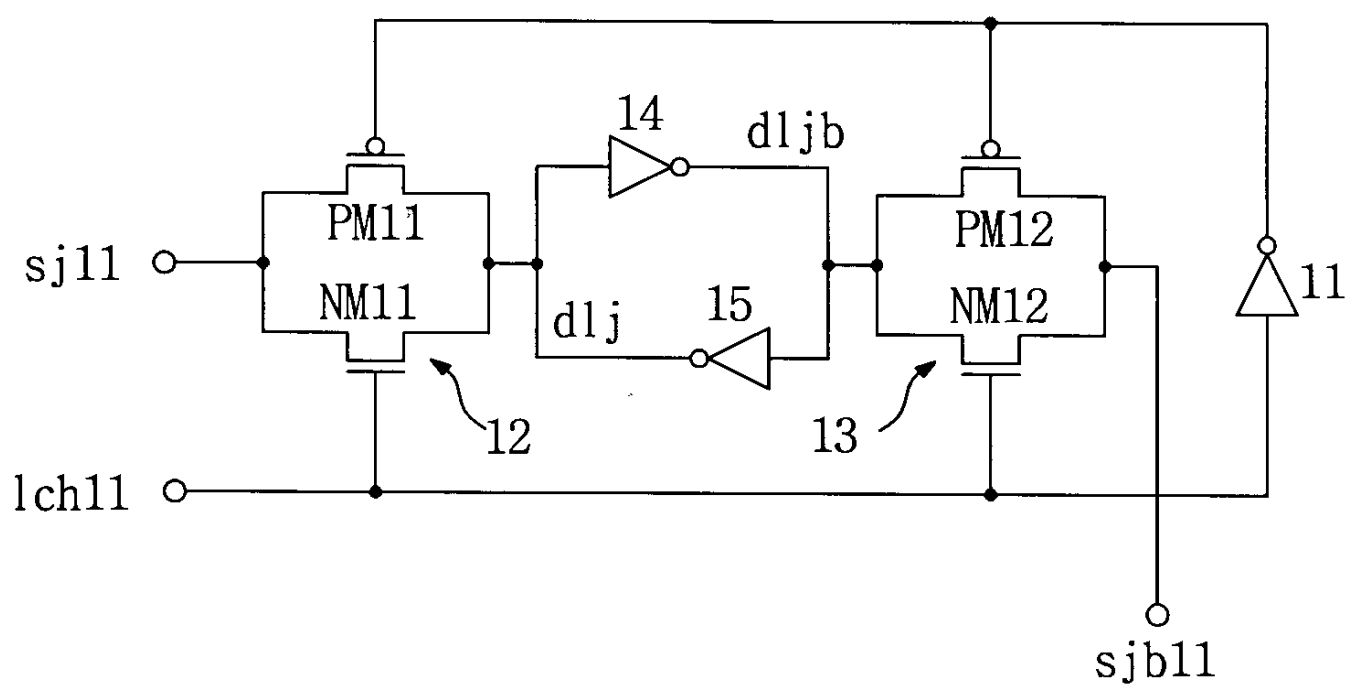
게이트에 각각 제3제어신호쌍이 인가되고 래치수단과 출력버퍼사이에 각각 연결되는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 전달 게이트로 이루어지는 것을 특징으로 하는 메모리소자의 래치회로.

도면

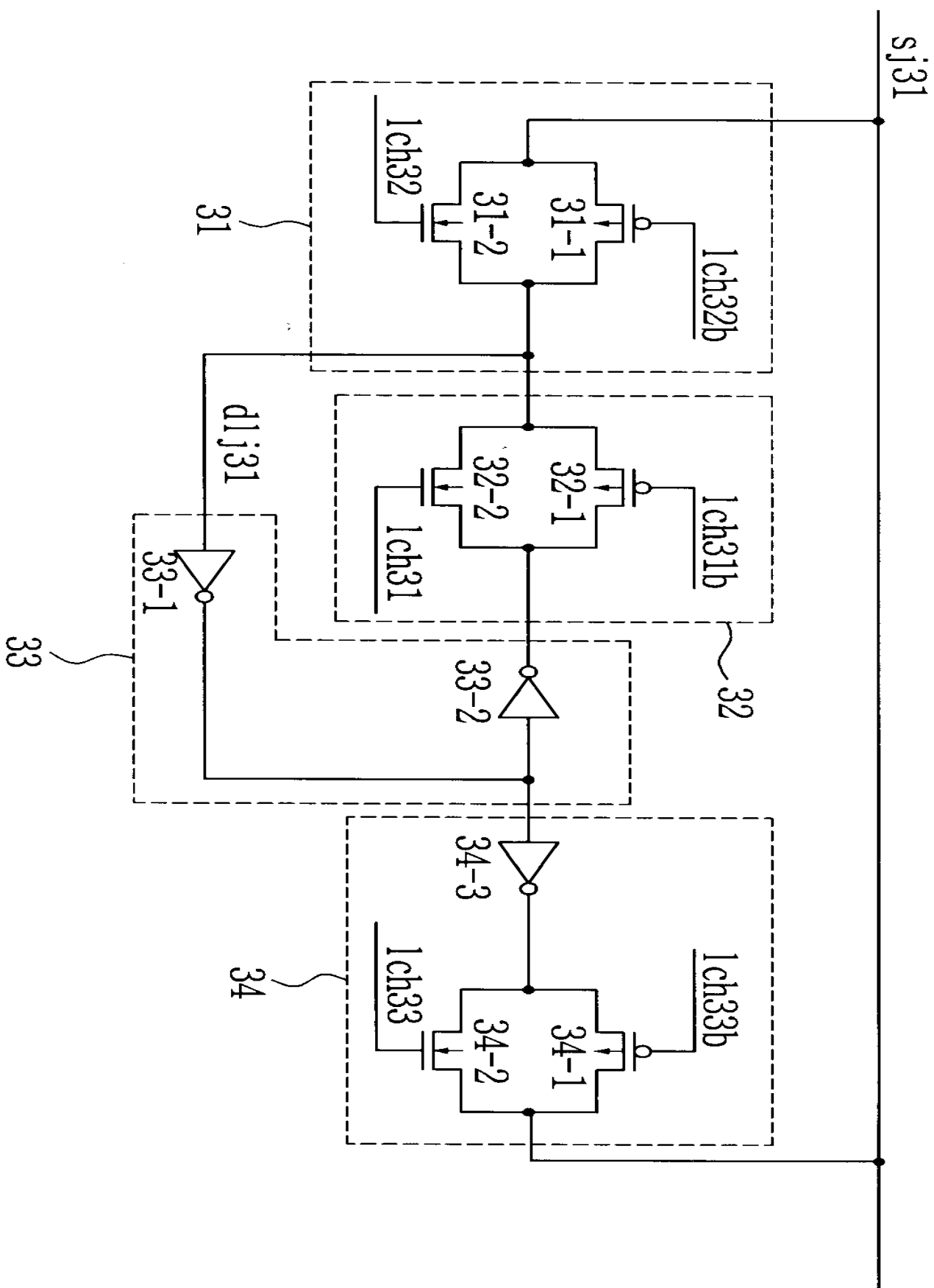
도면 1



도면 2

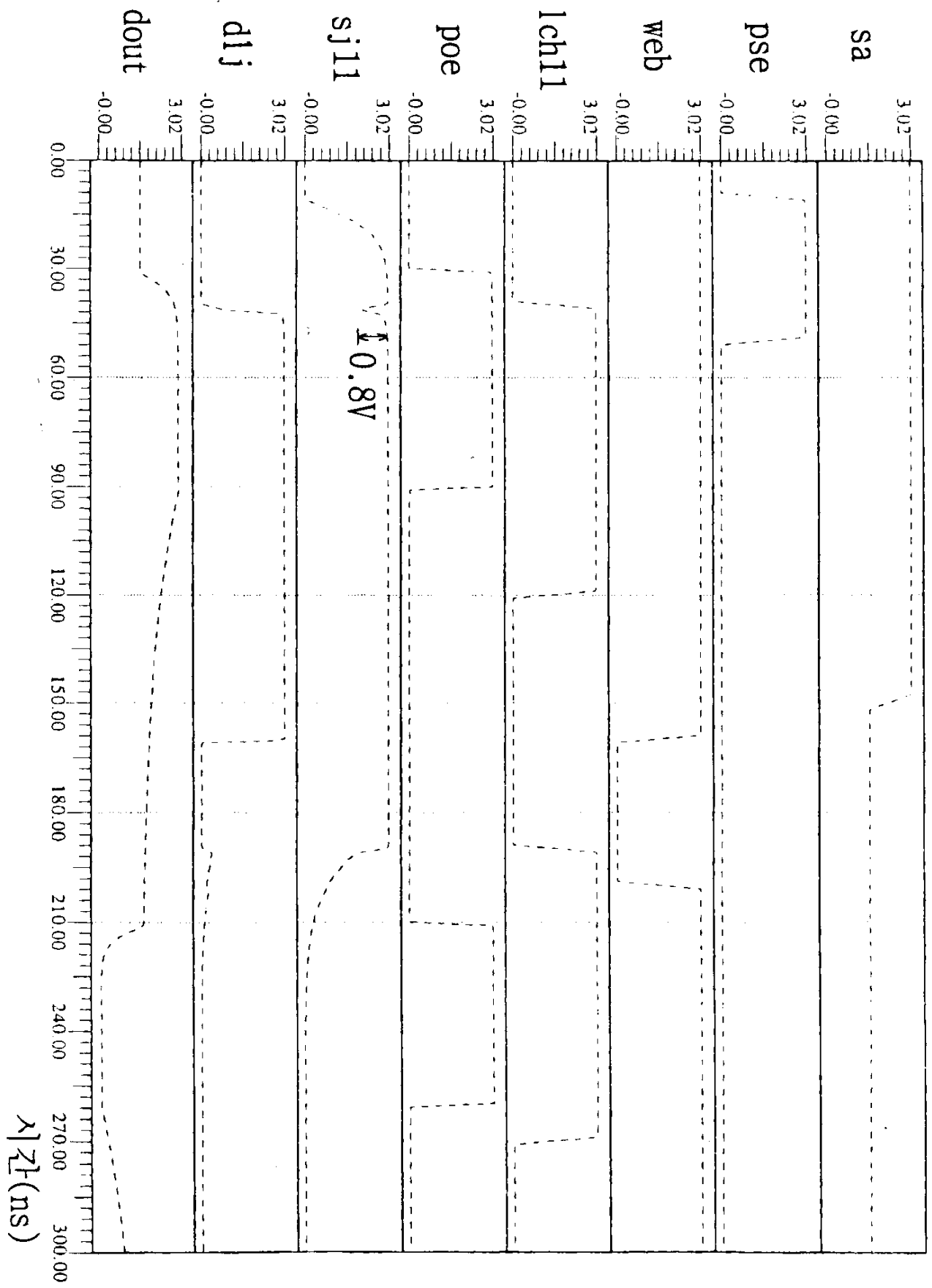


도면 3



도면 4

전압(V)



도면 5

