

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-191764

(P2011-191764A)

(43) 公開日 平成23年9月29日(2011.9.29)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
H01L 29/786 (2006.01)	H01L 29/78 618B	5F110
H01L 21/336 (2006.01)	H01L 29/78 612C	
	H01L 29/78 618F	
	H01L 29/78 616V	

審査請求 未請求 請求項の数 10 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2011-56669(P2011-56669)
 (22) 出願日 平成23年3月15日(2011.3.15)
 (31) 優先権主張番号 10-2010-0023367
 (32) 優先日 平成22年3月16日(2010.3.16)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea

(74) 代理人 100121382
 弁理士 山下 託嗣
 (74) 代理人 100142860
 弁理士 木村 有香

最終頁に続く

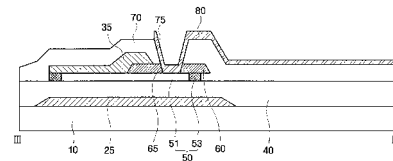
(54) 【発明の名称】 薄膜トランジスタ、その製造方法および薄膜トランジスタを利用した表示基板

(57) 【要約】 (修正有)

【課題】 表示装置の表示品質を向上させて製造工程を単純化できる酸化物薄膜トランジスタ基板を提供する。

【解決手段】 酸化物薄膜トランジスタは基板、基板上に配置されるゲートライン、基板上にゲートラインから絶縁され、ゲートラインを交差するデータライン、ゲートラインとデータラインに電氣的に接続され、酸化物層を含む酸化物薄膜トランジスタ、および酸化物薄膜トランジスタに電氣的に接続される画素電極を含み、酸化物薄膜トランジスタの酸化物層は、チャンネルを含み半導体特性を有する第1部分と、第1部分を囲み、導電性を有する第2部分を含み、第1部分は画素電極と電氣的に接続され、第2部分はデータラインと電氣的に接続される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板と、
 前記基板上に配置されるゲートラインと、
 前記基板上に前記ゲートラインから絶縁され、前記ゲートラインを交差するデータラインと、
 前記ゲートラインと前記データラインに電氣的に接続され、酸化物層を含む酸化物薄膜トランジスタ、および
 前記酸化物薄膜トランジスタに電氣的に接続される画素電極を含み、
 前記酸化物薄膜トランジスタの酸化物層は、
 チャンネルを含み半導体特性を有する第 1 部分と、
 前記第 1 部分を囲み、導電性を有する第 2 部分を含み、
 前記第 1 部分は前記画素電極と電氣的に接続して前記第 2 部分は前記データラインと電氣的に接続される酸化物薄膜トランジスタ基板。

10

【請求項 2】

前記酸化物層上に配置され前記第 1 部分を露出させる第 1 ホールを有する第 1 保護膜、および
 前記第 1 保護膜の上に配置され前記第 1 ホールを露出させる第 2 ホールを有する第 2 保護膜をさらに含み、
 前記画素電極は前記第 2 保護膜の上に形成され、前記第 1 ホールおよび第 2 ホールを通じて前記第 1 部分とコンタクトする請求項 1 に記載の酸化物薄膜トランジスタ基板。

20

【請求項 3】

前記第 1 保護膜と前記第 2 保護膜は互いに異なる物質で形成される請求項 2 に記載の酸化物薄膜トランジスタ基板。

【請求項 4】

前記第 1 保護膜は SiO_x を含み、前記第 2 保護膜は SiN_x を含む請求項 2 又は 3 に記載の酸化物薄膜トランジスタ基板。

【請求項 5】

前記第 1 保護膜と前記第 2 保護膜は互いに同じ物質で形成される請求項 2 に記載の酸化物薄膜トランジスタ基板。

30

【請求項 6】

前記第 1 保護膜および前記第 2 保護膜は SiO_x を含む請求項 2 又は 5 に記載の酸化物薄膜トランジスタ基板

【請求項 7】

前記第 1 ホールおよび前記第 2 ホールは複数個形成される請求項 2 に記載の酸化物薄膜トランジスタ基板

【請求項 8】

前記酸化物層は、インジウム (In)、亜鉛 (Zn)、ガリウム (Ga) またはハフニウム (Hf) のうち少なくとも一つを含む非晶質酸化物で形成される請求項 2 に記載の酸化物薄膜トランジスタ基板。

40

【請求項 9】

前記非晶質酸化物は、インジウム (In)、亜鉛 (Zn) およびガリウム (Ga) を含む非晶質酸化物からなる請求項 8 に記載の酸化物薄膜トランジスタ基板。

【請求項 10】

前記非晶質酸化物は、インジウム (In)、亜鉛 (Zn) およびハフニウム (Hf) を含む非晶質酸化物からなる請求項 8 に記載の酸化物薄膜トランジスタ基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ基板およびその製造方法に関するものである。より詳細に

50

酸化物半導体を利用した薄膜トランジスタおよびその製造方法に関するものである。

【背景技術】

【0002】

薄膜トランジスタ(Thin film transistor、以下TFTという)は、液晶表示装置または有機発光表示装置などのような平板表示装置でスイッチング素子として使用される。現在商用化されている液晶表示装置において、TFTのチャンネル層は大部分非晶質シリコン層であり、この場合、TFTの移動度は約 $0.5\text{ cm}^2/\text{Vs}$ である。しかし、ディスプレイの大型化につれ高解像度および高周波数の駆動特性が要求され、より高い移動度を有する高性能TFT技術が必要である。したがって、前記非晶質シリコン層より移動度が高い酸化物半導体層に対する研究が進んでいる。例えば、Ga-In-Zn-O層の移動度は非晶質シリコン層の移動度の数十倍以上に優れた半導体特性を見せている。

10

【0003】

周知の通り、TFTのON電流はチャンネル層の移動度およびチャンネルのW/Lなどに比例するため、移動度が高い酸化物半導体を用いる場合、ON電流を増加させることができる。前記Wはチャンネルの幅を示し、Lはチャンネルの長さを意味する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】大韓民国特開2008-0048936 公開(図1b)

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、酸化物半導体をチャンネル層に適用して前述したような利益を追求すると共に、TFTの設計改善を通してON電流がさらに増加したTFT基板を提供することを目的とする。

【0006】

本発明のまた他の目的は、各画素に存在する寄生容量を減らし、表示装置の表示品質を向上させることである。

【0007】

本発明のまた他の目的は、TFTを成す各層間の整列に要する努力を減らし、工程を容易にすることである。

30

【課題を解決するための手段】

【0008】

前記のような目的を解決するため、基板、基板上に配置されるゲートライン、基板上にゲートラインから絶縁され、ゲートラインを交差するデータライン、ゲートラインとデータラインに電氣的に接続され、酸化物層を含む酸化物薄膜トランジスタ、および酸化物薄膜トランジスタに電氣的に接続される画素電極を含み、酸化物薄膜トランジスタの酸化物層は、チャンネルを含み半導体特性を有する第1部分と、第1部分を囲み、導電性を有する第2部分を含み、第1部分は前記画素電極と電氣的に接続され、前記第2部分は前記データラインと電氣的に接続される酸化物薄膜トランジスタ基板が提供される。

40

【0009】

前記酸化物層上に配置され前記第1部分を露出させる第1ホールを有する第1保護膜、および前記第1保護膜の上に配置され前記第1ホールを露出させる第2ホールを有する第2保護膜をさらに含み、前記画素電極は前記第2保護膜の上に形成され、前記第1ホールおよび第2ホールを通じて前記第1部分とコンタクトすることができる。

【0010】

このように、導電性を有する酸化物層の第1領域が半導体特性を有する酸化物層の第2領域を囲むと共に前記第2領域に画素電極を直接コンタクトさせる構造によって、前記第1領域はソース電極であって、前記第2領域のうち前記画素電極にコンタクトされた部分

50

はドレーン電極として機能することができる。したがって、本発明によるTFT構造によれば、ドレーン電極が別途配置される必要はなく、ゲートパターンとドレーン電極間に発生する寄生容量を減らすことができる。周知の通り、前記寄生容量は、フリッカー現象など画質不良を起こす原因の一つであるため、その寄生容量を減らすことにより表示装置の表示品質を向上させることができる。また、前記酸化層と前記第1ホールおよび第2ホールとの間の整列のみを考慮すればよく、ソース電極とドレーン電極との間の整列が必要ないため、整列に要する努力を減らすことができ、全体的な工程が容易になる。さらに、本発明によるTFT構造によればチャンネルの長さを減少させると共にチャンネル幅を増加させることができるためTFT ON電流を増加させることができる。

【0011】

前記第1領域は、前記酸化層上に配置された前記第1保護膜の境界と隣接した領域に形成される。これについては詳細に後述する。

【0012】

前記第1保護膜と前記第2保護膜は互いに異なる物質で形成されるが、例えば前記第1保護膜はシリコン酸化物(SiO_x)を含み、前記第2保護膜はシリコン窒化物(SiN_x)を含んでもよい。前記第2保護膜を SiN_x で形成することによって前記酸化層の第1領域に導電性を付与することができる。周知の通り SiN_x を蒸着する工程には水素を含むガスが反応ガスとして添加されるが、この過程で前記酸化層のうち前記 SiN_x 層に近い部分の特性が変わり、導電性を有するようになる。前記酸化層のうち前記第2保護膜に近い部分が酸化層の縁である場合、前記酸化層の縁に前記第1領域が形成され、前記第1領域は前記第2領域を囲む構造となる。

【0013】

一方、前記第1保護膜と前記第2保護膜は互いに同じ物質で形成されてもよく、例えば、前記第1保護膜および前記第2保護膜は共に SiO_x を含んでもよい。このように第2保護膜を SiO_x で構成する場合、第2保護膜の蒸着により前記酸化層に導電性を付与することができない。したがって、この場合には別途の工程により酸化層に導電性を付与することができる。前記別途の工程は、例えば水素プラズマ処理であってもよい。

【0014】

前記第1ホールおよび前記第2ホールは一個または複数個であってもよい。複数個を形成する場合、酸化層と画素電極のコンタクト領域を広げることができる。

【0015】

前記酸化層は、インジウム(In)、亜鉛(Zn)、ガリウム(Ga)またはハフニウム(Hf)のうち少なくとも一つを含む非晶質酸化物でなされてもよい。具体的には、インジウム(In)、亜鉛(Zn)およびガリウム(Ga)を含む非晶質酸化物またはインジウム(In)、亜鉛(Zn)およびハフニウム(Hf)を含む非晶質酸化物でなされてもよい。

【0016】

前述した酸化層TFT基板以外にも、前記した目的を達成するため、基板上に酸化層形成する段階と、前記酸化層の一部領域に導電性を付与する段階、および前記酸化層の他の領域にコンタクトされた画素電極を形成する段階を含み、前記他の領域は前記一部領域によって囲まれる酸化層TFT基板製造方法が提供される。

【0017】

より具体的に、前記導電性を付与する段階は、前記酸化層を形成する段階の後に、前記酸化層と一部重複する第1保護層を形成する段階、および前記第1保護層をマスクとして、前記酸化層を水素プラズマ処理する段階を含んでもよい。前記第1保護層をマスクとして水素プラズマ処理をするため、前記第1保護層で覆われる領域の酸化層は半導体特性が残ることに対し、前記第1保護層で覆われない他の領域は導電性を有するようになる。すなわち、前記第1保護層の境界付近を中心に半導体特性を有する酸化層と導電性を有する酸化層が区分される。

【0018】

10

20

30

40

50

この場合、前記導電性を付与する段階の後に、前記導電性が付与された一部領域とコンタクトするデータパターンを形成する段階をさらに含んでもよい。

【0019】

また、前記画素電極を形成する段階の前に、前記第1保護層上に第2保護層を形成する段階、および前記第1保護層および前記第2保護層の一部をエッチングして前記酸化物層の他の領域を露出させる段階をさらに含んでもよい。この場合、前記画素電極は前記露出された酸化物層の他の領域とコンタクトする。

【0020】

前記酸化物層に導電性を付与するまた他の方法は、前記酸化物層を形成する段階の後に、前記酸化物層と一部重複する第1保護層を形成する段階、および前記第1保護層を形成する段階の後に、前記酸化物層および前記第1保護層を覆う第2保護層を形成する段階を含んでもよく、前記第2保護層を形成する段階で水素を含む反応ガスが使用されてもよい。したがって、前記第2保護層に近い酸化物層の特性が変わり、導電性を有するようになる。前記第1保護層で覆われる領域の酸化物層は半導体特性が残ることに對し、前記第1保護層で覆われない他の領域は導電性を有するようになる。すなわち、前記第1保護層の境界付近を中心に半導体特性を有する酸化物層と導電性を有する酸化物層が区分される。

10

【0021】

この場合、前記導電性を付与する段階の前に、前記酸化物層とコンタクトするデータパターンを形成する段階をさらに含んでもよい。

【0022】

また、前記画素電極を形成する段階の前に、前記第1保護層および前記第2保護層の一部をエッチングし、前記酸化物層の他の領域を露出させる段階をさらに含んでもよい。この場合、前記画素電極は前記露出された酸化物層の他の領域とコンタクトする。

20

【0023】

その他実施形態の具体的な内容は詳細な説明および図面に含まれている。

【図面の簡単な説明】

【0024】

【図1】薄膜トランジスタ(TFT)基板を概ね示す図である。

【図2】本発明の一実施形態によるTFT基板の一画素を概ね示す図である。

【図3】図2に示すIII-III'に沿って切断した断面図である。

30

【図4】本発明の一実施形態によるTFT基板でTFT形状を変えた変形例を概ね示す図である。

【図5】本発明の一実施形態によるTFT基板でTFT形状を変えた変形例を概ね示す図である。

【図6】本発明の他の実施形態によるTFT基板の一画素を概ね示す図である。

【図7】図6に示すVII-VII'に沿って切断した断面図である。

【図8A】本発明の一実施形態によるTFT基板の製造方法を順に追って示す図である。

【図8B】本発明の一実施形態によるTFT基板の製造方法を順に追って示す図である。

【図8C】本発明の一実施形態によるTFT基板の製造方法を順に追って示す図である。

【図8D】本発明の一実施形態によるTFT基板の製造方法を順に追って示す図である。

40

【図8E】本発明の一実施形態によるTFT基板の製造方法を順に追って示す図である。

【図9A】本発明の他の実施形態によるTFT基板の製造方法を順に追って示す図である。

。

【図9B】本発明の他の実施形態によるTFT基板の製造方法を順に追って示す図である。

。

【図9C】本発明の他の実施形態によるTFT基板の製造方法を順に追って示す図である。

。

【図9D】本発明の他の実施形態によるTFT基板の製造方法を順に追って示す図である。

。

【図9E】本発明の他の実施形態によるTFT基板の製造方法を順に追って示す図である

50

。

【図 9 F】本発明の他の実施形態による T F T 基板の製造方法を順に追って示す図である

。

【発明を実施するための形態】

【 0 0 2 5 】

以下、添付した図面を参照して本発明の好ましい実施形態をより詳細に説明する。しかし、本発明は下記の実施形態に限定されず、他の形態で具現されることもできる。ここで紹介する実施形態は開示された内容がより完全になるようにするため、また当業者に本発明の技術的思想と特徴が十分に伝えられるようにするために提供される。図面において、各装置または膜（層）および領域の厚さは本発明の明確にするために誇張して示すものであり、また各装置は本明細書で説明されていない多様な付加の装置を備えてもよく、膜（層）が他の膜（層）または基板上に位置するものと言及される場合、他の膜（層）または基板上に直接形成されるかそれらの間に追加的な膜（層）が介在されてもよい。

10

【 0 0 2 6 】

以下図 1 ~ 図 3 を参照して本発明の一実施形態による薄膜トランジスタ（T F T）基板について説明する。

【 0 0 2 7 】

図 1 は、薄膜トランジスタ（T F T）基板を概ね示す図である。図 2 は、本発明の一実施形態による T F T 基板の画素を概ね示す図である。図 3 は、図 2 に示す I I I - I I I ' に沿って切断した断面図である。

20

【 0 0 2 8 】

図示するように T F T 基板は絶縁基板 1 0 上に配置されたゲートライン 2 0 および前記ゲートラインと絶縁されて交差するデータライン 3 0 を含む。前記ゲートライン 2 0 と前記データライン 3 0 が交差する領域には画素（P）が形成され、T F T 基板は複数の画素を含む。前記ゲートライン 2 0 の一端にはゲートパッド 2 3 が接続され、前記データライン 3 0 の一端にはデータパッド 3 3 が接続される。前記各画素（P）には前記ゲートライン 2 0 と前記データライン 3 0 に各々接続された T F T および前記 T F T に接続された画素電極 8 0 が配置される。

【 0 0 2 9 】

図 2 および図 3 を参照すると、前記 T F T は前記ゲートライン 2 0 に接続され、前記ゲートライン 2 0 と共にゲートパターンを成すゲート電極 2 5、前記ゲートパターンを覆うゲート絶縁膜 4 0、前記ゲート絶縁膜 4 0 の上に配置され、前記ゲート電極 2 5 と重畳される酸化層 5 0、前記酸化層 5 0 の上に配置された第 1 保護膜 6 0、前記酸化層 5 0 および前記第 1 保護膜 6 0 の一部と重複し、前記データライン 3 0 に接続されたソース電極 3 5 を含む。ソース電極 3 5 は別途のパターンで形成されることもできるが、後述するように前記データライン 3 0 の一部がソース電極として機能することもできる。

30

【 0 0 3 0 】

前記 T F T の上には第 2 保護膜 7 0 が配置される。前記第 2 保護膜 7 0 の上には前記第 1 保護膜 6 0 に形成された第 1 ホール 6 5 および前記第 2 保護膜 7 0 に形成された第 2 ホール 7 5 を通じて前記酸化層 5 0 とコンタクトする画素電極 8 0 が配置される。

40

【 0 0 3 1 】

前記ゲート絶縁膜 4 0 は、例えばシリコン酸化物（S i O x）の単一膜またはシリコン窒化物（S i N x）/シリコン酸化物（S i O x）の二重膜で形成されてもよい。前記ゲート絶縁膜 4 0 が二重膜で形成される場合、シリコン酸化物（S i O x）層が前記酸化層 5 0 に近い位置に配置されることが好ましい。

【 0 0 3 2 】

前記第 1 保護膜 6 0 は、エッチストッパ（e t c h s t o p p e r）層として機能し、前記ソース電極 3 5 パターン時に前記酸化層 5 0 のチャンネル領域を保護する。前記第 1 保護膜 6 0 は、例えばシリコン酸化物（S i O x）層で形成されてもよい。

【 0 0 3 3 】

50

本実施形態で、前記第2保護膜70は、例えばシリコン窒化物(SiNx)を含む絶縁膜で形成されてもよい。

【0034】

以下では、本実施形態による酸化物層50について詳細に説明する。

【0035】

前記酸化物層50はインジウム(In)、亜鉛(Zn)、ガリウム(Ga)またはハフニウム(Hf)のうち少なくとも一つを含む非晶質酸化物でなされてもよい。前記酸化物層50は、例えばZn酸化物またはIn-Zn複合酸化物にガリウム(Ga)またはハフニウム(Hf)が添加されたものであってもよい。より詳細には、前記非晶質酸化物層はIn₂O₃-Ga₂O₃-ZnOの形態で存在するGa-In-Zn-O層、またはHfO₂-In₂O₃-ZnOの形態で存在するHf-In-Zn-O層であってもよい。

10

【0036】

前記酸化物層50は、半導体特性を有する第1領域51および前記第1領域を囲み、導電性を有する第2領域53を含む。前記第2領域は前記ソース電極35に接続する。本実施形態において、前記第2領域は53前記酸化物層50のうち前記第2保護膜70に隣接した領域に形成される。また他の観点からは、前記第2領域53は、前記酸化物層50のうち前記第1保護膜60の境界と近い領域に形成される。

【0037】

前記第2保護膜70は、例えば化学気相蒸着法(CVD:Chemical Vapor Deposition)によって前記基板10上に蒸着することができる。一般的に、CVD法によってシリコン窒化物(SiNx)を蒸着する工程には水素を含むガスが反応ガスとして添加されるが、水素の影響によって前記酸化物層50のうちシリコン窒化物(SiNx)に隣接した領域の特性が変わり、導電性を有するようになる。これに対し、前記酸化物層50のうち前記第2保護膜70と隣接しない領域は、半導体の特性を維持することができる。

20

【0038】

本実施形態のように、前記酸化物層50のうち前記第2保護膜70に隣接する部分が前記酸化物層50の縁である場合、前記酸化物層50の縁に前記第2領域53が形成され、前記第2領域53は前記第1領域51を囲む構造となる。すなわち、前記酸化物層50は、半導体特性を有する第1領域51と前記第1領域を囲み、導電性を有する第2領域53に分けられる。

30

【0039】

前述したように、前記第2領域53は、前記ソース電極35と接続するため前記データライン30に沿って流入された信号は前記ソース電極35を経て前記第2領域53にまで及ぼすことができる。すなわち、前記第2領域53は前記ソース電極35と共にまた他のソース電極として機能することができる。または、別途のソース電極を形成しない場合、前記第2領域53は前記データライン30のうち前記酸化物層50にコンタクトされた部分と共にソース電極として機能することができる。

【0040】

一方、図2および図3に図示するように、前記第1ホール65および第2ホール75は前記第1領域51の一部に対応する位置に形成される。すなわち、前記第1ホールおよび第2ホール(65,75)によって前記第1領域51の一部が露出される。

40

【0041】

前述したように、前記画素電極80は前記第1ホールおよび第2ホール(65,75)を通じて前記第1領域51とコンタクトするため、本発明によれば、ドレーン電極のための別途のパターンを形成する必要がなくなる。

【0042】

結果的に、前記第2領域53はソース電極であって、前記第1領域51のうち前記画素電極80とコンタクトされた部分はドレーン電極であって、前記第1領域51のうち前記画素電極80とコンタクトされない部分はチャンネルとして機能する。

【0043】

50

したがって、本発明によるTFT構造によれば、ゲートパターンとドレイン電極との間に発生する寄生容量を減らすことができる。周知の通り、前記寄生容量はフリッカー現象など画質不良を起こす原因のうち一つであるため、その寄生容量を減らすことにより表示装置の表示品質を向上させることができる。

【0044】

また、本発明によるTFT構造によればチャンネルの長さを減少させると共にチャンネル幅を増加させることができるためTFT ON電流を増加させることができる。

【0045】

本発明の一実施形態によるTFTの形状は、前述したような特徴を有する限り、図2および図3に示すものに制限されない。例えば、図4には酸化物層(図示せず)および第1保護膜360が円形である場合が図示されている。また、図5には第1ホール(図示せず)および第2ホール475が酸化物層の第1領域内に複数個形成された場合が図示されている。

10

【0046】

以下では本発明によるTFT基板の他の実施形態について図6および図7を参照して詳細に説明する。前述した一実施形態と同一の構成および機能に対する詳細な説明は省略する。

【0047】

図6は、本発明の他の実施形態によるTFT基板の画素を概ね示す図である。図7は、図6に示すVII-VII'に沿って切断した断面図である。

20

【0048】

図示するようにTFT基板は絶縁基板110上に配置されたゲートライン120、前記ゲートラインと絶縁されて交差するデータライン130、ゲートライン120と前記データライン130に各々接続されたTFTおよび前記TFTに接続された画素電極180を含む。

【0049】

前記TFTは前記ゲートライン120に接続され前記ゲートライン120と共にゲートパターンを成すゲート電極125、前記ゲートパターンを覆うゲート絶縁膜140、前記ゲート絶縁膜140の上に配置され、前記ゲート電極125と重畳される酸化物層150、前記酸化物層150の上に配置された第1保護膜160、前記酸化物層150および前記第1保護膜160の一部と重複し、前記データライン130に接続されたソース電極135を含む。ソース電極35は別途のパターンで形成されることもできるが、前述した一実施形態のように前記データライン30の一部がソース電極として機能することもできる。前記TFTの上には第2保護膜170が配置される。前記第2保護膜170の上には前記第1保護膜160に形成された第1ホール165および前記第2保護膜170に形成された第2ホール175を通じて前記酸化物層50とコンタクトする画素電極180が配置される。

30

【0050】

前記第1保護膜160は、エッチストップパ(et ch stopper)層として機能し、前記ソース電極135パターン時に前記酸化物層150のチャンネル領域を保護する。前記第1保護膜60は、例えばシリコン酸化物(SiO_x)で形成されてもよい。

40

【0051】

本実施形態で、前記第2保護膜70は前記第1保護膜160のような物質で形成されてもよく、例えばシリコン酸化物(SiO_x)で形成されてもよい。

【0052】

以下では前記酸化物層150についてより詳細に説明する。

【0053】

前記酸化物層150は前述した一実施形態と同一の物質で形成され、半導体特性を有する第1領域151および前記第1領域を囲み、導電性を有する第2領域153を含む。前記第2領域153は前記ソース電極35または前記データライン30の一部に接続する。

50

【0054】

前記のように第2保護膜170がシリコン酸化物で形成される場合、前述した一実施形態と異なり前記酸化物層150の特性は前記第2保護膜170の蒸着することによって大きな影響は受けない。すなわち、第2保護膜170を蒸着するだけで前記酸化物層150の一部に導電性を付与することができず、別途の手段により前記第2領域153を形成する。

【0055】

前記別途の手段は、例えば、前記第1保護膜160をマスクとして前記酸化物層150を水素プラズマ処理することであってもよい。この場合、前記酸化物層150のうち、前記第1保護膜160と重畳された領域は実質的に水素プラズマ処理されないため、半導体特性を維持することに対し、前記第1保護膜160と重畳しない部分は水素プラズマ処理によって導電性を有する。

10

【0056】

したがって、本実施形態による酸化物層150の第2領域153は、図6に示すように前記第1保護膜160の境界付近、特に第1保護膜160の外部に形成される。すなわち、前記第2領域153は前記第1保護膜160の外部に突出した部分に形成される。

【0057】

前記画素電極180が前記第1ホールおよび第2ホール(165, 175)を通じて前記第1領域151とコンタクトすることは前述した一実施形態と同一であるため、詳細な説明は省略する。

20

【0058】

また、本実施形態で前記TFTの形状および前記第1ホール、第2ホール(165、175)の個数などを多様に変更できることは前述した一実施形態と同様である。

【0059】

以下では、本発明の一実施形態によるTFT基板の製造方法について説明する。

【0060】

図8A~8Eは、本発明の一実施形態によるTFT基板の製造方法を順に追って示す図である。

【0061】

図8Aを参照すると、基板10の上にゲート電極25を含むゲートパターンを形成した後、前記基板10の上に前記パターンを覆うゲート絶縁膜40を形成する。前記ゲート絶縁膜は、例えば前記基板10上にシリコン酸化物(SiO_x)からなる単一層を形成するか、またはシリコン窒化物(SiN_x)およびシリコン酸化物(SiO_x)を連続して蒸着し、形成することができる。

30

【0062】

図8Bを参照すると、前記ゲート絶縁膜40の上に酸化物55をPVD(Physical Vapor Deposition)、CVD、ALD(Atomic Layer Deposition)またはソリューションプロセスなどの工程により蒸着する。前記酸化物55はインジウム(In)、亜鉛(Zn)、ガリウム(Ga)またはハフニウム(Hf)のうち少なくとも一つを含む非晶質酸化物でなされてもよい。例えばスパッタリング(sputtering)工程によりGa-In-Zn-O酸化物層を形成する場合、 In_2O_3 、 Ga_2O_3 およびZnOで形成された各々のターゲットを利用するか、またはGa-In-Zn酸化物の単一ターゲットを利用することができる。また、スパッタリング(sputtering)工程によりHf-In-Zn-O酸化物層を形成する場合、 HfO_2 、 In_2O_3 およびZnOで形成された各々のターゲットを利用するか、またはHf-In-Zn酸化物の単一ターゲットを利用することができる。

40

【0063】

次に、前記酸化物55の上に、シリコン酸化物(SiO_x)層を連続して蒸着した後パターンニングし、図8Bに示すように第1保護層60形成する。前記パターンニングは、例えば乾式エッチング(dry etch)工程により行われることができる。

50

【0064】

図8Cを参照すると、前記基板10上に金属層(図示せず)を蒸着した後、前記金属層と前記酸化物を共にパターニングしてデータライン30、ソース電極35および酸化物層50を形成する。前記パターニングは例えば湿式エッチング(wet etch)により行われることができる。この場合、前記酸化物層50は前記データライン30、ソース電極35および前記第1保護膜60の下部に形成される。すなわち、前記ソース電極35は前記酸化物層50および前記第1保護膜60の一部と重複する。前記金属層は、例えば、Al、Mo、TiおよびCuのうち少なくとも一つを含む単一層または多重層で形成されてもよい。

【0065】

本実施形態では前記酸化物と前記金属層を一つのマスクを使用してパターニングする場合について説明したが、前記酸化物と金属層は別個のマスクによりパターニングされてもよい。この場合、酸化物層は、データラインの下部において、酸化物層の端部が第2保護膜に対して一部が露出されるように形成されれば良く、データラインの下部の全てにおいて酸化物層が配置されていないとしてもよい。

【0066】

図8Dを参照すると、前記基板10全面にシリコン窒化物(SiNx)層を例えばCVD法によって蒸着して第2保護膜70を形成する。CVDによるシリコン窒化物層蒸着時SiH₄、NH₃、H₂などが反応ガスとして添加される。このようにシリコン窒化物の蒸着過程に水素を含む反応ガスが添加されるため、前記酸化物層50のうち前記第2保護膜70に隣接した領域は水素の影響によってその特性が変わり導電性を有するようになる。反面、前記第2保護膜70に隣接しない酸化物層50領域は半導体特性を維持する。

【0067】

図8Dに示す場合は前記酸化物層50の縁領域が前記第2保護膜70に隣接するため前記酸化物層50の縁領域が導電性を有する。

【0068】

また他の観点からは、前記酸化物層50のうち前記第1保護膜60の境界と近い領域が導電性を有する。その結果、前記酸化物層50のうち導電性を有する第2領域53は、半導体特性を有する第1領域51を囲む構造となる。

【0069】

前記第2保護膜70および前記第1保護膜60をパターニングして第2ホール75および第1ホール65を形成する。前記第1ホールおよび第2ホール(65, 75)は同一の位置に形成され、前記酸化物層50の第1領域51一部を露出させる。前記第1ホールおよび第2ホール(65, 75)は一度のエッチング過程により形成されることができる。

【0070】

図8Eを参照すると、前記第2保護膜70の上に透明導電層を形成した後パターニングして画素電極80を形成する。前記画素電極80は前記第1ホールおよび第2ホール(65, 75)を通じて前記酸化物層の第1領域51とコンタクトする。すなわち、前記酸化物層50の第1領域51のうち前記画素電極80とコンタクトされた部分がドレーン電極として機能する。

【0071】

したがって、本発明によれば、ドレーン電極のための別途のパターンを形成する必要がない。その結果、前記酸化物層50と前記第1ホールおよび第2ホール(65, 75)の間の整列のみを考慮すればよく、ソース電極とドレーン電極との間の整列は必要ないため、整列に要する努力を減らすことができ、全体の工程が容易になる。

【0072】

以下では本発明の第2実施形態によるTFETの製造方法を説明する。前述した第1実施形態によるTFETの製造方法と同一の構成に対する詳細な説明は省略する。

【0073】

10

20

30

40

50

図 9 A ~ 9 F は、本発明の他の実施形態による T F T 基板の製造方法を順に追って示す図である。

【 0 0 7 4 】

図 9 A および 9 B を参照すると、酸化物の上に第 1 保護膜 1 6 0 を形成するまでの工程は前述した第 1 実施形態と同一である。

【 0 0 7 5 】

図 9 B および 9 C を参照すると、前記第 1 保護膜 1 6 0 をマスクとして前記酸化物 1 5 5 を水素プラズマ処理する。前記水素プラズマ処理によって前記酸化物 1 5 5 のうち前記第 1 保護膜 1 6 0 によって覆われた領域を除いた部分が導電性を有するようになる。前記第 1 保護膜 1 6 0 によって覆われた領域は半導体特性を維持する。

10

【 0 0 7 6 】

このように、本実施形態では別途の工程により酸化物層に導電性を付与するため、前述した実施形態の場合より導電性がさらに強化されることができる。

【 0 0 7 7 】

図 9 D を参照すると、前記基板 1 1 0 上に金属層（図示せず）を蒸着した後、前記金属層と前記酸化物 1 5 5 を一個のマスクを使用して共にパターンングすることによってデータライン 1 3 0、ソース電極 1 3 5 および酸化物層 1 5 0 を形成する。前記酸化物層 1 5 0 は前記データライン 1 3 0、ソース電極 1 3 5 および前記第 1 保護膜 1 6 0 の下部に形成される。すなわち、前記ソース電極 1 3 5 は前記酸化物層 1 5 0 および前記第 1 保護膜 1 6 0 の一部と重複する。

20

【 0 0 7 8 】

前記酸化物層 1 5 0 は、半導体特性を有し、前記第 1 保護膜 1 6 0 の下部に配置された第 1 領域 1 5 1 と、導電性を有し、前記第 1 領域 1 5 1 を囲む第 2 領域 1 5 3 と、に区分される。図 9 D に示すように、本実施形態により形成された第 2 領域 1 5 3 は、前記ソース電極 1 3 5 または前記データライン 1 3 0 と、より広い領域においてコンタクトすることができる。また、本実施形態により形成された第 2 領域 1 5 3 は、前述した実施形態により形成された第 2 領域とは異なり、前記第 1 保護膜 1 6 0 の外部に突出する構造を有する。例えば図 9 D 等に示すように、右側の第 2 領域 1 5 3 は第 1 保護膜 1 6 0 よりも突出して形成されている。

30

【 0 0 7 9 】

一方、前述した実施形態と同様に、本実施形態においても前記酸化物と金属層は別個のマスクを通じてパターンングされてもよい。

【 0 0 8 0 】

続いて、図 9 E および図 9 F を参照すると、前述した実施形態と同一の工程によって第 2 保護膜 1 7 0、第 1 ホールおよび第 2 ホール（1 6 5, 1 7 5）、前記第 1 ホールおよび第 2 ホール（1 6 5, 1 7 5）を通じて前記第 1 領域 1 5 1 とコンタクトされる画素電極 1 8 0 が各々形成される。

【 0 0 8 1 】

前述した本発明によれば、酸化物半導体をチャネル層に適用することによって移動度を向上させることができるだけでなく、T F T のチャネル長さを減らし、チャネル幅を伸ばすことによって O N 電流がより一層増加した T F T 基板を提供することができる。

40

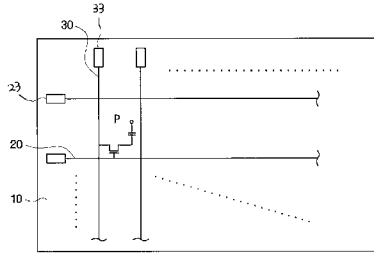
【 0 0 8 2 】

また、別途のドレイン電極を除去することによって表示品質を低下させる寄生容量を減らし、表示装置の表示品質を向上させることができる。

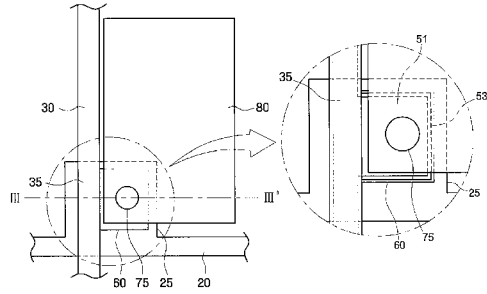
【 0 0 8 3 】

さらに、T F T を成す各層間の整列に要る努力を減らし、工程を容易にすることができる。

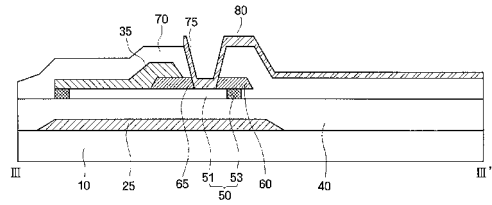
【 図 1 】



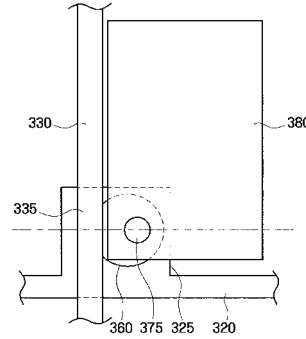
【 図 2 】



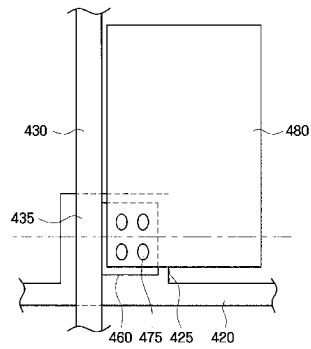
【 図 3 】



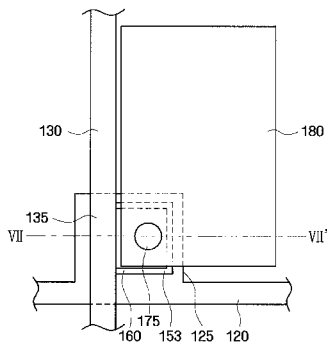
【 図 4 】



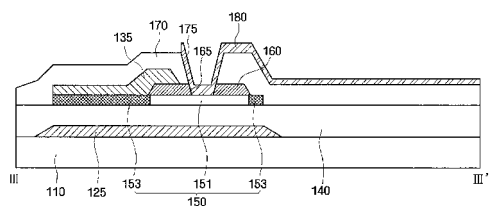
【 図 5 】



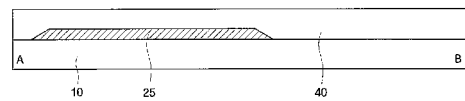
【 図 6 】



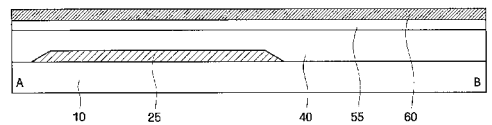
【 図 7 】



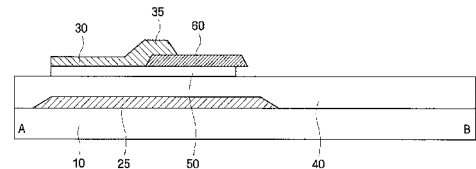
【 図 8 A 】



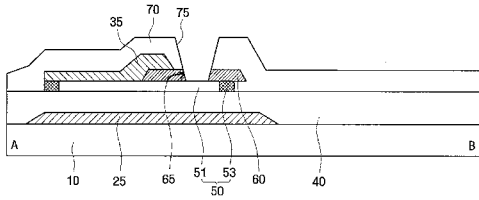
【 図 8 B 】



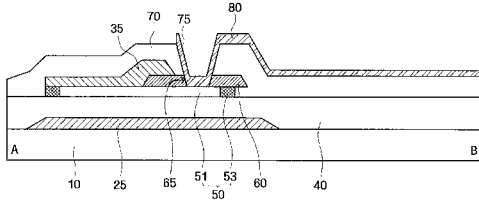
【 図 8 C 】



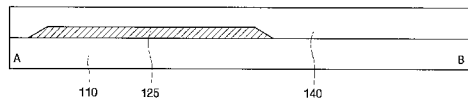
【図 8 D】



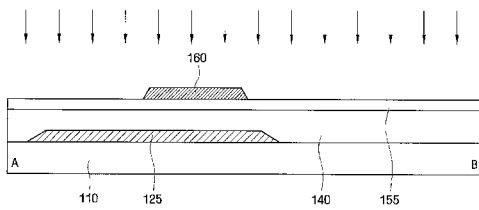
【図 8 E】



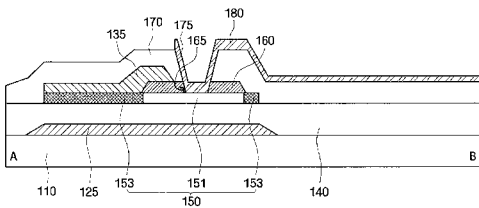
【図 9 A】



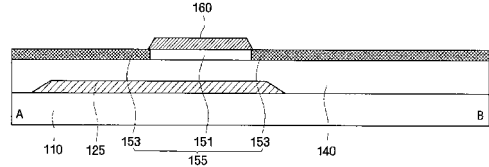
【図 9 B】



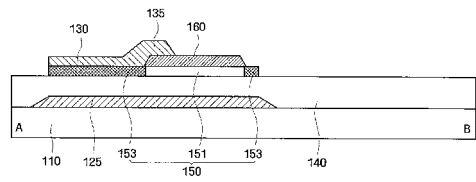
【図 9 F】



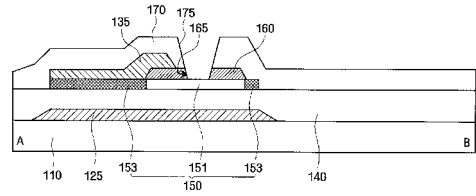
【図 9 C】



【図 9 D】



【図 9 E】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 1 6 L
	H 0 1 L 29/78	6 1 6 T
	H 0 1 L 29/78	6 1 9 A

(72)発明者 尹 弼 相

大韓民国ソウル特別市江南区狎鷗亭洞現代アパート208棟1102号

(72)発明者 李 永 旭

大韓民国京畿道水原市靈通區梅灘洞514-14未来ヴィレッジ イー棟108号

(72)発明者 李 禹 根

大韓民国京畿道龍仁市器興區甫羅洞現代モーニングサイドアパート2次107棟204号

Fターム(参考) 5C094 AA02 AA25 AA43 BA03 BA43 DA13 DA15 DB04 EA04 EA10
 EB02 FB12 FB14 FB20
 5F110 AA02 AA07 AA16 BB01 CC07 FF02 FF03 FF09 FF27 GG01
 GG42 GG43 GG44 GG58 HK25 HK26 HK41 HM04 HM12 NN03
 NN23 NN24 NN35 NN72 QQ09