

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7372027号
(P7372027)

(45)発行日 令和5年10月31日(2023.10.31)

(24)登録日 令和5年10月23日(2023.10.23)

(51)国際特許分類

F I

H 0 2 M 7/48 (2007.01)

H 0 2 M 7/48

F Z A B

請求項の数 9 (全23頁)

(21)出願番号	特願2018-41630(P2018-41630)	(73)特許権者	000005108
(22)出願日	平成30年3月8日(2018.3.8)		株式会社日立製作所
(65)公開番号	特開2019-161720(P2019-161720 A)	(74)代理人	東京都千代田区丸の内一丁目 6 番 6 号 110000062
(43)公開日	令和1年9月19日(2019.9.19)		弁理士法人第一国際特許事務所
審査請求日	令和3年2月5日(2021.2.5)	(72)発明者	三好 智之
審判番号	不服2023-1599(P2023-1599/J1)		東京都千代田区丸の内一丁目 6 番 6 号
審判請求日	令和5年1月31日(2023.1.31)		株式会社日立製作所内
		(72)発明者	白石 正樹
			東京都千代田区丸の内一丁目 6 番 6 号
			株式会社日立製作所内
		(72)発明者	森 睦宏
			東京都千代田区丸の内一丁目 6 番 6 号
			株式会社日立製作所内
		(72)発明者	仲田 清

最終頁に続く

(54)【発明の名称】 インバータ装置

(57)【特許請求の範囲】

【請求項 1】

3相各相の上アームに接続される第1のデュアルゲートIGBTおよび当該3相各相の下アームに接続される第2のデュアルゲートIGBTと、

前記第1および前記第2のデュアルゲートIGBTそれぞれに逆並列に接続されるダイオードとから構成されるインバータ装置であって、

前記第1および前記第2のデュアルゲートIGBTそれぞれは、第1および第2のゲート端子を有し、前記第1および前記第2のゲート端子の少なくともいずれかに閾値電圧以上の電圧を印加することで非導通状態から導通状態へ移行し、前記第1および第2のゲート端子に前記閾値電圧未満の電圧が印加されることで導通状態から非導通状態へ移行する特性を有し、

10

前記第1のデュアルゲートIGBTの前記第1のゲート端子は、第1のPWM信号を用いて生成した第1のゲート信号により駆動され、前記第1のデュアルゲートIGBTの前記第2のゲート端子は、第3のPWM信号を用いて生成した第3のゲート信号により駆動され、

前記第2のデュアルゲートIGBTの前記第1のゲート端子は、第2のPWM信号を用いて生成した第2のゲート信号により駆動され、前記第2のデュアルゲートIGBTの前記第2のゲート端子は、第4のPWM信号を用いて生成した第4のゲート信号により駆動され、

前記第1のPWM信号は、負荷を駆動制御するための電圧指令信号に基づいて導通幅が

20

変調されると共に、当該第 1 の P W M 信号は、前記第 2 の P W M 信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が前記第 2 の P W M 信号の非導通の期間内に生成され、前記第 2 の P W M 信号が導通から非導通に変化するタイミングから少なくとも 2 μ 秒経過した後に非導通から導通に変化し、

前記第 2 の P W M 信号は、前記第 1 の P W M 信号の正負を逆相にした信号であると共に、当該第 2 の P W M 信号は、前記第 1 の P W M 信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が前記第 1 の P W M 信号の非導通の期間内に生成され、前記第 1 の P W M 信号が導通から非導通に変化するタイミングから少なくとも 2 μ 秒経過した後に非導通から導通に変化し、

前記第 3 の P W M 信号は、前記第 1 の P W M 信号の導通幅が前記第 1 のゲート信号と前記第 3 のゲート信号との間のターンオン時のタイミングディレイ時間およびターンオフ時のタイミングディレイ時間を加算したタイミングディレイ期間より大きい場合には、当該第 1 の P W M 信号と同じ導通幅の期間内に位置し当該第 1 の P W M 信号の導通幅より短い導通幅に変調され、前記第 1 の P W M 信号の導通幅が当該タイミングディレイ期間以下の場合には、非導通のままであると共に、当該第 3 の P W M 信号は、前記第 1 の P W M 信号が非導通から導通へ変化するタイミングから少なくとも 1 μ 秒経過した後に非導通から導通へ変化し、前記第 1 の P W M 信号が導通から非導通へ変化するタイミングから少なくとも 5 μ 秒以前に導通から非導通へ変化し、

前記第 4 の P W M 信号は、前記第 2 の P W M 信号の導通幅が前記第 2 のゲート信号と前記第 4 のゲート信号との間のターンオン時のタイミングディレイ時間およびターンオフ時のタイミングディレイ時間を加算したタイミングディレイ期間より大きい場合には、当該第 2 の P W M 信号と同じ導通幅の期間内に位置し当該第 2 の P W M 信号の導通幅より短い導通幅に変調され、前記第 2 の P W M 信号の導通幅が当該タイミングディレイ期間以下の場合には、非導通のままであると共に、当該第 4 の P W M 信号は、前記第 2 の P W M 信号が非導通から導通へ変化するタイミングから少なくとも 1 μ 秒経過した後に非導通から導通へ変化し、前記第 2 の P W M 信号が導通から非導通へ変化するタイミングから少なくとも 5 μ 秒以前に導通から非導通へ変化し、

前記第 1 のデュアルゲート I G B T の前記第 1 のゲート端子の端子電圧を検知し、当該端子電圧から当該第 1 のゲートのオン・オフ動作をセンスして第 1 のフィードバック信号として前記第 1 の P W M 信号と比較し、当該双方の信号が異なる際には警告信号を出力し、

前記第 2 のデュアルゲート I G B T の前記第 1 のゲート端子の端子電圧を検知し、当該端子電圧から当該第 1 のゲートのオン・オフ動作をセンスして第 2 のフィードバック信号として前記第 2 の P W M 信号と比較し、当該双方の信号が異なる際には警告信号を出力し、前記警告信号に基づいて、前記第 1 から第 4 の P W M 信号全てを非導通とすることを特徴とするインバータ装置。

【請求項 2】

請求項 1 に記載のインバータ装置であって、
前記第 1 のデュアルゲート I G B T の前記第 2 のゲート端子の端子電圧を検知し、当該端子電圧から当該第 2 のゲートのオン・オフ動作をセンスして第 3 のフィードバック信号として前記第 3 の P W M 信号と比較し、当該双方の信号が異なる際には警告信号を出力し、
前記第 2 のデュアルゲート I G B T の前記第 2 のゲート端子の端子電圧を検知し、当該端子電圧から当該第 2 のゲートのオン・オフ動作をセンスして第 4 のフィードバック信号として前記第 4 の P W M 信号と比較し、当該双方の信号が異なる際には警告信号を出力することを特徴とするインバータ装置。

【請求項 3】

請求項 1 に記載のインバータ装置であって、
前記ダイオードは、半導体基体に炭化ケイ素を用いたショットキーバリアダイオードであることを特徴とするインバータ装置。

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載のインバータ装置であって、

前記第 1 および第 2 の P W M 信号を生成する P W M 制御演算部と、
前記第 1 の P W M 信号を受けて前記第 3 の P W M 信号を生成する第 1 の P W M 信号変換部
と、
前記第 2 の P W M 信号を受けて前記第 4 の P W M 信号を生成する第 2 の P W M 信号変換部
と、
前記第 1 から第 4 の P W M 信号をそれぞれに受けて前記第 1 から第 4 のゲート信号を生成
する第 1 から第 4 のゲート出力回路部と
を備え、
前記第 1 の P W M 信号変換部、前記第 1 のゲート出力回路部および前記第 3 のゲート出力
回路部により第 1 のゲート駆動回路を構成し、
前記第 2 の P W M 信号変換部、前記第 2 のゲート出力回路部および前記第 4 のゲート出力
回路部により第 2 のゲート駆動回路を構成する
ことを特徴とするインバータ装置。

【請求項 5】

請求項 1 から 3 のいずれか 1 項に記載のインバータ装置であって、
前記第 1 および第 2 の P W M 信号を生成する P W M 制御演算部と、
前記第 1 の P W M 信号を受けて前記第 3 の P W M 信号を生成する第 1 の P W M 信号変換部
と、
前記第 2 の P W M 信号を受けて前記第 4 の P W M 信号を生成する第 2 の P W M 信号変換部
と、
前記第 1 から第 4 の P W M 信号をそれぞれに受けて前記第 1 から第 4 のゲート信号を生成
する第 1 から第 4 のゲート出力回路部と
を備え、
前記第 1 のゲート出力回路部および前記第 3 のゲート出力回路部により第 1 のゲート駆動
回路を構成し、
前記第 2 のゲート出力回路部および前記第 4 のゲート出力回路部により第 2 のゲート駆動
回路を構成し、
前記第 1 の P W M 信号変換部および前記第 2 の P W M 信号変換部を前記 P W M 制御演算部
内に設ける
ことを特徴とするインバータ装置。

【請求項 6】

請求項 4 または 5 に記載のインバータ装置であって、
前記 P W M 制御演算部は、プログラム可能な集積回路から構成される
ことを特徴とするインバータ装置。

【請求項 7】

請求項 1 から 6 のいずれか 1 項に記載のインバータ装置を搭載した電気鉄道車両。

【請求項 8】

3 相各相の上アームに接続される第 1 のデュアルゲート I G B T および当該 3 相各相の下
アームに接続される第 2 のデュアルゲート I G B T と、前記第 1 および前記第 2 のデュア
ルゲート I G B T それぞれに逆並列に接続されるダイオードとから構成されるインバータ
装置の駆動方法であって、
前記第 1 および前記第 2 のデュアルゲート I G B T それぞれは、第 1 および第 2 のゲート
端子を備え、前記第 1 および前記第 2 のゲート端子の少なくともいずれかに閾値電圧以上
の電圧が印加されることで非導通状態から導通状態へ移行し、前記第 1 および前記第 2 の
ゲート端子に前記閾値電圧未満の電圧が印加されることで導通状態から非導通状態へ移行
する特性を有し、
前記第 1 のデュアルゲート I G B T の前記第 1 のゲート端子を、第 1 の P W M 信号を用い
て生成した第 1 のゲート信号により駆動し、前記第 1 のデュアルゲート I G B T の前記第
2 のゲート端子を、第 3 の P W M 信号を用いて生成した第 3 のゲート信号により駆動し、
前記第 2 のデュアルゲート I G B T の前記第 1 のゲート端子を、第 2 の P W M 信号を用い

10

20

30

40

50

て生成した第2のゲート信号により駆動し、前記第2のデュアルゲートIGBTの前記第2のゲート端子を、第4のPWM信号を用いて生成した第4のゲート信号により駆動し、前記第1のPWM信号を、負荷を駆動制御するための電圧指令信号に基づいて導通幅を変調すると共に、当該第1のPWM信号を、前記第2のPWM信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が前記第2のPWM信号の非導通の期間内に生成し、前記第2のPWM信号が導通から非導通に変化するタイミングから少なくとも2μ秒経過した後に非導通から導通に変化させ、

前記第2のPWM信号を、前記第1のPWM信号の正負を逆相にした信号とすると共に、当該第2のPWM信号を、前記第1のPWM信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が前記第1のPWM信号の非導通の期間内に生成し、前記第1のPWM信号が導通から非導通に変化するタイミングから少なくとも2μ秒経過した後に非導通から導通に変化させ、

10

前記第3のPWM信号を、前記第1のPWM信号の導通幅が前記第1のゲート信号と前記第3のゲート信号との間のターンオン時のタイミングディレイ時間およびターンオフ時のタイミングディレイ時間を加算したタイミングディレイ期間より大きい場合には、当該第1のPWM信号と同じ導通幅の期間内に位置し当該第1のPWM信号の導通幅より短い導通幅に変調し、前記第1のPWM信号の導通幅が当該タイミングディレイ期間以下の場合には、非導通のままとすると共に、当該第3のPWM信号を、前記第1のPWM信号が非導通から導通へ変化するタイミングから少なくとも1μ秒経過した後に非導通から導通へ変化させ、前記第1のPWM信号が導通から非導通へ変化するタイミングから少なくとも5μ秒以前に導通から非導通へ変化させ、

20

前記第4のPWM信号を、前記第2のPWM信号の導通幅が前記第2のゲート信号と前記第4のゲート信号との間のターンオン時のタイミングディレイ時間およびターンオフ時のタイミングディレイ時間を加算したタイミングディレイ期間より大きい場合には、当該第2のPWM信号と同じ導通幅の期間内に位置し当該第2のPWM信号の導通幅より短い導通幅に変調し、前記第2のPWM信号の導通幅が当該タイミングディレイ期間以下の場合には、非導通のままとすると共に、当該第4のPWM信号を、前記第2のPWM信号が非導通から導通へ変化するタイミングから少なくとも1μ秒経過した後に非導通から導通へ変化させ、前記第2のPWM信号が導通から非導通へ変化するタイミングから少なくとも5μ秒以前に導通から非導通へ変化させ、

30

前記第1のデュアルゲートIGBTの前記第1のゲート端子の端子電圧を検知し、当該端子電圧から当該第1のゲートのオン・オフ動作をセンスして第1のフィードバック信号として前記第1のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力し、前記第2のデュアルゲートIGBTの前記第1のゲート端子の端子電圧を検知し、当該端子電圧から当該第1のゲートのオン・オフ動作をセンスして第2のフィードバック信号として前記第2のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力することを特徴とするインバータ装置の駆動方法。

【請求項9】

請求項8に記載のインバータ装置の駆動方法であって、

前記第1のデュアルゲートIGBTの前記第2のゲート端子の端子電圧を検知し、当該端子電圧から当該第2のゲートのオン・オフ動作をセンスして第3のフィードバック信号として前記第3のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力し、前記第2のデュアルゲートIGBTの前記第2のゲート端子の端子電圧を検知し、当該端子電圧から当該第2のゲートのオン・オフ動作をセンスして第4のフィードバック信号として前記第4のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力することを特徴とするインバータ装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ装置に関し、特に、鉄道車両等に使用されるモータをPWM(P

50

ulse Width Modulation：パルス幅変調）制御により駆動するインバータ装置に好適である。

【背景技術】

【0002】

近年の省エネ、地球環境保全の世界的な動向に連動して、交流モータを用いる様々な製品に対して、そのモータの駆動源に電力変換装置が適用されている。中でも、電気鉄道車両や風力発電システムなど、モータ容量の大きな分野へ拡大している。特に、電気鉄道用のモータ駆動システムは、高効率を達成するためにモータ本体の高効率化やそれを駆動する変換器の高効率化が進められている。

【0003】

一般に、交流モータを可変速駆動するためには、直流電力を任意の周波数と電圧に変換する電力変換装置としてインバータが用いられ、インバータを構成する半導体スイッチング素子をPWM制御することにより、交流モータへの印加電圧および周波数を制御している。

【0004】

従来の一般的なインバータ装置の回路構成としては、例えば、特許文献1にも示されるように（図1）、交流モータを構成する3相の誘導性負荷に対し、上アームと下アームから構成される半導体スイッチング素子であるIGBTが接続される。インバータとして動作する際、IGBTには、導通損失とスイッチング損失と呼ばれる電力損失が発生する。

【0005】

図16は、IGBTの導通時72および非導通時73における、ゲート信号68、コレクタ・エミッタ間の電圧波形69、コレクタ電流波形70および双方による電流・電圧積71を示す図である。ゲートにオン信号が印加されることによるIGBTの導通時においては、導通により電流が流れると共に、オン電圧がコレクタ・エミッタ間に印加される。これは、IGBTの内部のキャリアに起因した抵抗による電圧降下であり、このオン電圧と電流の積78によって電力損失140が発生する。次に、ゲートにオフ信号が印加されると、IGBTの内部のキャリアが排出されてコレクタ・エミッタ間電圧が上昇し、その電圧がインバータの印加電圧75に達すると、キャリアの排出が止まり、電流が低下する。このオン状態からオフ状態に移る際に電流・電圧積78は上昇し、ターンオフ損失と呼ぶ電力損失141が生じる。さらに、ゲートにオフ状態からオン信号が印加する際も、同様の原理で電流・電圧積が上昇し、ターンオン損失と呼ぶ電力損失が生じる。このターンオフ損失とターンオン損失との和がスイッチング損失である。

【0006】

インバータでは、このIGBTの導通損失とスイッチング損失とによって、素子が発熱する。そこで、これによる温度上昇を抑制するため、IGBT1つの素子に流す電流を制限し、並列数を増加することで温度規格を保ち所望の性能を得る対策を行っている。従って、1素子当たりが発生する電力損失を下げ、許容電流定格を増加することによって、体積当たりの変換効率の向上を図り、また素子の並列数が低減して素子の占有体積やコストの低減といった効果を生み出すことができる。

【0007】

また、IGBTの電力損失を低減できる技術として、特許文献2および3に示される2つのゲート端子から構成されるデュアルゲートIGBTがある。図17は、デュアルゲートIGBT79のシンボル図である。1つのコレクタ端子82、1つのエミッタ端子83に対し、2つのゲート端子80、81を有し、2つのゲート端子に入力するゲート信号によって、IGBTの導通・非導通を制御できるデュアルゲートIGBTである。図18は、デュアルゲートIGBT導通時のキャリア濃度プロファイルを示す図である。2つのゲートにオン信号を与えた場合85および1つのゲートにオン信号を与えてもう1つのゲートにオフ信号を与えた場合84のそれぞれのキャリア濃度を示している。2つのゲートにオン信号を与えた場合85は、エミッタからの正孔キャリアの注入が促進し、IGBT内部は高いキャリア濃度となり、これによってIGBT導通時のオン電圧を低減することが

10

20

30

40

50

できる。一方、１つのゲートにオン信号を与えて１つのゲートにオフ信号を与えた場合 84 は、正孔キャリアがエミッタへ排出され、これによって内部のキャリア濃度を低減することができる。つまり、デュアルゲート IGBT では、新たに付加した１つのゲートとそれに与えるゲート電圧によって、IGBT 導通時のキャリア濃度を変調することが可能である。この特徴を利用し、ターンオフスイッチングの直前に１つのゲート信号を先行してオフする駆動方式を適用することで、ターンオフ直前のキャリア濃度が下がり、低ターンオフ損失の特長を導出することができる。

【先行技術文献】

【特許文献】

【0008】

10

【文献】国際公開第 2012/165196 号

【文献】特開 2005-191221 号公報

【文献】国際公開第 2014/038064 号

【発明の概要】

【発明が解決しようとする課題】

【0009】

本願発明者が、デュアルゲート IGBT をモータ駆動用の PWM 制御インバータ装置に適用することについて鋭意検討した結果、次の知見を得るに至った。

【0010】

20

本発明は、デュアルゲート IGBT の２つのゲート信号を適当なタイミングで導入することで、低損失な効果を導出するものである。図 19 は、デュアルゲート IGBT の導通時 72 および非導通時 73 における、２つのゲート信号 68 と 143、コレクタ・エミッタ間の電圧波形 69、コレクタ電流波形 70 および双方による電流・電圧積 71 を示す図である。なお、図 19 で示すコレクタ・エミッタ間の電圧波形 69、コレクタ電流波形 70 および電流・電圧積 71 において、実線がデュアルゲート IGBT の特性を示し、破線が従来のシングルゲート型 IGBT の特性を示している。デュアルゲート IGBT では、スイッチングゲート 68 がオン状態 72 からオフ信号が入力する直前において、もう一方のキャリア制御ゲート 143 に先行してオフ信号を導入する駆動手法を適用する。キャリア制御ゲート 143 がオフすることで、IGBT 内部のキャリア濃度が低減し、オン電圧が一時的に増加する。その後にスイッチングゲート 68 がオフすることで、IGBT は導通状態から非導通状態へ推移するが、キャリア濃度が低い状態から非導通状態へ推移することで、IGBT 内部の空乏化が促進し、従来に対し高速にコレクタ・エミッタ間電圧 69 が上昇する（波形 86）。さらに、キャリアも高速に排出されることから、電流 70 も短時間で 0 A へ推移する（波形 87）こととなる。これによって、電流・電圧積 71 の時間積分により導出されるターンオフ損失 142 は、従来のシングルゲート型 IGBT におけるターンオフ損失 141 に比べて大幅に低減されることとなる。この特性により、デュアルゲート IGBT とその駆動手法は、電力変換機能の低損失化、高効率化に有効な技術である。

30

【0011】

一方で、デュアルゲート IGBT をモータ駆動用の PWM 制御インバータ装置に適用するためには、交流出力波形の品質と動作信頼性を維持して低損失性能を導出することのできる上下アームの駆動方式や、２つの駆動信号を生み出す回路およびその回路配置の最適化が必要不可欠であった。

40

【0012】

本発明は、従来型の IGBT を用いた PWM 制御のインバータ装置に対し、インバータの相各相の上下アームを構成する IGBT にデュアルゲート IGBT を適用して電力損失の低いインバータ装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記課題を解決するため、本発明に係るインバータ装置は、３相各相の上アームに接続

50

される第1のデュアルゲートIGBTおよび当該3相各相の下アームに接続される第2のデュアルゲートIGBTと、第1および第2のデュアルゲートIGBTそれぞれに逆並列に接続されるダイオードとから構成され、第1および第2のデュアルゲートIGBTそれぞれは、第1および第2のゲート端子を有し、第1および第2のゲート端子の少なくともいずれかに閾値電圧以上の電圧を印加することで非導通状態から導通状態へ移行し、第1および第2のゲート端子に閾値電圧未満の電圧が印加されることで導通状態から非導通状態へ移行する特性を有し、第1のデュアルゲートIGBTの第1のゲート端子は、第1のPWM信号を用いて生成した第1のゲート信号により駆動され、第1のデュアルゲートIGBTの第2のゲート端子は、第3のPWM信号を用いて生成した第3のゲート信号により駆動され、第2のデュアルゲートIGBTの第1のゲート端子は、第2のPWM信号を用いて生成した第2のゲート信号により駆動され、第2のデュアルゲートIGBTの第2のゲート端子は、第4のPWM信号を用いて生成した第4のゲート信号により駆動され、第1のPWM信号は、負荷を駆動制御するための電圧指令信号に基づいて導通幅が変調されると共に、当該第1のPWM信号は、第2のPWM信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が第2のPWM信号の非導通の期間内に生成され、第2のPWM信号が導通から非導通に変化するタイミングから少なくとも2μ秒経過した後に非導通から導通に変化し、第2のPWM信号は、第1のPWM信号の正負を逆相にした信号であると共に、当該第2のPWM信号は、第1のPWM信号が非導通の期間幅より短い導通幅であり、かつ当該導通幅が第1のPWM信号の非導通の期間内に生成され、第1のPWM信号が導通から非導通に変化するタイミングから少なくとも2μ秒経過した後に非導通から導通に変化し、第3のPWM信号は、第1のPWM信号の導通幅が第1のゲート信号と第3のゲート信号との間のターンオン時のタイミングディレイ時間およびターンオフ時のタイミングディレイ時間を加算したタイミングディレイ期間より大きい場合には、当該第1のPWM信号と同じ導通幅の期間内に位置し当該第1のPWM信号の導通幅より短い導通幅に変調され、第1のPWM信号の導通幅が当該タイミングディレイ期間以下の場合には、非導通のままであると共に、当該第3のPWM信号は、第1のPWM信号が非導通から導通へ変化するタイミングから少なくとも1μ秒経過した後に非導通から導通へ変化し、第1のPWM信号が導通から非導通へ変化するタイミングから少なくとも5μ秒以前に導通から非導通へ変化し、第4のPWM信号は、第2のPWM信号の導通幅が第2のゲート信号と第4のゲート信号との間のターンオン時のタイミングディレイ時間およびターンオフ時のタイミングディレイ時間を加算したタイミングディレイ期間より大きい場合には、当該第2のPWM信号と同じ導通幅の期間内に位置し当該第2のPWM信号の導通幅より短い導通幅に変調され、第2のPWM信号の導通幅が当該タイミングディレイ期間以下の場合には、非導通のままであると共に、当該第4のPWM信号は、第2のPWM信号が非導通から導通へ変化するタイミングから少なくとも1μ秒経過した後に非導通から導通へ変化し、第2のPWM信号が導通から非導通へ変化するタイミングから少なくとも5μ秒以前に導通から非導通へ変化し、第1のデュアルゲートIGBTの第1のゲート端子の端子電圧を検知し、当該端子電圧から当該第1のゲートのオン・オフ動作をセンスして第1のフィードバック信号として第1のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力し、第2のデュアルゲートIGBTの第1のゲート端子の端子電圧を検知し、当該端子電圧から当該第1のゲートのオン・オフ動作をセンスして第2のフィードバック信号として第2のPWM信号と比較し、当該双方の信号が異なる際には警告信号を出力し、警告信号に基づいて、第1から第4のPWM信号全てを非導通とすることを特徴とする。

【発明の効果】

【0014】

本発明によれば、インバータ動作において、IGBTがスイッチングする際のターンオフスイッチング損失およびターンオンスイッチング損失を低減させる効果を奏することにより、低損失と高品質を両立したモータ駆動用インバータ装置を提供することができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 1 5 】

【図 1】本発明の実施例 1 に係るインバータ装置の回路図である。

【図 2】実施例 1 に係るインバータ動作を実現するための制御信号を示す図である。

【図 3】デュアルゲート I G B T のターンオフおよびターンオン時のスイッチング波形を示す図である。

【図 4】従来のインバータ装置および本発明に係るインバータ装置のインバータ損失を示す図である。

【図 5】本発明を適用したインバータ装置および適用しないインバータ装置の入力信号および出力波形を示す図である。

【図 6】本発明の実施例 2 に係るインバータ装置の回路図である。

10

【図 7】実施例 2 に係るインバータ動作を実現するための制御信号を示す図である。

【図 8】実施例 2 におけるデュアルゲート I G B T の制御信号を決定するシーケンスを示すフローチャートである。

【図 9】通常幅動作時および狭幅動作時における指令信号を示す図である。

【図 10】本発明の実施例 3 に係るインバータ装置の回路図である。

【図 11】実施例 3 におけるフィードバック信号および異常検知信号をゲート制御信号と共に示す図である。

【図 12】本発明の実施例 4 に係るインバータ装置の回路図である。

【図 13】実施例 4 におけるフィードバック信号および異常検知信号（G s 誤オン動作時）をゲート制御信号と共に示す図である。

20

【図 14】実施例 4 におけるフィードバック信号および異常検知信号（G c 誤オン動作時）をゲート制御信号と共に示す図である。

【図 15】本発明の実施例 5 に係るインバータ装置の回路図である。

【図 16】I G B T の導通および非導通時における、ゲート信号、コレクタ・エミッタ間電圧、コレクタ電流および電流・電圧積を示す図である。

【図 17】デュアルゲート I G B T のシンボル図である。

【図 18】デュアルゲート I G B T 導通時のキャリア濃度プロファイルを示す図である。

【図 19】デュアルゲート I G B T の導通および非導通時における、2つのゲート信号、コレクタ・エミッタ間電圧、コレクタ電流および電流・電圧積を示す図である。

【発明を実施するための形態】

30

【 0 0 1 6 】

以下、図面を参照して、本発明の実施形態として、実施例 1 ～ 実施例 5 について説明する。

【実施例 1】

【 0 0 1 7 】

図 1 は、本発明の実施例 1 に係るインバータ装置 1 0 0 の回路図である。

本実施例 1 は、I G B T として 2 つの独立制御が可能であるゲートを有するデュアルゲート I G B T を適用したインバータ装置である。交流モータを構成する 3 相の誘導性負荷 1 0（以下では、「モータ 1 0」という場合もある）に対し、上アームと下アームから構成される半導体スイッチング素子であるデュアルゲート I G B T 1 ～ 6 が接続される。デュアルゲート I G B T 1 ～ 6 には、それぞれ逆並列にダイオード 9 が接続される。

40

【 0 0 1 8 】

デュアルゲート I G B T 1 ～ 6 は、2つの絶縁ゲート端子 7 および 8（以下、単に「ゲート端子」と称す）と 1つのエミッタ端子 2 6 から構成され、該 2つのゲート端子それぞれに印加するゲート・エミッタ間電圧（以下、「ゲート電圧」と称す）によって導通・非導通を制御する。すなわち、少なくとも 1つのゲート端子に印加された閾値電圧以上のゲート電圧によって、導通状態となり、2つのゲート端子に印加された閾値電圧未満のゲート電圧によって、非導通状態となる。

【 0 0 1 9 】

インバータ装置 1 0 0 には、電圧源 1 1 から直流電力が供給され、I G B T 1 ～ 6 のゲ

50

ート端子7および8に印加されるゲート電圧によって、I G B T 1 ~ 6それぞれが高速にターンオン、ターンオフを繰り返して、誘導性負荷10に交流電力を供給する。これにより、交流モータに回転力が与えられる。

【0020】

デュアルゲートI G B T 1のゲート電圧は、3相上下アームのI G B T 1 ~ 6の各々に接続したゲート駆動回路12 ~ 17によって生成される。ここで、デュアルゲートI G B Tの2つのゲート端子7および8と、ゲート駆動回路12から出力され2つのゲート端子7および8それぞれに接続される2つのゲート配線は、各々が電氣的に絶縁され、ゲート駆動回路12によって独立に制御される。また、エミッタ端子26もゲート駆動回路12に接続され、内部の基準電位に固定される。

10

【0021】

ゲート駆動回路の構成については、ゲート駆動回路12を例に採ると、デュアルゲートI G B T 1のゲート7および8を駆動する信号を生成するP W M信号変換部20と2つの出力バッファ18および19とから構成される。2つの出力バッファ18および19は、P W M信号変換部20で生成された2つのP W M信号を、I G B T 1のゲート7および8をオン・オフできる電圧に調整するためのスイッチング素子(図示せず)等から構成される。P W M信号変換部20それぞれは、3相上下アームに対する各P W M信号を受けて、ディレイを設けた2つのP W M信号に変換する機能を有し、かつ入力されたP W M信号を絶縁された信号に変換する機能を有する。

【0022】

20

ゲート駆動回路12の入力信号であるP W M信号は、ゲート駆動回路12と電氣的に分離した基板上に配置されるP W Mインバータ制御装置21が備えるP W M制御演算部22により生成される。P W M制御演算部22は、モータ10を駆動する3相各相の電圧指令信号(変調波)、搬送波(キャリア波)およびベクトル制御演算部25からの信号に基づいて、導通幅の変調されたP W M信号を生成する比較器や演算器(図示せず)を有する。また、P W Mインバータ制御装置21が備えるベクトル制御演算部25は、インバータの出力線に設けた電流センサ(図示せず)により検出されるI G B Tの出力電流値と設定値との編差を小さくするための演算を行い、高品質なインバータ交流出力信号を実現するための制御信号をP W M制御演算部22へ伝える。

【0023】

30

図2は、本実施例1に係るインバータ動作を実現するための制御信号を示す図である。図2には、インバータを構成する3相の内、1相の上下アームに配置されたデュアルゲートI G B Tを指令するP W M信号90および93、それぞれを基に生成されたゲート駆動信号として、2つの上ゲート信号91と92および下アームゲート信号94と95を示している。ここで、それ以外の2相の上下アームに配置されたデュアルゲートI G B Tを指令するP W M信号およびゲート駆動信号は、図2に図示した信号から120°位相をずらした信号である(図示せず)。

【0024】

P W M制御演算部22より生成された上下アームの信号は、逆相にてオン・オフするタイミングを有し、また上下アームが同時にオンの信号を導入し、デュアルゲートI G B Tが短絡状態となることを防ぐために、オン・オフの切替時に、上下アームが同時にオフする非ラップ期間102を設けている。非ラップ期間102としては、2μ秒~20μ秒が望ましい。

40

【0025】

ここで、デュアルゲートI G B Tの2つのゲートの一方をスイッチングゲート(Gs)、他方をキャリア制御ゲート(Gc)と定義する。Gs信号91は、P W M信号90と同じ導通幅および非導通幅で駆動する。このGs信号91のタイミングにより、デュアルゲートI G B Tは導通または非導通状態となり、スイッチング動作を行う。一方、Gc信号92は、Gs信号91がオフからオン状態に変化した後、一定のディレイ時間99を設けてオフからオン状態に移行する。この制御により、デュアルゲートI G B Tは低いトラン

50

スコンダクタンスによってターンオンするため、コレクタ・エミッタ間電圧 (V_{ce}) の急峻な変化 dv_{ce}/dt が抑制される。これによって、ターンオン時のノイズ低減の効果を奏することができる。

【0026】

一方、Gs 信号 91 が PWM 信号 90 と同じ導通幅の後、オンからオフ信号が入ってデュアルゲート IGBT がターンオフすることになるが、このタイミングの直前において、Gs 信号 91 に先行して Gc 信号 92 にオフ指令が入る。この制御により、デュアルゲート IGBT は、ターンオフスイッチング直前に、Gc 信号 92 のオフ指令によって IGBT 内部のキャリア濃度が低減し、より高速でかつ低いテール電流でのターンオフスイッチングが可能となる。これによって、ターンオフ時の低電力損失の効果を奏することができる。さらに、デュアルゲート IGBT が導通時は、Gs 信号 91 と Gc 信号 92 の両者のゲートにオン指令が入るため、IGBT 内部のキャリア濃度を高め、低い導通損失の効果も奏することができる。ここで、ターンオン時の Gs 信号と Gc 信号とのタイミング遅延 (ディレイ) 99 は、1 μ 秒以上が望ましく、また、ターンオフ時の Gc 信号と Gs 信号とのタイミング遅延 (ディレイ) 101 は、5 μ 秒以上が望ましい。

【0027】

対アームのデュアルゲート IGBT、また別相のデュアルゲート IGBT についても、入力 PWM 信号に応じて、上記と同じタイミングと導通幅で Gs と Gc の信号が入るものとする。ここで、PWM 信号 90 を受けて、上述した 2 つの Gs 信号 91 および Gc 信号 92、それらの遅延時間 99 および 101 は、3 相上下アーム毎に配置されたゲート駆動回路 12 の内部に設けられた PWM 信号変換部 20 により導出される。

【0028】

次に、図 3 から 5 を参照して、本実施例 1 による効果を説明する。図 3 (a) に、デュアルゲート IGBT のターンオフスイッチング時の電圧および電流の波形 103 を、図 3 (b) に、デュアルゲート IGBT のターンオンスイッチング時の電圧および電流の波形 104 を示す。ここで、実線はデュアルゲート IGBT、破線は従来のシングルゲート型 IGBT、の各特性を示し、電圧波形が 76 と 86 で、電流波形が 77 と 87 である。

【0029】

ターンオフスイッチング時において (図 3 (a))、デュアルゲート IGBT は、ターンオフスイッチング直前に、Gc を Gs に先行してオフする指令が適用されることにより、キャリア濃度を低下させる。これにより、従来に対し、 dv_{ce}/dt が上昇し、高速に電源電圧 75 $\rightarrow V_{ce}$ が上昇する (電圧波形 86)。さらにその後、高速に電流が 0 A へ推移し、電流のテール期間が低減する (電流波形 87)。この特性によって、電流と電圧の積により発生する電力損失が、デュアルゲート IGBT では、従来のシングルゲート型 IGBT (電圧波形 76 および電流波形 77) に対し小さくなり、ターンオフ損失を低減させる効果を奏する。

【0030】

一方、ターンオンスイッチング時において (図 3 (b))、片側のゲート即ち Gs のオン信号によってターンオンするため、その瞬間の IGBT のトランスコンダクタンスが下がり、コレクタ電流 (I_c) の上昇 di_c/dt が低下する (電流波形 87)。この際、対アームのデュアルゲート IGBT に逆並列接続されたダイオードが、通流状態から逆阻止状態へ推移するリカバリー状態となる。デュアルゲート IGBT の低 di_c/dt の特性によって、対アームダイオードのリカバリー電流起因の電流跳ね上がりが抑制され、ターンオン損失が下がると共に、その電流起因のノイズも抑制され低減する。

以上のように、デュアルゲート IGBT を適用することによって、損失低減と低ノイズ化の効果を奏することができる。

【0031】

図 4 は、従来のシングルゲート型 IGBT を適用したインバータ装置によるインバータ損失 105 (左側の棒グラフ) と、本発明に係るデュアルゲート IGBT を適用したインバータ装置によるインバータ損失 106 (右側の棒グラフ) とを示す図である。図 4 では

10

20

30

40

50

、インバータ装置の内の I G B T 素子で発生する電力損失とその内訳を示している。I G B T でインバータ動作時に発生する電力損失は、導通損失 1 0 7、ターンオフスイッチング損失 1 0 8 およびターンオンスイッチング損失 1 0 9 で占められる。この内、ターンオフスイッチング損失 1 0 8 およびターンオンスイッチング損失 1 0 9 が、I G B T が導通と非導通の間を推移する際に発生するスイッチング損失である。

【 0 0 3 2 】

図示のとおり、デュアルゲート I G B T を採用することによって、I G B T 特有の低い導通損失 1 0 7 を維持し、ターンオフスイッチング損失 1 0 8 およびターンオンスイッチング損失 1 0 9 をそれぞれ低減することができる。その効果はそれぞれ、およそ 3 0 % および 1 0 % の低減率である。これにより、インバータ装置にあって I G B T で発生する電力損失を、数 1 0 % 低減できる効果を奏する。

10

【 0 0 3 3 】

図 5 は、図 5 (a) に、本発明に係るデュアルゲート I G B T によるインバータ装置の入力信号 1 1 0 および 1 相の出力電流波形 1 1 4 を示し、図 5 (b) に、本発明を適用しないデュアルゲート I G B T によるインバータ装置の入力信号 1 1 1 および 1 相の出力電流波形 1 5 4 を示す図である。ここで、本発明を適用しないデュアルゲート I G B T によるインバータ装置では、P W M 信号に対して G s 信号の導通幅が長い場合の 1 例を示す。

【 0 0 3 4 】

本発明に係るインバータ装置では、G s 信号の導通幅と P W M 信号の導通幅とが等しく (図 5 (a))、本発明を適用しないインバータ装置と比較して、出力電流 1 1 4 において電流脈動 (リップル) の小さい正弦波を生成でき、交流波形の品質が高い。これは、P W M 信号のオン・オフ指令に対して、デュアルゲート I G B T の導通・非導通の幅をそれぞれ等しく制御することによる効果である。

20

【 0 0 3 5 】

一方、本発明を適用しないインバータ装置では、P W M 信号のオン指令に対し、G s 信号の導通幅が長い場合、P W M オン指令と次の P W M オン指令の間隔が狭くなる際に、G s 信号と次の G s 信号の間隔が無くなることで、I G B T の導通時間が指令に対し長くなる (図 5 (b))。この制御では、導通時間が指令に対し実質長くなることから出力電流 1 5 4 の脈動は大きくなり、変調波の再現性が低く、交流波形の品質が劣ることとなる。

【 0 0 3 6 】

したがって、本発明では、P W M 指令におけるオン指令幅と G s 信号の幅とを等しく設定することによって、交流出力波形の高い品質を実現する効果を奏することができる。

30

【 実施例 2 】

【 0 0 3 7 】

図 6 は、本発明の実施例 2 に係るインバータ装置 2 0 0 の回路図である。

本実施例 2 も、先の実施例 1 と同様に、I G B T に 2 つの独立制御が可能であるゲートを有するデュアルゲート I G B T を適用したインバータ装置である。回路構成において、実施例 1 と同様の構成要素には、同じ付番をしている。実施例 1 との相違点は、ゲート駆動回路 1 2 ~ 1 7 および P W M 制御演算部 2 2 における内部構成にあり、その他の構成要素については実施例 1 と同様であるので、説明は省略する。

40

【 0 0 3 8 】

次に、2 つの P W M 信号も、実施例 1 と同様に、ゲート駆動回路 1 2 ~ 1 7 と電氣的に分離した基板上に配置される P W M インバータ制御装置 2 1 内部の P W M 制御演算部 2 2 により生成される。P W M 制御演算部 2 2 は、キャリア周波数演算部 2 3、変調波演算部 2 4 およびベクトル制御演算部 2 5 の信号を受けて生成される最適な指令信号に基づいて、3 相上下アームの各デュアルゲート I G B T 1 ~ 6 の導通・非導通タイミングを決める 2 つの P W M 信号を出力し、各ゲート駆動回路 1 2 ~ 1 7 と接続する。本実施例 2 に係る P W M 信号変換部 2 0 は、実施例 1 とは異なり、ゲート駆動回路 1 2 ~ 1 7 を構成する基板上に配置せずに、P W M 制御演算部 2 2 に内蔵された構成を採り、デュアルゲート I G B T の駆動を指令する 2 つの P W M 信号が生成される。

50

【 0 0 3 9 】

各ゲート駆動回路 1 2 ~ 1 7 は、各相、各アームそれぞれ 2 つの P W M 信号の入力を受ける。例えば、ゲート駆動回路 1 2 を例に採ると、2 つの P W M 信号は絶縁された信号に変換され、出力バッファ 1 8 および 1 9 によってそれぞれ電圧変換される。P W M 制御演算部 2 2 は、ゲート駆動回路 1 2 と電氣的に分離した基板上に配置される P W M インバータ制御装置 2 1 内部で構成される。本実施例 2 の構成では、各ゲート駆動回路 1 2 ~ 1 7 には P W M 信号変換部が不要であり、実施例 1 と比較してインバータ装置の省体積化を計ることが可能である。

【 0 0 4 0 】

図 7 は、本実施例 2 におけるインバータ動作を実現するための制御信号を示す図である。図 7 には、インバータを構成する 3 相の内、1 相の上下アームに配置されたデュアルゲート I G B T を指令する制御信号として、それぞれ 2 つの P W M $_u 1 \quad 1 1 6$ と P W M $_u 2 \quad 1 1 7$ 、および、P W M $_x 1 \quad 1 1 8$ と P W M $_x 2 \quad 1 1 9$ を示している。ここで、それ以外の 2 相の上下アームに配置されたデュアルゲート I G B T の指令信号およびゲートの駆動信号は、図 7 に図示した信号から 1 2 0 ° 位相をずらした信号である。

10

【 0 0 4 1 】

また、デュアルゲート I G B T の 2 つのゲートの内、スイッチングゲート (G s) は、 $u 1$ 、 $x 1$ 、 $v 1$ 、 $y 1$ 、 $w 1$ および $z 1$ の指令信号を受け、キャリア制御ゲート (G c) は、 $u 2$ 、 $x 2$ 、 $v 2$ 、 $y 2$ 、 $w 2$ および $z 2$ の指令信号を受けて動作するものとする。デュアルゲート I G B T の導通時間は G s のオン時間で決まり、P W M 信号の内、 $u 1$ 、 $x 1$ 、 $v 1$ 、 $y 1$ 、 $w 1$ および $z 1$ の指令信号は、インバータの交流出力正弦波を実現するため、キャリア周波数演算部 2 3、変調波演算部 2 4 およびベクトル制御演算部 2 5 により算出された信号である。

20

【 0 0 4 2 】

一方、 $u 2$ 、 $x 2$ 、 $v 2$ 、 $y 2$ 、 $w 2$ および $z 2$ の指令信号は、 $u 1$ 、 $x 1$ 、 $v 1$ 、 $y 1$ 、 $w 1$ および $z 1$ の指令におけるオン幅より短く、 $u 1$ 、 $x 1$ 、 $v 1$ 、 $y 1$ 、 $w 1$ および $z 1$ のオン指令が入った後にオン指令が入り、 $u 1$ 、 $x 1$ 、 $v 1$ 、 $y 1$ 、 $w 1$ および $z 1$ のオフ指令が入る前にオフ指令が入る。

【 0 0 4 3 】

上下アームの信号は、逆相にてオン・オフするタイミングを有しており、また上下アームが同時にオンの信号を導入し、デュアルゲート I G B T が短絡状態となることを防ぐために、オン・オフの切替時に、上下アームが同時にオフする非ラップ期間 1 0 2 が、 $u 1$ と $x 1$ との間、 $v 1$ と $y 1$ との間および $w 1$ と $z 1$ との間に設けている。ここで、非ラップ期間 1 0 2 は、2 μ 秒 ~ 2 0 μ 秒が望ましい。

30

【 0 0 4 4 】

デュアルゲート I G B T の導通、非導通の制御は、 $u 1$ 、 $x 1$ 、 $v 1$ 、 $y 1$ 、 $w 1$ および $z 1$ のタイミングにより行われ、それぞれにゲート駆動回路を介して接続された G s のゲート電圧により行われる。デュアルゲート I G B T のターンオン動作は、G s が $u 1$ 、 $x 1$ 、 $v 1$ 、 $y 1$ 、 $w 1$ および $z 1$ の P W M 指令を受けて、オフからオン状態に変化した後一定のディレイ時間を設け、 $u 2$ 、 $x 2$ 、 $v 2$ 、 $y 2$ 、 $w 2$ および $z 2$ の P W M 指令を受けて、オフからオン状態に変化するシーケンスにより行われる。この制御により、デュアルゲート I G B T は低いトランスコンダクタンスによってターンオンするため、急峻なコレクタ・エミッタ間電圧 (V c e) の変化 $d v c e / d t$ が抑制される。これによって、実施例 1 と同様に、前述したターンオン時のノイズ低減の効果を奏することができる。

40

【 0 0 4 5 】

一方、デュアルゲート I G B T のターンオフ動作は、G s が $u 1$ 、 $x 1$ 、 $v 1$ 、 $y 1$ 、 $w 1$ および $z 1$ の P W M 指令を受けて、オンからオフ状態に変化する直前に、G c が先行して $u 2$ 、 $x 2$ 、 $v 2$ 、 $y 2$ 、 $w 2$ および $z 2$ の P W M 指令を受けて、オンからオフ状態に変化するシーケンスにより行われる。この制御により、デュアルゲート I G B T は、ターンオフスイッチング直前に、G c のオフ信号によって I G B T 内部のキャリア濃度が低

50

減し、より高速でかつ低いテール電流でのターンオフスイッチングが可能となる。これによって、実施例 1 と同様に、前述したターンオフ時の低電力損失の効果を導出できる。

【 0 0 4 6 】

さらに、デュアルゲート I G B T が導通時は、G s と G c 両者のゲートにオン信号が入るため、I G B T 内部のキャリア濃度を高められ、低い導通損失の効果を導出できる。ここで、ターンオン時の G s 信号と G c 信号のタイミング遅延（ディレイ）は、1 μ 秒以上が望ましく、また、ターンオフ時の G c 信号と G s 信号のタイミング遅延（ディレイ）は、5 μ 秒以上が望ましい。以上のディレイを確保できるように、u 1、x 1、v 1、y 1、w 1 および z 1、また、u 2、x 2、v 2、y 2、w 2 および z 2 の P W M 指令が設定される。なお、以上のディレイ時間を有した 2 つの P W M 信号は、P W M 制御演算部 2 2 に配置された P W M 信号変換部 2 0 において生成される。

10

【 0 0 4 7 】

次に、図 8 および 9 を参照して、先の実施例 1 で説明した効果に加え、本実施例 2 が奏する効果を説明する。

デュアルゲート I G B T の 2 つのゲート信号の動作タイミングを決める 2 つの P W M 信号は、P W M 制御演算部 2 2 を構成するプログラム可能な集積回路（例えば、ゲートアレイ）によって生成されるが、指令パルス幅に応じて異なるパターンの信号を生成できる。図 8 は、本実施例 2 におけるデュアルゲート I G B T の 2 つのゲート信号（G s および G c ）を決定するシーケンスを示すフローチャートである。P W M 制御においては、導通幅の変調された様々なオン指令幅をもった入力信号で I G B T を動作させる必要があるが、2 つのゲート信号に設定するタイミングディレイよりも短いオン指令幅（狭幅指令）においても、本実施例 2 により正常に動作させることができる。

20

【 0 0 4 8 】

P W M 制御演算部 2 2 は、ステップ S 1 で、キャリア周波数および変調波周波数に基づいて P W M 指令パルス幅を算出する。ステップ S 2 で、この算出した指令パルス幅がタイミングディレイよりも大きいかなかを判断する。

【 0 0 4 9 】

判断が「n o」の場合、すなわち、狭幅指令の時には、G c 信号は非導通を維持する片側通流（G c オフ）指令を設定して、以下のステップ S 4 へ移行する。これにより、狭幅動作においても、導通・非導通の制御がデュアルゲート I G B T において可能となる。

30

一方で、判断が「y e s」の場合、すなわち、タイミングディレイよりも長い通常幅のオン指令をステップ S 4 に対して設定する。

【 0 0 5 0 】

P W M 制御演算部 2 2 は、ステップ S 4 で、ステップ S 2 または S 3 の指令に基づいて、前述のようにディレイを有した 2 つのゲート信号（G s および G c ）のパターンを算出し、例えば、u 1 および u 2 の指令信号を出力する。

以上のシーケンスにより、前述した低インバータ損失の効果を奏することができる。

【 0 0 5 1 】

図 9 は、通常幅動作時および狭幅動作時における u 1 および u 2 の指令信号 1 1 6 ~ 1 1 9 を示す図である。図 9（a）が通常幅動作時で、図 9（b）が狭幅動作時である。

40

通常幅動作時には、図 9（a）に示すように、タイミングディレイを有した 2 つの指令信号 u 1 および u 2 がデュアルゲート I G B T を駆動する。一方、狭幅動作時には、図 9（b）に示すように、u 2 はオフ状態を維持し、u 1 のみにオン・オフのパターンを有した指令を出力する。このように、キャリア周波数演算部 2 3、変調波演算部 2 4 およびベクトル制御演算部 2 5 により算出されたオン指令幅に応じ、2 つの指令信号を最適に変化させることが可能となる。

【実施例 3】

【 0 0 5 2 】

図 1 0 は、本発明の実施例 3 に係るインバータ装置 3 0 0 の回路図である。

本実施例 3 も、先の実施例 1 および 2 と同様に、I G B T に 2 つの独立制御が可能であ

50

るゲートを有するデュアルゲート IGBT を適用したインバータ装置である。回路構成において、実施例 1 と同様の構成要素には、同じ付番をしている。実施例 1 との相違点は、異常動作の検知機能をゲート駆動回路 12 ~ 17 および PWM 制御演算部 22 に設けた点にあり、その他の構成要素については実施例 1 と同様であるので、説明は省略する。

【0053】

本実施例 3 は、異常な動作を検知するために、以下の構成を実施例 1 の回路構成に追加している。3 相上下アームの各デュアルゲート IGBT 1 ~ 6 において同様の構成を追加しているので、デュアルゲート IGBT 1 を例に採って説明する。デュアルゲート IGBT 1 の導通・非導通のタイミングを制御するスイッチングゲート (Gs) 端子 7 の信号線をゲート駆動回路 12 内部のレベル変換部 27 で受け、PWM インバータ制御装置 21 内の PWM 制御演算部 22 へ戻すフィードバック信号線 28 を設ける。このフィードバック信号線 28 は、デュアルゲート IGBT 1 の Gs 端子 7 の端子電圧を検知することにより Gs 端子 7 における動作信号をセンスし、Gs のオン・オフ動作の情報をフィードバック信号として PWM 制御演算部 22 へ通知する。プログラム可能な集積回路 (例えば、ゲートアレイ) から構成される PWM 制御演算部 22 は、PWM 指令とフィードバック信号とを比較して、PWM 指令に対するフィードバック信号の相異を判断し、異なっていればアラームを発する機能やオン指令を遮断してオフ指令を発する機能を有する。

10

【0054】

次に、実施例 1 で説明した効果に加え、本実施例 3 が奏する効果を説明する。図 11 は、本実施例 3 におけるフィードバック (FB) 信号および異常検知信号をゲート制御信号と共に示す図である。

20

【0055】

フィードバック信号線 28 が、制御された Gs 信号と同一のオン・オフ動作のタイミングに関する情報をフィードバック信号として通知することから、PWM 制御演算部 22 は、PWM 指令とフィードバック信号とを比較して、PWM 指令に対するフィードバック信号の相異を判断することができる。したがって、PWM 指令に対して、デュアルゲート IGBT が PWM 指令と異なる動作をした際に、警告信号等を PWM 制御演算部 22 から発することが可能となる。

【0056】

例えば、図 11 に示すように、PWM 信号 90 がオフの指令をデュアルゲート IGBT に与えている間に、何らかの原因によりデュアルゲート IGBT が自らの Gs 端子を介して誤オン動作 130 して導通した際に、フィードバック (FB) 信号 128 を受けた PWM 制御演算部 22 は、PWM 指令 90 との比較によって異常を検知できる。この機能により、誤オン動作による上下アーム短絡によってデュアルゲート IGBT 素子が破壊し得る事態が発生することを、異常検知信号 129 に基づいて PWM 指令を再設定することで防止することができる。例えば、PWM 制御演算部 22 は、異常を検知したデュアルゲート IGBT および該異常を検知したデュアルゲート IGBT と対になって上下アームを構成する他方のデュアルゲート IGBT に対して、それぞれの Gs 信号および Gc 信号に対する PWM 指令を非導通指令に再設定する。

30

また、本実施例 3 におけるフィードバック (FB) 信号 128 は、インバータ装置内部の故障検知にも有効な情報源となる。

40

【0057】

以上では、本実施例 3 として、実施例 1 の回路構成に対して、Gs 端子 7 からの信号線とフィードバック信号線 28 を設けるようにしたが、実施例 2 の回路構成に対して、これらの信号線を設けるようにしてもよい。

【実施例 4】

【0058】

図 12 は、本発明の実施例 4 に係るインバータ装置 400 の回路図である。

本実施例 4 も、先の実施例 1 から 3 と同様に、IGBT に 2 つの独立制御が可能であるゲートを有するデュアルゲート IGBT を適用したインバータ装置である。本実施例 4 の

50

回路構成は、実施例 2 の回路構成をベースとするもので、すなわち、実施例 1 とは異なり、P W M 信号変換部 2 0 は、ゲート駆動回路 1 2 ~ 1 7 を構成する基板には存在せず、P W M 制御演算部 2 2 に内蔵され、また、実施例 3 に倣って、3 相上下アームの各デュアルゲート I G B T 1 ~ 6 において、デュアルゲート I G B T の導通・非導通のタイミングを制御するスイッチングゲート (G s) 端子 7 の端子電圧を検知する信号線を設け、さらに追加して、キャリア制御ゲート (G c) 端子 8 の端子電圧を検知する信号線も設けたものである (ここでは、デュアルゲート I G B T 1 を例に採って説明)。

【 0 0 5 9 】

具体的には、ゲート駆動回路 1 2 の内部にレベル変換部 2 7 および 2 9 を設け、P W M インバータ制御装置 2 1 の内部の P W M 制御演算部 2 2 へ戻すフィードバック信号線 2 8 および 3 0 を設けたものである。フィードバック信号線 2 8 および 3 0 は、デュアルゲート I G B T 1 の G s 端子 7 の端子電圧および G c 端子 8 の端子電圧それぞれを検知し、G s 信号および G c 信号それぞれと同一のオン・オフ動作の情報をフィードバック信号として通知する。また、プログラム可能な集積回路 (例えば、ゲートアレイ) から構成される P W M 制御演算部 2 2 は、P W M 指令に対するフィードバック信号の相異を判断し、異なっていればアラームを発する機能やオン指令を遮断してオフ指令を発する機能を有する。

【 0 0 6 0 】

次に、実施例 2 で説明した効果に加え、本実施例 4 が奏する効果を説明する。図 1 3 および 1 4 は、本実施例 4 におけるフィードバック (F B) 信号および異常検知信号をゲート制御信号と共に示す図である。

フィードバック信号線 2 8 が、G s 信号と同一のオン・オフ動作のタイミングに関する情報をフィードバック信号として通知することから、P W M 制御演算部 2 2 は、P W M 指令に対するフィードバック信号 (デュアルゲート I G B T の導通・非導通の動作) の相異を判断することができる。また同様に、フィードバック信号線 3 0 が、G c 信号と同一のオン・オフ動作のタイミングに関する情報をフィードバック信号として通知することから、P W M 制御演算部 2 2 は、P W M 指令に対するフィードバック信号 (G c 信号による動作) の相異を判断することができる。したがって、P W M 指令に対して、デュアルゲート I G B T の G s 信号および G c 信号が P W M 指令と異なる動作をした際に、警告信号を P W M 制御演算部 2 2 から発することが可能となる。

【 0 0 6 1 】

例えば、図 1 3 に示すように、P W M _ u 1 信号 1 1 6 がオフの指令をデュアルゲート I G B T に G s 信号 9 1 として与えている間に、何らかの原因によりデュアルゲート I G B T が自らの G s 端子を介して誤オン動作 1 3 0 して導通した際に、フィードバック信号線 2 8 を介してフィードバック信号 F B _ u 1 信号 1 3 1 を受けた P W M 制御演算部 2 2 は、P W M 指令 (P W M _ u 1 信号 1 1 6) との比較によって異常を検知できる。

【 0 0 6 2 】

また例えば、図 1 4 に示すように、P W M _ u 2 信号 1 1 7 がオフの指令をデュアルゲート I G B T に G c 信号 9 2 として与えている間に、何らかの原因によりデュアルゲート I G B T が自らの G c 端子を介して誤オン動作 1 3 0 をした際に、フィードバック信号線 3 0 を介してフィードバック信号 F B _ u 2 信号 1 3 2 を受けた P W M 制御演算部 2 2 は、P W M 指令 (P W M _ u 2 信号 1 1 7) との比較によって異常を検知できる。

【 0 0 6 3 】

以上の機能により、デュアルゲート I G B T の G s 信号または G c 信号から誤オン動作による上下アーム短絡によって I G B T 素子が破壊し得る事態が発生することを、異常検知信号 1 2 9 に基づいて P W M 指令を再設定することで防止することができる。例えば、P W M 制御演算部 2 2 は、異常を検知したデュアルゲート I G B T および該異常を検知したデュアルゲート I G B T と対になって上下アームを構成する他方のデュアルゲート I G B T に対して、それぞれの G s 信号および G c 信号に対する P W M 指令を非導通指令に再設定する。

また、本実施例 4 における各フィードバック信号は、インバータ装置内部の故障検知に

も有効な情報源となる。

【 0 0 6 4 】

以上では、本実施例 4 として、実施例 2 の回路構成に対して、G s 端子 7 および G c 端子 8 からの各信号線とフィードバック信号線 2 8 およびフィードバック信号線 2 9 を設けるようにしたが、実施例 1 の回路構成に対して、これらの信号線を設けるようにしてもよい。

【実施例 5】

【 0 0 6 5 】

図 1 5 は、本発明の実施例 5 に係るインバータ装置 5 0 0 の回路図である。

本実施例 5 は、先の実施例 1 から 4 と同様に、I G B T に 2 つの独立制御が可能であるゲートを有するデュアルゲート I G B T を適用したインバータ装置であるところ、デュアルゲート I G B T と逆並列に接続するダイオードとして、半導体基体に S i C (炭化ケイ素、シリコンカーバイド)を用いたショットキーバリアダイオード (S i C - S B D) を採用した点が先の実施例 1 ~ 4 と異なるものである。

【 0 0 6 6 】

図 1 5 に示す回路構成は、前述のショットキーバリアダイオードの相違を除くと、先の実施例 1 の回路構成とその動作態様も含めて同様であるので、説明は省略する。また、本実施例 5 の回路構成については、先の実施例 1 の回路構成に拘束されるものではなく、先の実施例 2 から 4 それぞれの回路構成としてもよい。

【 0 0 6 7 】

次に、先の実施例 1 から 4 で説明した効果に加え、本実施例 5 が奏する効果を説明する。インバータ動作により発生するインバータ装置内の電力損失は、前述した I G B T の導通損失、ターンオフ損失およびターンオン損失に加え、逆並列に接続したダイオードのリカバリー損失および導通損失により構成される。ダイオードの対アームに配置された I G B T がターンオンスイッチングすることで、ダイオードは順方向に通流した状態から逆阻止状態に移し、リカバリー電流と呼ぶ順方向電流とは逆方向の電流が一時的に通流する。

【 0 0 6 8 】

ここで、リカバリー損失とは、このリカバリー電流と印加される逆方向電圧から、電流・電圧積により発生する電力損失である。このリカバリー電流は、ダイオードの導通状態におけるキャリアに依存し、キャリアが正孔と電子の両者から構成される p n ダイオードでは、伝導度変調に寄与したキャリアが消滅するまでに時間を要するため、リカバリー電流が大きくなるが、ショットキーバリアダイオードは、キャリアが電子もしくは正孔の一方から構成されるため、逆阻止状態となった際に即座にキャリアが消滅し、リカバリー電流が小さくなる特長がある。特に、半導体基体に S i C を適用した S i C - S B D は、高耐圧な性能も併せ持つ。

【 0 0 6 9 】

したがって、インバータ装置 5 0 0 として、S i C - S B D 3 1 とデュアルゲート I G B T 1 を組み合わせた本実施例 5 は、ターンオフ損失とターンオン損失に加え、リカバリー損失も小さくすることができ、さらに低損失なインバータ装置を提供できることになる。

【 0 0 7 0 】

以上、先の実施例 1 から 5 において説明したとおり、本発明を適用することにより、低電力損失でかつ低ノイズな交流出力を得ることができるインバータ装置を提供することができ、また併せて、短いパルスでも動作可能な高品質な交流正弦波を維持でき、さらに、異常な動作を検知し安全性を確保できる高信頼性も実現可能である。

【符号の説明】

【 0 0 7 1 】

1 ... U 相上アームのデュアルゲート I G B T 、 2 ... U 相下アームのデュアルゲート I G B T 、 3 ... V 相上アームのデュアルゲート I G B T 、 4 ... V 相下アームのデュアルゲート I G B T 、 5 ... W 相上アームのデュアルゲート I G B T 、 6 ... W 相下アームのデュアルゲート I G B T 、 7 ... スwitchingゲート (G s) 、 8 ... キャリア制御ゲート (G c) 、 9 ...

10

20

30

40

50

ダイオード、10...3相の誘導性負荷(モータ)、11...電源電圧、12...U相上アームのゲート駆動回路、13...U相下アームのゲート駆動回路、14...V相上アームのゲート駆動回路、15...V相下アームのゲート駆動回路、16...W相上アームのゲート駆動回路、17...W相下アームのゲート駆動回路、18...Gs駆動用出力バッファ、19...Gc駆動用出力バッファ、20...PWM信号変換部、21...PWMインバータ制御装置、22...PWM制御演算部、23...キャリア周波数演算部、24...変調波演算部、25...ベクトル制御演算部、26...エミッタ端子、27...Gsレベル変換部、28...Gsフィードバック信号線、29...Gcレベル変換部、30...Gcフィードバック信号線、31...SiCのショットキーバリアダイオード(SiC-SBD)、40...ダイオード、41...U相上アームのIGBT(従来のシングルゲート型)、42...U相下アームのIGBT(従来のシングルゲート型)、43...V相上アームのIGBT(従来のシングルゲート型)、44...V相下アームのIGBT(従来のシングルゲート型)、45...W相上アームのIGBT(従来のシングルゲート型)、46...W相下アームのIGBT(従来のシングルゲート型)、47...ゲート、48...U相上アームのゲート駆動回路、49...U相下アームのゲート駆動回路、50...V相上アームのゲート駆動回路、51...V相下アームのゲート駆動回路、52...W相上アームのゲート駆動回路、53...W相下アームのゲート駆動回路、54...PWM回路、55...電流センサ、56...変調波(出力したい周波数の正弦波)、57...キャリア波(3角波信号)、58...PWM波形、59...U相のゲート信号、60...V相のゲート信号、61...W相のゲート信号、62...U-V線間電圧、63...V-W線間電圧、64...W-U線間電圧、65...U相電流、66...V相電流、67...W相電流、68...ゲート信号、69...電圧、70...電流、71...電流・電圧積、72...導通時、73...非導通時、74...IGBTの閾値電圧、75...電源電圧、76...従来IGBTのコレクタ・エミッタ間電圧、77...従来IGBTのコレクタ電流、78...従来IGBTの電流・電圧積、79...デュアルゲートIGBT、80...第1のゲート端子、81...第2のゲート端子、82...コレクタ端子、83...エミッタ端子、84...第1のゲートにオン信号を与え、第2のゲートにオフ信号を与えた場合のキャリア濃度分布、85...第1のゲートと第2のゲートにオン信号を与えた場合のキャリア濃度分布、86...デュアルゲートIGBTのコレクタ・エミッタ間電圧、87...デュアルゲートIGBTのコレクタ電流、88...デュアルゲートIGBTの電流・電圧積、90...上アームPWM信号、91...上アームGs信号、92...上アームGc信号、93...下アームPWM信号、94...下アームGs信号、95...下アームGc信号、96...PWM信号の導通指令期間、97...Gs信号の導通指令期間、98...Gc信号の導通指令期間、99...ターンオンディレイ期間、100...実施例1に係るインバータ装置、101...ターンオフディレイ期間、102...非ラップ期間、103...ターンオフスイッチング時の電圧、電流波形、104...ターンオンスイッチング時の電圧、電流波形、105...シングルゲート型IGBT(従来)を適用したインバータ装置、106...デュアルゲートIGBT(本発明)を適用したインバータ装置、107...導通損失、108...ターンオフスイッチング損失、109...ターンオンスイッチング損失、110...本発明を適用したPWM信号、Gs信号、Gc信号、導通/非導通期間、111...本発明を適用しないPWM信号、Gs信号、Gc信号、導通/非導通期間、112...本発明を適用したGs信号、113...変調波(インバータのターゲット波形)、114...本発明を適用した出力電流波形、116...上アームPWM_{u1}信号、117...上アームPWM_{u2}信号、118...下アームPWM_{x1}信号、119...下アームPWM_{x2}信号、120...上アームPWM_{u1}信号の導通指令期間、121...上アームPWM_{u2}信号の導通指令期間、122...PWM指令パルス幅算出、123...片側通流(Gcオフ)指令、124...Gs、Gcパターン算出、125...PWM_{u1}、PWM_{u2}信号指令、126...狭幅オンパルス幅、127...非導通指令、128...フィードバック信号、129...異常検知信号、130...デュアルゲートIGBTの誤オン動作、131...上アームフィードバック_{u1}信号、132...上アームフィードバック_{u2}信号、133...正常/異常動作信号、140...導通損失、141...従来IGBTのターンオフスイッチング損失、142...デュアルゲートIGBTのターンオフスイッチング損失、143...第2のゲート信号、152...本

10

20

30

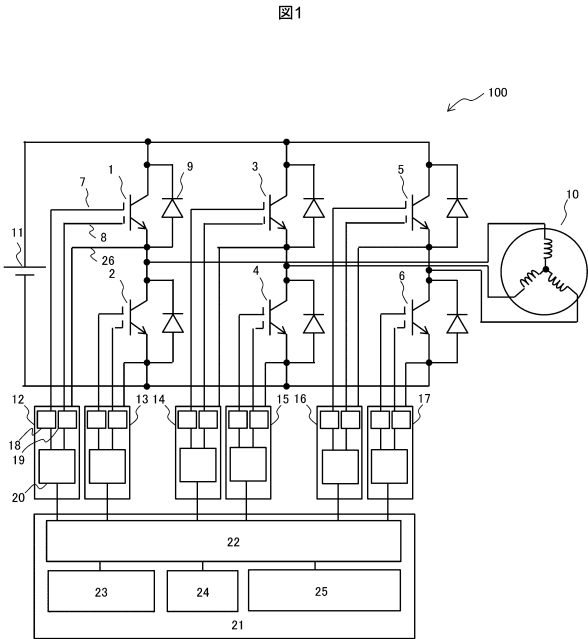
40

50

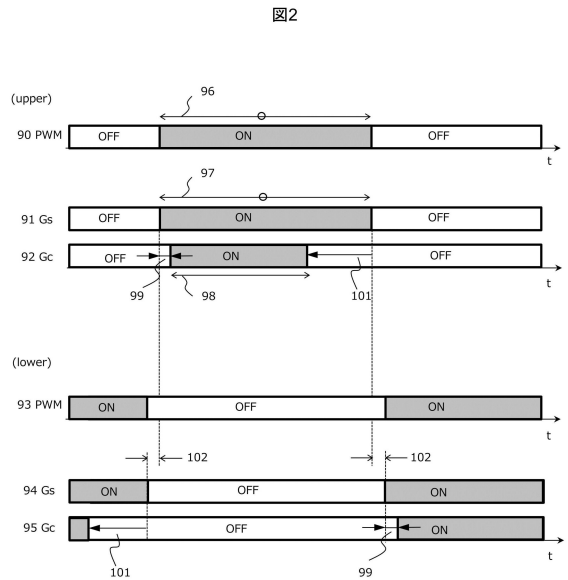
発明を適用しないGs信号、154...本発明を適用しないインバータの出力電流波形、200...実施例2に係るインバータ装置、300...実施例3に係るインバータ装置、400...実施例4に係るインバータ装置、500...実施例5に係るインバータ装置、600...従来のインバータ装置

【図面】

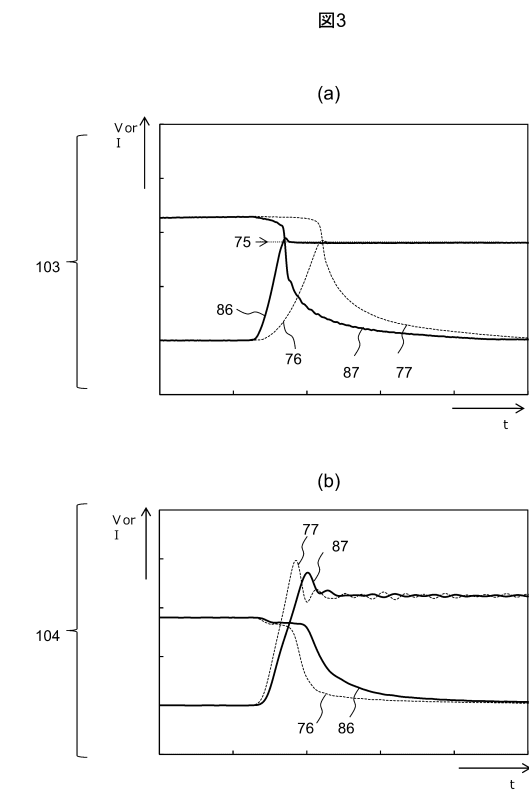
【図1】



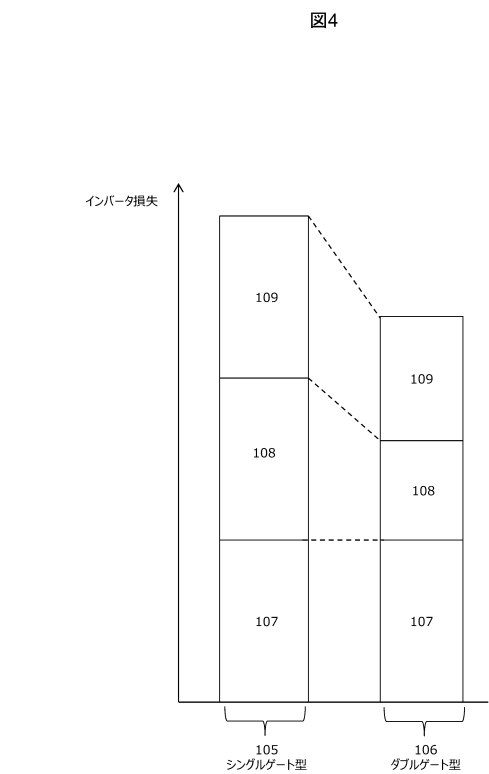
【図2】



【図3】



【図4】



10

20

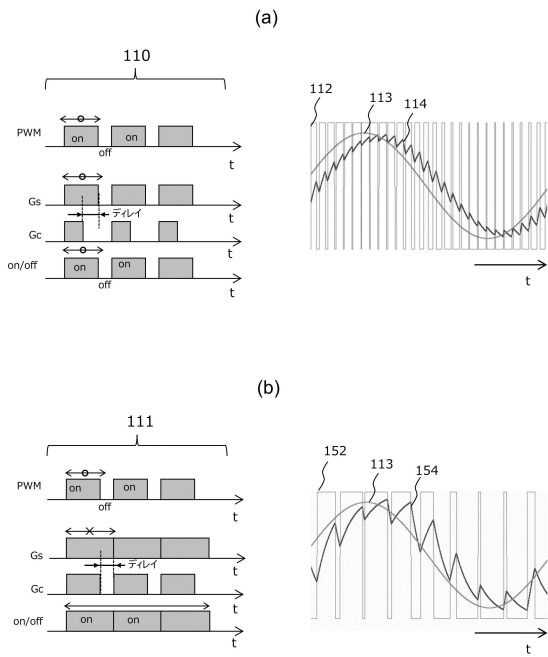
30

40

50

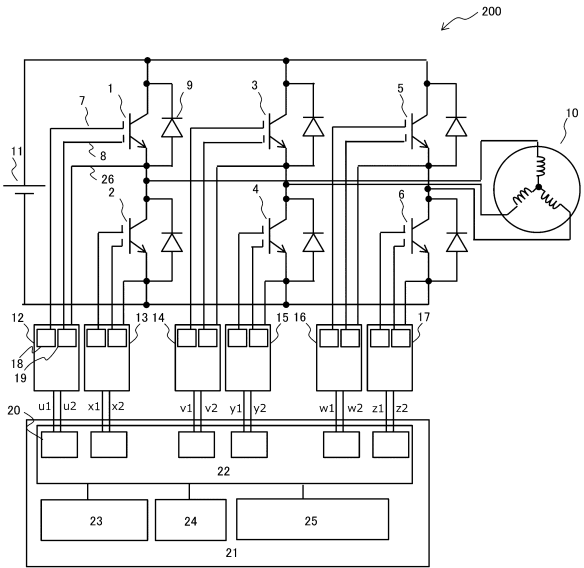
【図 5】

図5



【図 6】

図6

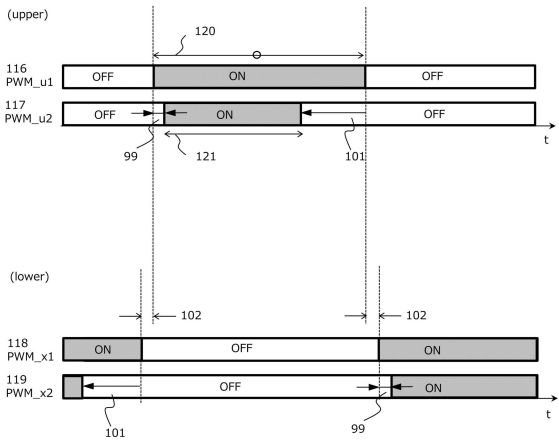


10

20

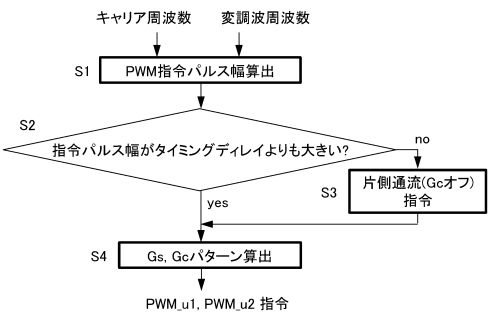
【図 7】

図7



【図 8】

図8

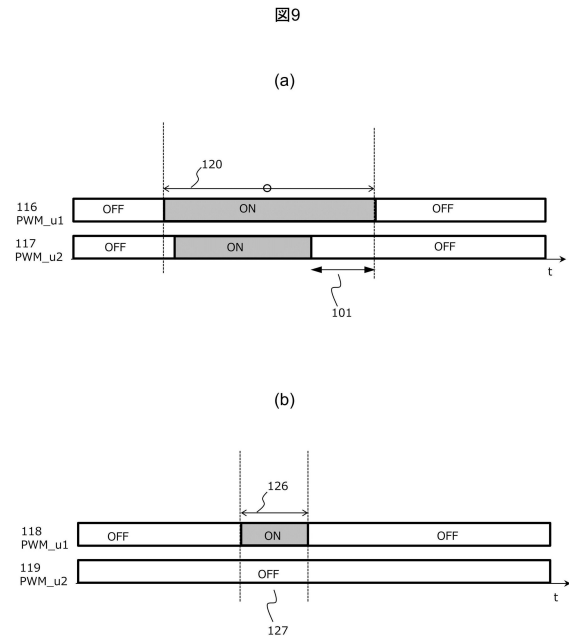


30

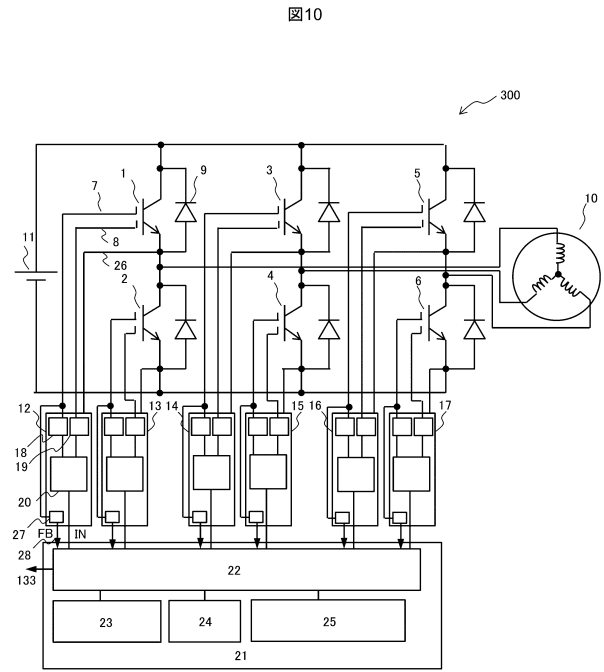
40

50

【図 9】



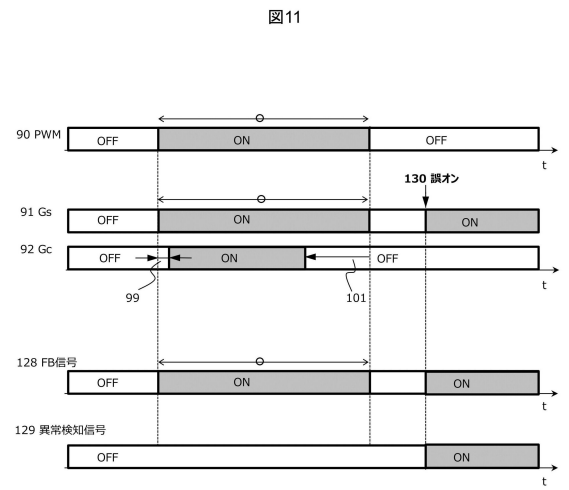
【図 10】



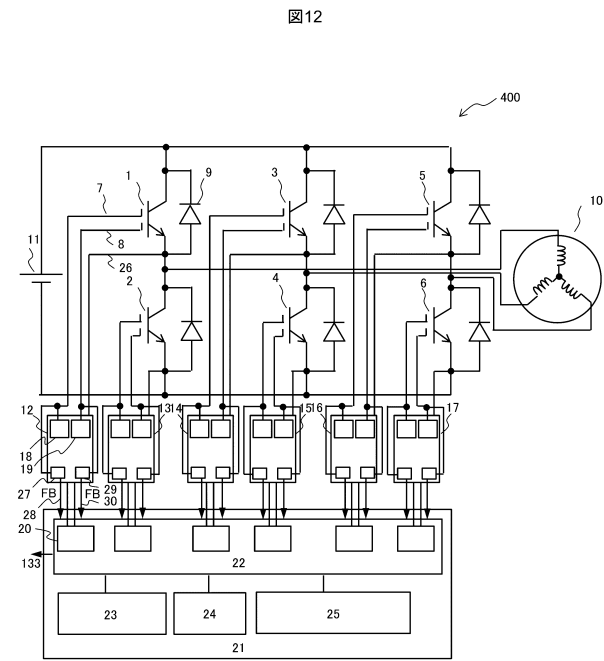
10

20

【図 11】



【図 12】

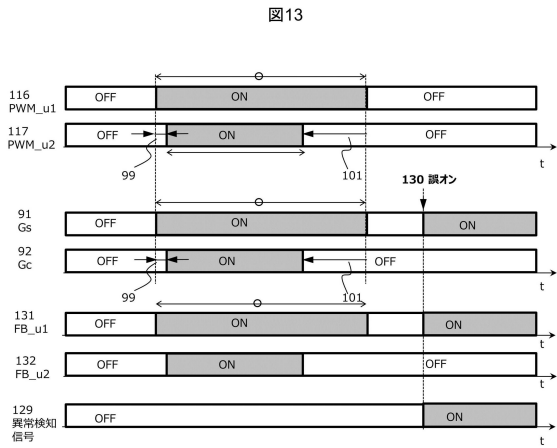


30

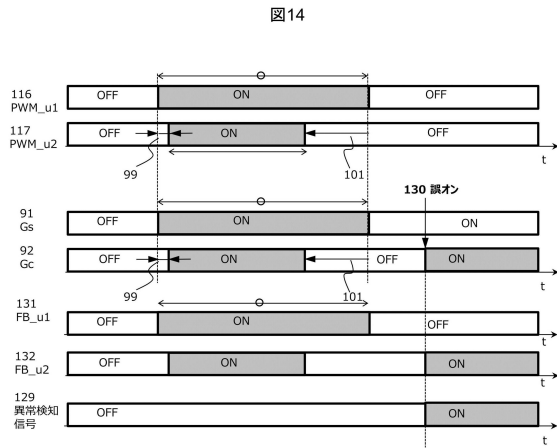
40

50

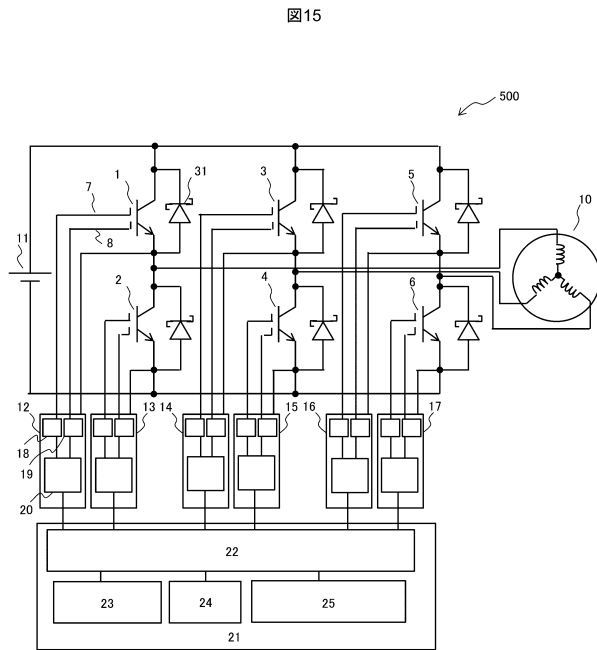
【図 1 3】



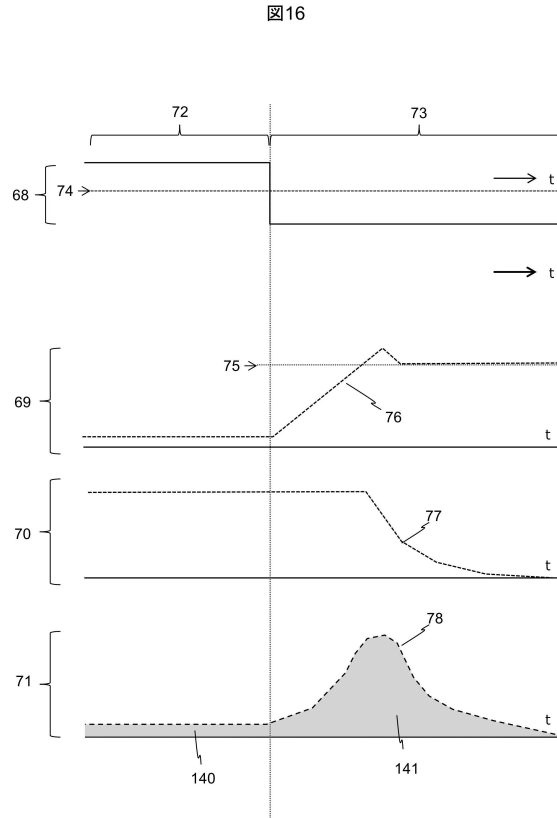
【図 1 4】



【図 1 5】



【図 1 6】



10

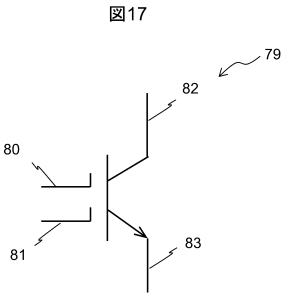
20

30

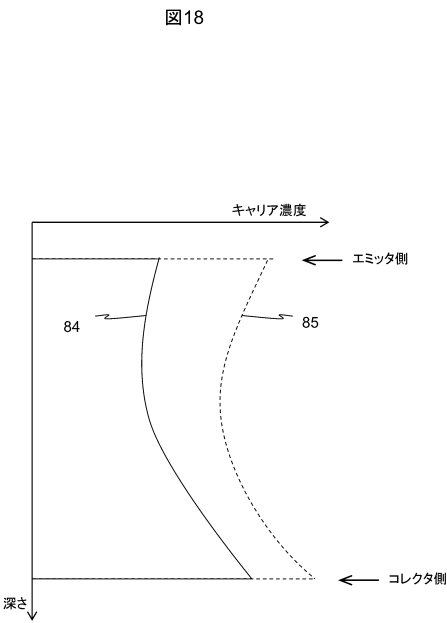
40

50

【図 17】



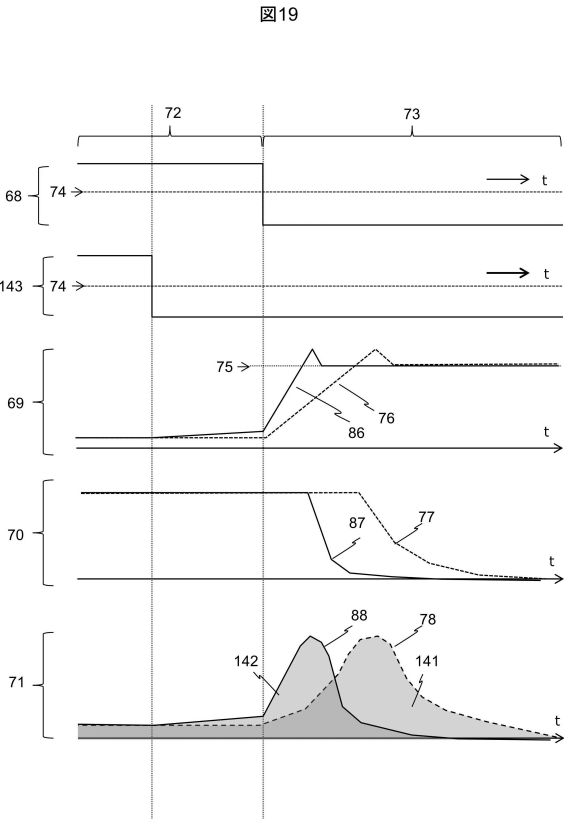
【図 18】



10

20

【図 19】



30

40

50

フロントページの続き

- 東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内
(72)発明者 石川 勝美
東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内
(72)発明者 河野 恭彦
東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内
(72)発明者 堀田 裕介
東京都千代田区丸の内一丁目 6 番 6 号 株式会社日立製作所内
合議体
審判長 須田 勝巳
審判官 脇岡 剛
審判官 吉田 美彦
(56)参考文献 特開 2 0 1 7 - 0 2 8 8 1 1 号公報 (J P , A)
特開平 0 6 - 1 2 5 2 5 6 号公報 (J P , A)
特開 2 0 1 7 - 0 7 8 9 2 7 号公報 (J P , A)
特開 2 0 1 7 - 2 0 4 9 1 8 号公報 (J P , A)
特開 2 0 0 4 - 2 2 2 3 6 7 号公報 (J P , A)
特開 2 0 0 8 - 0 5 4 3 7 5 号公報 (J P , A)
国際公開第 2 0 1 4 / 0 3 8 0 6 4 号 (W O , A 1)
(58)調査した分野 (Int.Cl. , D B 名)
H 0 2 M 1 / 0 0 - 7 / 9 8