

公告本

申請日期	88. 11. 25
案 號	88120608
類 別	1101 27/00

A4
C4

471155

(以上各欄由本局填註)

發明 新 型 專 利 說 明 書

一、發明 新 型 名 稱	中 文	非揮發性半導體記憶裝置
	英 文	"不揮發性半導體記憶裝置"
二、發明 創 作 人	姓 名	1. 作井 康司 2. 中村 寬
	國 籍	均日本
	住、居所	1. 日本國東京都世田谷區經堂4-13-14-201 2. 日本國神奈川縣川崎市麻生區王禪寺2491 克雷亞雷東 芝新百合丘304
三、申請人	姓 名 (名稱)	日商東芝股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市幸區堀川町72番地
	代 表 人 姓 名	西室 泰三

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本

1998年11月26日 特願平10-336162 ☒有 ☐無主張優先權

日本

1999年09月20日 特願平11-266176 ☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明之所屬技術領域

本發明係關於一種使可電氣重寫之複數記憶格串聯連接而構成NAND格(memory cell storing)之非揮發性導體記憶裝置(EEPROM)。

習知技術

使電氣重寫成為可能之EEPROM，自以往已知有NAND格型EEPROM。NAND格型EEPROM之其一的記憶格，係具有一於半導體基板上介有絕緣膜而浮游閘極(電荷蓄積層)與控制閘極所積層之堆棧構造的電晶體。複數個記憶格係於鄰接者之間具有源極/汲極的形態串聯連接而構成NAND格。如此之NAND格乃矩陣排列而構成記憶格陣列。

並排於記憶格陣列之列方向的NAND格一端側之汲極，係藉由選擇電晶體而共通連接於位元線，另端側源極仍然藉由電晶體而連接於共通源極線。記憶格電晶體之字元線及選擇電晶體的閘極電極，係分別朝記憶格陣列之行方向作為字元線(控制閘極線)、選擇閘極線而共通連接。

如此之NAND格型EEPROM例如已知有如下之文獻(1)、(2)。

(1) K. -D. Suh et al., "A 3.3V 32Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme," IEEE J. Solid-State Circuits, Vol. 30, pp. 1149-1156, Nov. 1995.

(2) Y. Iwata et al., "A 35ns Cycle Time 3.3V Only 32Mb NAND Flash EEPROM," IEEE J. Solid-State Circuits, Vol. 30, pp. 1157-1164, Nov. 1995。

五、發明說明 (2)

圖 18 係表示 NAND 格型 EEPROM 之記憶格陣列的其一 NAND 格區塊構成。複數個記憶格 M 係使此等源極、汲極鄰接者之間共有的形態串聯連接而構成 NAND 格。NAND 格之一端係藉由選擇電晶體 S1 而連接於位元線 BL，另端仍然藉由選擇電晶體 S2 而連接於共通接地線。並排於圖 18 之橫方向之記憶格 M 的控制閘極，係共通地連接於字元線 WL。選擇電晶體 S1、S2 之閘極亦同樣地共通連接於選擇閘極線 SSL、GSL。藉一個字元線所驅動之 NAND 格範圍乃構成 NAND 格區塊。

一般，朝位元線方向配置複數個如此之 NAND 格區塊而構成記憶格陣列。各 NAND 格區塊成為數據消除之單元而進行所謂一概消除。又，選擇 NAND 格區塊內之一個的字元線，沿著字元線之記憶格列係稱為 1 頁 (page)，1 頁乃成為數據讀出及寫入的單元。

記憶格 M，例如當 n 通道時，係使電子注入浮動閘極之閾值為正的狀態 (E 型狀態)、與浮動閘極之電子放出之閾值為負的狀態 (D 型狀態) 對應成二值，俾進行數據記憶。例如，定義成如 D 型狀態為 "1" 數據之保持狀態 (消去狀態)、E 型狀態為 "0" 數據保持狀態 (寫入狀態)。又，使保持 "1" 數據之記憶格的閾值朝正方向移位，而移至保持 "0" 狀態之動作稱為「寫入動作」；使保持 "0" 數據之記憶格的閾值朝負方向移位，而移至保持 "1" 數據狀態之動作稱為「消除動作」。在本說明書中，依此定義進行以下之說明。

五、發明說明(3)

圖19表示在選擇記憶格陣列之NAND格區塊，其數據消除、讀取及寫入動作之各部電位關係。消除動作係使所選擇之NAND格區塊的全字元線作為0V，並使選擇閘極線SSL、GSL及位元線BL作為浮動電位(F)，對存儲單元之P型電井賦予高的正之消除電壓Vera(例如，3ms、21V之消除脈衝)。結果，選擇區塊中，在電井與字元線之間施加消除電壓，浮動閘極之電子藉FN(Fowler-Nordheim)通道電流放至電井。藉此，其NAND格區塊內之記憶格成為"1"之消除狀態。

此時，非選擇之NAND格區塊因浮動狀態之字元線與電井之容量偶合，不受消除脈衝之影響。偶合比係從連接於浮動狀態之字元線的容量來計算。實際上，多元矽之字元線與單元區域之P電井的容量相對於全容量為支配性，從實測結果所求取之偶合比約大至0.9，此乃妨礙FN通道電流流動。消除檢驗係由如下判定：選擇區塊內之全部存儲單元的閾值電壓是否成為例如-1V以下。

數據讀取動作係對選擇字元線賦予0V，對非選擇字元線及選擇閘極線賦予一定之讀取電壓Vread(不受閾值影響而使通道導通之必須的電壓)，所選擇之存儲單元有無導通而引起讀取位元線BL的電位變化。

數據寫入動作係對選擇字元線賦予正的高寫入電壓Vpwm、對非選擇字元線賦予脈衝電壓Vpass，對位元線側之選擇閘極線SSL賦予Vcc，對共通源極線側之選擇閘極線GSL賦予Vss=0V，對為寫入"0"之位元線BL賦予Vss，對

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明(4)

禁止寫入(亦即應保持於"1"之消除狀態)位元線BL賦予Vcc。此時，連接於賦予Vss之位元線的選擇存儲單元，係通道電位保持於Vss，施予控制閘極與通道間之大的電場，而從通道至浮動閘極注入由通道電流引起之電子。連接相同的位元線之Vpass所賦予的其他非選擇存儲單元，係不會對寫入充分地施加電場，而不會進行寫入。

沿著Vcc所賦予之位元線的存儲單元中，NAND格之通道係被預先充電至Vcc或Vcc-Vth(Vth為選擇電晶體之閾值電壓)而選擇電晶體乃進行切斷。繼而若對控制閘極賦予寫入電壓Vpgm及脈衝電壓Vpass，因形成浮動之NAND格的通道、與、賦予Vpgm或Vpass之控制閘極的容量結合，致通道電位會上昇，而不會引起電子注入。

如以上般，只在賦予Vss之位元線與賦予Vpgm之選擇字元線交叉部的存儲單元，進行電子注入而寫入"0"。在選擇區塊內之禁止寫入的存儲單元中，如上述般，通道電位依字元線與通道之容量結合來決定，故為可充分提昇禁止寫入電位，充分進行通道之初期充電及增大字元線與通道間之容量偶合比乃很重要。

字元線與通道間之偶合比B，係由 $B = C_{ox} / (C_{ox} + C_j)$ 來算出。此處， C_{ox} 為字元線與通道之間的閘極容量之總和， C_j 為存儲單元電晶體之源極及汲極的接合容量之總和。又，所謂NAND格之通道容量乃此等閘極容量之總和 C_{ox} 與接合容量之總和 C_j 的合計。然而，其他之容量即選擇閘極線與源極之重疊容量、或、位元線與源極及汲極之容量等

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

係比全通道容量還非常地小，故此處可忽視。

在說明於上之NAND型EEPROM中，自以往係進行平面方向(design rule)之比例增減，但並未進行對應於其之縱深方向(氧化膜厚)的比例增減。具體上，通道氧化膜之膜厚在16M、32M、64M、256M位元NAND型EEPROM約一定為10 nm。繼而，若通道氧化膜之膜厚為一定，為使施加於通道氧化膜之電場呈一定，存儲單元之寫入電壓亦必須維持一定電壓，而無法低電壓化。關於通道氧化膜之膜厚，製程技術者嘗試進一步實施薄膜化，但，例如5 nm之氧化膜並未實現。又，為使寫入電壓低電壓化，只要使控制閘極與浮動閘極間之容量增大，耦合比提高即可。但，此亦必須使控制閘極與浮動閘極間之氧化膜薄膜化，或，必須在增加控制閘極與浮動閘極之間的電容面積等下工夫，而不容易達成。

結果，在NAND型EEPROM中，16M至256M位元重寫電壓必須為20V左右的高電壓。因此，必須以高耐壓電晶體設計使其高電壓驅動字元線之列譯碼的電晶體。高耐壓電晶體係使設計法則比周邊電路之一般電晶體還更緩和，而藉由增長電晶體內之各部尺寸，研究減弱所施加之電場。例如，以0.25 μ m法則所設計之256M位元NAND型EEPROM時，此高耐壓電晶體係使設計法則比周邊電路之一般電晶體還數倍大。繼而，256M位元NAND型EEPROM之16個記憶格與2個選擇電晶體所構成的一個NAND儲存的節距(長度)為8.5 μ m，在此節距無法配置2個以上之高耐壓電晶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (6)

體，而配置1個高耐壓電晶體乃成為界限。

例如，在次世代1G位元NAND型EEPROM中，適用0.15 μm 之設計法則時，此一個NAND儲存之節距約成為5 μm 左右。又，若縱方向之比例增減仍然困難，如上述理由般，無法降低重寫電壓。因此，現在之16個存儲單元電晶體與2個選擇電晶體所構成的一個NAND儲存之節距，無法配置尺寸很大的字元線驅動用之高耐壓電晶體。因此，例如，增加1個NAND儲存之串聯連接的記憶格電晶體數目，例如形成32個記憶格構成或64個記憶格構成，而必須增大1個NAND儲存的節距。

但，僅增加1個NAND儲存內之記憶格電晶體的個數，則同時消除區塊大小會增加。其係因在習知NAND型EEPROM中，以NAND儲存(NAND格)作為1個區塊，只允許在區塊單位之消除。只允許在NAND格區塊單位之消除的理由如下般。例如，使由16個存儲單元所構成之NAND儲存作為重寫每8個之存儲單元的單位即1區塊，故次選擇下部區塊而重寫。如此一來，於上部區塊之字元線加上旁路電壓Vpass之應力，若重寫影響許多次，非選擇區塊之閾值電壓亦會變化。

此消除區塊之大小，在16M位元NAND型EEPROM中，成為4K位組，在32M位元NAND型EEPROM中，成為8K位組，在256M位元NAND型EEPROM中，隨著16K位組而大容量化，逐漸變大。但，例如，對數位照相機之影片媒體使用NAND型EEPROM時，為保持兼容性，亦要求不願急

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

劇區塊大小的增大。因此，即使在大容量之1G位元NAND型EEPROM中，與256M位元NAND型EEPROM同樣地，亦必須使消除區塊大小成為16K位組。

發明之內容

本發明因慮及上述事情，故目的在於：在1個NAND格區塊內可設定複數之消除單位的NAND型EEPROM。

又，本發明之非揮發性半導體記憶裝置的第1態樣，係具備：第1訊號線；第2訊號線；使可於第1訊號線與第2訊號線之間電氣重寫的存儲單元複數個串聯連接所構成之NAND格；為將此NAND格分割成複數區塊，介於NAND格內預定鄰接存儲單元之間的區塊分離選擇電晶體。

又，本發明之非揮發性半導體記憶裝置的第2態樣，係具備：可藉字元線所選擇之電氣重寫的存儲單元乃於第1訊號線與第2訊號線之間分別藉由選擇電晶體而複數個串聯連接以構成NAND格，複數之NAND格排列而成之存儲單元陣列；藉位址進行前述存儲單元陣列之存儲單元選擇的位址譯碼器；讀出來自前述存儲單元陣列之讀出數據，具有一門鎖寫入於存儲單元陣列之數據功能的讀出放大電路；可對前述存儲單元陣列進行數據寫入、消除及讀出之控制的控制電路；其特徵在於：前述存儲單元陣列係藉由一介於各NAND格內預定鄰接存儲單元之間的區塊分離選擇電晶體，分割成複數存儲單元單位。

又，本發明之非揮發性半導體記憶裝置的第3態樣，係具備：可藉分別相異之字元線所選擇之電氣重寫的複數存

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

儲單元串聯連接於位元線以構成NAND格，併排於字元線方向之複數NAND格構成NAND格區塊，且藉由介於各NAND格預定鄰接存儲單元之間的區塊分離選擇電晶體，前述NAND格區塊分割成複數存儲單元單位之存儲單元陣列；藉位址進行前述存儲單元陣列之存儲單元選擇的位址譯碼器；讀出來自前述存儲單元陣列之讀出數據，具有一門鎖寫入於存儲單元陣列之數據功能的讀出放大電路；選擇複數存儲單元單位之一個作為消除單位而全部消除存儲單元單位內之數據，以沿著一條字元線之複數存儲單元的預定範圍作為1頁而進行數據寫入之數據重寫裝置。

若依本發明，藉由介於NAND格內之區塊分離選擇電晶體，可於1 NAND格區塊內設定複數消除區塊，不會增加消除區塊大小，而可增加1 NAND儲存內之存儲單元的個數。

又，本發明之非揮發性半導體記憶裝置的第4態樣，係具備：第1及第2之訊號線；第1及第2之選擇電晶體；分別乃使可電氣重寫的存儲單元複數串聯連接所構成之第1乃至第 n ($n \leq 3$)之NAND格區塊；第1乃至第 $(n-1)$ 之區塊分離選擇電晶體；前述第1之選擇電晶體連於前述第1之訊號線，前述第1之NAND格區塊連接於前述第1之選擇電晶體，第 i 之區塊分離選擇電晶體連接於第 i ($1 \leq i \leq n-1$)之NAND格區塊，前述第 $(i+1)$ 之NAND格區塊連接於第 i ($1 \leq i \leq n-1$)之區塊分離選擇電晶體，第2之選擇電晶體連接於第 n 之NAND格區塊，第2之訊號線連接於第2之選擇電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

體，第1乃至第n之區塊分離選擇電晶體中，至少2個區塊分離選擇電晶體的閘極乃共通連接。

又，本發明之非揮發性半導體記憶裝置的第5態樣，係具備：第1及第2之訊號線；第1及第2之選擇電晶體；可分別電氣重寫的第1乃至第n之存儲單元；第1乃至第(n-1)之區塊分離選擇電晶體；前述第1之選擇電晶體連接於前述第1之訊號線，前述第1之存儲單元連接於前述第1之選擇電晶體，第i之區塊分離選擇電晶體連接於第i ($1 \leq i \leq n-1$) 存儲單元，前述第(i+1)之存儲單元連接於第i ($1 \leq i \leq n-1$) 之區塊分離選擇電晶體，第2之選擇電晶體連接於第n之存儲單元，第2之訊號線連接於第2之選擇電晶體，第1乃至第n之區塊分離選擇電晶體中，至少2個區塊分離選擇電晶體的閘極乃共通連接。

圖面之簡單說明

圖1係本發明第1實施形態之NAND型EEPROM的存儲單元陣列之等價電路。

圖2係第1實施形態之存儲單元陣列的配置。

圖3係沿著圖2所示之截線A-A'的斷面圖。

圖4係沿著圖2所示之截線B-B'的斷面圖。

圖5係第1實施形態之NAND型EEPROM的區塊構成圖。

圖6係第1實施形態之NAND型EEPROM的讀出放大器構成圖。

圖7係第1實施形態之NAND型EEPROM的數據消除動作之偏壓關係圖。

五、發明說明 (10)

圖 8 係第 1 實施形態之 NAND 型 EEPROM 的數據寫入動作之偏壓關係圖。

圖 9 係於存儲單元陣列上表示圖 8 之偏壓關係的圖。

圖 10 係第 1 實施形態之 NAND 型 EEPROM 的數據讀出動作之偏壓關係圖。

圖 11 係第 2 實施形態之存儲單元陣列的構成圖。

圖 12 係於第 2 實施形態之數據消除動作之偏壓關係圖。

圖 13 係於第 2 實施形態之數據寫入動作之偏壓關係圖。

圖 14 係第 3 實施形態之存儲單元陣列的構成圖。

圖 15 係第 4 實施形態之存儲單元陣列的構成圖。

圖 16 係第 5 實施形態之字元線驅動電路的配置圖。

圖 17 係第 6 實施形態之字元線驅動電路的配置圖。

圖 18 係習知之 NAND 型 EEPROM 的存儲單元陣列構成圖。

圖 19 係習知之 NAND 型 EEPROM 的數據消除、讀出及寫入之偏壓關係圖。

圖 20 係第 4 實施形態之存儲單元陣列的配置圖。

圖 21 係第 4 實施形態之存儲單元陣列的斷面圖。

圖 22 係選擇電晶體間之存儲單元數與單元大小之關係圖表。

圖 23 係說明各存儲單元之大小的圖。

圖 24 係 AND 型 EEPROM 的斷面圖。

圖 25 係第 7 實施形態之數據讀出動作之偏壓關係圖。

圖 26 係第 7 實施形態之數據消除動作之偏壓關係圖。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(11)

圖27係第7實施形態之數據寫入動作之偏壓關係圖。

圖28係第7實施形態之存儲單元陣列的構成圖。

圖29係第8實施形態之數據讀出動作之偏壓關係圖。

圖30係第8實施形態之數據消除動作之偏壓關係圖。

圖31係第8實施形態之數據寫入動作之偏壓關係圖。

圖32係第8實施形態之存儲單元陣列的構成圖。

圖33係第7實施形態之變形例的存儲單元陣列之構成圖。

圖34係第8實施形態之變形例的存儲單元陣列之構成圖。

圖35係具有輔助平板之NAND型EEPROM的構成斜視圖。

圖36係本發明之NAND型EEPROM的製造步驟之平面圖。

圖37係沿著圖36所示之截線X-X'的斷面圖。

圖38係沿著圖36所示之截線Y-Y'的斷面圖。

圖39係本發明之NAND型EEPROM的製造步驟之平面圖。

圖40係沿著圖39所示之截線X-X'的斷面圖。

圖41係沿著圖39所示之截線Y-Y'的斷面圖。

圖42係本發明之NAND型EEPROM的製造步驟之平面圖。

圖43係沿著圖42所示之截線X-X'的斷面圖。

圖44係沿著圖42所示之截線Y-Y'的斷面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

圖 45 係本發明之 NAND 型 EEPROM 的製造步驟之平面圖。

圖 46 係沿著圖 45 所示之截線 X-X' 的斷面圖。

圖 47 係沿著圖 45 所示之截線 Y-Y' 的斷面圖。

圖 48 係本發明之 NAND 型 EEPROM 的製造步驟之平面圖。

圖 49 係沿著圖 48 所示之截線 X-X' 的斷面圖。

圖 50 係沿著圖 48 所示之截線 Y-Y' 的斷面圖。

發明之實施形態

第 1 之實施形態

圖 1 係表示本發明之第 1 實施形態，NAND 型 EEPROM 之存儲單元陣列的一個 NAND 格區塊 1 之存儲單元陣列等價電路。在此例中，位元線 BL 之條數乃以 528 位元 $[(512+16) \times 8 = 4224 \text{ 條}]$ 為例，在本實施的形態中，1 個之 NAND 格係由 32 個之存儲單元電晶體 MC0~MC31 所構成。存儲單元電晶體 MC0~MC31 係於位元線 BL 與源極線 SL 之間串聯連接。在位元線 BL 與存儲電晶體 MC0 之間設有選擇電晶體 SST，在源極線 SL 與存儲單元電晶體 MC31 之間亦同樣地設有選擇電晶體 GST。

在本實施形態中，除上述二個選擇電晶體 SST、GST 以外，以 2 分割 1 個 NAND 格之形態設有一用以區塊分離之選擇電晶體 ST。亦即，在鄰接之存儲單元電晶體 MC15 與 MC16 之間介入區塊分離選擇電晶體 ST，俾 NAND 區塊 1 分割成二個之存儲單位 MU0、MU1。此二分割之存儲單位

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

MU0、MU1分別成為數據消除之單位區塊大小。

圖2為NAND格區塊1之配置圖，圖3及圖4分別表示圖2之A-A'、B-B'斷面。於p型矽基板10之存儲單元陣列區域形成n型電井11，在此n型電井11內形成p型電井12，在此p型電井12中係以元件分離絕緣膜13區分元件區域。在元件區域藉由通道氧化膜14而浮動閘極15形成於每一各存儲單元電晶體，在此上面藉由層間閘極絕緣膜16形成控制閘極17。

控制閘極17係如圖2所示般朝行方向連續地配設，此乃成為字元線WL。以控制閘極17作為屏罩而進行離子注入，俾形成源極、汲極擴散層21。在圖3中，選擇電晶體SST、ST係表示與存儲單元電晶體MC同樣的構造，但，對應於圖4斷面之斷面中，對應於浮動閘極15之層與對應於控制閘極17之層，乃於預定處所共通連接而連續地配設，成為選擇閘極線SSL、STL。源極側之選擇電晶體GST亦同樣地，其閘極係連續地配設，而成為選擇閘極線GSL。此處，選擇電晶體SST、ST與存儲單元電晶體MC亦可使閘極氧化膜厚相異。

具有頁書入/讀出功能之NAND型EEPROM，其全體區塊構成如圖5般。如圖示般，具有存儲單元陣列51、與、依據從外部所輸入之位址而進行選擇驅動存儲單元陣列51之位元線的列譯碼器52、與、連接於存儲單元陣列51之位元線BL且具有輸出入數據之閘鎖功能的讀出放大電路53。讀出放大電路53係連接欄閘極55，藉欄譯碼器54依

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

據從外部輸入之位址而控制欄開極55，以選擇對應之位元線及讀出放大電路。

讀出放大電路53係藉由欄開極55而連接於數據輸出入(I/O)暫存器58。為供應寫入動作或消除動作必須的高電壓，設有昇壓電路56，產生對存儲單元陣列51之數據寫入、消除及讀出之控制訊號而控制晶片內部，同時並設有一用以取得與外部之介面的控制電路57。

列譯碼器52係當數據寫入時、消除時及數據讀出時分別依據位址訊號而選擇驅動複數之字元線WL，對此字元線驅動器供給所需之電壓。讀出放大電路53係具有如下功能：讀出時讀出位元線數據之功能；寫入時保持從外部所下載數據之數據門鎖功能；寫入及消除時對於位元線BL分別選擇性供給所需之電壓。

控制電路57乃包括：對NAND格之消除/消除驗證、寫入/寫入驗證、及用以控制讀出動作之程序控制裝置(例如可程序邏輯陣列)。

圖6表示讀出放大電路53中之一個讀出放大器的構成。讀出放大器係藉由輸出入交叉連接之反相器11、12所構成之數據門鎖電路61作為主體。此門鎖電路61之一者的節點Qb係藉由讀出用NMOS電晶體M12與活性化用NMOS電晶體M13而接地。讀出用NMOS電晶體M12之閘極為讀出節點Nsense。讀出節點Nsense係藉由傳輸閘極NMOS電晶體M1而連接於位元線BLi。

門鎖電路61之另一節點Q係藉由復歸用NMOS電晶體M4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

而連接於讀出節點Nsense，又，藉由欄選擇NMOS電晶體M11而連接於輸出入暫存器。於讀出節點Nsense中，設有一用以預充電讀出節點Nsense之NMOS電晶體M2、及、用以放電之NMOS電晶體M3。

其次，依序說明本實施形態之NAND型EEPROM的數據消除、寫入、及讀出的動作。

圖7表示在數據消除動作之各部暫存器電位關係。如前述般，在習知NAND型EEPROM中，1個NAND格區塊成為消除單元，但，在本實施形態中，圖1所示之存儲單位MU0、MU1分別成為消除單元。圖7中表示以下部存儲單位MU1作為選擇區塊，以上部存儲單位MU0作為非選擇區塊之數據消除動作的例子。

亦即，在圖1中，以字母線WL0~WL15之範圍作為非選擇區塊，以WL16~WL31的範圍作為選擇區塊。若消除動作開始，於進行消除之選擇區塊的字元線WL16~WL31施加Vss (0V)，非選擇區塊之字元線WL0~WL15及選擇閘極線SSL、GSL、STL會形成浮動狀態。在此狀態下，對存儲單元陣列之p電井(p-well)施加消除電壓Vera (20V)。

此時，非選擇區塊之字元線WL0~WL15及選擇閘極線SSL、STL、GSL係藉由與p電井之容量結合，昇壓成 $\alpha \times Vera$ 。 α 為約0.9，故上昇至18V左右。位元線BL0、BL1、及源極線SL係p電井與位元線接觸部之 n^+ 型擴散層及源極線SL部之 n^+ 型擴散層的PN接合乃呈順偏壓狀態，上昇至 $Vera \sim Vf$ 。 Vf 為PN接合之內建電勢，約0.7V，故位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

BL0、BL1及源極線SL成爲約19.3V左右。因此，沿著非選擇區塊之字元線WL0~WL15的存儲單元電晶體中，不會引起消除動作。

在沿著選擇區塊之字元線WL16~WL31的存儲單元電晶體中，對基板區域施加Vera，對控制閘極施加Vss，故浮動閘極的電子係藉通道電流放至基板區域(p電井)，存儲單元電晶體的記憶數據會全部被消除。

圖8表示在數據寫入動作之各部的偏壓電位關係。圖8中，表中在以上說明全部被消除之選擇區塊(亦即存儲單位MU1)內的字元線WL17進行寫入的情形。又，位元線BL0係進行"0"數據寫入，位元線BL1係"1"數據寫入(亦即，保持"1"數據之消除狀態的寫入禁止)之情形。

此時，圖9係表示只取出圖1所示之位元線中二個位元線BL0、BL1，其電位關係。

此數據寫入中，首先對位元線BL0、BL1分別賦予寫入用之接地電位Vss、寫入禁止用之電源電位Vcc。然後，源極線側之選擇閘極線GSL直接保持於Vss，對其他之字元線及選擇閘極線賦予稍比Vcc還高之讀出電壓Vread(約3.5V左右)。因此，可對連接於位元線BL0之NAND格通道傳達用以寫入之電位Vss。可對連接於位元線BL1之NAND格通道傳達用以寫入禁止之Vcc，但其通道電位若上昇至只低於Vread-Vth(選擇電晶體、或、存儲單元電晶體之閾值電壓內、高閾值電壓)的值，則選擇電晶體SST會變成關閉，通道變成浮動。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

就此狀態，其次，選擇區塊之字元線內，對不進行寫入之非選擇字元線WL16及WL18~WL31施加比讀出電壓Vread還高的旁路電壓Vpass(約8V)，對進行寫入之選擇字元線WL17施加更高之寫入電壓Vpgm(約16V)。非選擇區塊之字元線WL0~WL15、汲極側選擇閘極線SSL、及區塊分離選擇閘極線STL係直接擁有電位值Vread。

此時，選擇區塊內之位元線BL1側的通道區域，係與從初期狀態之電位Vcc-Vth上升至電位Vpass及Vpgm的字元之容量結合，以上升至 $\beta \times (Vpass - Vread) + (Vcc - Vth)$ 。相對於賦予電位Vpgm之字元線1條，賦予電位Vpass之字元線數為15條，故，約變成由值Vpass所決定之上述通道電位。此處， β 為字元線與通道區域之容量偶合比，約0.5。

此時，寫入禁止之字元線BL1側的區塊分離選擇電晶體ST1，係閘極電壓為Vread，通道電壓如上述般昇壓之結果，閘極/源閘間電壓會變成負，進行截止。亦即，寫入禁止之位元線BL側中，含有存儲單元電晶體MC171之選擇區塊內的通道區域，係以與非選擇區塊即存儲單元單位MU0側的通道區域所分離之浮動狀態昇壓。

另外，在賦予電位Vss之位元線BL0側，藉由從位元線BL0所傳達之電位Vss，區塊分離選擇電晶體ST0保持開啓狀態。因此，電位Vss傳達至所選擇之存儲單元電晶體MC170的通道。結果，以賦予寫入電壓Vpgm之選擇字元線WL17所驅動的存儲單元電晶體MC170中，會引起通道注入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

之寫入動作。在沿著相同位元線BL0之其他存儲單元，不施加大的電場而不產生寫入。

又，實際之數據寫入動作，係藉圖5所示之控制電路57的程序控制，檢查寫入電壓脈衝施加與寫入後之閾值即驗證動作，重複此動作，進行所謂將1頁分之數據趕入預定閾值範圍的控制。1頁例如為1字元線之範圍的位元線數，但，在與頁暫存器等之關係，有時亦以1字元線的範圍作為2頁。

若說明如此之頁單位數據寫入循環，首先，連續寫入數據被圖5之讀出放大電路53的數據門鎖寄存。此時，"0"為進行寫入動作之單元數據，"1"為寫入禁止之單元數據。寫入循環係以如下之步驟所構成。

(1)依據被讀出放大器門鎖之數據，將位元線之準位設定於Vss或Vcc。

(2)對選擇字元線施加寫入電壓脈衝。

(3)使選擇字元線放電。

(4)進行寫入驗證讀出。

驗證動作係對應於進行充分寫入之單元的數據門鎖，其數據從"0"變為"1"，為了不會進行其以上之寫入動作。驗證動作之偏壓條件，基本上係與一般之數據讀出的情形相同，但，為進行閾值的判定，於選擇字元線所賦予之電壓設定為比一般讀出時之0V還高。僅有關在此驗證動作中寫入被判定不充分之單元，於下一循環再度反覆寫入動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

圖10表示在數據讀出動作之各部的電位關係。若讀出開始，位元線預備充電成初期狀態之電位 V_{b1} (約1.5V)。繼而，使選擇區塊之選擇字元線(圖10中，WL19)的電位為 V_{ss} 以外，其餘使選擇NAND格內之全部選擇閘極線及字元線的電位作為讀出電壓 V_{read} 。藉此，讀出"0"數據(寫入狀態之存儲單元)之位元線的電位保持 V_{b1} ，讀出"1"數據(消除狀態之存儲單元)之位元線之電位從 V_{b1} 變成 V_{ss} 。此位元線電位之變化，與習知相同地藉讀出放大器，判別成"0"、"1"。

如以上般，若依此實施形態，NAND格區塊內藉區塊分離選擇電晶體分成2個存儲單元單位，而使以1個存儲單元單位作為消除單位之數據重寫成為可能。藉此，可得到如下之效果。亦即，以比目前更微細的設計法則製作NAND型EEPROM時，為配置可驅動存儲單元陣列之高耐壓電晶體，必須更增加一個NAND格內之存儲單元數目。在習知之方式中，NAND格區塊直接乃為消除區塊大小，故若NAND格之存儲單元數目增加，消除區塊大小亦會變大，但，若依本實施例，不會增大消除區塊大小，可增多NAND格之存儲單元數目。藉此，高耐壓電晶體之配置變成更容易。即使EEPROM容量增大時，即使要求不要變更消除區塊大小，亦可如願。

又，數據消除時之寫入動作，於存儲單元單位之間所插入的區塊分離選擇電晶體、與、非選擇區塊(存儲單元單位)之字元線，係以賦予比旁路電壓 V_{pass} 更低之讀出電壓

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (20)

Vread的狀態，俾非選擇區塊之通道區域與選擇區塊之通道區域分離。因此，如以習知之構成於NAND格區塊內設定消除單位而進行數據重寫時，不對非選擇區塊之字元線賦予旁路電壓Vpass，可減低應力，提高信賴性。

在第1實施形態中，藉由插入一個區塊分離選擇電晶體ST，將NAND格區塊分割成二個存儲單位，但，一般，係藉由插入 2^n-1 (n為正的整數)個區塊分離選擇電晶體，可分割成 2^n 個存儲單元單位。此時，各存儲單元單位亦可含有每 2^m (m為正的整數)個同數目的存儲單元，或，亦可設定成各存儲單元單位的存儲單元數目 2^m 相異。

第2之實施形態

圖11係表示將一由32個存儲單元電晶體所構成之1 NAND儲存分割成4個存儲單元單位MU0~MU3，其第2實施形態之構成。4個存儲單元單位MU0~MU3係分別藉由位元線BL側之選擇電晶體SST、區塊分離選擇電晶體ST0~ST2、及、源極線SL側之選擇電晶體GST而於位元線BL與源極線SL之間串聯連接。各存儲單元單位含有相等之8個存儲單元電晶體。

圖12在本實施形態中，表示選擇存儲單元單位MU2而被消除時之偏壓狀態。此時，對選擇區塊(亦即存儲單元單位MU2)內的字元線WL16WL23賦予電位Vss，其他之非選擇字元線及選擇閘極線形成之浮動，並對p電井賦予消除電壓Vera。藉此，與第1實施形態同樣地，選擇區塊全部被消除。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (21)

圖13在本實施形態中，表示有關字元線WL19而進行數據寫入時之偏壓狀態。此時，選擇NAND格內之非選擇區塊即存儲單元單位MU0、MU1、MU3之字元線的電位全部形成讀出電壓Vread。所選擇之存儲單元單位MU2中，係對選擇字元線WL19賦予寫入電壓Vpgm，其他之非選擇字元線賦予旁路電壓Vpass。藉此，沿著字元線WL19，按照位元線BL所賦予之數據電壓，可得到寫入及寫入禁止之偏壓狀態。

即使依據此實施形態，亦不會增大消除區塊大小，可增加NAND之存儲單元數目，藉此，高耐壓電晶體之配置會變容易。即使EEPROM容量增大時，即使要求不要變更消除區塊大小，亦可能如願。

又，數據消除後之寫入動作時，於存儲單元單位之間所插入的區塊分離選擇電晶體與非選擇區塊(存儲單元單位)之字元線，係以賦予比旁路電壓Vpass還低之讀出電壓Vread的狀態，使非選擇區塊之通道區域與選擇區塊的通道區域分離。因此，不對非選擇區域之字元線賦予旁路電壓Vpass，可降低應力，並提高信賴性。

進一步在本實施形態中，於寫入動作中，為使所選擇之存儲單元單位MU2的寫入禁止之通道區域漏電流降低化，源極線SL之電位係形成Vcc。藉此，存儲單元單位MU3之通道區域充電至Vcc-Vth。如此一來，區塊分離選擇電晶體ST2發揮反向偏壓效果，可降低漏電流。同時，亦可減少加諸於區塊分離選擇電晶體之汲極/源極間電壓，亦可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

抑制電晶體ST2的擊穿現象。

第3之實施形態

圖14係表示改變存儲單元單位內之存儲單元電晶體的個數之第3實施形態構成。在本實施形態中，存儲單元單位MU0與MU1係分別由2個串聯連接之存儲單元電晶體所構成，MU2係以4個構成，MU3係以8個存儲單元電晶體所構成。

即使依本實施形態，亦不會增大消除區塊大小，並可增多NAND格之存儲單元數目，結果，很容易配置高耐壓電晶體。EEPROM容量增大時，即使要求不須變更消除區塊大小，亦可如願。

又，數據消除後之寫入動作時，存儲單元單位之間所插入的區塊分離選擇電晶體與非選擇區塊(存儲單元單位)的字元線，係以賦予比旁路電壓Vpass還低的讀出電壓Vread之狀態，使非選擇區塊之通道區域與選擇區塊之通道區域。因此，不須對非選擇區塊之字元線賦予旁路電壓Vpass，可降低應力，並可提高信賴性。

進一步，如在本實施形態中，若設置存儲單元數目相異之複數種存儲單元單位，可適當選擇數據重寫的大小。因此，適宜多樣的用途。

第4之實施形態

圖15係進一步表示藉存儲單元電晶體1個構成各存儲單元單位，使區塊分離選擇電晶體與存儲單元電晶體交互串聯連接之第4實施形態構成。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (23)

即使依本實施形態，亦不會增大消除區塊大小，並可增多 NAND 格之存儲單元數目，結果，高耐壓電晶體之配置變得更容易。又，EEPROM 容量增大時，即使要求不要消除區塊大小，亦可如願。

又，數據消除後之寫入動作時，於區塊分離選擇電晶體與非選擇區塊(存儲單元單位)的字元線，以賦予比旁路電壓 V_{pass} 還低的讀出電壓 V_{read} 之狀態，使非選擇區塊之通道區域與選擇區塊的通道區域分離，俾於 NAND 格區塊內設定消除單位而進行反覆數據重寫時，可降低應力，並提高信賴性。

進而，本實施形態時，因消除區塊大小變成與寫入頁的大小相同，在頁單位之數據重寫變成可能。

第5之實施形態

圖16係當第1之實施形態的存儲單元陣列構成時，使對列譯碼器之中的存儲單元單位 MU0 的字元線驅動電路 DRV0、與、對存儲單元單位 MU1 之字元線驅動電路 DRV1，分開成存儲單元陣列之字元線方向的兩端部而配置，即表示第5實施形態之構成圖。存儲單元單位數目多達4個以上時，以相同之方法，於鄰接之二個存儲單元單位使此等之字元線驅動電路分成左右，俾於存儲單元陣列之兩側配置字元線驅動電路。

於每一 NAND 格區塊使字元線驅動電路分開成左右之方法，已揭示於特願平6-198840號說明書(平成6年8月23日申請)或美國專利第5,517,457號說明書，美國專利第

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (24)

5,615,163號說明書。在本發明中，以NAND儲存內作為存儲單元單位而區塊化，故其每一區塊，如圖示般，藉由使字元線驅動電路分開而配置，與在每一NAND儲存使字元線驅動電路分開時比較，配置上之彈性可更提高，小型化設計成為可能。尤其，設計法則變小，在一個儲存單元單位之幅內不能配置字元線驅動電路之高耐壓電晶體時，很有效。

第6之實施形態

圖17係表示更進一步，有關每2個存儲單元單位，使字元線驅動電路DRV0、DRV1分開成左右配置之第6實施形態構成圖。與圖16所示之第5實施形態時比較，設計法則變得更小，在二個存儲單元單位之範圍內不能配置高耐壓電晶體時，只要形成如此之字元線驅動電路的配置即可。

在說明本發明之另一實施形態前，於圖15所示之第4實施形態中，考慮使區塊分離選擇電晶體ST0~ST6形成與存儲單元MC0~MC7相同的構造時之例子，其平面配置表示於圖20中，其圖20之A-A'斷面表示於圖21中。

此時之存儲單元大小的區塊分離選擇電晶體間之存儲單元數依存性表示於圖22中。此處，F為Feature size，亦即表示設計法則。又，在本例中，存儲大小係表示以16個存儲單元構成1個存儲單元單位。

在本例中，利用區塊分離選擇電晶體而區塊分割，與於習知NAND格之儲存中，減少選擇電晶體間之存儲單元數目時比較，可實現非常小之面積的存儲單元。例如，選擇

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

電晶體或區塊分離選擇電晶體間之存儲單元數目為1個時，可實現習知NAND格之儲存的約一半之單元大小。

但，使選擇電晶體間之存儲單元數目為16個時的單元大小作為100，若區塊分離選擇電晶體間之存儲單元數為1個，單元大小為219，約增大成2倍(參照圖22)。

使用圖23(a)、(b)、(c)而說明其理由。以習知型而且選擇電晶體間之存儲單元數很多時，若存儲單元1個之大小係於元件分離使用STI (Shallow Trench Isolation)，約可實現位元線節距 $2F \times$ 字元線節距 $2F=4F^2$ 的單元大小(參照圖23(a))。但，本發明之NAND儲存係約等於位元線節距 $2F \times$ 字元線節距 $4F=8F^2$ (參照圖23(b))。此係以圖23(c)表示，變成與AND型EEPROM之位元線節距 $4F \times$ 字元線節距 $2F=8F^2$ 約相同的存儲大小。又，此AND型EEPROM之斷面圖表示於圖24中。

此處，即使減少區塊分離選擇電晶體間的存儲單元數，以存儲單元大小不會增加的例作為本發明第7及第8實施形態而說明於以下。

第7之實施形態

此第7實施形態之NAND型EEPROM，係於圖11所示之第2實施形態的NAND型EEPROM中，將讀出、消除、寫入控制成如圖25、26、27所示般之構成。有關讀出、寫入，考慮字元線WL19被選擇時，基本的特徵係經常地區塊分離選擇電晶體之閘極電壓為各別的情形，控制成相等的電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (26)

亦即，讀出時係選擇閘極線STL0、STL1、STL2全部形成電壓Vread(參照圖25)。

又，消除時，選擇閘極線STL0、STL1、STL2全部形成 $\alpha \times V_{era}$ 浮動(圖25)。進而，寫入時，選擇閘極線STL0、STL1、STL2全部形成電壓Vread，選擇閘極線GSL形成Vss。選擇閘極線STL2即使為Vread，非選擇區塊之字元線WL24~WL31亦會變成Vread，故寫入禁止之NAND儲存內的區塊分離選擇電晶體ST2會截斷。

因此，此第7實施形態之NAND型EEPROM如圖28所示般，區塊分離選擇閘極線STL可共通。

第8之實施形態

本發明之第8實施形態係於圖15所示之第4實施形態中，讀出、消除、寫入之電壓條件如圖29、圖30、圖31般構成者。關於讀出、寫入，係表示字元線WL3被選擇之情形。

因此，與第7實施相同地，此第8之實施形態的構成亦如圖32所示般，可使區塊分離選擇閘極線STL共通。又，亦使位元線側之選擇閘極SSL亦形成共通時，第7之實施形態、第8之實施形態分別如圖33、圖34所示般構成亦有效。但，單元源極線側之選擇閘極GLS係當寫入時必須形成Vss，此係不能共通化。

又，在第7及第8之實施形態中，區塊分離選擇閘極線全部形成共通，但至少亦可使2個區塊分離選擇閘極線共通地連接。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (27)

其次，說明本發明之NAND型EEPROM的製造方法及製程的構成。最近提案出輔助平板技術，但只要將與此相同之製程利用於本發明的製造方法即可。

首先，說明有關使用所提案之輔助平板構成的導電體，而提高非寫入NAND列的通道電位，且，使寫入/消除/讀出的電壓降低的NAND型EEPROM。

有關此NAND型EEPROM係記載於文獻(J.D. Choi et al., "A Novel Booster Plate Technology in High Density NAND Flash Memories for Voltage Scaling-Down and Zero Program Disturbance," in Symp. VLSI Technology Dig. Tech. Papers, June 1996, pp. 238-239)。

圖35係表示一具有輔助平板之NAND型EEPROM構成的斜視圖，此NAND型EEPROM係如下般構成。如圖35所示般，基板70係藉由閘極絕緣膜71而形成浮動閘極72，在此浮動閘極72上藉由ONO膜73而形成控制閘極74。繼而，進一步於前述控制閘極74上係藉由平板氧化膜75而形成輔助平板76。

亦即，上述文獻之NAND型EEPROM係製作習知之NAND型EEPROM後，堆積平板氧化膜75即CVD氧化膜(SiO_2)與鎢多晶矽(Poly-Si與 WSi_x)，然後，使多晶矽層圖案化，形成一被覆各區塊之全存儲單元電晶體的輔助平板76者。

存儲單元之動作基本上約與習知之NAND型EEPROM相同，但，對輔助平板76當寫入時施加寫入電壓，又，消除時施加0V。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (28)

前述輔助平板有2個優點。其一係寫入時之容量偶合 γ 會變大。在無輔助平板之習知 NAND 型 EEPROM 中，容量偶合 γ 係表示為

$$\gamma = C_{cf} / (C_{fs} + C_{cf})$$

此處， C_{cf} 為控制閘極 (字元線) 74 與浮動閘極 72 間之容量， C_{fs} 為浮動閘極 72 與基板 70 間之容量。另外，加成輔助平板 76 時之容量偶合比 γ_b 係表示為

$$\gamma_b = (C_{cf} + C_{bf}) / (C_{fs} + C_{cf} + C_{bf})$$

亦可比無習知輔助平板時之 γ 還大。因此，可降低寫入時之寫入電壓。此處， C_{bf} 為輔助平板 76 與浮動閘極 72 間之容量。

又，消除時之容量偶合比因以 $(1 - \gamma_b)$ 表示，故可增大基板 70 與浮動閘極 72 間之電位差，比習知更高速之消除、或、降低消除電壓乃成為可能。又，藉 γ_b 變大，亦可降低在讀出時之旁路電晶體的施加電壓。

另一優點係控制閘極 (字元線) 74 與通道間之容量偶合比會變大。具輔助平板 76 時之容量偶合比 B_b 乃表示為

$$B_b = (C_{ox} + C_{boot}) / (C_{ox} + C_{boot} + C_j)$$

此處， C_{ox} 為控制閘極 (字元線) 74 與通道間之閘極容量的總和， C_{boot} 為輔助平板 76 與通道之間的閘極容量的總和， C_j 為單元電晶體之源極及汲極的接合容量之總和。因此，寫入時，即使不過度提高旁路電晶體之電壓，亦可提高寫入禁止之 NAND 列的通道電位，並可提高對誤寫入之容許極限。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (29)

只要將此輔助平板利用於區塊分離選擇線即可。

其次說明有關本發明之NAND型EEPROM的製造方法。圖36~50係表示本發明之NAND型EEPROM的製造步驟圖。圖36、39、42、45、48係在本發明之NAND型EEPROM製造步驟中的平面圖，圖37、40、43、46、49係沿著各別之製造步驟的平面圖中之X-X'斷面圖，圖38、41、44、47、50係沿著各別製造步驟的平面圖中之Y-Y'斷面圖。

如圖36~38所示般，於p形矽基板81上形成存儲單元n電井82，於此存儲單元n電井82內形成存儲單元p電井83。在此存儲單元p電井83上，形成場氧化膜(元件分離絕緣膜)84。以下表示NAND格的製造方法，即對以場氧化膜84所包圍之區域的NAND格，此處係由4個存儲單元電晶體與挾住其之2個選擇閘極電晶體所構成的。

於前述存儲單元p電井83上形成場氧化膜84後，如圖39~41所示般，使一由膜厚為5 nm~20 nm之熱氧化膜所構成的第1閘極絕緣膜85進行成膜。進而，於此第1閘極絕緣膜85上，使膜厚為1000 nm以上之第1多結晶矽膜或矽化物膜與多結晶矽膜之積層膜或金屬膜所構成的輔助平板86。

繼而，如圖40所示般，藉光蝕刻法形成一作為掩模材之矽氮化膜(SiN) 87，進而，於此矽氮化膜87的側面形成側壁88。接著，以此矽氮化膜87及側壁88作為光罩，而如圖43所示般，將前述第1閘極絕緣膜85及輔助平板86蝕刻

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (30)

加工成沿著控制閘極方向的線狀。

其次，如圖42~44般，使一由膜厚為5 nm~10 nm的熱氧化膜所構成的第2閘極絕緣膜89進行成膜。在此第2閘極絕緣膜89上，使浮動閘極90進行成膜，而該浮動閘極90係包括膜厚為1000 nm以上之第2多結晶矽膜或矽化物膜與多結晶矽膜之積層膜或金屬膜。進而，如圖44所示般，在控制閘極線方向之鄰接的場氧化膜84上形成浮動閘極90間之分離溝91。

其後，於前述浮游閘極90上，形成膜厚為15 nm~40 nm之第3閘極絕緣膜92。進而，於此第3閘極絕緣膜92上堆積一種膜93，其係包含膜厚為100 nm~400 nm之第3多結晶矽或矽化物膜與多結晶矽膜之積層體或金屬。

其次，如圖45~47所示般，以使互相鄰接之輔助平板86間及輔助平板86之上面的一部分上進行殘留的方式，上述膜93與游動電極90以自定位進行蝕刻加工。藉此，形成字元線(控制閘極)93、選擇閘極線93a及浮動閘極90。

然後，於NAND格之汲極部與源極部，藉離子注入以自定位形成 N^+ 層184。此時，NAND格之存儲單元電晶體間之汲極/源極區域係被輔助平板被覆，故不會形成 N^+ 層。

其次，如圖48~50所示般，全面堆積第4絕緣膜95，於此第4絕緣膜95開啓接觸孔96。進而，於此接觸孔96埋入鎢插塞97，配設一由連接於此鎢插塞97之鋁(Al)所構成的位元線98。而且，以保護膜99全面被覆。如上，可完成本發明之NAND型EEPROM。最後，使圖46、圖48之A、

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (31)

B、C所示之區塊分離選擇閘極線以其他之配線或同一配線進行結線，俾於存儲陣列端、或、子陣列端電氣共通。

如以上般，若依據本發明，可於1個NAND格區塊內設定複數的消除區塊，而可得到一NAND型EEPROM，其係不增加消除區塊大小，且可增加1個NAND儲存內的存儲單元之個數。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 非揮發性半導體記憶裝置)

本發明係關於一種使可電氣重寫之複數記憶格串聯連接而構成NAND格(memory cell storing)之非揮發性半導體記憶裝置(EEPROM)。

本發明係提供一種非揮發性半導體記憶裝置，其特徵在於包含：

第1之訊號線；

第2之訊號線；

於此等第1訊號線與第2訊號線之間使可電氣重寫之記憶格複數個串聯連接而構成之NAND格；

為使此NAND格分割成複數區塊，介於NAND格內之預定鄰接記憶格之間的區塊分離選擇電晶體。

英文發明摘要(發明之名稱: "不揮發性半導體記憶裝置")

この発明は、電氣的書き換え可能な複数のメモリセルを直列接続してNANDセル(メモリセルストリング)を構成してなる不揮發性半導体記憶装置(EEPROM)に関する。

第1の信号線と、

第2の信号線と、

これら第1の信号線と第2の信号線の間に電氣的書き換え可能なメモリセルを複數個直列接続して構成されたNANDセルと、

このNANDセルを複數ブロックに分割するためにNANDセル内の所定の隣接メモリセルの間に介在させたブロック分離選択トランジスタと、
を有することを特徴とする不揮發性半導体記憶装置を提供する。

六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵在於包含有：

第1之訊號線；

第2之訊號線；

使可於此等第1訊號線與第2訊號線之間使可電氣重寫的存儲單元複數個串聯連接所構成之NAND格；

為將此NAND格分割成複數區塊，介於NAND格內預定鄰接存儲單元之間的區塊分離選擇電晶體。

2. 根據申請專利範圍第1項之非揮發性半導體記憶裝置，其中前述複數區塊間至少2個以上區塊分離選擇電晶體的閘極乃共通連接。
3. 根據申請專利範圍第2項之非揮發性半導體記憶裝置，其中前述第1之訊號線為位元線，第2之訊號線為單元源極線。
4. 根據申請專利範圍第2項之非揮發性半導體記憶裝置，其中前述存儲單元係一種可電氣重寫的存儲單元，其係包括二層之堆棧構造，而堆棧構造具有：浮動閘極，及，於浮動閘極上介有絕緣膜所形成之控制閘極。
5. 一種非揮發性半導體記憶裝置，其特徵在於包含：

可藉字元線所選擇之電氣重寫的存儲單元乃於第1訊號線與第2訊號線之間分別藉由選擇電晶體而複數個串聯連接以構成NAND格，而複數之NAND格排列而成之存儲單元陣列；

藉位址進行前述存儲單元陣列之存儲單元選擇的位址譯碼器；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

讀出來自前述存儲單元陣列之讀出數據，具有一門鎖寫入於存儲單元陣列之數據功能的讀出放大電路；

可對前述存儲單元陣列進行數據寫入、消除及讀出之控制的控制電路；

其特徵在於：前述存儲單元陣列係藉由一介於各NAND格內預定鄰接存儲單元之間的區塊分離選擇電晶體，分割成複數存儲單元單位。

6. 根據申請專利範圍第5項之非揮發性半導體記憶裝置，其中前述位址譯碼器之中的字元線驅動電路，係於前述存儲單元陣列之字元線方向的兩端部，劃分成每1乃至2個之存儲單元單位而配置。
7. 根據申請專利範圍第5項之非揮發性半導體記憶裝置，其中前述存儲單元陣列係藉由一介於各NAND格內預定鄰接存儲單元之間的 2^n-1 (n ：正之整數)個區塊分離選擇電晶體，以分割成 2^n 個存儲單元單位。
8. 根據申請專利範圍第7項之非揮發性半導體記憶裝置，其中各存儲單元單位含有同數之存儲單元。
9. 根據申請專利範圍第7項之非揮發性半導體記憶裝置，其中各存儲單元單位含有不同數之存儲單元。
10. 根據申請專利範圍第5項之非揮發性半導體記憶裝置，其中前述存儲單元陣列在數據重寫時，選擇複數存儲單元單位之一個作為消除單位而消除數據，以沿著一條字元線之複數存儲單元的預定範圍作為1頁而進行數據寫入。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

11. 根據申請專利範圍第10項之非揮發性半導體記憶裝置，其中前述數據消除係藉由如下來進行：

對所選擇之存儲單元單位的全字元線賦予接地電位；

使分別連接於非選擇之存儲單元單位的全字元線、前述第1之訊號線側及第2訊號線側之選擇電晶體及前述區塊分離選擇電晶體的閘極之選擇閘極線形成浮動；且

於形成前述存儲單元陣列之基板區域賦予消除電壓。

12. 根據申請專利範圍第10項之非揮發性半導體記憶裝置，其中前述數據寫入係藉由如下來進行：

依照應寫入之數據"0"，"1"而對第1之訊號線賦予接地電位、電源電位；

對所選擇之存儲單元單位內的非選擇字元線賦予使存儲單元導通之旁路電壓；

使連接於非選擇之存儲單元單位的全字元線、及、非選擇之存儲單元單位與所選擇之存儲單元單位之間的區塊分離選擇電晶體的閘極之選擇閘極線，賦予比使存儲單元導通之前述旁路電壓還低的讀出電壓；

對所選擇之存儲單元單位內的選擇字元線賦予比前述旁路電壓還高的寫入電壓。

13. 一種非揮發性半導體記憶裝置，其特徵在於包含：

可藉分別相異之字元線所選擇之電氣重寫的複數存儲單元串聯連接於位元線以構成NAND格，併排於字元線方向之複數NAND格構成NAND格區塊，且藉由介於各NAND格預定鄰接存儲單元之間的區塊分離選擇電晶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

體，前述NAND格區塊分割成複數存儲單元單位之存儲單元陣列；

藉位址進行前述存儲單元陣列之存儲單元選擇的位址譯碼器；

讀出來自前述存儲單元陣列之讀出數據，具有一門鎖寫入於存儲單元陣列之數據功能的讀出放大電路；

選擇複數存儲單元單位之一個作為消除單位而全部消除其存儲單元單位內之數據，以沿著一根字元線之複數存儲單元的預定範圍作為1頁而進行數據寫入之數據重寫裝置。

14. 一種非揮發性半導體記憶裝置，其特徵在於包含：

第1及第2之訊號線；

第1及第2之選擇電晶體；

分別乃使可電氣重寫的存儲單元複數個串聯連接所構成之第1乃至第 n ($n \leq 3$)之NAND格區塊；

第1乃至第 $(n-1)$ 之區塊分離選擇電晶體；

前述第1之選擇電晶體連接於前述第1之訊號線，

前述第1之NAND格區塊連接於前述第1之選擇電晶體，

第 i 之區塊分離選擇電晶體連接於第 i ($1 \leq i \leq n-1$)之NAND格區塊，

前述第 $(i+1)$ 之NAND格區塊連接於第 i ($1 \leq i \leq n-1$)之區塊分離選擇電晶體，

第2之選擇電晶體連接於第 n 之NAND格區塊，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

第2之訊號線連接於第2之選擇電晶體，

第1乃至第n之區塊分離選擇電晶體中，至少2個區塊分離選擇電晶體的閘極乃共通連接。

15. 根據申請專利範圍第14項之非揮發性半導體記憶裝置，其中前述第1及第2之選擇電晶體的閘極，係由多結晶矽、多結晶矽與矽化物之積層體、或金屬電極所構成，

第1乃至第(n-1)之區塊分離選擇電晶體的閘極，係由多結晶矽、多結晶矽與矽化物之積層體、或金屬電極所構成。

16. 根據申請專利範圍第14項之非揮發性半導體記憶裝置，其中前述第1乃至第(n-1)之區塊分離選擇電晶體的閘極，係分別常被控制於相等之電壓。

17. 根據申請專利範圍第16項之非揮發性半導體記憶裝置，其中數據寫入時，對前述第1之選擇電晶體及第1乃至第(n-1)之區塊分離選擇電晶體的閘極，係施加電源電壓Vcc或其以上之讀出電壓Vread，

對前述第2之選擇電晶體的閘極，係施加接地電壓Vss。

18. 根據申請專利範圍第14項之非揮發性半導體記憶裝置，其中前述第1訊號線為位元線，第2訊號線為單元源極線。

19. 根據申請專利範圍第14項之非揮發性半導體記憶裝置，其中前述存儲單元係由二層之堆棧構造所構成的可電氣重寫的存儲單元，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

而二層之堆棧構造乃具有浮動閘極，與，於浮動閘極上藉由絕緣膜所形成之控制閘極。

20. 一種非揮發性半導體記憶裝置，其特徵在於包含：

第1及第2之訊號線；

第1及第2之選擇電晶體；

可分別電氣重寫的第1乃至第n之存儲單元；

第1乃至第(n-1)之區塊分離選擇電晶體；

前述第1之選擇電晶體連接於前述第1之訊號線，

前述第1之存儲單元連接於前述第1之選擇電晶體，

第i之區塊分離選擇電晶體連接於第i ($1 \leq i \leq n-1$)之存儲單元，

前述第(i+1)之存儲單元連接於第i ($1 \leq i \leq n-1$)之區塊分離選擇電晶體，

第2之選擇電晶體連接於第n之存儲單元，

第2之訊號線連接於第2之選擇電晶體，

第1乃至第n之區塊分離選擇電晶體中，至少2個區塊分離選擇電晶體的閘極乃共通連接。

21. 根據申請專利範圍第20項之非揮發性半導體記憶裝置，其中前述第1及第2之選擇電晶體的閘極，係由多結晶矽、多結晶矽與矽化物之積層體、或金屬電極所構成，

第1乃至第(n-1)之區塊分離選擇電晶體的閘極，係由多結晶矽、多結晶矽與矽化物之積層體、或金屬電極所構成。

22. 根據申請專利範圍第21項之非揮發性半導體記憶裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

其中前述第1乃至第(n-1)之區塊分離選擇電晶體的閘極，係分別常被控制於且相等之電壓。

23. 根據申請專利範圍第22項之非揮發性半導體記憶裝置，其中數據寫入時，對前述第1之選擇電晶體及第1乃至第(n-1)之區塊分離選擇電晶體的閘極，係施加電源電壓Vcc或其以上之讀出電壓Vread，

對前述第2之選擇電晶體的閘極，係施加接地電壓Vss。

24. 根據申請專利範圍第20項之非揮發性半導體記憶裝置，其中前述第1訊號線為位元線，第2訊號線為單元源極線。

25. 根據申請專利範圍第20項之非揮發性半導體記憶裝置，其中前述存儲單元係由二層之堆棧構造所構成的可電氣重寫的存儲單元，

而二層之堆棧構造乃具有浮動閘極，與，於浮動閘極上藉由絕緣膜所形成之控制閘極。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

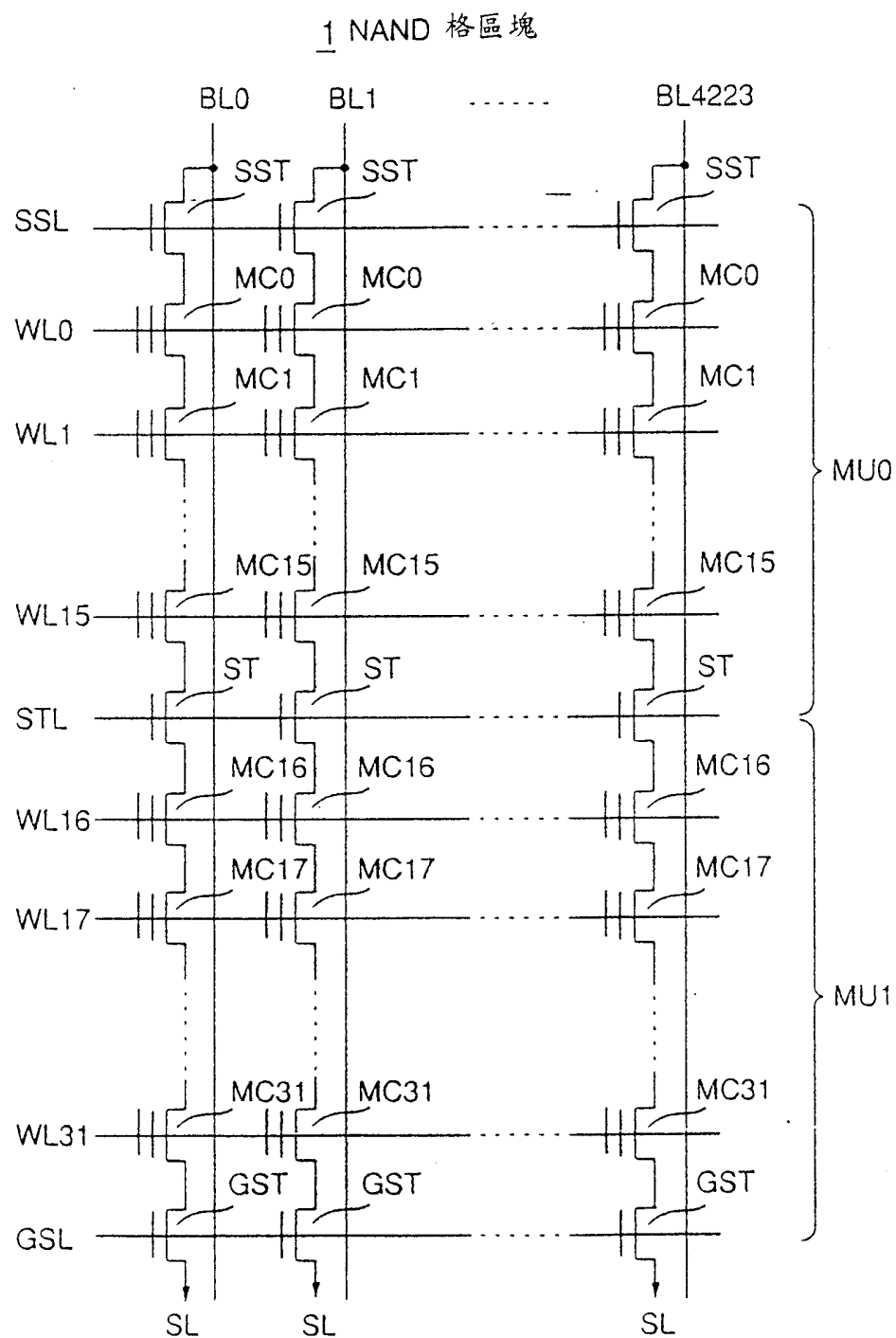
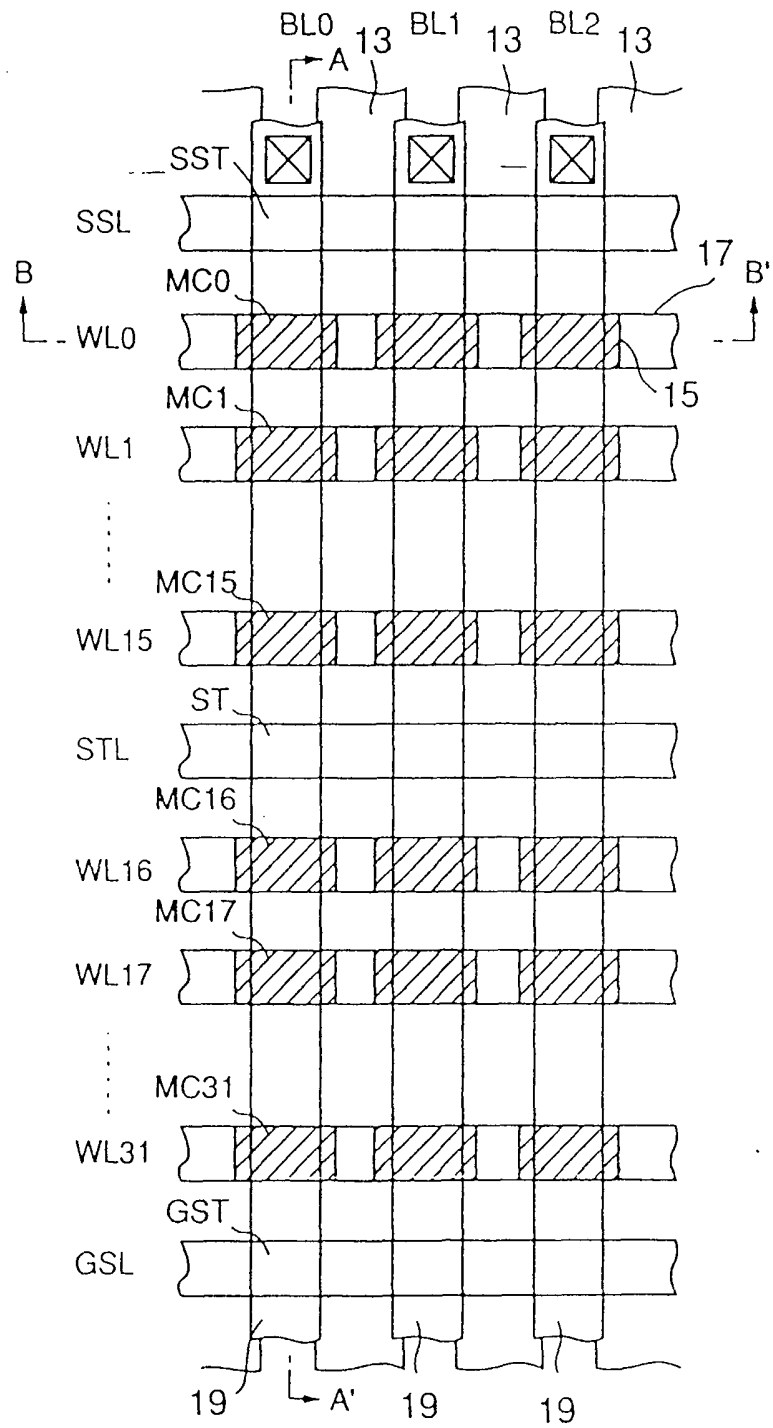
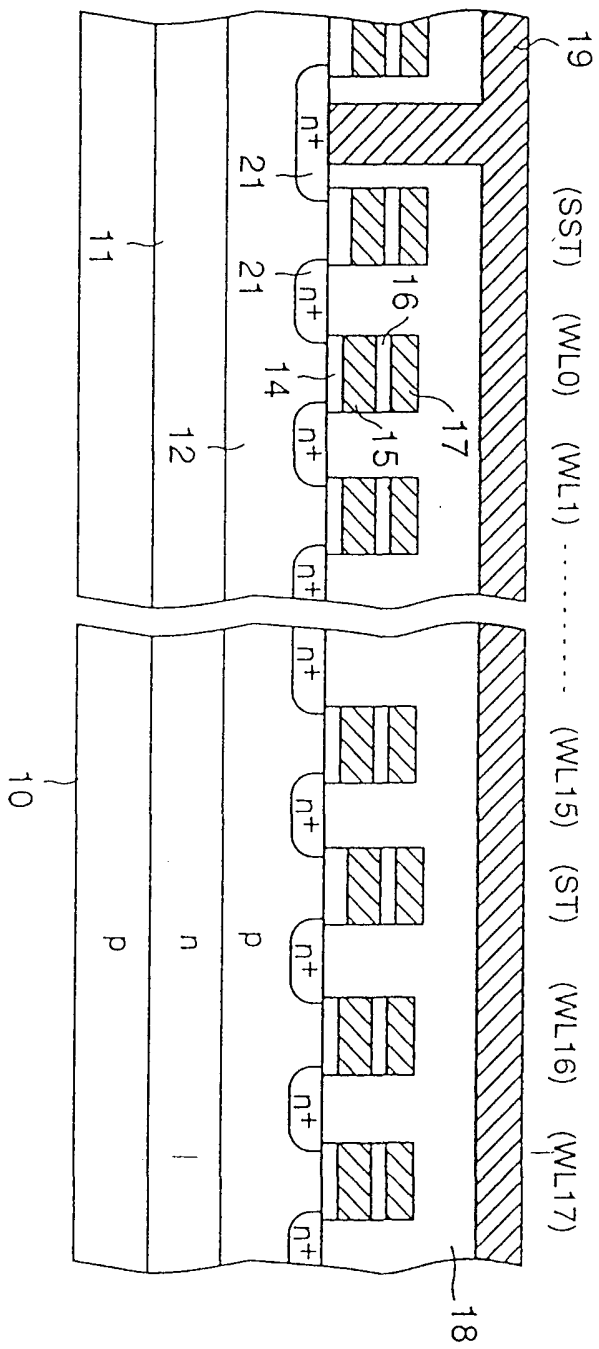
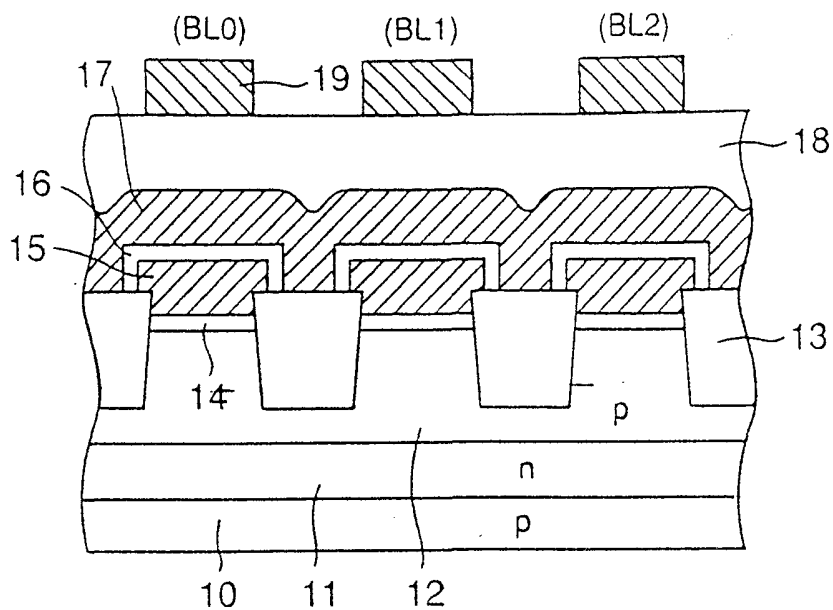


圖 1







B-B'斷面

圖 4

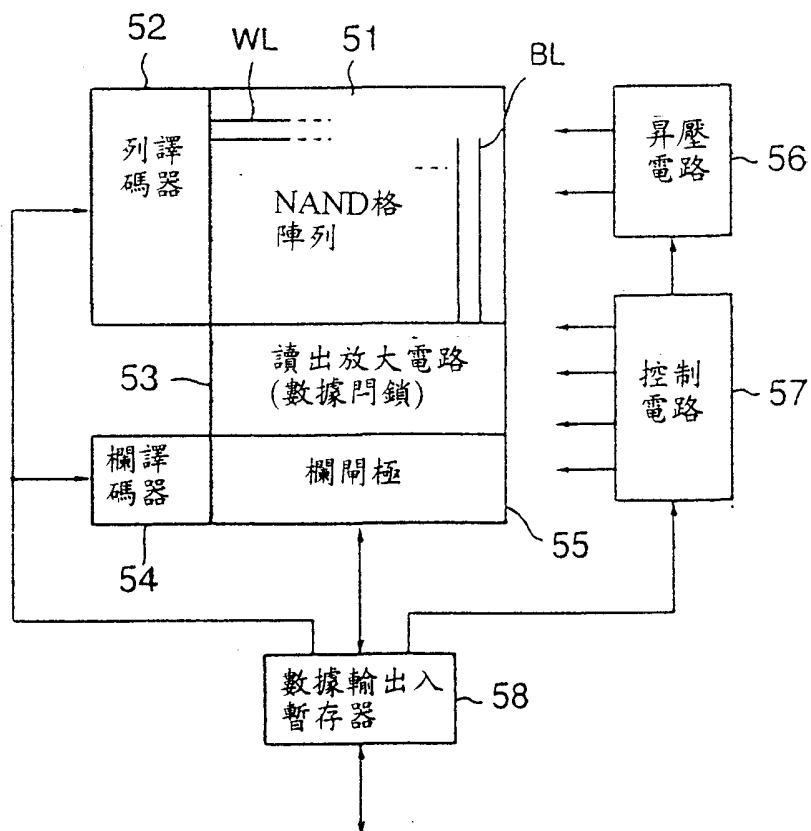


圖 5

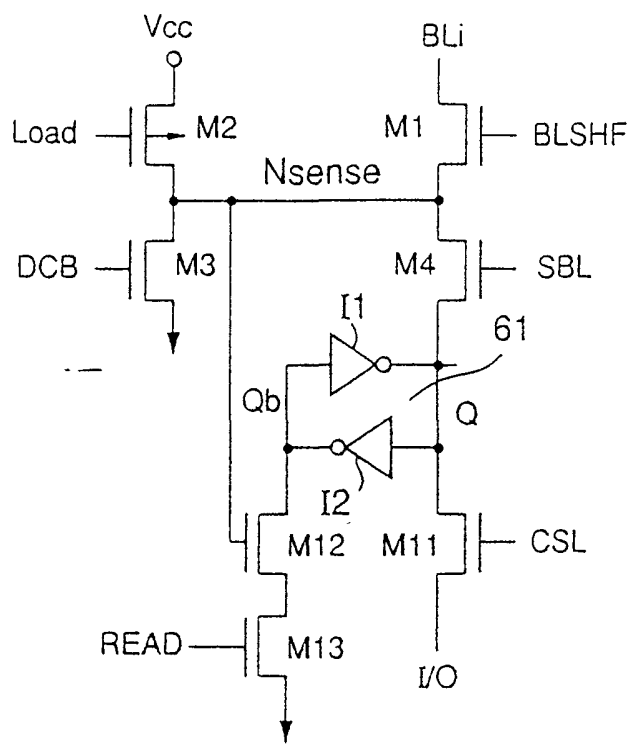


圖 6

[數據消除]

	電位
SSL	$\alpha \times V_{era}$ 浮動
非選擇區塊 WL0~WL15	$\alpha \times V_{era}$ 浮動
STL	$\alpha \times V_{era}$ 浮動
選擇區塊 WL16~WL31	Vss
GSL	$\alpha \times V_{era}$ 浮動
BL0,BL1	Vera-Vf
SL	Vera-Vf
p電井	Vera

圖 7

[數據寫入]

	電位
SSL	Vread
非選擇區塊 WL0~WL15	Vread
STL	Vread
選擇區塊內非選擇字元線 WL16,WL18~WL31	Vpass
選擇區塊內選擇字元線 WL17	Vpgm
GSL	Vss
"0"寫入位元線BL0	Vss
"1"寫入位元線BL1	Vcc
SL	Vcc
p電井	Vss

圖 8

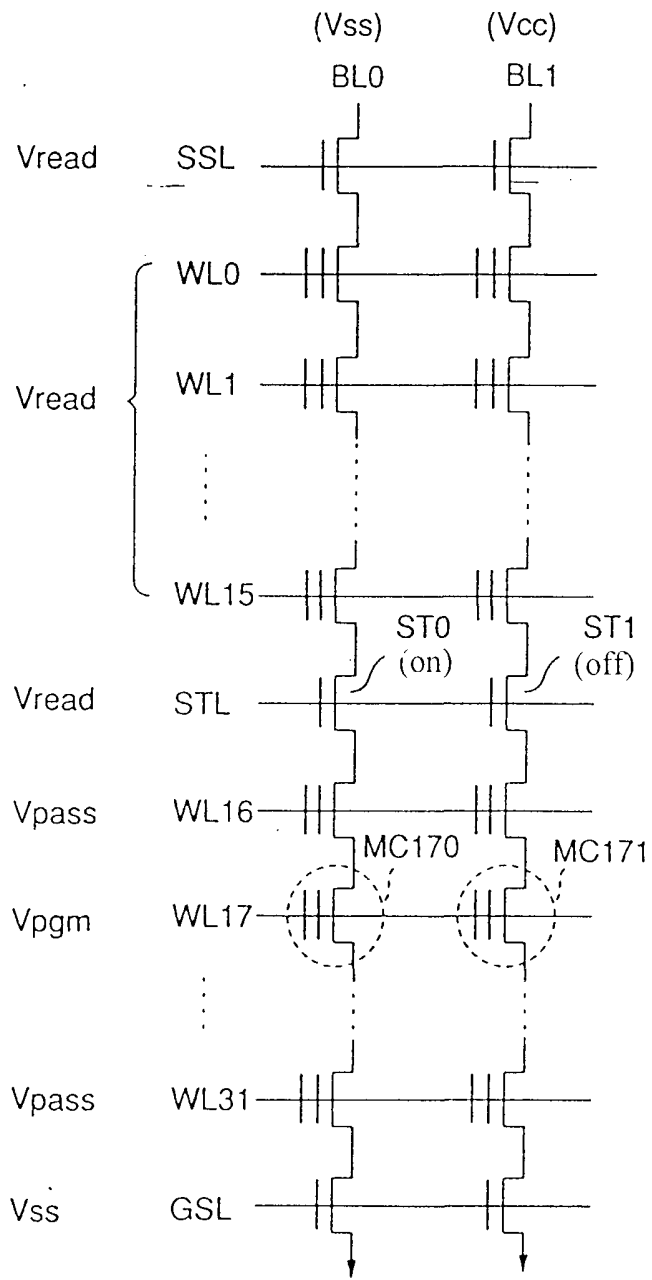


圖 9

[數據讀出]

	電位
SSL	Vread
非選擇區塊 WL0~WL15	Vread
STL	Vread
選擇區塊內非選擇字元線 WL16~WL18,WL20~WL31	Vread
選擇區塊內選擇字元線 WL19	Vss
GSL	Vread
"0"讀出位元線BL0	Vbl→Vbl
"1"讀出位元線BL1	Vbl→Vss
SL	Vss
p電井	Vss

圖 10

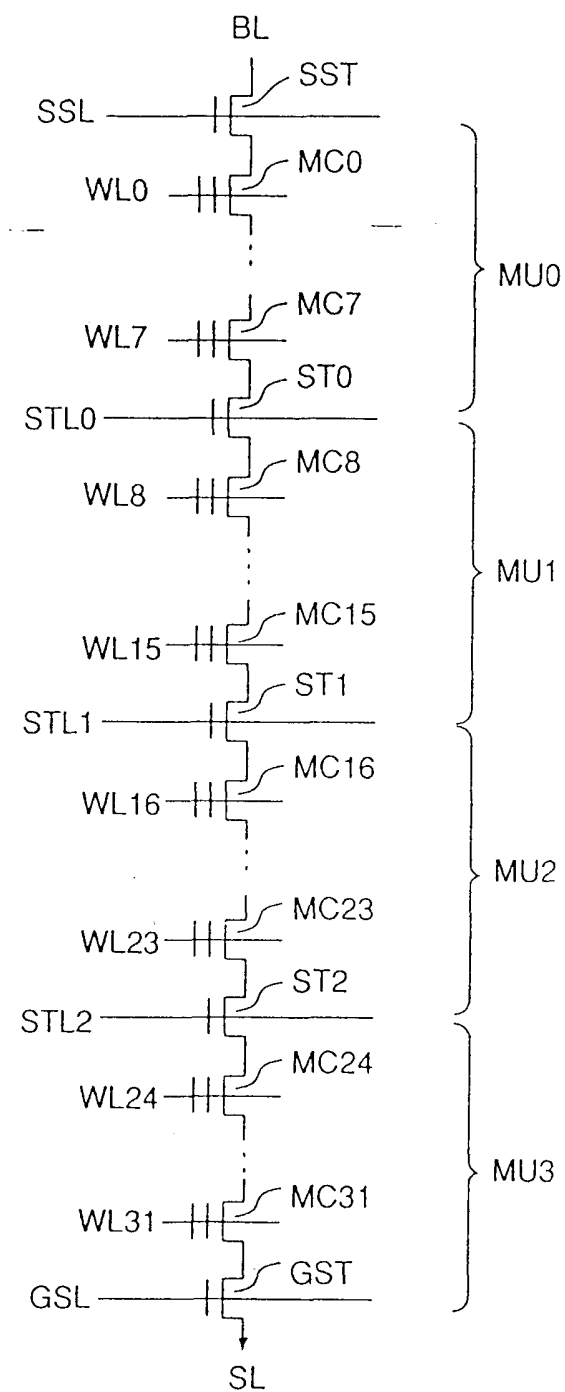


圖 11

[數據消除]

	電位
SSL	α xVera 浮動
非選擇區塊 WL0~WL7 WL8~WL15 WL24~WL31	α xVera 浮動
STL0,STL1,STL2	α xVera 浮動
GSL	α xVera 浮動
BL	Vera-Vf
SL	Vera-Vf
選擇區塊 WL16~WL23	Vss
p電井	Vera

圖 12

[數據寫入]

	電位
SSL	Vread
非選擇區塊之字元線 WL0~WL7 WL8~WL15 WL24~WL31	Vread
STL0, STL1	Vread
選擇區塊內非選擇字元線 WL16~WL18, WL20~WL23	Vpass
選擇區塊內選擇字元線 WL19	Vpgm
STL2	Vss
GSL	Vread
SL	Vcc
p電井	Vss

圖 13

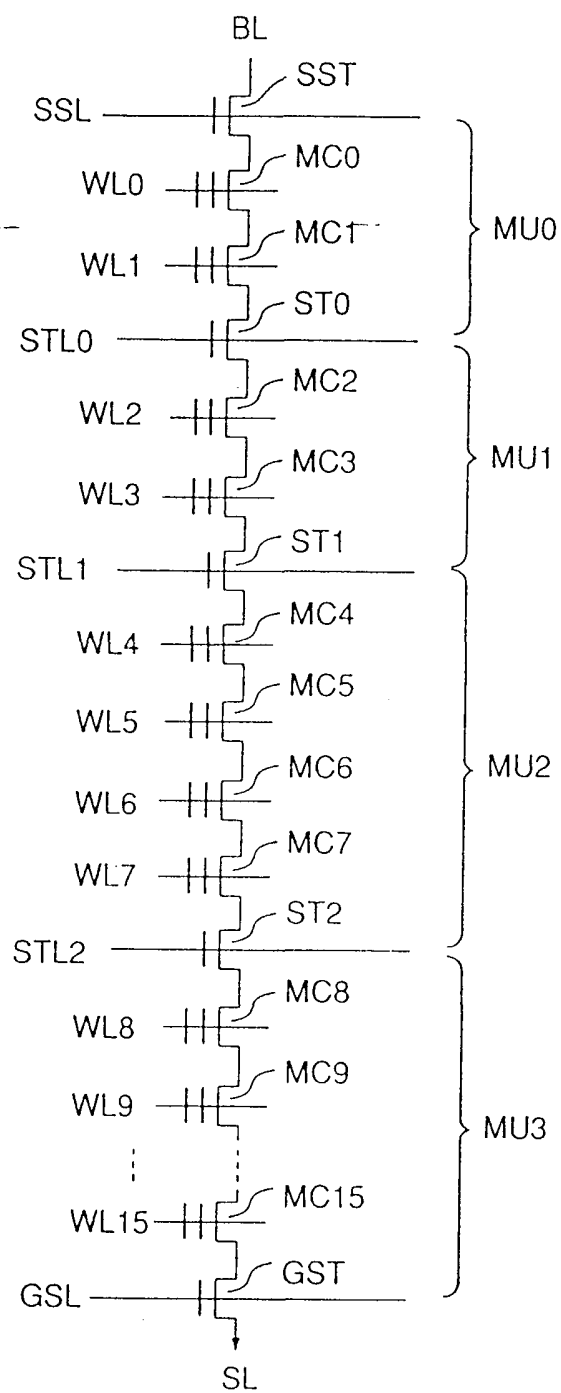


圖 14

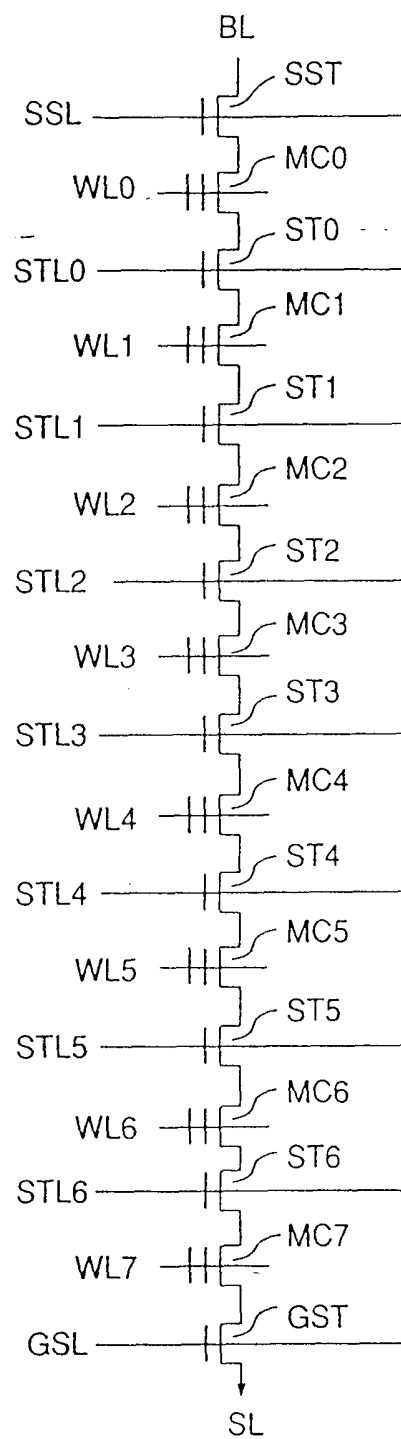


圖 15

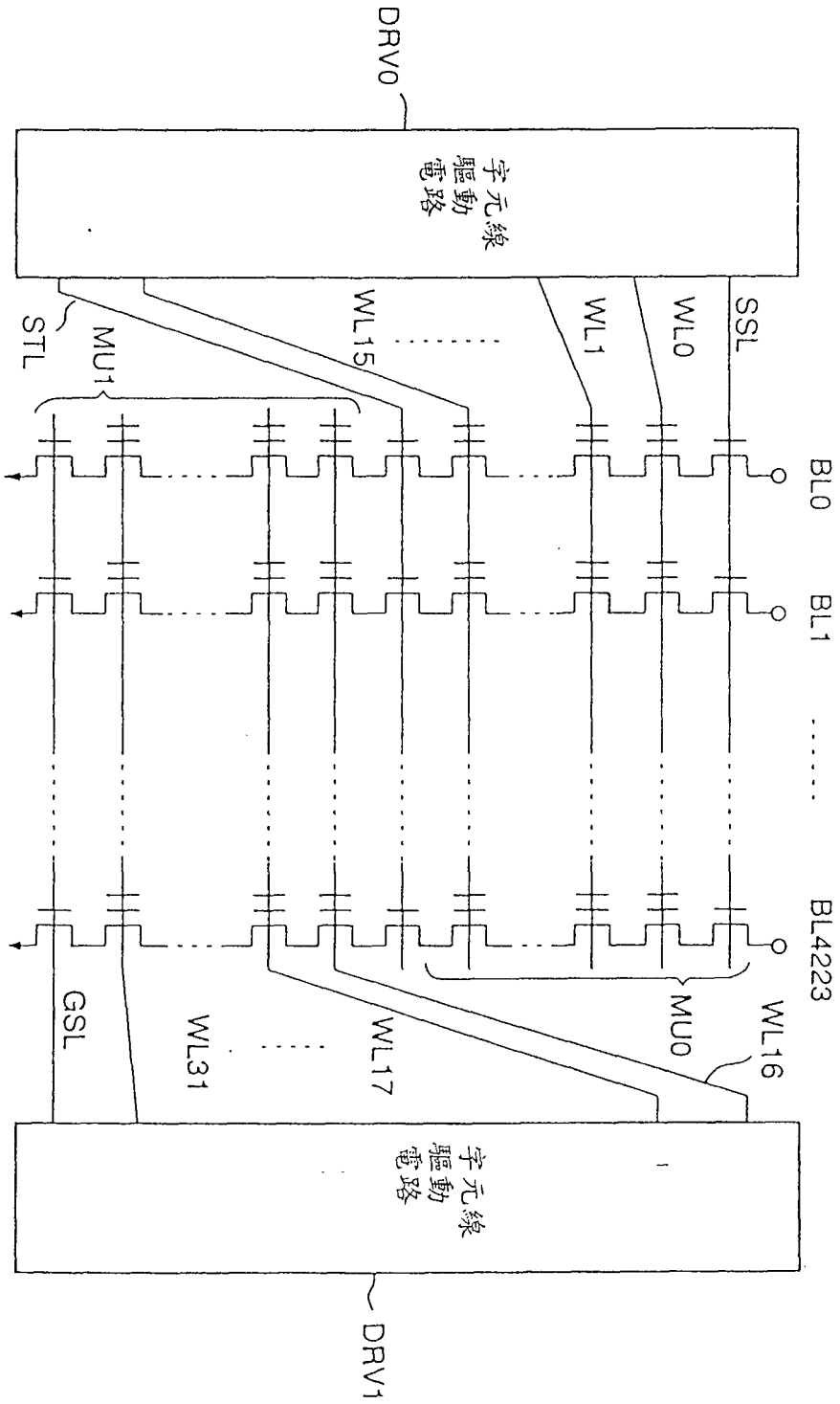


圖 16

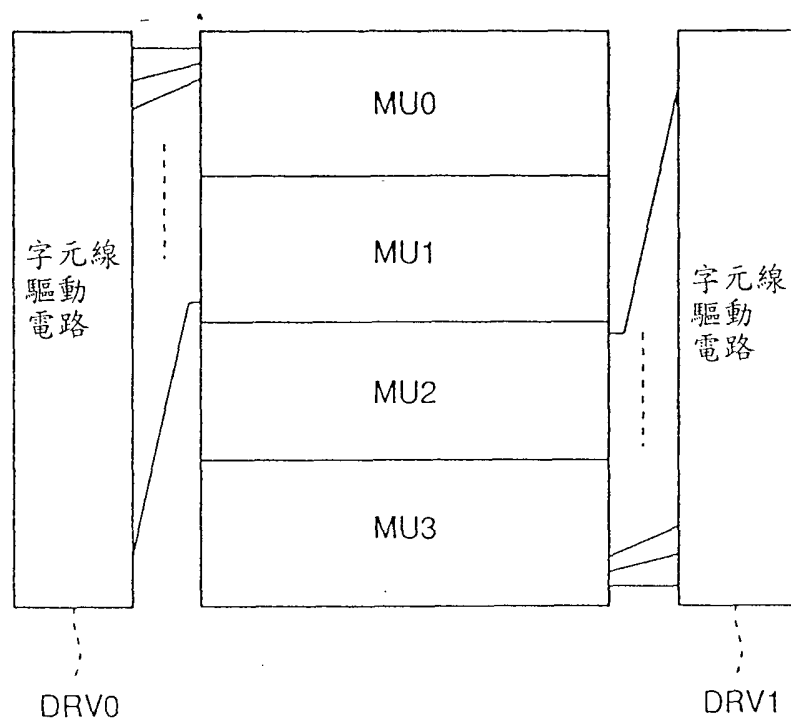


圖 17

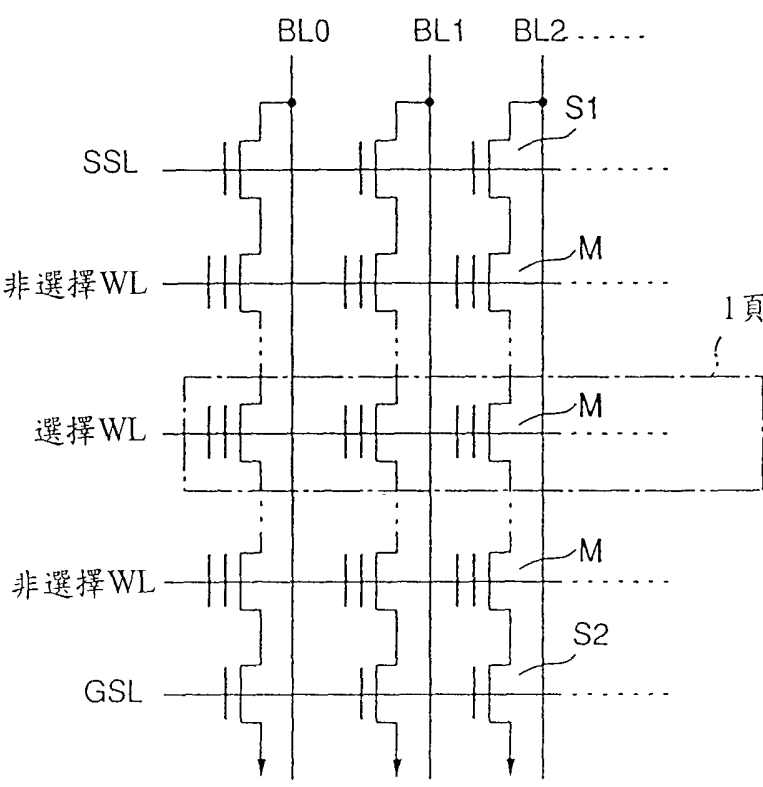


圖 18

	消去	讀出	寫入
選擇WL	0	0	Vpgm
非選擇WL	F	Vread	Vpass
SSL	F	Vread	Vcc
GSL	F	Vread	0
"0"BL	F	1.5	0
"1"BL	F	0.7	Vcc
p電井	Vera	0	0

注) 消除時，選擇WL表示選擇區塊內之字元線，非選擇WL表示非選擇區塊內之字元線。

圖 19

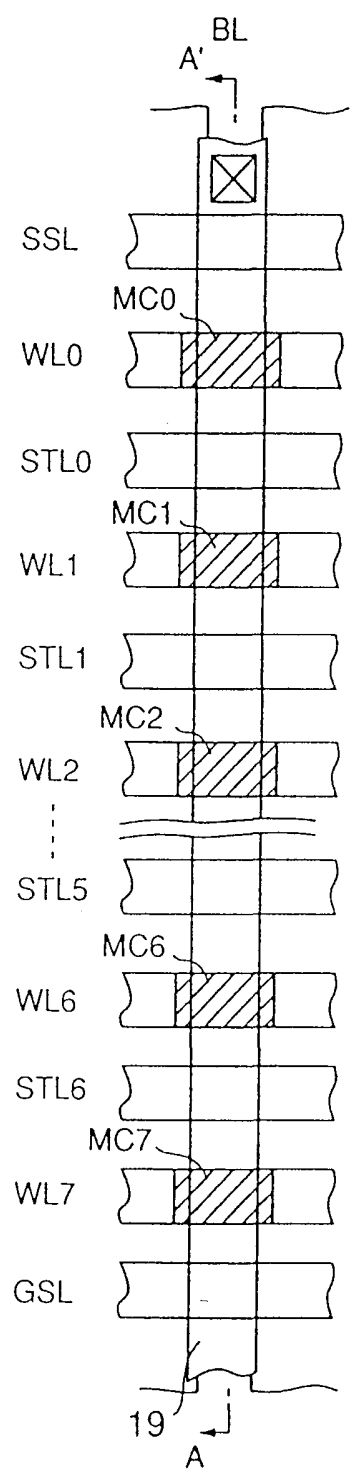
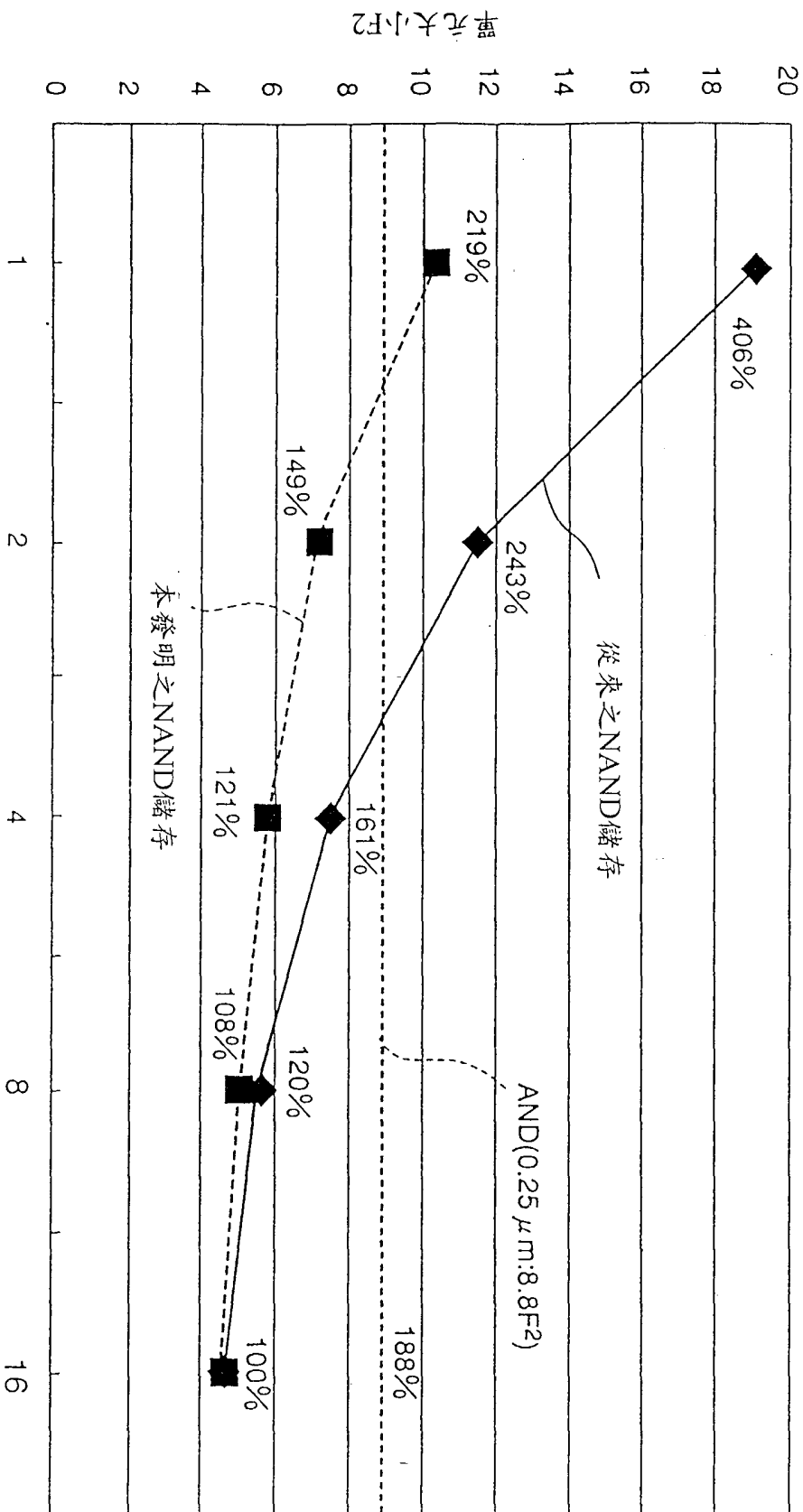


圖 20



選擇電晶體間之存儲單元數

圖 22

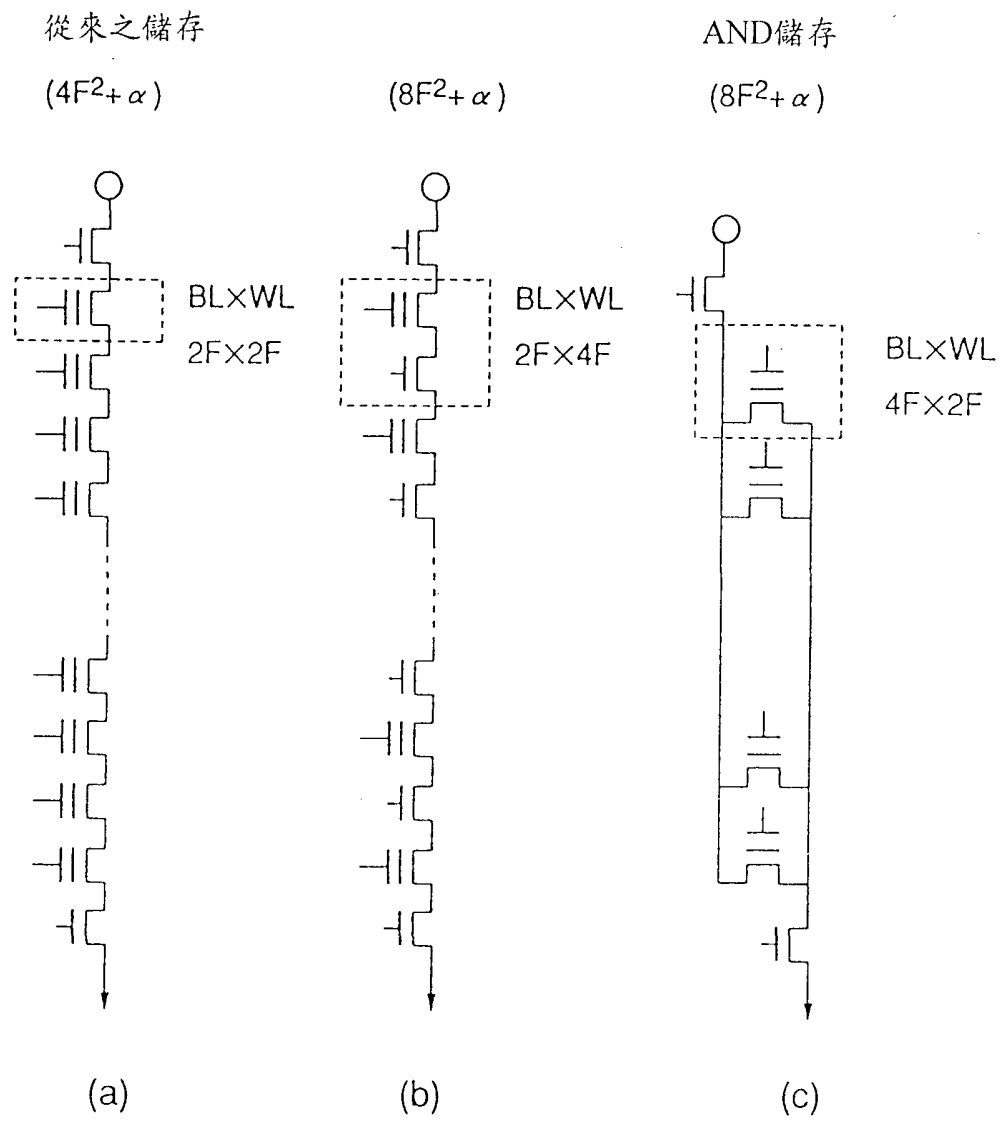


圖 23

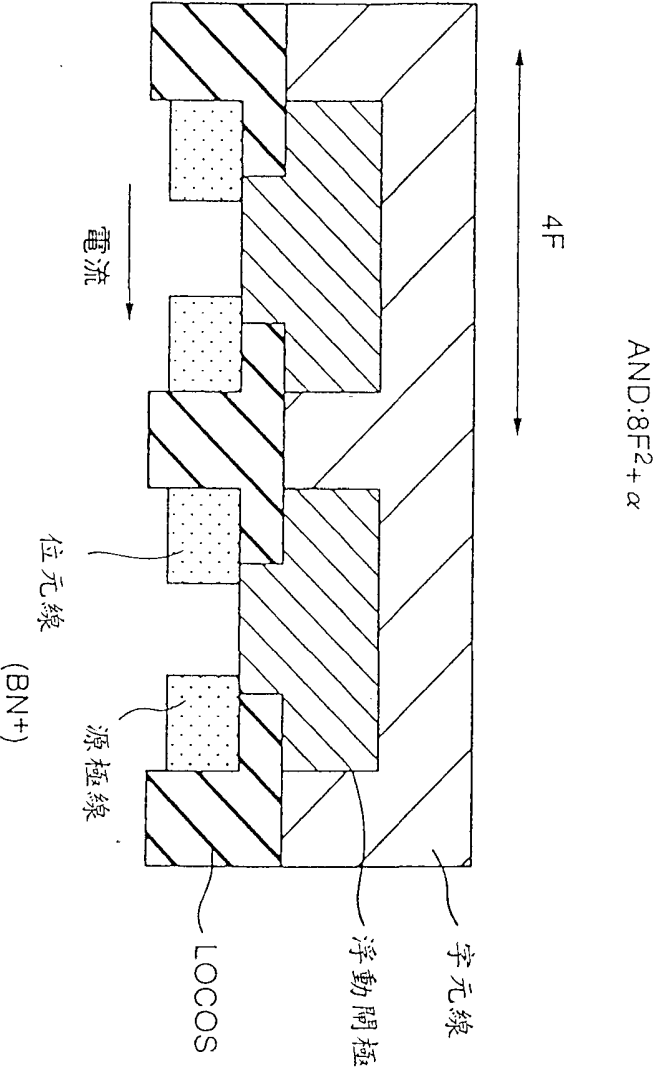


圖 24

[數據讀出]

	電位
SSL	Vread
非選擇區塊 WL0~WL15,WL24~WL31	Vread
STL0,STL1,STL2	Vread
選擇區塊內非選擇字元線 WL16~WL18,WL20~WL23	Vread
選擇區塊內選擇字元線 WL19	Vss
GSL	Vread
"0"讀出位元線BL0	Vbl→Vbl
"1"讀出位元線BL1	Vbl→Vss
SL	Vss
p電井	Vss

圖 25

[數據消除]

	電位
SSL	α xVera 浮動
非選擇區塊 WL0~WL7 WL8~WL15 WL24~WL31	α xVera 浮動
STL0,STL1,STL2	α xVera 浮動
GSL	α xVera 浮動
BL	Vera-Vf
SL	Vera-Vf
選擇區塊 WL16~WL23	Vss
p電井	Vera

圖 26

[數據寫入]

	電位
SSL	Vread
非選擇區塊之字元線 WL0~WL7 WL8~WL15 WL24~WL31	Vread
STL0,STL1,STL2	Vread
選擇區塊內非選擇字元線 WL16~WL18,WL20~WL23	Vpass
選擇區塊內選擇字元線 WL19	Vpgm
GSL	Vss
SL	Vcc
p電井	Vss

圖 27

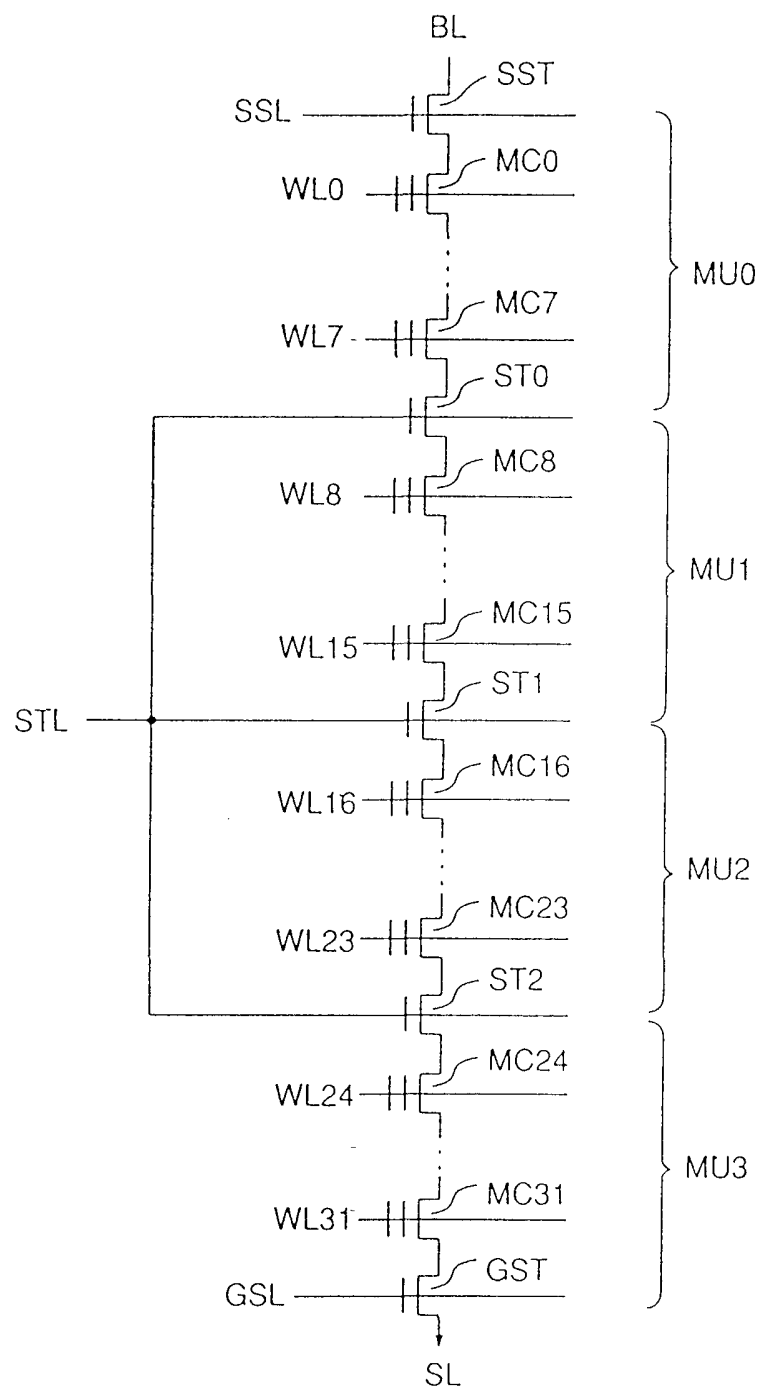


圖 28

[數據讀出]

	電位
SSL	Vread
非選擇區塊 WL0~WL2,WL4~WL7	Vread
STL0~STL6	Vread
選擇區塊內選擇字元線 WL3	Vss
GSL	Vread
"0"讀出位元線BL0	Vbl→Vbl
"1"讀出位元線BL1	Vbl→Vss
SL	Vss
p電井	Vss

圖 29

[數據消除]

	電位
SSL	α xVera 浮動
非選擇區塊 WL0~WL2 WL4~WL7	α xVera 浮動
STL0,STL1,STL2~STL6	α xVera 浮動
GSL	α xVera 浮動
BL	Vera-Vf
SL	Vera-Vf
選擇區塊 WL16~WL23	Vss
p電井	Vera

圖 - 30

[數據寫入]

	電位
SSL	Vread
非選擇區塊之字元線 WL0~WL2 WL4~WL7	Vread
STL0,STL1~STL6	Vread
選擇區塊內選擇字元線 WL3	Vpgm
GSL	Vss
SL	Vcc
p電井	Vss

圖 31

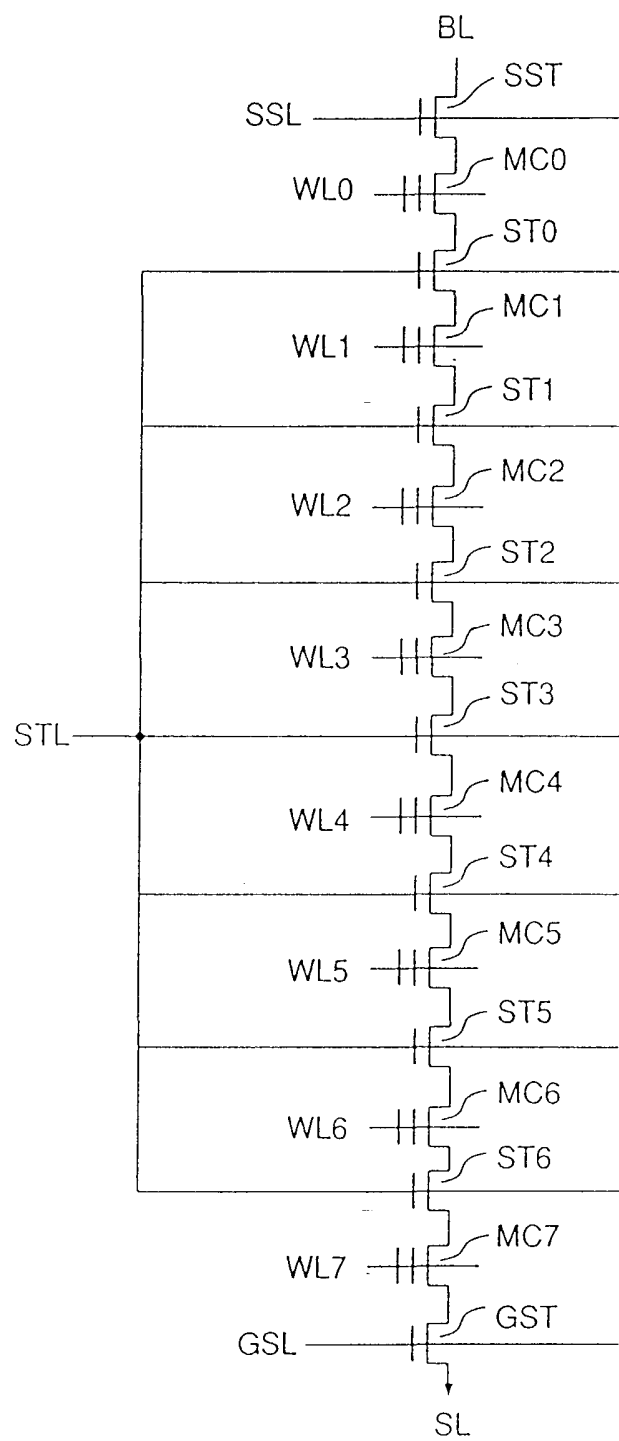


圖 32

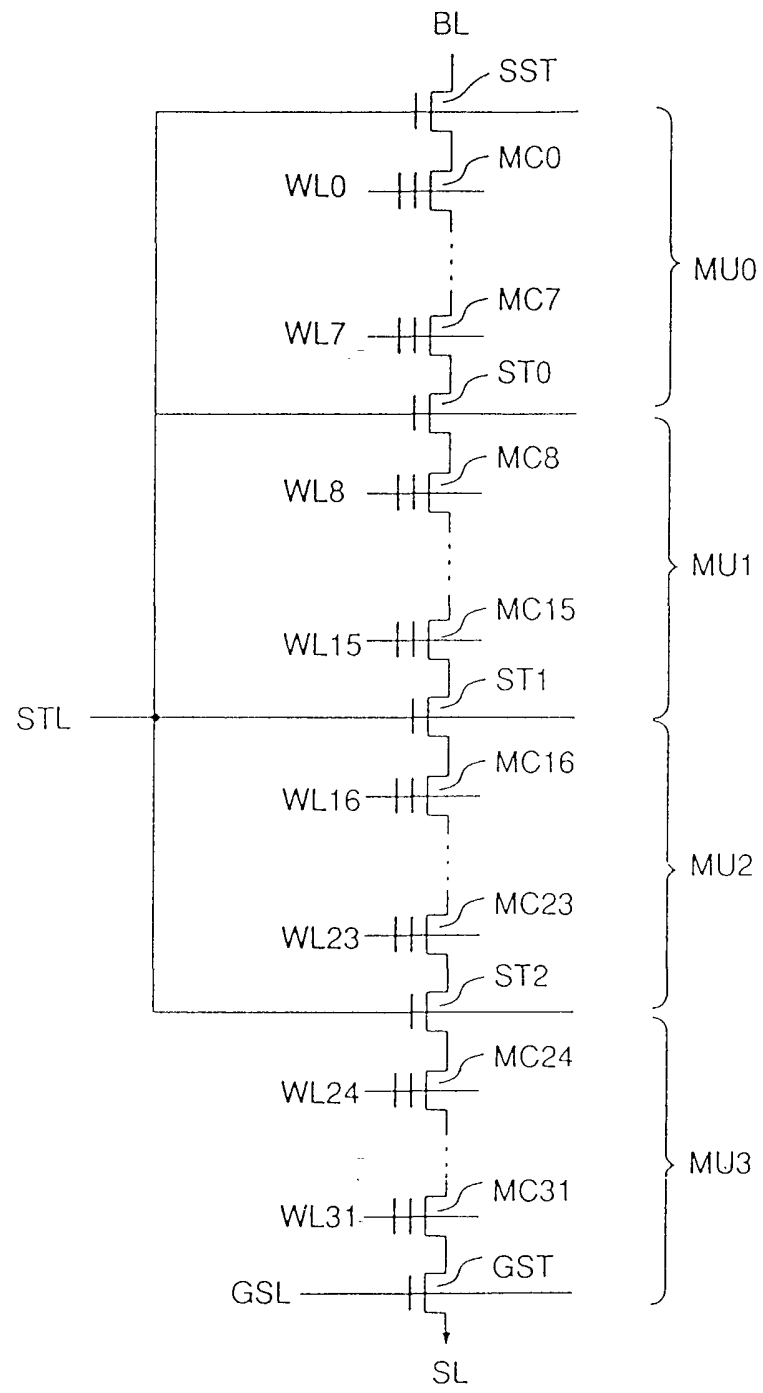


圖 33

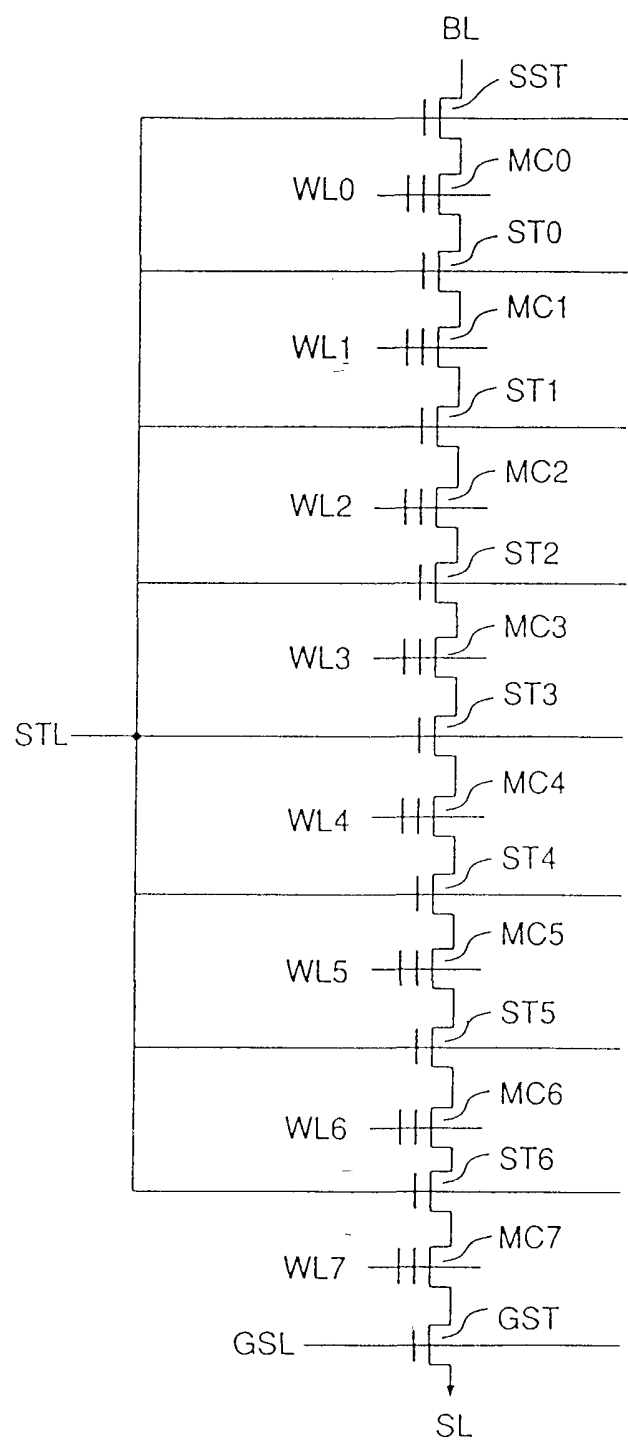


圖 34

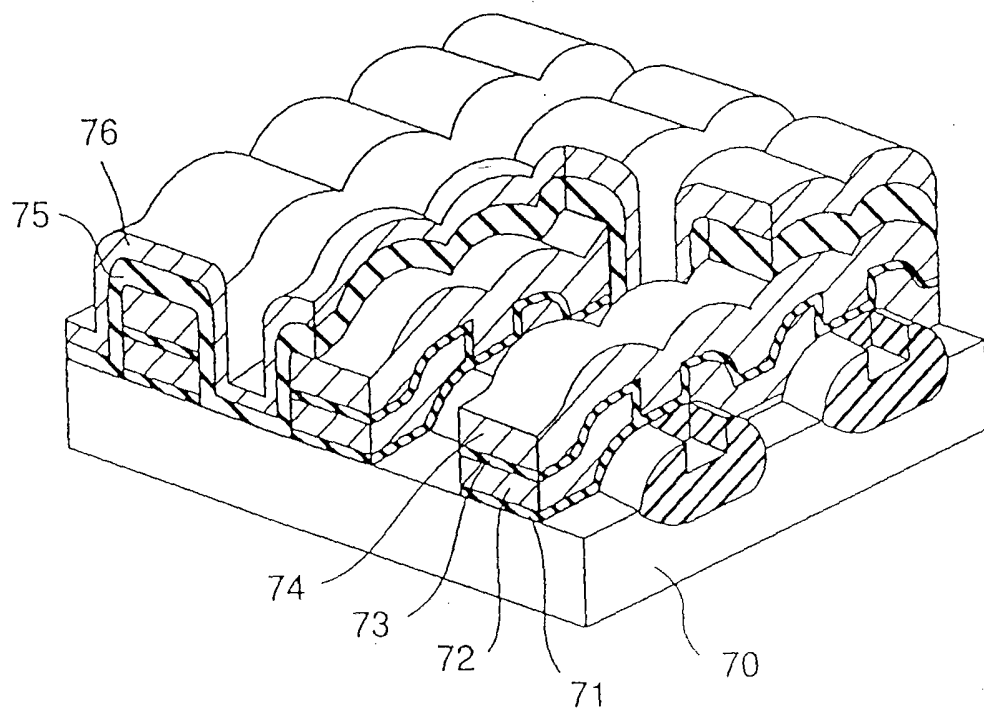
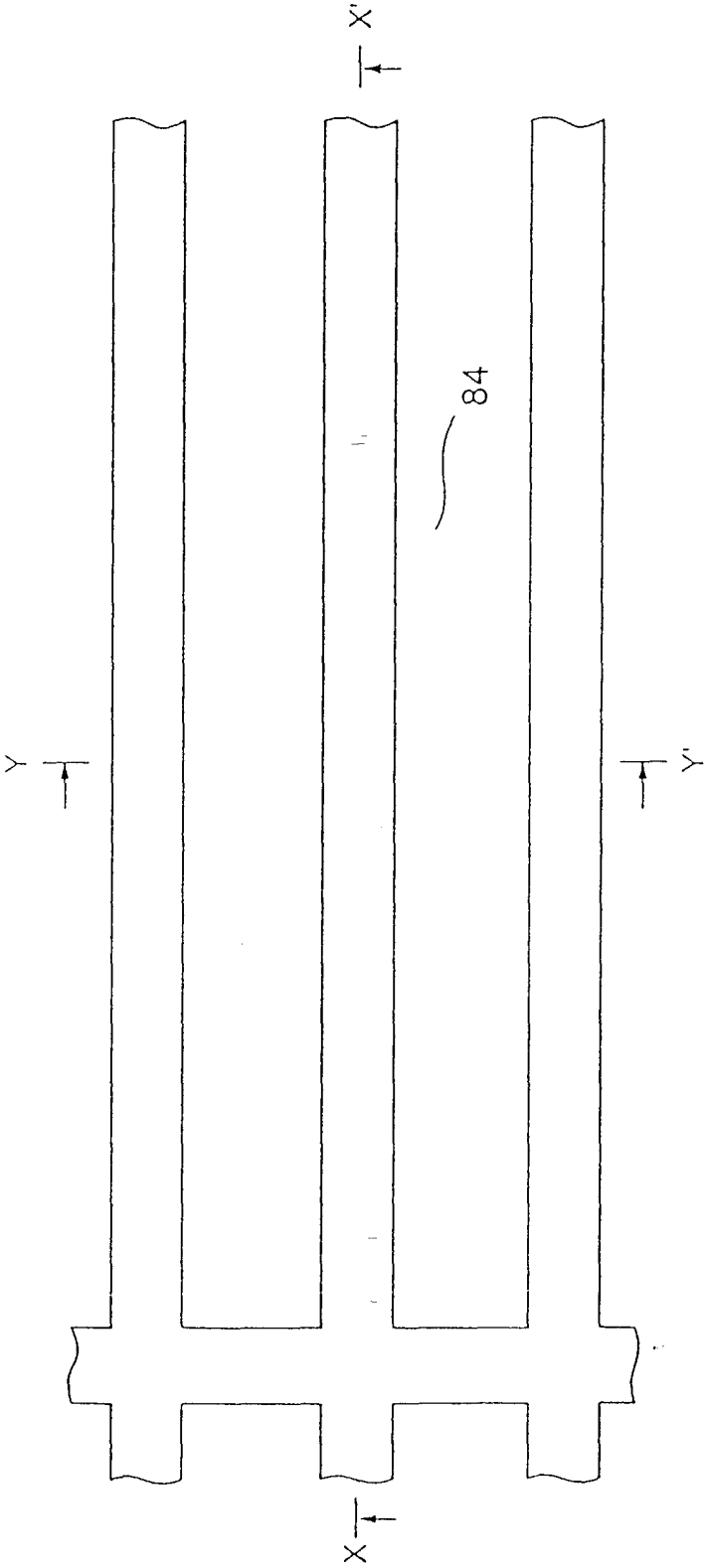


圖 35



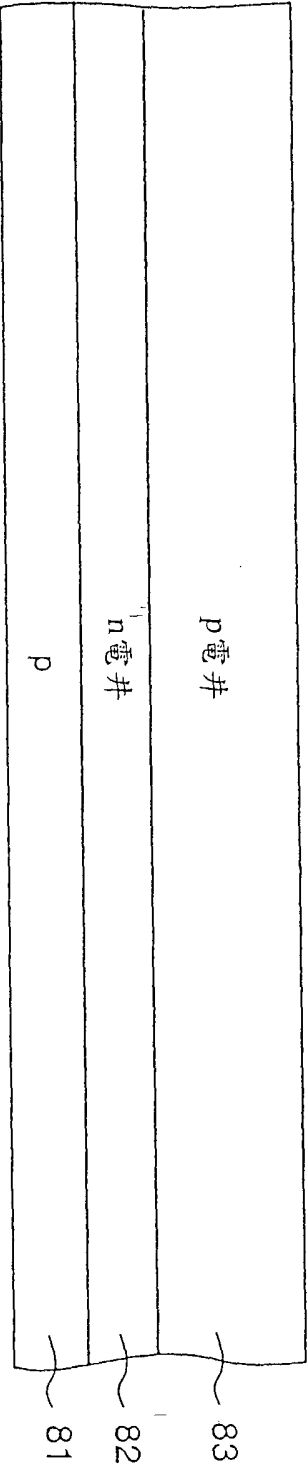
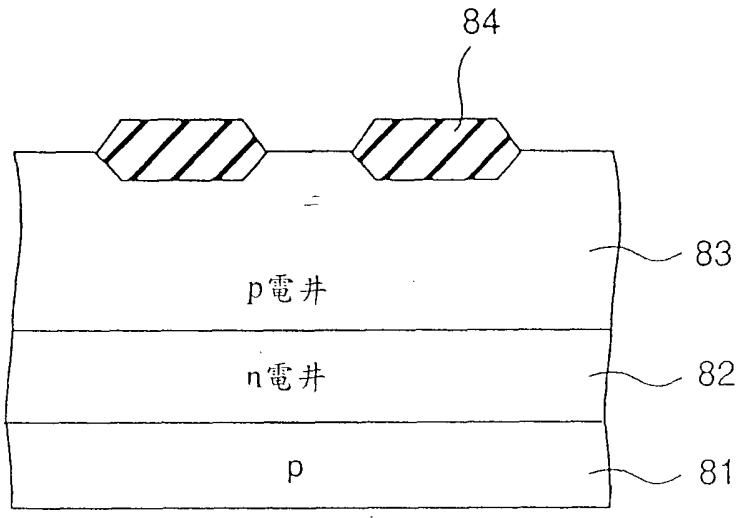
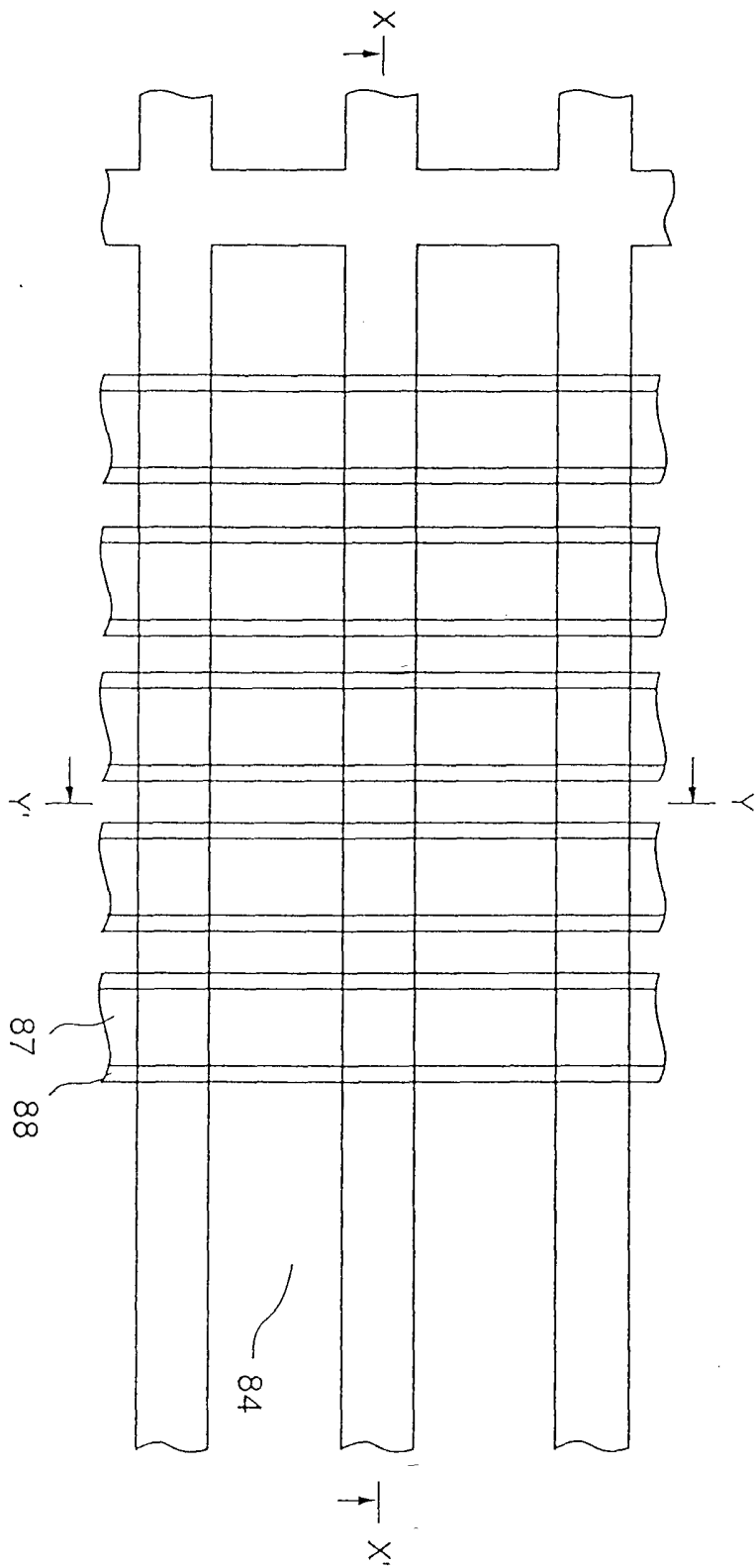


圖 37



Y-Y'断面

圖 38



39

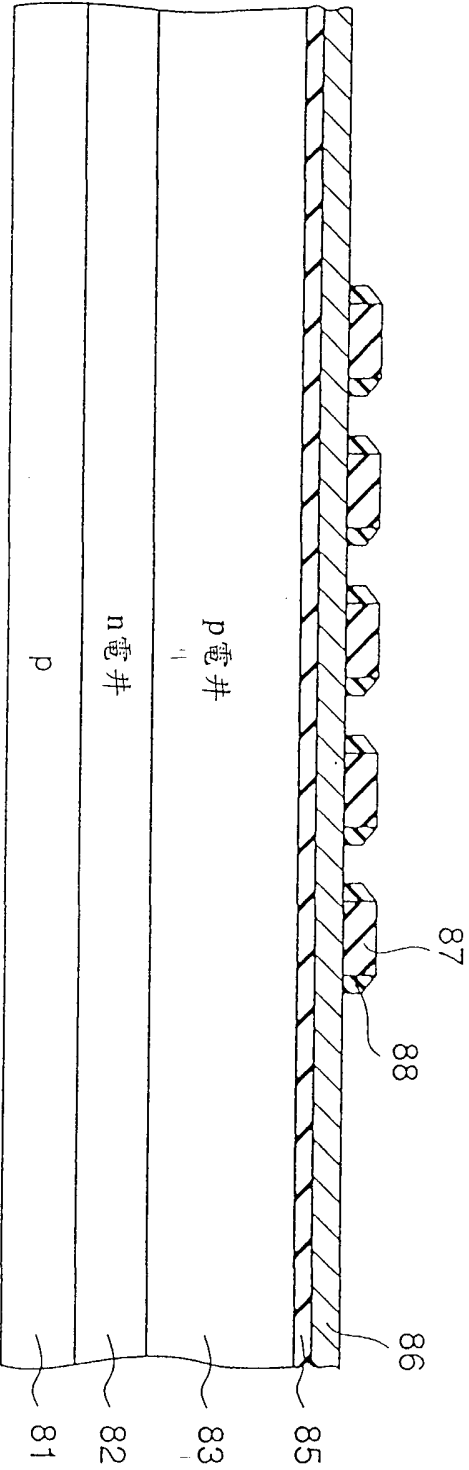
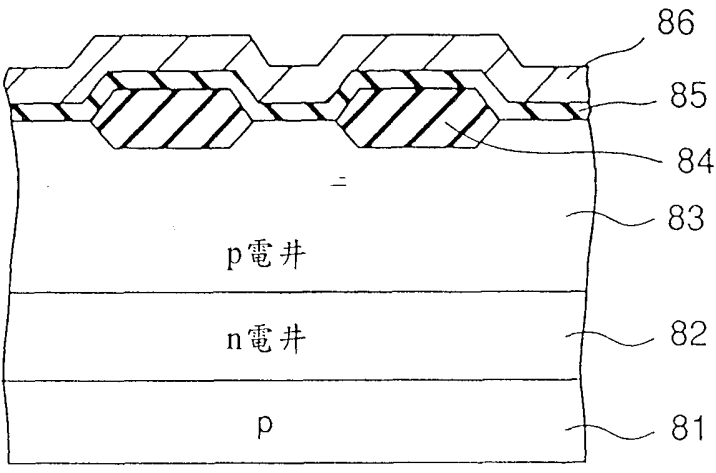


図 40



Y-Y'断面

圖 41

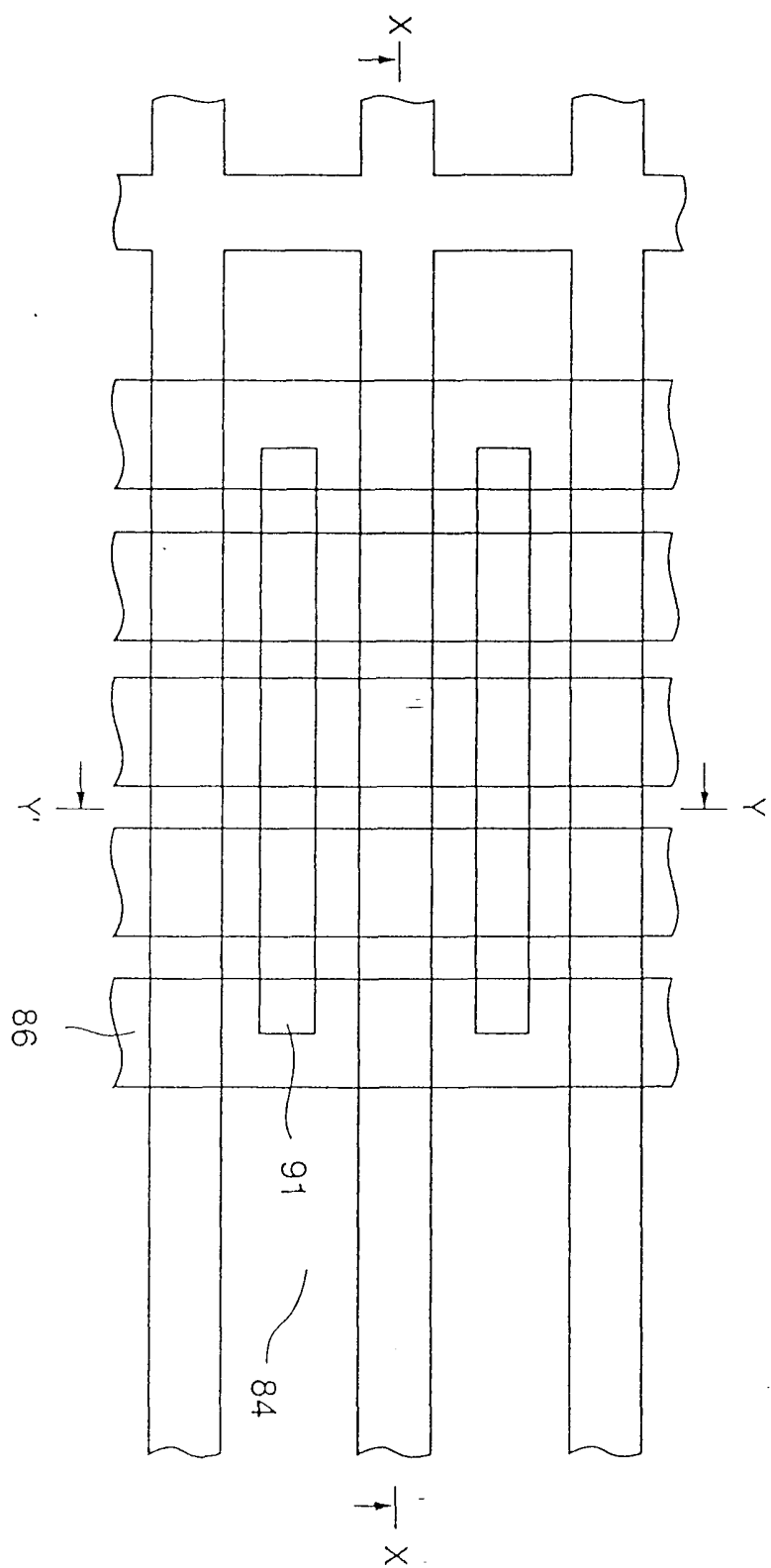
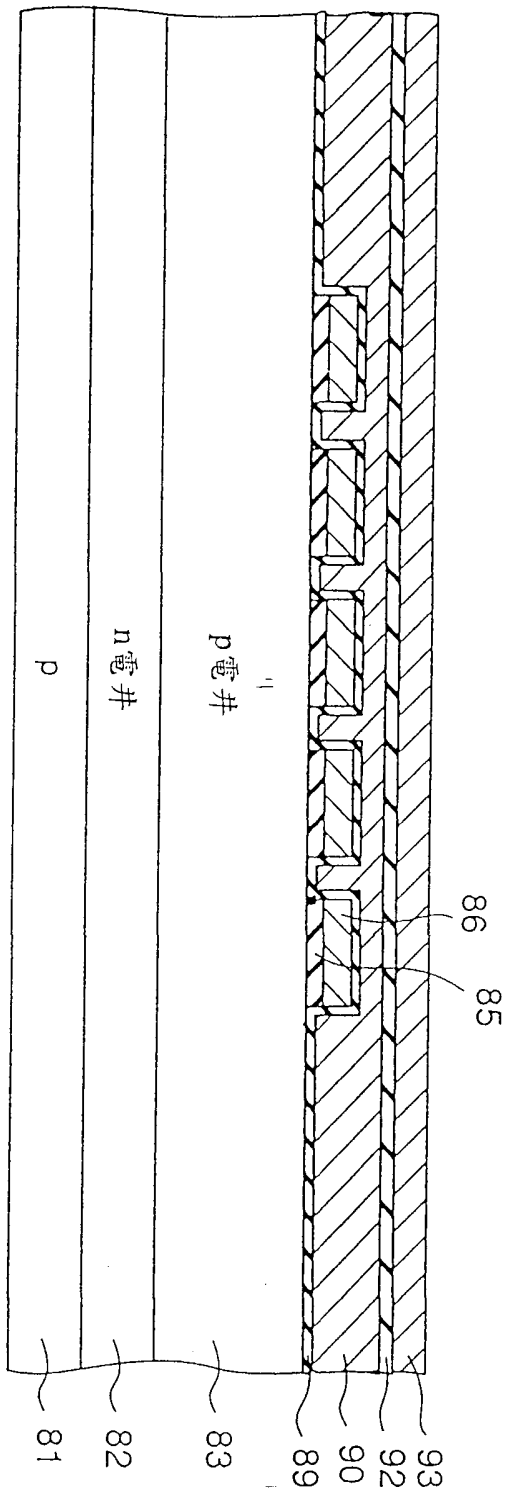
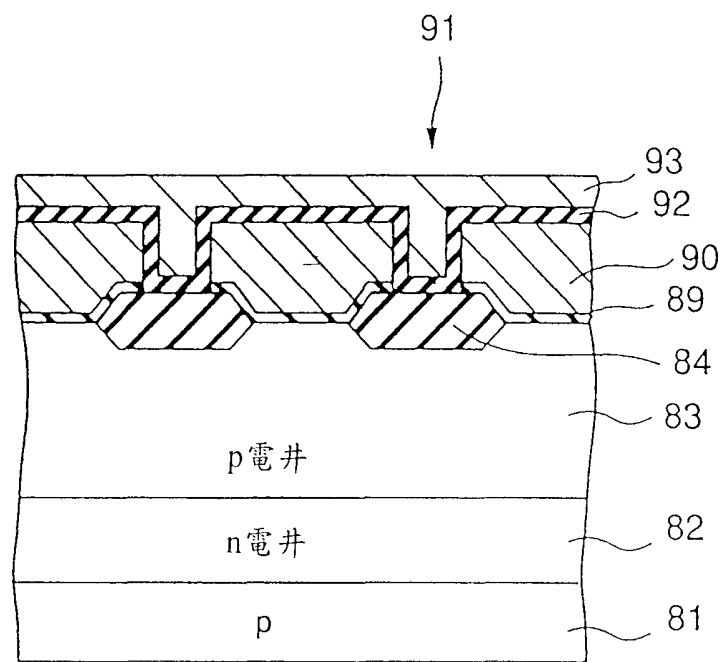


圖 42



X-X'断面

圖 43



Y-Y'断面

圖 44

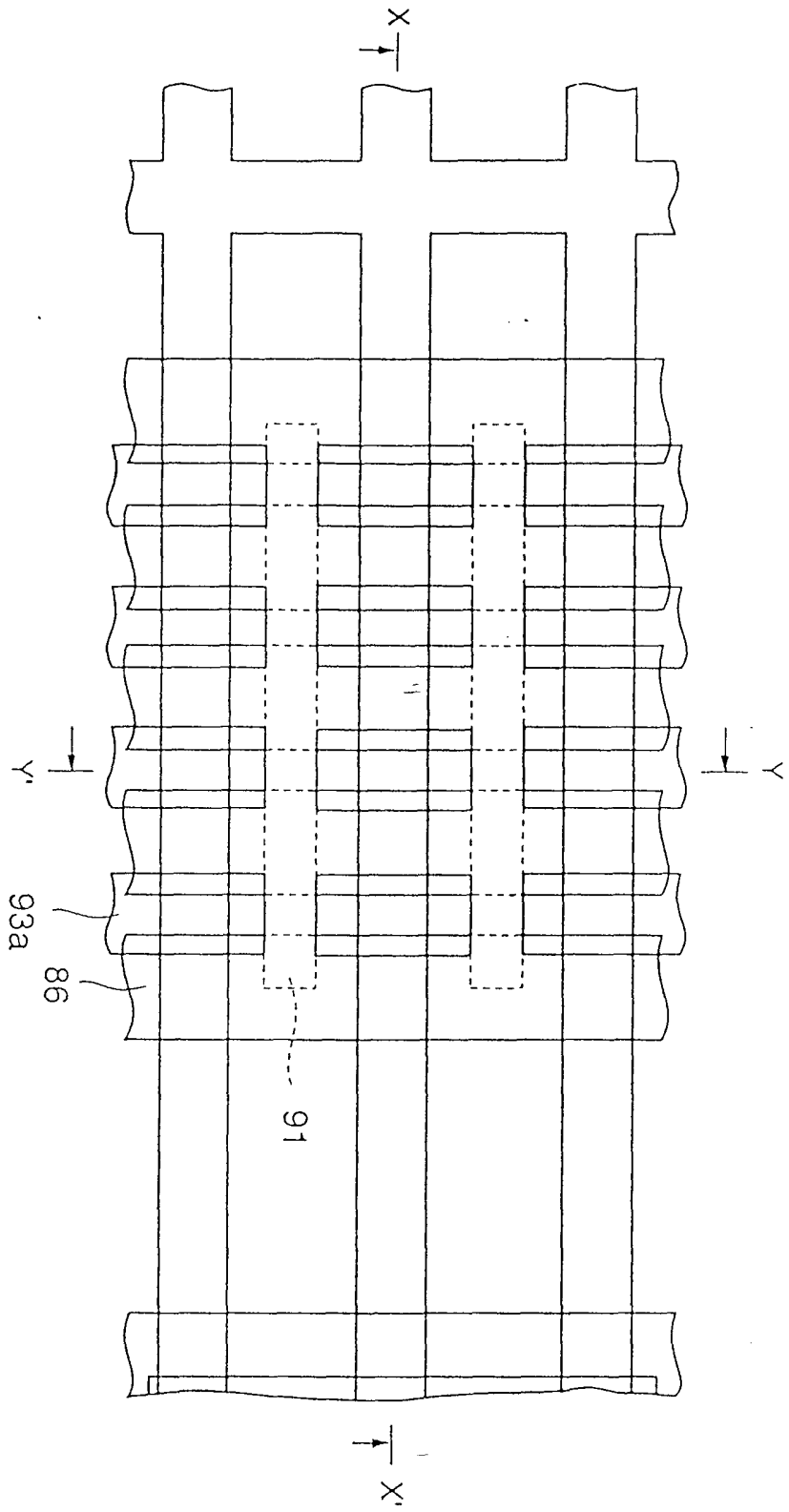


圖 45

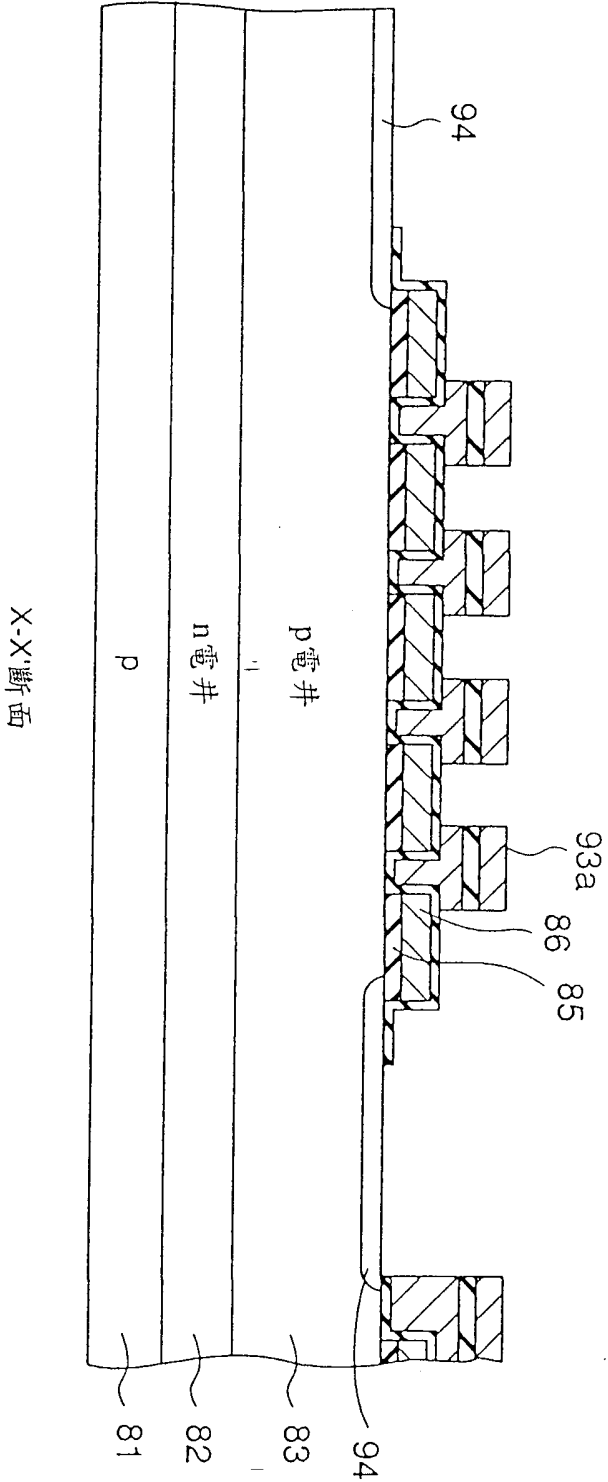
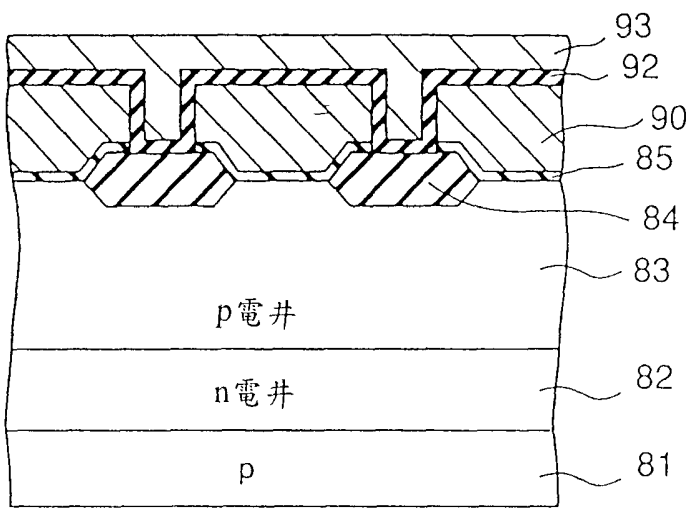
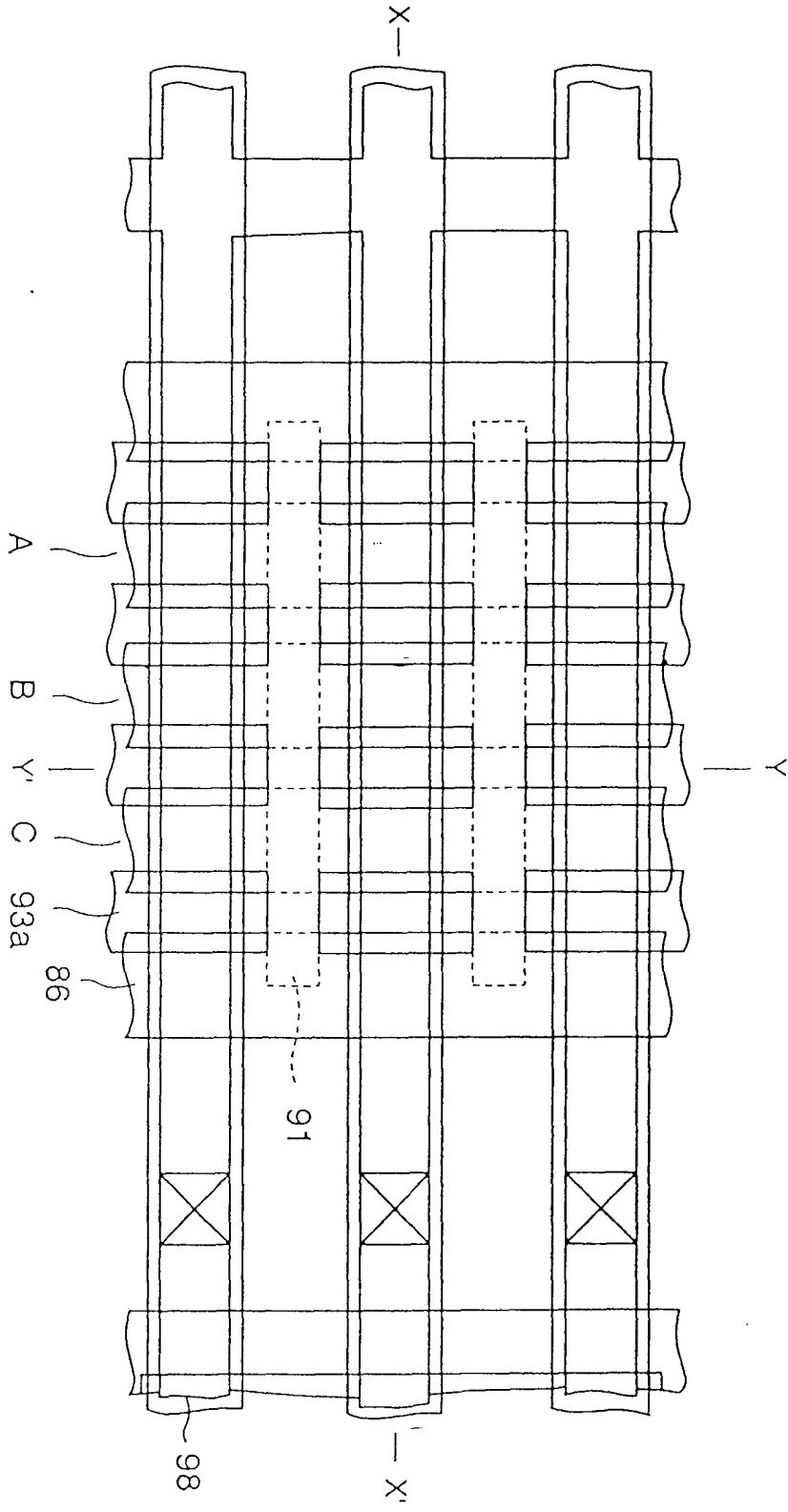


圖 46

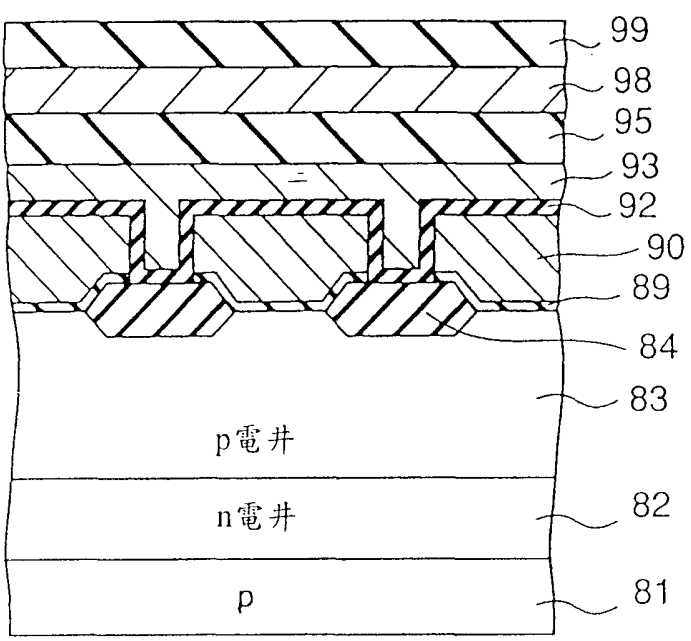


Y-Y'斷面

圖 47



48



Y-Y'断面

圖 50