

PCT

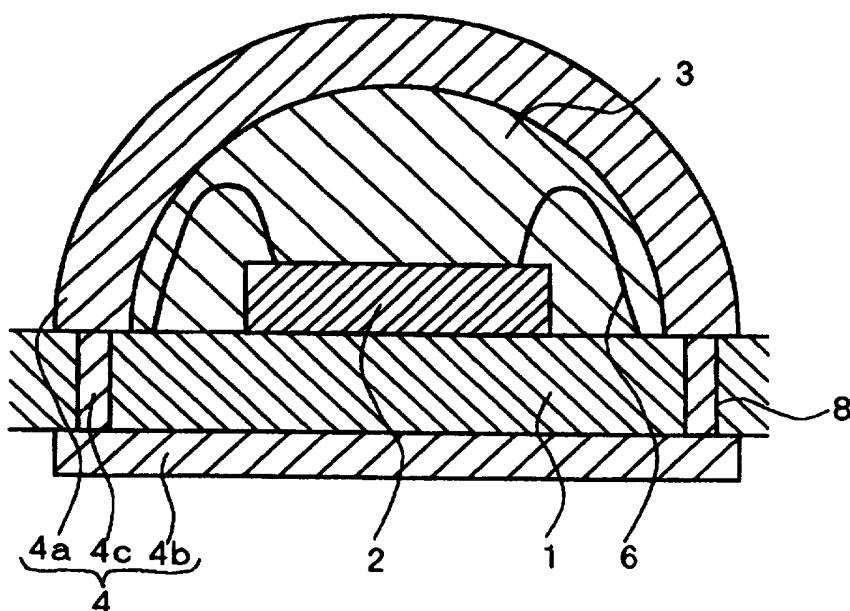
世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 <b>H05K 9/00</b>	A1	(11) 国際公開番号 <b>WO97/40654</b>
		(43) 国際公開日 1997年10月30日(30.10.97)
(21) 国際出願番号 PCT/JP97/01412		
(22) 国際出願日 1997年4月23日(23.04.97)		
(30) 優先権データ 特願平8/127783 1996年4月24日(24.04.96) JP		(81) 指定国 CN, JP, KR, US, 歐州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書
(71) 出願人 (米国を除くすべての指定国について) 岡村 進(OKAMURA, Susumu)[JP/JP] 〒150 東京都渋谷区広尾4丁目1番12-1305号 Tokyo, (JP) 池田 翔(IKEDA, Takeshi)[JP/JP] 〒143 東京都大田区山王2丁目5番6-213 Tokyo, (JP)		
(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 中西 努(NAKANISHI, Tsutomu)[JP/JP] 〒125 東京都葛飾区亀有4丁目25-6-205 Tokyo, (JP) 岡本 明(OKAMOTO, Akira)[JP/JP] 〒362 埼玉県上尾市緑丘4丁目7-17 Saitama, (JP)		
(74) 代理人 弁理士 雨貝正彦(AMAGAI, Masahiko) 〒160 東京都新宿区西新宿7丁目7番26号 ワコーレ新宿第1ビル803号室 雨貝特許事務所 Tokyo, (JP)		

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称 半導体装置



(57) Abstract

The magnetic influence of a semiconductor chip which is formed on a substrate and contains inductor conductors on the outside is minimized. The semiconductor chip (2) containing the inductor conductors is mounted on a board (1) and a plurality of through holes (8) is formed in the area on the outside of the mounted chip (2). Shielding members (4) are formed on the chip mounting side and the opposite side of the board (1) and in the through holes (8) so as to cover the chip (2) with the members (4) from both sides of the board (1). Therefore, magnetic fluxes from a circuit formed on the chip (4) do not leak out from the member (4), but circulate inside the members (4).

## (57) 要約

基板上に形成されたインダクタ導体を含む半導体チップが外部に対して与える磁気的影響を最小限に抑えることを目的とする。基板1上にインダクタ導体を含む半導体チップ2を実装し、その実装位置より外側に複数のスルーホール8を形成する。また、基板1のチップ実装面側と、その反対の面側と、スルーホール8内部にシールド部材4を形成し、このシールド部材4によって、基板1の両面側から半導体チップ2を覆う。これにより、半導体チップ2に形成された回路から発生された磁束は、シールド部材4の内部を循環するようになり、シールド部材4の外部には漏れ出さなくなる。

### 参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード

A L	アルバニア	E S	スペイン	L R	リベリア	S G	シンガポール
A M	アルメニア	F I	フィンランド	L S	レソト	S I	スロヴェニア
A T	オーストリア	F R	フランス	L T	リトアニア	S K	スロヴァキア共和国
A U	オーストラリア	G A	ガボン	L U	ルクセンブルグ	S L	シエラレオネ
A Z	オゼルバイジャン	G B	英國	L V	ラトヴィア	S N	セネガル
B A	ボズニア・エルツェゴビナ	G E	グルジア	M C	モナコ	S Z	スウェーデン
B B	バルバドス	G H	ガーナ	M D	モルドヴァ共和国	T D	チャード
B E	ベルギー	G M	ガンビア	M G	マダガスカル	T G	トーゴ
B F	ブルガリア	G N	ギニア	M K	マケドニア旧ユーゴス	T J	タジキスタン
B G	ブルガリア	G R	ギリシャ		ラヴィア共和国	T M	トルクメニスタン
B J	ベナン	H U	ハンガリー	M L	マリ	T R	トルコ
B R	ブラジル	I D	インドネシア	M N	モンゴル	T T	トリニダード・トバゴ
B Y	ベラルーシ	I E	アイルランド	M R	モーリタニア	U A	ウクライナ
C A	カナダ	I L	イスラエル	M W	マラウイ	U G	ウガンダ
C F	中央アフリカ共和国	I S	イスランド	M X	メキシコ	U S	米国
C G	コンゴー	I T	イタリア	N E	ニジエール	U Z	ウズベキスタン
C H	スイス	J P	日本	N L	オランダ	V N	ヴィエトナム
C I	コート・ジボアール	K E	ケニア	N O	ノルウェー	Y U	ユゴスラビア
C M	カメルーン	K G	キルギスタン	N Z	ニュージーランド	Z W	ジンバブエ
C N	中国	K P	朝鮮民主主義人民共和国	P L	ボーランド		
C U	キューバ	K R	大韓民国	P T	ボルトガル		
C Z	チェコ共和国	K Z	カザフスタン	R O	ルーマニア		
D E	ドイツ	L C	セントルシア	R U	ロシア連邦		
D K	デンマーク	L I	リヒテンシュタイン	S D	スードン		
E E	エストニア	L K	スリランカ	S E	スウェーデン		

## 明細書

## 半導体装置

## 技術分野

本発明は、基板上に形成されたインダクタ導体を含む半導体チップの磁気シールドを行うことができる半導体装置に関する。

## 背景技術

一般に、コイルは重要な回路構成部品であり、構成する回路によっては必要不可欠な部品といえる。例えば、L C 共振を利用した発振回路や送受信機に含まれる同調回路は、コイルを使用してはじめて実現できるものである。

ところで、上述した回路内に含まれるコイルからは磁束が発生するため、この磁束によって回りの部品に影響を与えないような設計が必要となる。例えば、プリント配線板上で 2 つのコイルを離して配置したり、あるいは複数のコイルを接近させて配置させなければならない場合には磁束の方向を考慮に入れて配置を工夫する必要がある。

第 5 図は、3 つのコイルを隣接して配置する場合にその配置方向を工夫した図である。同図に示すように、隣接したコイル同士では互いにコイルを 90 度異なる方向に、すなわち、隣接するコイルから発生する磁束が直交するように、各コイルを配置する。このように、隣接した各コイルから発生する磁束を互いに直交させることにより、各コイル間の磁気的結合を最小限に抑えることができる。

ところで、上述したようにコイルの配置方向を工夫してコイルから発生する磁束を互いに直交させ、各コイル間の磁気的結合を最小限に抑える従来方式は、プリント配線板上にコイルを配置するような場合に限られる。

半導体基板上に薄膜形成技術を利用して渦巻き形状のインダクタ導体を形成するような場合には、磁束の発生方向は半導体基板に対して垂直方向に限定される。このため、接近して形成されたインダクタ導体によるコイル同士が磁気的に結合してしまい、回路素子として電気的に分離させたい場合に好ましくない。特に、

半導体基板上に各種能動素子とともにインダクタ導体等の受動素子を形成する場合には、半導体製造技術によって回路全体を小型化するのが一般的であるため、回路に含まれる複数のインダクタ導体を十分に離して配置することが困難となる。

第6図は、半導体基板上に形成されたインダクタ導体を含む半導体回路から発生する磁束の状態を説明するための図である。同図に示す半導体回路内部のインダクタ導体に電流が流れると、同図の矢印aで示すように半導体基板表面とほぼ垂直方向に磁束が発生する。この磁束は半導体基板上に形成された他の半導体素子等の動作に影響を与える、ノイズや誤動作の原因になりやすい。

### 発明の開示

本発明は、このような点に鑑みて創作されたものであり、その目的は、基板上に形成されたインダクタ導体を含む半導体チップが外部に対して与える磁気的影響を最小限に抑えることができる半導体装置を提供することにある。

本発明の半導体装置は、基板上に実装されてインダクタ導体を含む半導体チップを、スルーホール内部を含んで基板の両面側に形成されたシールド部材によって覆う。これにより、半導体チップに形成された回路から発生される磁束は、シールド部材を循環するため、シールド部材の外部に磁束が漏れなくなる。

特に、ボンディングワイヤが接続される基板用パッドより外側にスルーホールを形成する場合には、ボンディングワイヤ全体をシールド部材で覆うことができ、ボンディングワイヤの断線を確実に防止できる。基板用パッドより内側にスルーホールを形成する場合には、シールド部材の外形寸法を小さくすることができ、半導体装置全体を小型化できる。

また、基板上に半導体チップを実装する際には、半導体チップの表面に封止材を形成するのが一般的であり、この封止材の表面にシールド部材を形成することにより、従来の製造工程をそのまま利用して磁気シールドを行うことができる。また、隣接するスルーホール間の距離を、半導体チップに形成された回路の動作周波数の逆数で表される波長以下とすることにより、スルーホールの間を通して漏れる磁束の量を少なくすることができる。

### 図面の簡単な説明

第1図は、第1の実施形態の半導体装置の平面図、  
第2図は、第1図に示すA-A線断面図、  
第3図は、第2図に示した半導体チップ近傍の磁束の流れを示す図、  
第4図は、第2の実施形態の半導体装置の断面図、  
第5図は、3つのコイルを隣接して配置する場合にその配置方向を工夫した図、  
第6図は、基板上に形成されたインダクタ導体を含む半導体回路から発生する  
磁束の状態を示す図である。

### 発明を実施するための最良の形態

第1図は第1の実施形態の半導体装置の平面図、図2は図1に示すA-A線の  
断面図である。これらの図に示すように、本実施形態の半導体装置は、基板1上  
に実装された半導体チップ2と、この半導体チップ2を保護するための封止材3  
と、封止材3の表面に形成され磁気シールドを行うシールド部材4とを含んで構  
成されている。基板1としては、セラミックやガラスエポキシ基板などが主に用  
いられる。

第1図および第2図に示す半導体チップ2は、渦巻き形状に形成されたインダ  
クタ導体と、トランジスタやダイオード等の能動素子と、抵抗やコンデンサ等の  
受動素子とを含んでいる。インダクタ導体の材料としては、アルミニウムや金等  
の金属薄膜、あるいはポリシリコン等の半導体材料などが用いられる。

半導体チップ2は、完成された状態で第1図に示す基板1上に実装されるか、  
あるいは基板1をベース基板として蒸着やイオン注入などの公知の半導体製造技  
術を用いて形成される。

半導体チップ2表面には、第1図に示すように、チップ外部と信号の入出力を  
行うためのボンディングパッド5が複数個形成され、各ボンディングパッド5に  
はそれぞれボンディングワイヤ6が取り付けられている。これらボンディングワ  
イヤ6は基板1上に形成された基板用パッド7に接続されている。基板用パッド  
7より外側の基板1には、第1図に示すように、一定間隔でスルーホール8が形  
成されている。

封止材3は、半導体チップ2およびボンディングワイヤ6の表面を覆うように形成され、封止材3の材料としては、例えばエポキシ樹脂等の絶縁性材料が用いられる。シールド部材4は、半導体チップ2に形成された回路から発生する磁束を遮断するために設けられ、スルーホール8内部を含んで基板1のチップ実装面側とチップ実装面に対向する面側とに形成されている。より具体的には、チップ実装面側のシールド部材4aは、スルーホール8を含んで半導体チップ2を覆うように形成され、チップ実装面に対向する面側のシールド部材4bは、スルーホール8を含んでほぼ平面状に形成されている。また、スルーホール8内部にもシールド部材4cが充填されており、シールド部材4は半導体チップ2を基板1の両側から覆っている。

シールド部材4の材料としては、絶縁性あるいは導電性の磁性体が用いられ、例えば、ガンマ・フェライトやバリウム・フェライト等の各種磁性体膜が用いられる。特に、磁気記憶媒体として一般的なガンマ・フェライトは、ガンマ・フェライトの薄膜を形成する基板に平行な面方向に微小磁石を並べたような磁化方向を有しており、半導体チップ2内のインダクタ導体とシールド部材4とを磁気的に結合する際に都合がよい。また、バリウム・フェライトを用いる場合には、塗布により磁性体膜を形成することができるため、製造が容易となる。

また、これら磁性体膜の材質や形成方法については各種のものが考えられ、例えばFeO等を真空蒸着して磁性体膜を形成する方法や、その他分子線エピタキシー法(MBE法)、化学気相成長法(CVD法)、スパッタ法等を用いて磁性体膜を形成する方法等がある。

第3図は、第2図に示した半導体チップ2近傍の磁束の流れを示す図であり、半導体チップ2近傍の断面を拡大した図である。

同図に示すように、基板1の両面側に形成されたシールド部材4によって半導体チップ2が覆われており、このシールド部材4によって磁路が形成される。したがって、半導体チップ2とほぼ垂直の方向にインダクタ導体から発生した磁束は、基板1の上面側のシールド部材4aからスルーホール8の内部のシールド部材4bを通って下面側のシールド部材4bに流れ、さらに上面側のシールド部材4aに戻る。このため、シールド部材4の外側に磁束が漏れ出さなくなり、半導

体チップ2に形成された回路から発生した磁束による外部への磁気的影響を最小限に抑えることができる。

なお、基板1には、一定間隔でスルーホール8が形成されているため、隣接するスルーホール8の間を通って磁束が外部に漏れ出すおそれがある。このため、望ましくは、スルーホール8の間隔を、半導体チップ2に形成される回路の動作周波数の逆数で表される波長以下にするのがよい。

次に、第1図に示す半導体装置の製造工程の概略について説明する。上述したように、完成された半導体チップ2を基板1上に実装するか、あるいは基板1上に周知の製造工程により半導体チップ2を形成する。次に、半導体チップ2から引き出されたボンディングワイヤ6を基板1上の基板用パッド7に接続した後、半導体チップ2およびボンディングワイヤ6の周辺に液状の封止材3を塗布して固化する。以上の工程は、従来の製造工程をそのまま利用できる。

次に、基板1上の半導体チップの実装位置の外側にスルーホール8を形成する。なお、予め基板1にスルーホール8を形成しておいてもよい。次に、スルーホール8の位置を基準として、封止材3の表面に磁性体膜を蒸着等してシールド部材4を形成する。その際、スルーホール8内部にもシールド部材4を充填する。次に、基板1のチップ実装面に対向する面側に、スルーホール8を含んでほぼ平面状に磁性体膜を蒸着等し、シールド部材4を完成させる。なお、シールド部材4の表面をエポキシ樹脂等によりコーティングしてもよい。

このように、第1の実施形態の半導体装置は、基板1にシールド部材を充填するためのスルーホール8を形成して、基板1の両面側から半導体チップ2をシールド部材4で覆うため、半導体チップ2に形成された回路から発生する磁束をシールド部材4で効率よく遮蔽することができ、基板1に実装された他の部品に磁気的な悪影響を与えるおそれがなくなる。

また、半導体チップ2を基板1上に実装し、封止材3で封止するまでの工程は従来の製造工程をそのまま利用できるため、製造工程を大幅に変更することなく磁気シールドを行うことができ、製造コストの上昇を最小限に抑えることができる。

〔第2の実施形態〕

第1の実施形態は、基板用パッド7よりも外側にスルーホール8を形成する例を説明したが、半導体チップ2の実装位置と基板用パッド7との間にスルーホール8を形成してもよい。

第4図は、第2の実施形態の半導体装置の断面図である。同図では、第1の実施形態の半導体装置と共通する構成部分には同一符号を付しており、以下では、相違点を中心に説明する。

第4図に示すように、第2の実施形態のスルーホール8は、半導体チップ2の実装位置と基板用パッド7との間に形成されている。シールド部材4は、第1の実施形態と同様にスルーホール8を含むように形成され、ボンディングワイヤ6は、シールド部材4を貫通してシールド部材4の外側で基板1上の基板用パッド7と接続されている。シールド部材4は、ボンディングワイヤ6同士がショートしないように、絶縁性の磁性体で形成されている。その他の構成は第1の実施形態と同じであり、基板1の両面側に形成されスルーホール8内部にも充填されるシールド部材4により半導体チップ2を磁気的に遮蔽する点でも、第1の実施形態と共通する。

このように、第2の実施形態の半導体装置は、基板用パッド7と半導体チップ2の実装位置との間にスルーホール8を形成するため、シールド部材4の外形寸法を第1の実施形態よりも小さくすることができ、基板1上への高密度実装が可能となる。

なお、上述した各実施形態では、基板1のチップ実装面側、チップ実装面に対向する面側、およびスルーホール8内部に、同一種類の磁性体を用いてシールド部材4を形成する例を説明したが、それぞれ別々の材料を用いてシールド部材4を形成してもよい。特に、スルーホール8内部は、チップ実装面やチップ実装面に対向する面に比べて磁束密度が高くなるため、磁束が飽和しないように、スルーホール8内部と、それ以外の部分とは磁性体の種類を変えてよい。

また、上述した各実施形態では、インダクタ導体の他にトランジスタ等の能動素子を含む半導体チップ2の例を説明したが、基板1上にインダクタ導体のみを形成する場合にも、インダクタ導体をシールド部材4で覆うことで、上述した各実施形態と同様の効果が得られる。

また、上述した各実施形態では、半導体チップ2とシールド部材4との間に封止材3が形成されている例を説明したが、封止材3を省略して半導体チップ上に直接シールド部材を形成し、シールド部材によって半導体チップの保護を図ってもよい。

また、上述した各実施形態では、基板1上に半導体チップ2や封止材3等を形成する例を説明したが、基板1の代わりにプリント配線板を用い、プリント配線板上に半導体チップ2を実装するとともに、その周囲のプリント配線板内にスルーホール8を形成して、スルーホール8を含んでプリント配線板の対向する2面にシールド部材4を形成してもよい。このようなC O B (Chip On Board) 実装を行えば、インダクタ導体を含む半導体チップ2から発生した磁束がシールド部材の外部に漏れ出さなくなるため、プリント配線板に実装される他の部品に磁気的な悪影響を与えるおそれがなくなり、プリント配線板への高密度実装が可能となる。

また、上述した各実施形態では、セラミックやガラスエポキシ基板などを基板1として用いたが、n型シリコン(n-Si)やその他の半導体材料(例えばゲルマニウムやアモルファスシリコン等の非晶質材料)からなる半導体基板を基板1として用いてもよい。

また、第1図では基板1に円形のスルーホール8が形成されている例を図示しているが、スルーホールの形状は円形以外の形状(例えば矩形)であってもよく、またスルーホールのサイズや個数も図1に限定されない。例えば、半導体チップ2の周囲に溝状のスルーホールを形成してもよい。

また、上述した各実施形態では、半導体チップ2をワイヤボンディングによって基板1上にC O B実装する場合を説明したが、それ以外の実装方法、例えば半導体チップ2を基板1上にフリップチップ実装する場合にも本発明を適用することができる。

### 産業上の利用可能性

上述したように、本発明によれば、インダクタ導体を含む半導体チップの実装位置より外側の基板内にスルーホールを形成し、このスルーホール内部と、基板

の半導体チップの実装面側と、この実装面と対向する面側とにシールド部材を形成して半導体チップを覆うようにしたため、半導体チップに形成される回路から発生する磁束はシールド内部を循環するようになり、外部に磁気的悪影響を与えるおそれがなくなる。

## 請求の範囲

1. 基板上に実装され、インダクタ導体を含む半導体チップと、

前記半導体チップの実装位置より外側の前記基板に形成された複数のスルーホールと、

前記基板の前記半導体チップの実装面側と前記半導体チップの実装位置に対応する前記基板の裏面側とに形成されているとともに、前記スルーホール内部に充填されており、前記半導体チップを覆うシールド部材と、

を備え、前記半導体チップに形成された回路の磁気シールドを行うことを特徴とする半導体装置。

2. 前記半導体チップには、ボンディングワイヤが取り付けられ、

前記スルーホールは、前記半導体チップの実装位置を基準として、前記基板上に形成された基板用パッドより外側に形成されることを特徴とする請求の範囲第1項記載の半導体装置。

3. 前記半導体チップには、ボンディングワイヤが取り付けられ、

前記スルーホールは、前記基板上に形成された基板用パッドと前記半導体チップの実装位置との間に形成されることを特徴とする請求の範囲第1項記載の半導体装置。

4. 前記半導体チップの表面には、前記半導体チップを保護するための封止材が形成され、

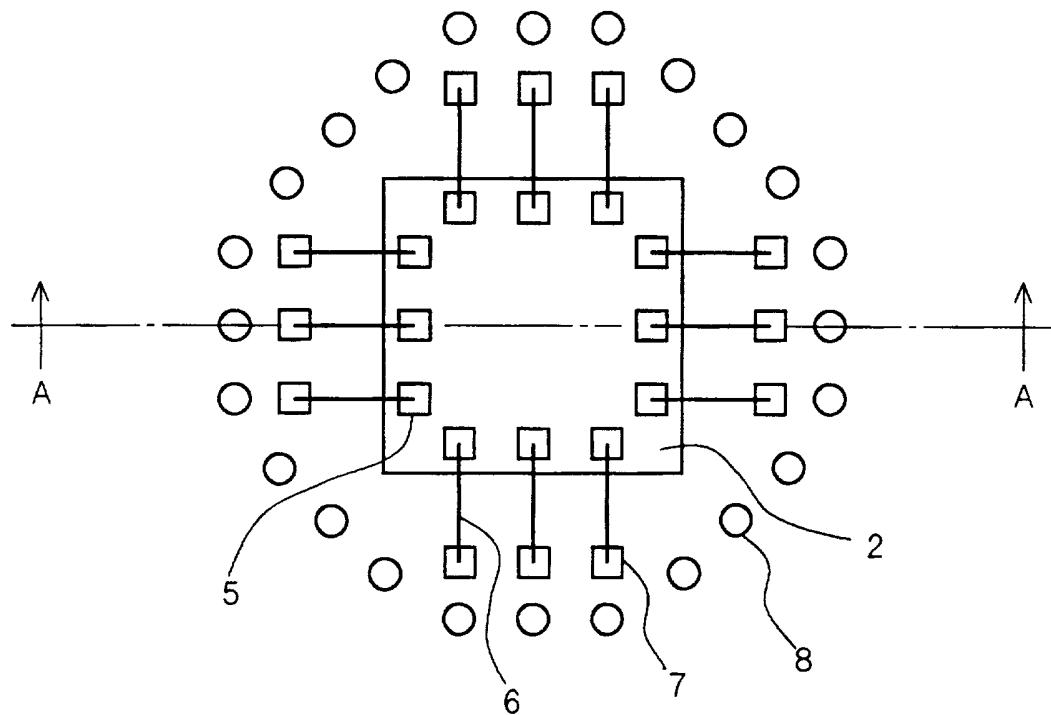
前記シールド部材は、導電性あるいは絶縁性の磁性体を用いて前記封止材の表面に形成されることを特徴とする請求の範囲第1項記載の半導体装置。

5. 隣接する前記スルーホール間の距離を、前記半導体チップに形成された回路の動作周波数の逆数で表される波長以下とすることを特徴とする請求の範囲第1項記載の半導体装置。

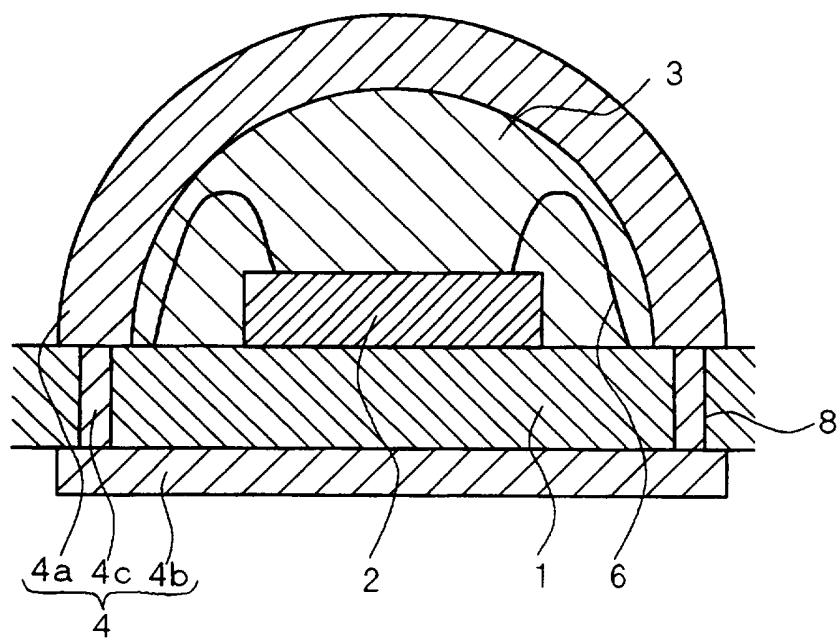
6. 前記基板としてプリント配線板を用いることを特徴とする請求の範囲第1項記載の半導体装置。

1 / 3

第 1 図

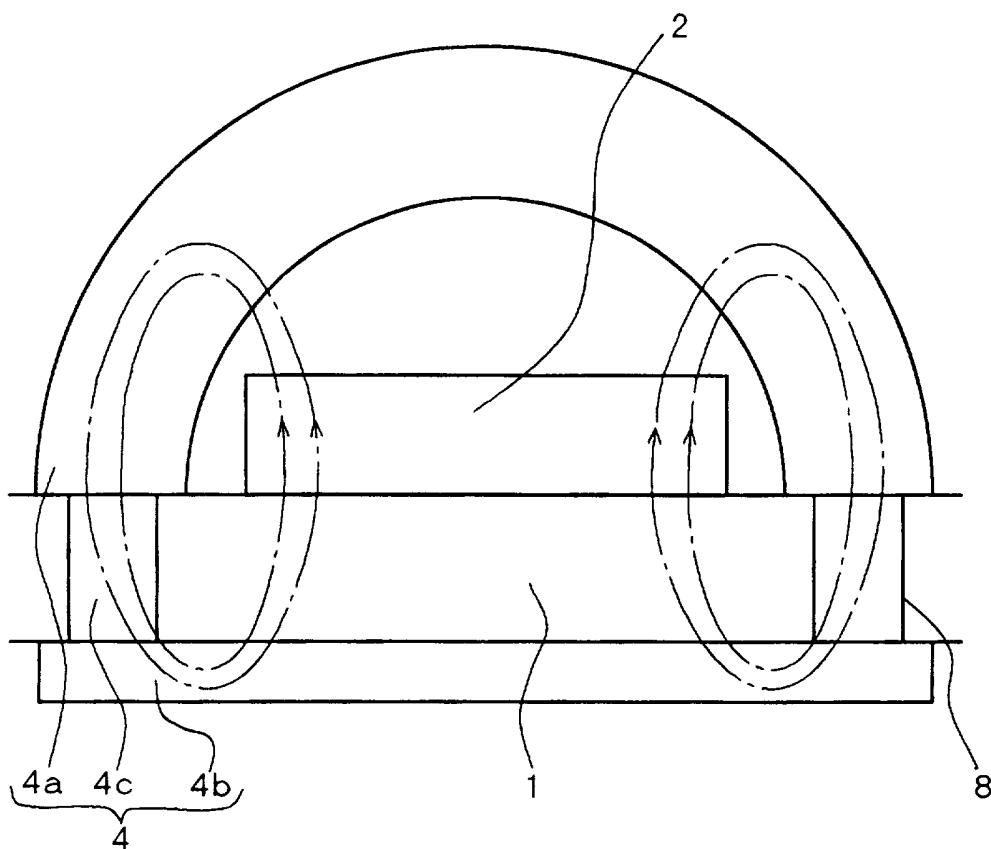


第 2 図

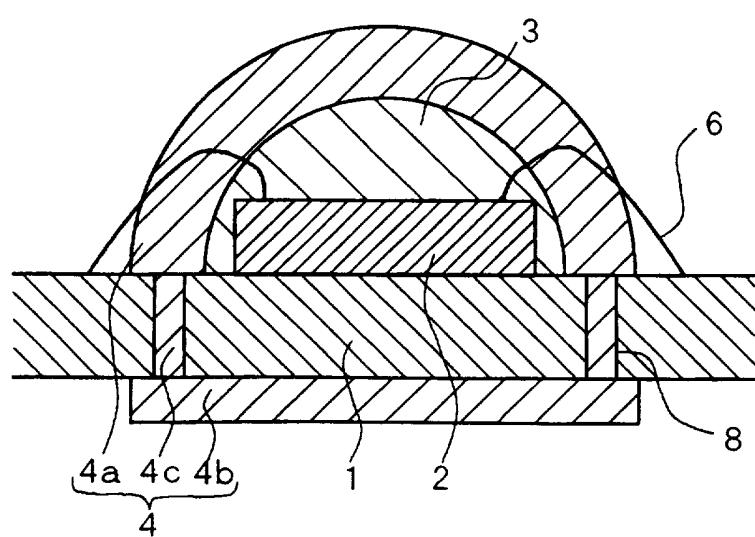


2 / 3

第3図

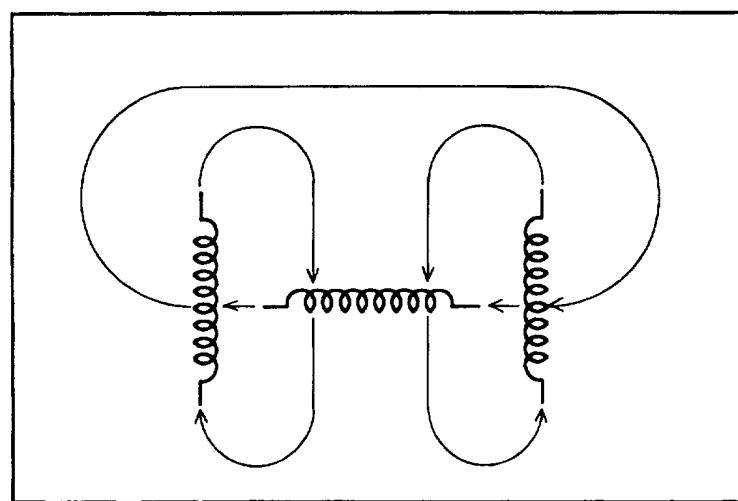


第4図

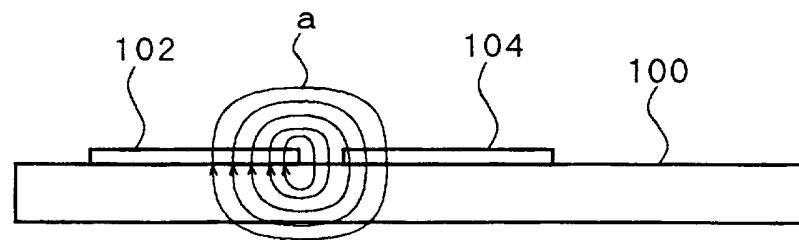


3 / 3

第5図



第6図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/01412

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> H05K9/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> H05K9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1997
Kokai Jitsuyo Shinan Koho	1971 - 1997
Toroku Jitsuyo Shinan Koho	1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 5-79995, U (Japan Radio Co., Ltd.), October 29, 1993 (29. 10. 93), Claim; claims 1 to 4; Figs. 1 to 3 (Family: none)	1 - 6
Y	JP, 3-214691, A (Fujitsu Ltd.), September 19, 1991 (19. 09. 91), Claim; Fig. 1 (Family: none)	1 - 6
Y	JP, 1-78037, U (NEC Corp.), May 25, 1989 (25. 05. 89), Claim; claims 1 to 3; Figs. 1, 2 (Family: none)	1 - 6
A	JP, 59-162762, U (Mitsubishi Electric Corp.), October 31, 1984 (31. 10. 84), Claim; Fig. 3 (Family: none)	1 - 6

 Further documents are listed in the continuation of Box C. See patent family annex.

## \* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search July 17, 1997 (17. 07. 97)	Date of mailing of the international search report July 29, 1997 (29. 07. 97)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

## 国際調査報告

国際出願番号 PCT/JP97/01412

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. cl<sup>6</sup> H05K9/00

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int. cl<sup>6</sup> H05K9/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1997年

日本国公開実用新案公報 1971-1997年

日本国登録実用新案公報 1994-1997年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 5-79995, U (日本無線株式会社) 29. 10月. 1993 (29. 10. 93) 実用新案登録請求の範囲, 請求項1-4, 図1-3 (ファミリーなし)	1-6
Y	J P, 3-214691, A (富士通株式会社) 19. 9月. 1991 (19. 09. 91) 特許請求の範囲, 第1図 (ファミリーなし)	1-6
Y	J P, 1-78037, U (日本電気株式会社) 25. 5月. 1989 (25. 05. 89) 実用新案登録請求の範囲, 請求項1-3, 第1-2図 (ファミリーなし)	1-6
A	J P, 59-162762, U (三菱電機株式会社) 31. 10月. 1984 (31. 10. 84) 実用新案登録請求の範囲, 第3図 (ファミリーなし)	1-6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日 17. 07. 97	国際調査報告の発送日 29.07.97
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 市川裕司印 電話番号 03-3581-1101 内線 3426