

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月25日(25.04.2019)



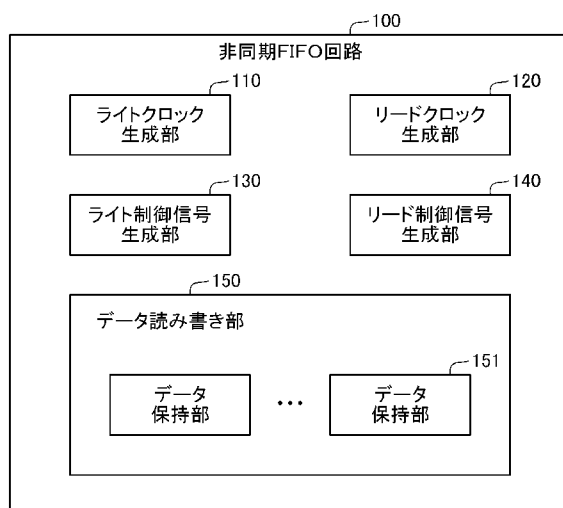
(10) 国際公開番号

WO 2019/077900 A1

- (51) 国際特許分類:
G06F 1/12 (2006.01) *G06F 13/38* (2006.01) 丁目6番1号 NECプラットフォームズ株式会社内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2018/032935 (74) 代理人: 馬場 資博, 外 (**BABA, Motohiro** et al.);
〒3500046 埼玉県川越市菅原町25番地
1 石井ビル2階 Saitama (JP).
- (22) 国際出願日: 2018年9月5日(05.09.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-202859 2017年10月19日(19.10.2017) JP
- (71) 出願人: NECプラットフォームズ株式会社 (**NEC PLATFORMS, LTD.**) [JP/JP];
〒2138511 神奈川県川崎市高津区北見方二
丁目6番1号 Kanagawa (JP).
- (72) 発明者: 藤原 幸貴 (**FUJIHARA, Koki**);
〒2138511 神奈川県川崎市高津区北見方二
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ASYNCHRONOUS FIFO CIRCUIT

(54) 発明の名称: 非同期FIFO回路



100 Asynchronous FIFO circuit
110 Write clock generating unit
120 Read clock generating unit
130 Write control signal generating unit
140 Read control signal generating unit
150 Data reading/writing unit
151 Data holding unit

(57) **Abstract:** An asynchronous FIFO circuit according to the present invention generates a write clock and a read clock from the same input clock, generates a write control signal in synchronization with the write clock, and generates a read control signal in synchronization with the read clock. The asynchronous FIFO circuit is provided with a data reading/writing unit which has a plurality of data holding units, writes data in a data holding unit for each write clock on the basis of the write control signal, and reads out data from a data holding unit for each read clock on the basis of the read control signal.

[続葉有]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本発明の非同期 F I F O 回路は、同一の入力クロックからライトクロックとリードクロックとを生成すると共に、ライト制御信号をライトクロックに同期して生成し、リード制御信号をリードクロックに同期して生成する。そして、複数のデータ保持部を有し、ライト制御信号に基づいてライトクロック毎にいずれかのデータ保持部にデータを書き込むと共に、リード制御信号に基づいてリードクロック毎にいずれかのデータ保持部からデータを読み出すデータ読み書き部を備える。

明 細 書

発明の名称：非同期 F I F O 回路

技術分野

[0001] 本発明は、非同期 F I F O (F i r s t I n F i r s t O u t) 回路にかかり、特に、Full/Empty判定回路を必要としない非同期 F I F O 回路に関する。

背景技術

[0002] メモリアクセス等の連続したデータを処理する場合、特許文献 1 に記載のように、Full/Emptyを判定する回路を設けている場合がある。

先行技術文献

特許文献

[0003] 特許文献1：特許第 3 0 1 3 8 0 0 号公報

発明の概要

発明が解決しようとする課題

[0004] 上述したFull/Emptyを判定する回路を設けている非同期 F I F O 回路では、データがFullの場合、データ待ち合わせが発生し、乗換回路の入力部分にバッファが必要になり、制御回路が複雑になる。また、データ幅が広い場合には、物理制約から b i t 間の乗り換えタイミングが異なるケースも発生し、より制御が難しくなり、データ間の全データが揃うまでの時間も必要になる。

[0005] そして、非同期 F I F O を使用した乗り換えは、リードポインタがライトポインタを追い越さないチェックを行うために、ライトポインタからリードポインタへのデータの引き渡しを行っていることがある。このような場合、書き込みから読み出しまでのレイテンシが大きくなる、という問題が生じる。

[0006] このため、本発明の目的は、上述した課題である、制御が複雑であることと、書き込みから読み出しまでのレイテンシが大きくなる、という問題を解

決することができる非同期F I F O回路を提供することにある。

課題を解決するための手段

- [0007] 本発明の一形態である非同期F I F O回路は、
- 入力されたクロックから書き込み処理で用いるライトクロックを生成するライトクロック生成部と、
 - 前記入力されたクロックから読み出し処理で用いるリードクロックを生成するリードクロック生成部と、
 - データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成するライト制御信号生成部と、
 - データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成するリード制御信号生成部と、
 - 複数のデータ保持部を有し、前記ライト制御信号に基づいて前記ライトクロック毎にいずれかの前記データ保持部にデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記データ保持部からデータを読み出すデータ読み書き部と、
- を備えた、
- という構成をとる。
- [0008] また、本発明の一形態である非同期F I F O回路は、
- 入力されたクロックから書き込み処理で用いるライトクロックを生成するライト側PLL (Phase Locked Loop) と、
 - 前記入力されたクロックから読み出し処理で用いるリードクロックを生成するリード側PLLと、
 - データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成するライト制御信号生成回路と、
 - データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成するリード制御信号生成回路と、
 - 複数のバッファを有し、前記ライト制御信号に基づいて前記ライトクロック毎にいずれかの前記バッファにデータを書き込むと共に、前記リード制御

信号に基づいて前記リードクロック毎にいずれかの前記バッファからデータを読み出す F I F O と、
を備えた、
という構成をとる。

- [0009] また、本発明の一形態であるデータ読み書き方法は、
複数のデータ保持部を有する非同期 F I F O 回路が、
入力されたクロックから書き込み処理で用いるライトクロックを生成すると共に、前記入力されたクロックから読み出し処理で用いるリードクロックを生成し、
データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成すると共に、データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成し、
前記ライト制御信号に基づいて前記ライトクロック毎にいずれかの前記データ保持部にデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記データ保持部からデータを読み出す、
という構成をとる。

発明の効果

- [0010] 本発明は、以上のように構成されることにより、制御が複雑ではなく、書き込みから読み出しまでのレイテンシを減少させることができる非同期 F I F O 回路を提供することができる。

図面の簡単な説明

- [0011] [図1]本発明の実施形態 1 における非同期 F I F O 回路の構成を示すブロック図である。
[図2]図 1 に開示した F I F O の構成を示すブロック図である。
[図3]図 1 に開示した非同期 F I F O 回路の動作を示すタイムチャートである。
[図4]本発明と比較する非同期 F I F O 回路のデータ処理の流れを示す図である。

[図5]本発明である非同期F I F O回路のデータ処理の流れを示す図である。
[図6]本発明の実施形態2における非同期F I F O回路の構成を示すブロック図である。

発明を実施するための形態

[0012] <実施形態1>

本発明の第1の実施形態を、図1乃至図5を参照して説明する。図1乃至2は、非同期F I F O回路の構成を説明するための図である。図3は、非同期F I F O回路の動作を説明するための図である。図4乃至図5は、本発明の効果を説明するための図である。

[0013] [構成]

図1に示すように、本発明における非同期F I F O回路は、ライトクロック側 (Write clock domain) に、P L L (P h a s e L o c k e d L o o p) 1 1 と、D E F I N E R 生成回路 1 2 と、F F (F l i p F l o p) 1 3 と、を備えている。また、非同期F I F O回路は、リードクロック側 (Read clock domain) にも同様に、P L L 2 1 と、D E F I N E R 生成回路 2 2 と、F F (F l i p F l o p) 2 3 と、を備えている。さらに、非同期F I F O回路は、データの乗り換えを行うF I F O (F i r s t I n F i r s t O u t) 3 を備えており、当該F I F O 3 はライトクロック側及びリードクロック側の両側に属している。

[0014] 上記ライトクロック側のP L L 1 1 (ライトクロック生成部) は、入力されたクロックC L K A から当該クロックC L K A を n 逓倍して、書き込み処理で用いるライトクロック (W r i t e C l o c k) を生成する。また、上記リードクロック側のP L L 2 1 (リードクロック生成部) は、上記ライトクロック側のP L L 1 1 に入力されるクロックと同一のクロックC L K A から当該クロックC L K A を m 逓倍して、読み出し処理で用いるリードクロック (R e a d C l o c k) を生成する。本実施形態では、例えば、C L K A の周波数=100MHz、ライトクロック=1GHz、リードクロック=1GHzであり、ライトクロック=リードクロックであることとする。

[0015] なお、本実施形態では、後述するように、ライト側のFF13からFIFO3への書き込みタイミングと、リード側のFIFO3からFF23への読み出しタイミングを同期させるために、図1に示すCLKAからPLL11まで分配遅延aと、CLKAからPLL21までに分配遅延bとを、同遅延で設計している。

[0016] また、本実施形態では、更にFF13からFIFO3への書き込みタイミングと、FIFO3からFF23への読み出しタイミングの差を、PLL11やPLL21のサイクル値を超えない程度の遅延で合わせこむ。このとき、上記各PLL11, 21までの遅延を同遅延としているので、各PLL11, 21から各FF13, 23までの遅延差 $|\text{遅延}x - \text{遅延}y|$ を考慮する事で、FIFO3への書き込みタイミングとFIFO3からの読み出しタイミングの差を、PLL11やPLL21のサイクル内に収めることができる。これにより、後述するリード処理のタイミング生成を、PLL11やPLL21のサイクル値を超えた値まで広げる必要はなく、遅延差 $|\text{遅延}x - \text{遅延}y|$ を保証できるリードポインタを設定すればよい。

[0017] 上記ライトクロック側のDEFINER生成回路12（ライト制御信号生成部）は、上記PLL11で生成されたライトクロックに同期したパルス信号であるライトDEFINER信号（ライト制御信号）を生成する。ライトDEFINER信号は、後述するように、FIFO3によるFF13からデータの書き込みタイミングを制御するために用いられる。

[0018] なお、ライトDEFINER信号の元となるライトクロックは、CLKAとクロックエッジが一致しているため、このライトクロックと同期するライトDEFINER信号は、CLKAサイクルのパルス信号となる。例えば、本実施形態では、ライトクロック=1GHz、ライトDEFINER信号=100MHzで設定される。

[0019] 同様に、上記リードクロック側のDEFINER生成回路22（リード制御信号生成部）は、上記PLL21で生成されたリードクロックに同期したパルス信号であるリードDEFINER信号（リード制御信号）を生成する

。リードDEFINER信号は、後述するように、FIFO3からFF23へのデータの読み出しタイミングを制御するために用いられる。

[0020] なお、リードDEFINER信号の元となるリードクロックは、CLKAとクロックエッジが一致しているため、このリードクロックと同期するリードDEFINER信号は、CLKAサイクルのパルス信号となる。例えば、本実施形態では、リードクロック=1GHz、リードDEFINER信号=100MHzで設定される。

[0021] このように、本実施形態では、ライト側とリード側との異なるPLL11, 21への入力クロックに、同一クロックCLKAを使用しており、さらに、各PLL11, 21に同期してそれぞれライトDEFINER信号とリードDEFINER信号とを生成している。このため、後述するように、書き込み処理のサイクルと読み出し処理のサイクルとは、ある決まったサイクルで作動することとなる。

[0022] 上記FIFO3は、図2に示すように、ライトクロック側ではライトポインタ生成回路31を有し、リードクロック側ではリードポインタ生成回路32とセクタ321を有する。ライトからリードへの乗り換え部分では、複数のバッファ（データ保持部）が必要であり、バッファ数は、ライトクロック周波数とライトDEFINER信号の周波数で決定される。本実施形態では、ライトクロック=1GHz、ライトDEFINER信号=100MHzであるため、図2に示すように、バッファ数は、DEFINERサイクルでライトデータが書き込める最大数が10となり、10段のバッファ311~3110からなる。なお、本実施形態では、リードDEFINER信号=100MHzであることとする。

[0023] 上記ライトポインタ生成回路31は、ライトDEFINER信号の入力があつたときに、一連の書き込み処理を起動して、FF13からFIFO3にデータを書き込むバッファ311~3110を特定するライトポインタを生成する。そして、一連の書き込み処理を起動したライトポインタ生成回路31は、ライトクロック毎つまりサイクル毎に、1インクリメントした値を生

成してライトポインタとして使用する。また、ライトポインタ生成回路 3 1 は、ライト D E F I N E R 信号の入力がある毎に、一連の書き込み処理を起動して、かかる起動毎に同一の値のライトポインタを生成する。例えば、本実施形態では、ライト D E F I N E R 信号の入力があつたときに、ライトポインタ「2」を設定し、ライトクロックのサイクル毎にライトポインタが「3, 4, 5・・・」と生成され、次にライト D E F I N E R 信号の入力があると再度ライトポインタに「2」が設定される。

[0024] そして、F I F O 3 は、ライトクロックのサイクル毎に、上述したように生成されたライトポインタにて特定されるバッファ 3 1 1 ~ 3 1 1 0 に、F F 1 3 からデータを書き込む。

[0025] 上記リードポインタ生成回路 3 2 は、リード D E F I N E R 信号の入力があつたときに、一連の読み出し処理を起動して、F I F O 3 から F F 2 3 にデータを読み出すバッファ 3 1 1 ~ 3 1 1 0 を特定するリードポインタを生成する。そして、一連の読み出し処理を起動したリードポインタ生成回路 3 2 は、リードクロック毎つまりサイクル毎に、1 インクリメントした値を生成してリードポインタとして使用する。また、リードポインタ生成回路 3 2 は、リード D E F I N E R 信号の入力がある毎に、一連の読み出し処理を起動して、かかる起動毎に同一の値のリードポインタを生成する。例えば、本実施形態では、リード D E F I N E R 信号の入力があつたときに、リードポインタ「9」を設定し、リードクロックのサイクル毎にリードポインタが「1 0, 1, 2・・・」と生成され、次にリード D E F I N E R 信号の入力があると再度リードポインタに「9」が設定される。

[0026] そして、F I F O 3 は、リードクロックのサイクル毎に、上述したように生成されたリードポインタにて特定されるバッファ 3 1 1 ~ 3 1 1 0 をセレクタ 3 2 1 で選択し、F F 2 3 にデータを読み出す。

[0027] なお、本実施形態では、F I F O 3 は、ライト D E F I N E R 信号とリード D E F I N E R 信号とが同一のタイミングであることから、上述したライトポインタ生成回路 3 1 とリードポインタ生成回路 3 2 とは、同一のタイミ

ングで一連の書き込み処理と一連の読み出し処理を起動することとなる。そして、この起動時に、ライトポインタ生成回路31とリードポインタ生成回路32とは、相互に異なるライトポインタとリードポインタとをそれぞれ生成している。例えば、本実施形態では、起動時に、ライトポインタに対して、3サイクル後のリードポインタが生成される。これにより、リードポインタとライトポインタの関係が常時保障され、常にライトポインタに対して、3サイクル後のリードポインタを生成するので、リード処理がライト処理を追い越すことがなくなる。

[0028] [動作]

次に、図3のタイムチャートを参照して、上述した非同期FIFO回路によるFIFO3にデータを書き込んで読み出すまでの動作を説明する。

[0029] まず、CLKAからPLL11とPLL21までの遅延は等遅延なので、書き込みタイミングを示すライトDEFINER信号がタイミング2でセットされると、読み出しタイミングを示すリードDEFINER信号もタイミング2でセットされる。つまり、同一のタイミングで、一連の書き込み処理と一連の読み出し処理が起動される。

[0030] 上記状況において、まず書き込み処理について説明する。ライトポインタ生成回路31は、ライトDEFINER信号を起動タイミングとして、ライトクロックのサイクル毎にインクリメントした値を生成し、ライトポインタとして使用する。このとき、ライトDEFINER信号の起動タイミング毎に、同じポインタ値を生成する（本実施形態では「2」）。

[0031] そして、FIFO3は、FF13にデータが存在すれば、ライトポインタ値で示されるバッファにFF13のデータをライトし、データが存在しなければ、ライトポインタ値で示されるバッファに不定値をライトする。図3に示すように、タイミング1ではFF13にデータ「1」があり、ライトポインタ生成回路31のポインタ値＝1であるため、タイミング1でバッファ311へのデータセット指示が出され、タイミング2で、バッファ311にデータが保持される。なお、このバッファ311に次のデータがセットされる

のは、ライトポインタ＝１になるタイミング１１で指示が出された次のタイミング１２となる。

[0032] 同様に、タイミング２のＦＦ１３のデータ「２」は、タイミング２でデータセット指示が出るので、タイミング３でバッファ３１２にデータが保持されていく。この書き込み処理は、ＦＦ１３にデータがある場合、ライトポインタ生成回路３１のポインタ値に従い、実施されていく。

[0033] 次に、リード処理について説明する。リードポインタ生成回路３２は、リードＤＥＦＩＮＥＲ信号をリード処理の起動タイミングとして、サイクル毎に１インクリメントした値を生成し、リードポインタとして使用する。このときリードＤＥＦＩＮＥＲ信号の起動タイミング毎に、同じポインタ値を生成する。本例では、ライトタイミングの３サイクル後に読み出す仕様なので、起動毎にリードポインタ「９」をセットする。つまり、ライトポインタのポインタ値が３サイクル後に、リードポインタのポインタ値として現れる。バッファ３１１～３１１０内にデータが存在する場合、リードポインタのポインタ値に従い、ＦＦ２３にバッファ３１１～３１１０内のデータが読み出され、データが存在しない場合、リードポインタのポインタ値に従い、不定値が読み出される。

[0034] 本発明の乗り換え回路では、ライト処理・リード処理ともポインタ値に従い処理を行う。そのため、あるタイミングでライト処理とリード処理のポインタ値を一致させることでリードポインタとライトポインタの関係が常時保障され、常にライトポインタに対して、一定サイクル後のリードポインタを生成するため、リード処理がライト処理を追い越す事はなくなり、ポインタ比較を行うことなく乗り換えが可能となる。

[0035] ここで、図４及び図５を参照して、本発明とは異なる非同期ＦＩＦＯ回路と本発明の非同期ＦＩＦＯ回路との比較を示す。

[0036] 図４に示す本発明とは異なる非同期ＦＩＦＯ回路では、書き込みＦＦ４から読み出しＦＦ４２までのデータ処理の流れを見ると、まず、書き込みＦＦ４からＦＩＦＯ４１にデータをタイミング２で書き込む。同時にＦＩＦＯの

ポインタ値をバイナリポインタ411として格納し、タイミング3でバイナリポインタ値のグレイコード化を行い、グレイポインタ412として格納する。そして、データを安定化させるため同期化FFとしてタイミング4でFF413、タイミング5でFF414に格納する。FF段数は回路規則に従うので、本例では2段としている。リード側CLKに乗り換えた後、FIFOが空かどうかをempty判定回路415で判定し、emptyでないと判定されればリードを行う。このように、本発明とは異なる非同期FIFO回路では、6サイクルが必要である。

[0037] 一方、本発明においては、ポインタの比較でemptyの判定を行わないため、グレイコード化やFFでの安定化が必要なくなる。そのため、図4に示す符号412～415の回路が不要になる。その結果、本発明では、図5に示すように、タイミング4でリード処理が可能となり、2サイクルの高速化が実現でき、レイテンシを短くすることができる。

[0038] 更に、本発明の処理は、リクエストの有無に関係なくライト・リードを行う構成になっているためデータ制御が簡素化できる。このため、連続したデータを処理するストリーミングデータの処理を行うのに適している。

[0039] 以上のように、本発明では、異なるPLLドメイン間のデータ転送において、異なるPLL入力に同一CLK (CLKA) を使用する回路構成としている。そして、ライト処理で使用するライトクロックをCLKAのn通倍したクロックとした場合、ライトクロックはCLKAとクロックエッジが一致しているため、このライトクロック同期してCLKAサイクルのパルス信号を生成する回路 (DEFINER生成回路) を使用する回路構成としている。また、リード処理で使用するリードクロックをCLKAのm通倍したクロックとした場合、リードクロックはCLKAとクロックエッジが一致しているので、このリードクロックに同期してCLKAサイクルのパルス信号を生成するリードDEFINER回路を使用する回路構成としている。

[0040] 上記3つの回路を実装し、ライト側のDEFINER回路とリード側のDEFINER回路を使用することで、CLKAサイクル内にn個のライトデ

ータとm個のリードデータが存在する事がわかる。そこで、設計時にm個のリードデータはn個以上のライトデータを読み出さないように調整する事で、ライトポインタとリードポインタの引き渡しによる乗り換えから固定時間での乗り換えが可能となり、レイテンシを短縮できる回路が実現できる。

[0041] なお、上記実施形態では、CLKAの周波数=100MHz、ライトクロック=1GHz、リードクロック=1GHzであり、ライトクロック=リードクロックの条件で適用可能な構成を例示したが、本発明の非同期FIFO回路は、以下の条件でも適用可能である。

(1) ライトクロック（高周波）＞リードクロック（低周波）

(2) ライトクロック（低周波）＜リードクロック（高周波）

[0042] 上記（1）の構成では、ライト処理のデータ量がリード処理のデータ量より多いので、ライト処理を行わないサイクルを設けることで、書き込みFIFOがオーバーフローする事を防いで処理が可能である。同様に、上記（2）の構成では、リード処理のデータ量がライト処理のデータ量より多いので、リード処理を行わないサイクルを設けることで、書き込んでいないデータを読み出す事を防いで処理が可能である。

[0043] ＜実施形態2＞

次に、本発明の第2の実施形態を、図6を参照して説明する。図6は、本実施形態における非同期FIFO回路の構成を示すブロック図である。なお、本実施形態では、実施形態1で説明した非同期FIFOの構成の概略を示している。

[0044] 図6に示すように、本実施形態における非同期FIFO回路100は、

入力されたクロックから書き込み処理で用いるライトクロックを生成するライトクロック生成部110と、

前記入力されたクロックから読み出し処理で用いるリードクロックを生成するリードクロック生成部120と、

データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成するライト制御信号生成部130と、

データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成するリード制御信号生成部 140 と、

複数のデータ保持部 151 を有し、前記ライト制御信号に基づいて前記ライトクロック毎にいずれかの前記データ保持部にデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記データ保持部からデータを読み出すデータ読み書き部 150 と、
を備えている。

[0045] 上記発明によると、同一のクロックからライトクロック及びリードクロックを生成し、さらに、これらに同期して、書き込みタイミングを制御するライト制御信号と読み出しタイミングを制御するリード制御信号とを生成している。このため、ライトサイクルとリードサイクルとは、ある決まったサイクルで動作することになるため、ライトポイントからリードポイントへのデータの引き渡しやチェックが不要になる。その結果、制御が複雑ではなく、書き込みから読み出しまでのレイテンシを減少させることができる。

[0046] <付記>

上記実施形態の一部又は全部は、以下の付記のようにも記載されうる。以下、本発明における非同期 F I F O 回路、データ読み書き方法の構成の概略を説明する。但し、本発明は、以下の構成に限定されない。

[0047] (付記 1)

入力されたクロックから書き込み処理で用いるライトクロックを生成するライトクロック生成部と、

前記入力されたクロックから読み出し処理で用いるリードクロックを生成するリードクロック生成部と、

データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成するライト制御信号生成部と、

データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成するリード制御信号生成部と、

複数のデータ保持部を有し、前記ライト制御信号に基づいて前記ライトク

ロック毎にいずれかの前記データ保持部にデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記データ保持部からデータを読み出すデータ読み書き部と、
を備えた、
非同期 F I F O 回路。

[0048] (付記 2)

付記 1 に記載の非同期 F I F O 回路であって、
前記データ読み書き部は、前記ライト制御信号に基づいて複数の前記データ保持部に対する一連の書き込み処理を起動すると共に、前記リード制御信号に基づいて複数の前記データ保持部に対する一連の読み出し処理を起動する、
非同期 F I F O 回路。

[0049] (付記 3)

付記 2 に記載の非同期 F I F O 回路であって、
前記データ読み書き部は、前記ライト制御信号と前記リード制御信号とに基づいて、前記一連の書き込み処理と前記一連の読み出し処理とを同一のタイミングで起動する、
非同期 F I F O 回路。

[0050] (付記 4)

付記 3 に記載の非同期 F I F O 回路であって、
前記データ読み書き部は、前記ライトクロック毎に書き込み対象となる前記データ保持部を特定するライトポイントを生成すると共に、前記一連の書き込み処理の起動毎に同一の前記ライトポイントを生成するライトポイント生成部と、前記リードクロック毎に読み出し対象となる前記データ保持部を特定するリードポイントを生成すると共に、前記一連の読み出し処理の起動毎に同一の前記リードポイントを生成するリードポイント生成部と、を備え、

さらに、前記データ読み書き部は、前記ライトクロック毎に生成された前

記ライトポインタが示す前記データ保持部にデータを書き込み、前記リードクロック毎に生成された前記リードポインタが示す前記データ保持部からデータを読み出す、

非同期 F I F O 回路。

[0051] (付記 5)

付記 4 に記載の非同期 F I F O 回路であって、

前記ライトポインタ生成部と前記リードポインタ生成部とは、前記一連の書き込み処理の起動毎に生成する前記ライトポインタと、前記一連の読み出し処理の起動毎に生成する前記リードポインタとが、それぞれ異なる前記データ保持部を特定するよう前記ライトポインタと前記リードポインタとをそれぞれ生成する、

非同期 F I F O 回路。

[0052] (付記 6)

付記 1 乃至 5 のいずれかに記載の非同期 F I F O 回路であって、

前記入力されたクロックのクロック源から、前記ライトクロック生成部と前記リードクロック生成部までのそれぞれの遅延が同一となる設定されている、

非同期 F I F O 回路。

[0053] (付記 7)

入力されたクロックから書き込み処理で用いるライトクロックを生成するライト側 PLL (Phase Locked Loop) と、

前記入力されたクロックから読み出し処理で用いるリードクロックを生成するリード側 PLL と、

データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成するライト制御信号生成回路と、

データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成するリード制御信号生成回路と、

複数のバッファを有し、前記ライト制御信号に基づいて前記ライトクロッ

ク毎にいずれかの前記バッファにデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記バッファからデータを読み出す F I F O と、

を備えた、

非同期 F I F O 回路。

[0054] (付記 7. 1)

付記 7 に記載の非同期 F I F O 回路であって、

前記 F I F O は、前記ライト制御信号に基づいて複数の前記バッファに対する一連の書き込み処理を起動すると共に、前記リード制御信号に基づいて複数の前記バッファに対する一連の読み出し処理を起動する、

非同期 F I F O 回路。

[0055] (付記 7. 2)

付記 7. 1 に記載の非同期 F I F O 回路であって、

前記 F I F O は、前記ライト制御信号と前記リード制御信号とに基づいて、前記一連の書き込み処理と前記一連の読み出し処理とを同一のタイミングで起動する、

非同期 F I F O 回路。

[0056] (付記 7. 3)

付記 7. 2 に記載の非同期 F I F O 回路であって、

前記 F I F O は、前記ライトクロック毎に書き込み対象となる前記バッファを特定するライトポインタを生成すると共に、前記一連の書き込み処理の起動毎に同一の前記ライトポインタを生成するライトポインタ生成回路と、前記リードクロック毎に読み出し対象となる前記バッファを特定するリードポインタを生成すると共に、前記一連の読み出し処理の起動毎に同一の前記リードポインタを生成するリードポインタ生成回路と、を備え、

さらに、前記 F I F O は、前記ライトクロック毎に生成された前記ライトポインタが示す前記バッファにデータを書き込み、前記リードクロック毎に生成された前記リードポインタが示す前記バッファからデータを読み出す、

非同期 F I F O 回路。

[0057] (付記 7. 4)

付記 7. 3 に記載の非同期 F I F O 回路であって、

前記ライトポイント生成回路と前記リードポイント生成回路とは、前記一連の書き込み処理の起動毎に生成する前記ライトポイントと、前記一連の読み出し処理の起動毎に生成する前記リードポイントとが、それぞれ異なる前記バッファを特定するよう前記ライトポイントと前記リードポイントとをそれぞれ生成する、

非同期 F I F O 回路。

[0058] (付記 7. 5)

付記 7 乃至 7. 4 のいずれかに記載の非同期 F I F O 回路であって、

前記入力されたクロックのクロック源から、前記ライト側 P L L と前記リード側 P L L までのそれぞれの遅延が同一となる設定されている、

非同期 F I F O 回路。

[0059] (付記 8)

複数のデータ保持部を有する非同期 F I F O 回路が、

入力されたクロックから書き込み処理で用いるライトクロックを生成すると共に、前記入力されたクロックから読み出し処理で用いるリードクロックを生成し、

データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成すると共に、データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成し、

前記ライト制御信号に基づいて前記ライトクロック毎にいずれかの前記データ保持部にデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記データ保持部からデータを読み出す、データ読み書き方法。

[0060] (付記 9)

付記 8 に記載のデータ読み書き方法であって、

前記ライト制御信号に基づいて複数の前記データ保持部に対する一連の書き込み処理を起動すると共に、前記リード制御信号に基づいて複数の前記データ保持部に対する一連の読み出し処理を起動する、
データ読み書き方法。

[0061] (付記 10)

付記 9 に記載のデータ読み書き方法であって、
前記ライト制御信号と前記リード制御信号とに基づいて、前記一連の書き込み処理と前記一連の読み出し処理とを同一のタイミングで起動する、
データ読み書き方法。

[0062] (付記 10. 1)

付記 10 に記載のデータ読み書き方法であって、
前記ライトクロック毎に書き込み対象となる前記データ保持部を特定するライトポイントを生成すると共に、前記一連の書き込み処理の起動毎に同一の前記ライトポイントを生成し、前記リードクロック毎に読み出し対象となる前記データ保持部を特定するリードポイントを生成すると共に、前記一連の読み出し処理の起動毎に同一の前記リードポイントを生成し、
前記ライトクロック毎に生成された前記ライトポイントが示す前記データ保持部にデータを書き込み、前記リードクロック毎に生成された前記リードポイントが示す前記データ保持部からデータを読み出す、
データ読み書き方法。

[0063] (付記 10. 2)

付記 10. 1 に記載のデータ読み書き方法であって、
前記一連の書き込み処理の起動毎に生成する前記ライトポイントと、前記一連の読み出し処理の起動毎に生成する前記リードポイントとが、それぞれ異なる前記データ保持部を特定するよう前記ライトポイントと前記リードポイントとをそれぞれ生成する、
データ読み書き方法。

[0064] 以上、上記実施形態等を参照して本願発明を説明したが、本願発明は、上

述した実施形態に限定されるものではない。本願発明の構成や詳細には、本願発明の範囲内で当業者が理解しうる様々な変更をすることができる。

[0065] なお、本発明は、日本国にて2017年10月19日に特許出願された特願2017-202859の特許出願に基づく優先権主張の利益を享受するものであり、当該特許出願に記載された内容は、全て本明細書に含まれるものとする。

符号の説明

[0066] 11, 21 PLL
12, 22 DEFINER生成回路
13, 23 FF
3 FIFO
31 ライトポインタ生成回路
32 リードポインタ生成回路
311~3110 バッファ
321 セレクタ
100 非同期FIFO回路
110 ライトクロック生成部
120 リードクロック生成部
130 ライト制御信号生成部
140 リード制御信号生成部
150 データ読み書き部
151 データ保持部

請求の範囲

- [請求項1] 入力されたクロックから書き込み処理で用いるライトクロックを生成するライトクロック生成部と、
- 前記入力されたクロックから読み出し処理で用いるリードクロックを生成するリードクロック生成部と、
- データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成するライト制御信号生成部と、
- データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成するリード制御信号生成部と、
- 複数のデータ保持部を有し、前記ライト制御信号に基づいて前記ライトクロック毎にいずれかの前記データ保持部にデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記データ保持部からデータを読み出すデータ読み書き部と、
- を備えた、
- 非同期 F I F O 回路。
- [請求項2] 請求項 1 に記載の非同期 F I F O 回路であって、
- 前記データ読み書き部は、前記ライト制御信号に基づいて複数の前記データ保持部に対する一連の書き込み処理を起動すると共に、前記リード制御信号に基づいて複数の前記データ保持部に対する一連の読み出し処理を起動する、
- 非同期 F I F O 回路。
- [請求項3] 請求項 2 に記載の非同期 F I F O 回路であって、
- 前記データ読み書き部は、前記ライト制御信号と前記リード制御信号とに基づいて、前記一連の書き込み処理と前記一連の読み出し処理とを同一のタイミングで起動する、
- 非同期 F I F O 回路。
- [請求項4] 請求項 3 に記載の非同期 F I F O 回路であって、
- 前記データ読み書き部は、前記ライトクロック毎に書き込み対象と

なる前記データ保持部を特定するライトポインタを生成すると共に、前記一連の書き込み処理の起動毎に同一の前記ライトポインタを生成するライトポインタ生成部と、前記リードクロック毎に読み出し対象となる前記データ保持部を特定するリードポインタを生成すると共に、前記一連の読み出し処理の起動毎に同一の前記リードポインタを生成するリードポインタ生成部と、を備え、

さらに、前記データ読み書き部は、前記ライトクロック毎に生成された前記ライトポインタが示す前記データ保持部にデータを書き込み、前記リードクロック毎に生成された前記リードポインタが示す前記データ保持部からデータを読み出す、

非同期 F I F O 回路。

[請求項5] 請求項4に記載の非同期 F I F O 回路であって、

前記ライトポインタ生成部と前記リードポインタ生成部とは、前記一連の書き込み処理の起動毎に生成する前記ライトポインタと、前記一連の読み出し処理の起動毎に生成する前記リードポインタとが、それぞれ異なる前記データ保持部を特定するよう前記ライトポインタと前記リードポインタとをそれぞれ生成する、

非同期 F I F O 回路。

[請求項6] 請求項1乃至5のいずれかに記載の非同期 F I F O 回路であって、

前記入力されたクロックのクロック源から、前記ライトクロック生成部と前記リードクロック生成部までのそれぞれの遅延が同一となる設定されている、

非同期 F I F O 回路。

[請求項7] 入力されたクロックから書き込み処理で用いるライトクロックを生成するライト側 PLL (Phase Locked Loop) と、

前記入力されたクロックから読み出し処理で用いるリードクロックを生成するリード側 PLL と、

データの書き込みタイミングを制御するライト制御信号を前記ライ

トクロックに同期して生成するライト制御信号生成回路と、

データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成するリード制御信号生成回路と、

複数のバッファを有し、前記ライト制御信号に基づいて前記ライトクロック毎にいずれかの前記バッファにデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記バッファからデータを読み出すFIFOと、

を備えた、

非同期FIFO回路。

[請求項8] 請求項7に記載の非同期FIFO回路であって、

前記FIFOは、前記ライト制御信号に基づいて複数の前記バッファに対する一連の書き込み処理を起動すると共に、前記リード制御信号に基づいて複数の前記バッファに対する一連の読み出し処理を起動する、

非同期FIFO回路。

[請求項9] 請求項8に記載の非同期FIFO回路であって、

前記FIFOは、前記ライト制御信号と前記リード制御信号とに基づいて、前記一連の書き込み処理と前記一連の読み出し処理とを同一のタイミングで起動する、

非同期FIFO回路。

[請求項10] 請求項9に記載の非同期FIFO回路であって、

前記FIFOは、前記ライトクロック毎に書き込み対象となる前記バッファを特定するライトポイントを生成すると共に、前記一連の書き込み処理の起動毎に同一の前記ライトポイントを生成するライトポイント生成回路と、前記リードクロック毎に読み出し対象となる前記バッファを特定するリードポイントを生成すると共に、前記一連の読み出し処理の起動毎に同一の前記リードポイントを生成するリードポイント生成回路と、を備え、

さらに、前記 F I F O は、前記ライトクロック毎に生成された前記ライトポインタが示す前記バッファにデータを書き込み、前記リードクロック毎に生成された前記リードポインタが示す前記バッファからデータを読み出す、
非同期 F I F O 回路。

[請求項11] 請求項 10 に記載の非同期 F I F O 回路であって、

前記ライトポインタ生成回路と前記リードポインタ生成回路とは、前記一連の書き込み処理の起動毎に生成する前記ライトポインタと、前記一連の読み出し処理の起動毎に生成する前記リードポインタとが、それぞれ異なる前記バッファを特定するよう前記ライトポインタと前記リードポインタとをそれぞれ生成する、
非同期 F I F O 回路。

[請求項12] 請求項 7 乃至 11 のいずれかに記載の非同期 F I F O 回路であって、

前記入力されたクロックのクロック源から、前記ライト側 P L L と前記リード側 P L L までのそれぞれの遅延が同一となる設定されている、
非同期 F I F O 回路。

[請求項13] 複数のデータ保持部を有する非同期 F I F O 回路が、

入力されたクロックから書き込み処理で用いるライトクロックを生成すると共に、前記入力されたクロックから読み出し処理で用いるリードクロックを生成し、

データの書き込みタイミングを制御するライト制御信号を前記ライトクロックに同期して生成すると共に、データの読み出しタイミングを制御するリード制御信号を前記リードクロックに同期して生成し、

前記ライト制御信号に基づいて前記ライトクロック毎にいずれかの前記データ保持部にデータを書き込むと共に、前記リード制御信号に基づいて前記リードクロック毎にいずれかの前記データ保持部からデ

ータを読み出す、
データ読み書き方法。

[請求項14] 請求項13に記載のデータ読み書き方法であって、
前記ライト制御信号に基づいて複数の前記データ保持部に対する一連の書き込み処理を起動すると共に、前記リード制御信号に基づいて複数の前記データ保持部に対する一連の読み出し処理を起動する、
データ読み書き方法。

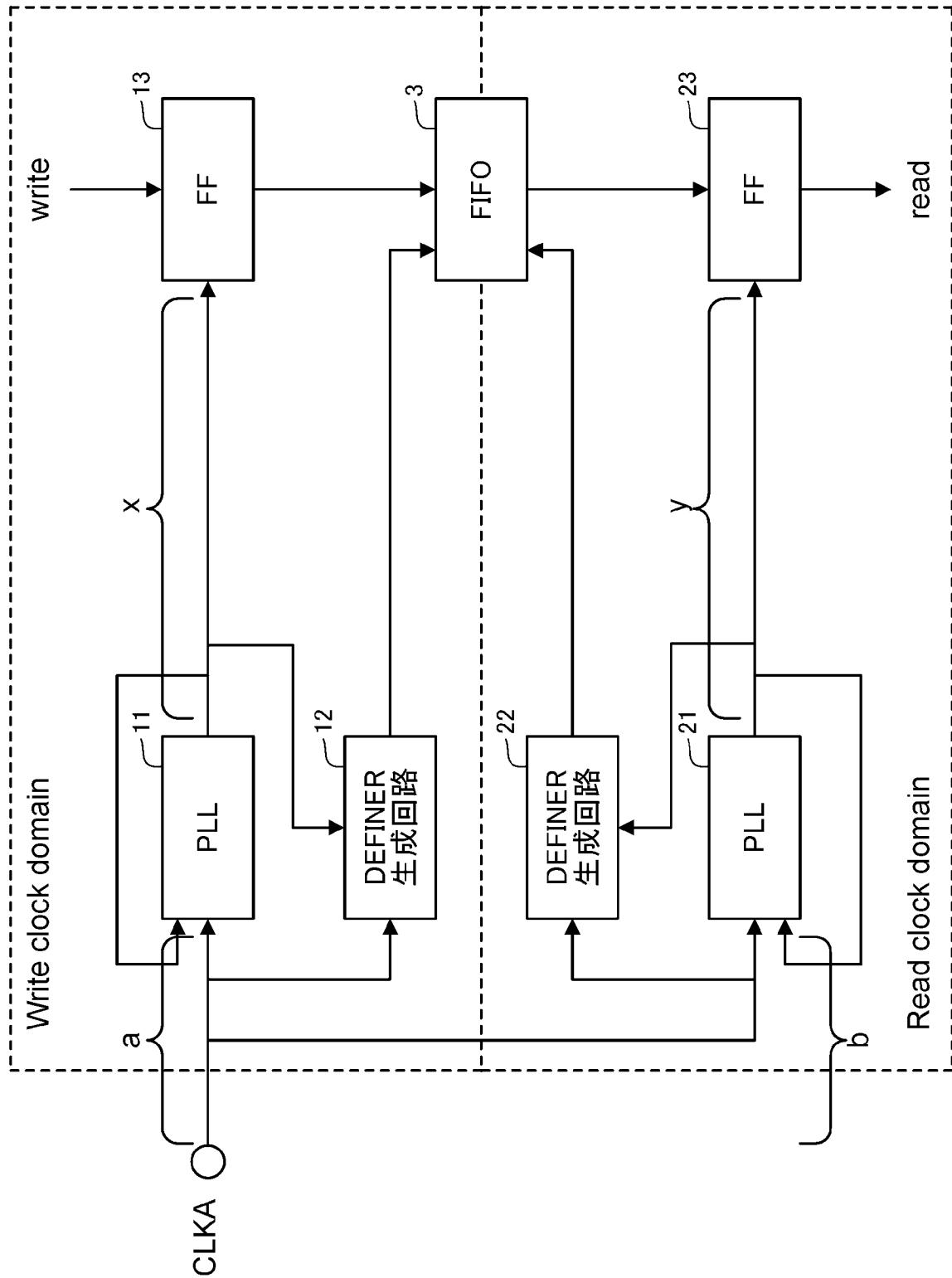
[請求項15] 請求項14に記載のデータ読み書き方法であって、
前記ライト制御信号と前記リード制御信号とに基づいて、前記一連の書き込み処理と前記一連の読み出し処理とを同一のタイミングで起動する、
データ読み書き方法。

[請求項16] 請求項15に記載のデータ読み書き方法であって、
前記ライトクロック毎に書き込み対象となる前記データ保持部を特定するライトポイントを生成すると共に、前記一連の書き込み処理の起動毎に同一の前記ライトポイントを生成し、前記リードクロック毎に読み出し対象となる前記データ保持部を特定するリードポイントを生成すると共に、前記一連の読み出し処理の起動毎に同一の前記リードポイントを生成し、
前記ライトクロック毎に生成された前記ライトポイントが示す前記データ保持部にデータを書き込み、前記リードクロック毎に生成された前記リードポイントが示す前記データ保持部からデータを読み出す、
データ読み書き方法。

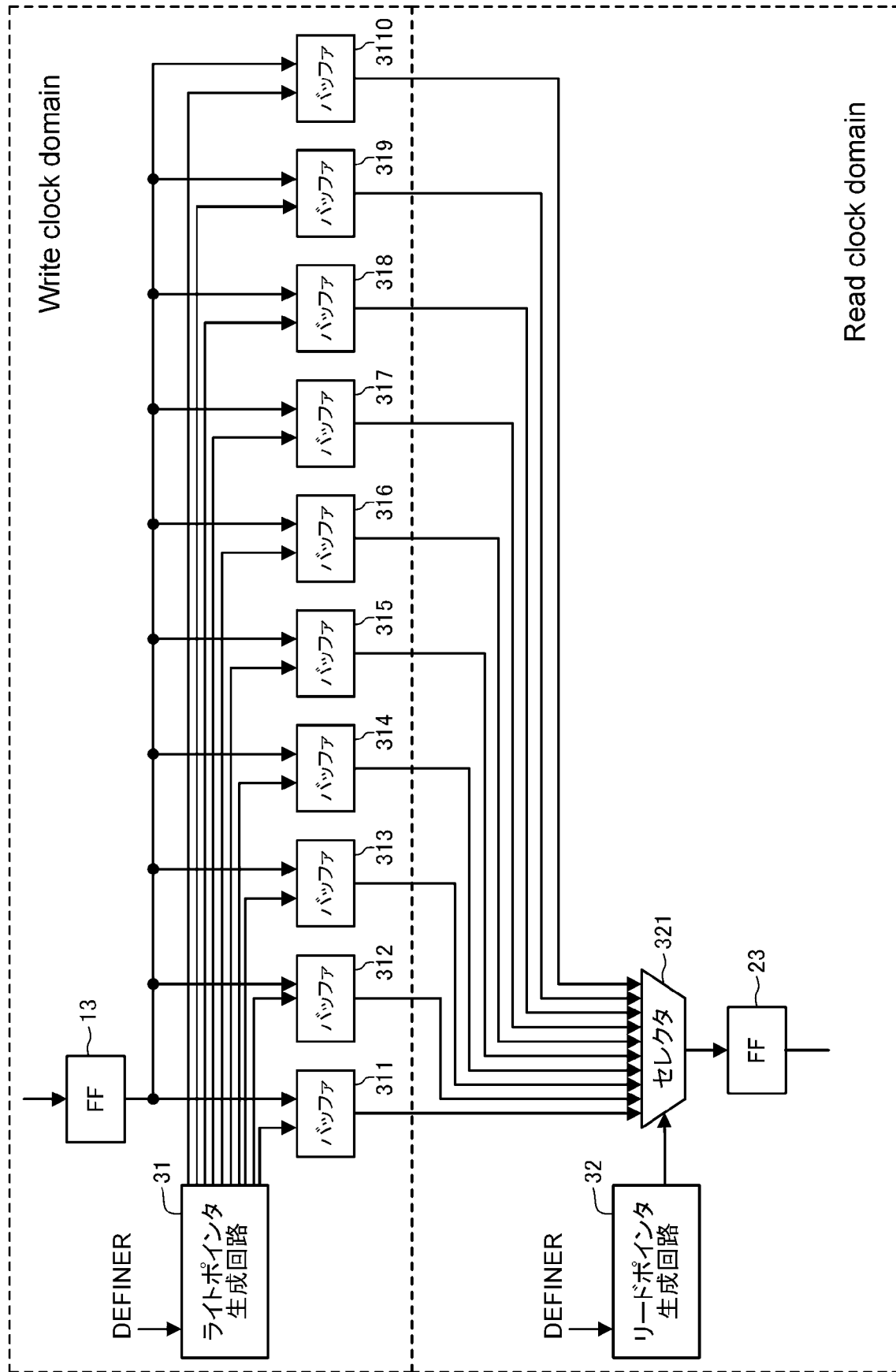
[請求項17] 請求項16に記載のデータ読み書き方法であって、
前記一連の書き込み処理の起動毎に生成する前記ライトポイントと、前記一連の読み出し処理の起動毎に生成する前記リードポイントとが、それぞれ異なる前記データ保持部を特定するよう前記ライトポイ

ンタと前記リードポインタとをそれぞれ生成する、
データ読み書き方法。

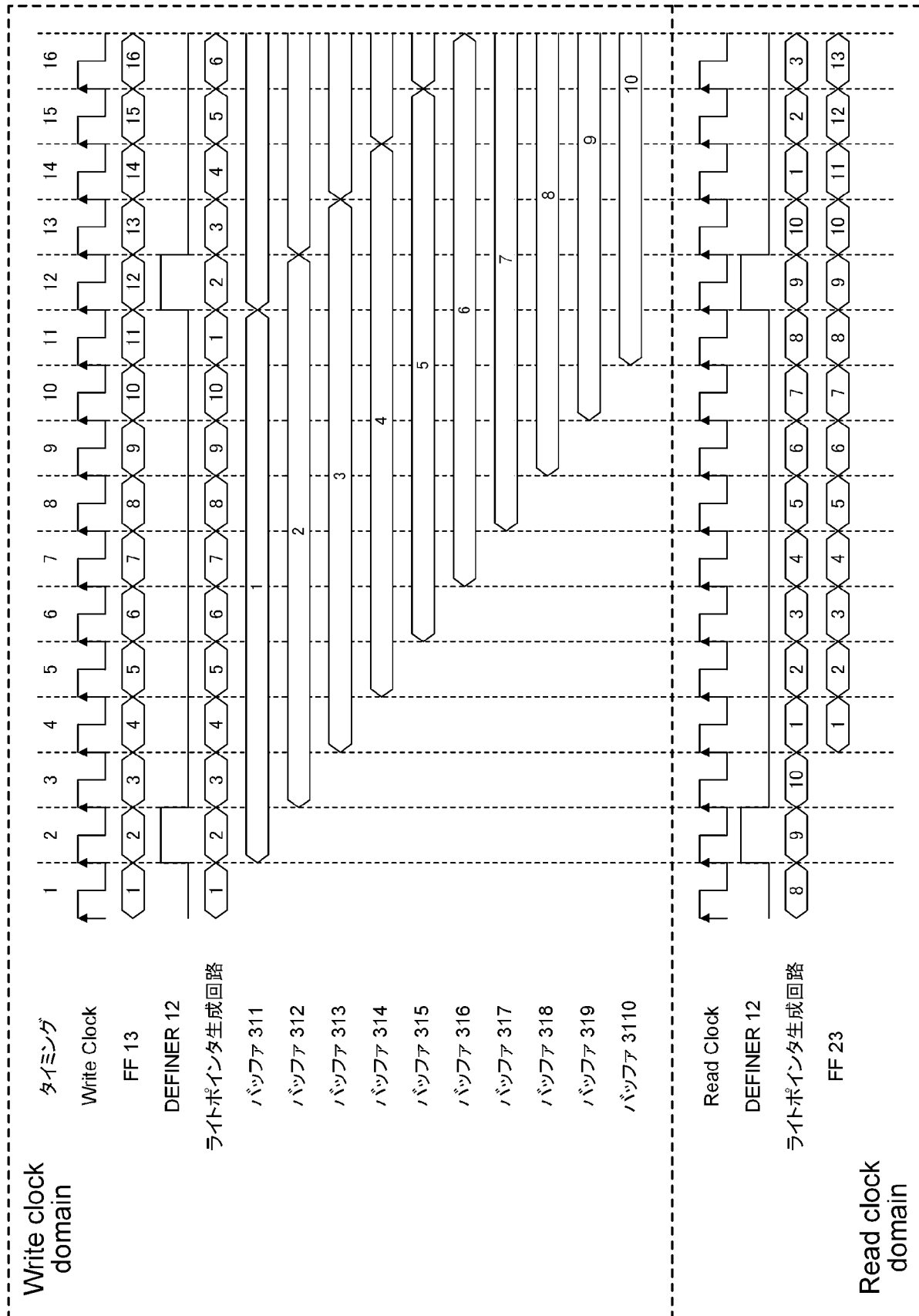
[図1]



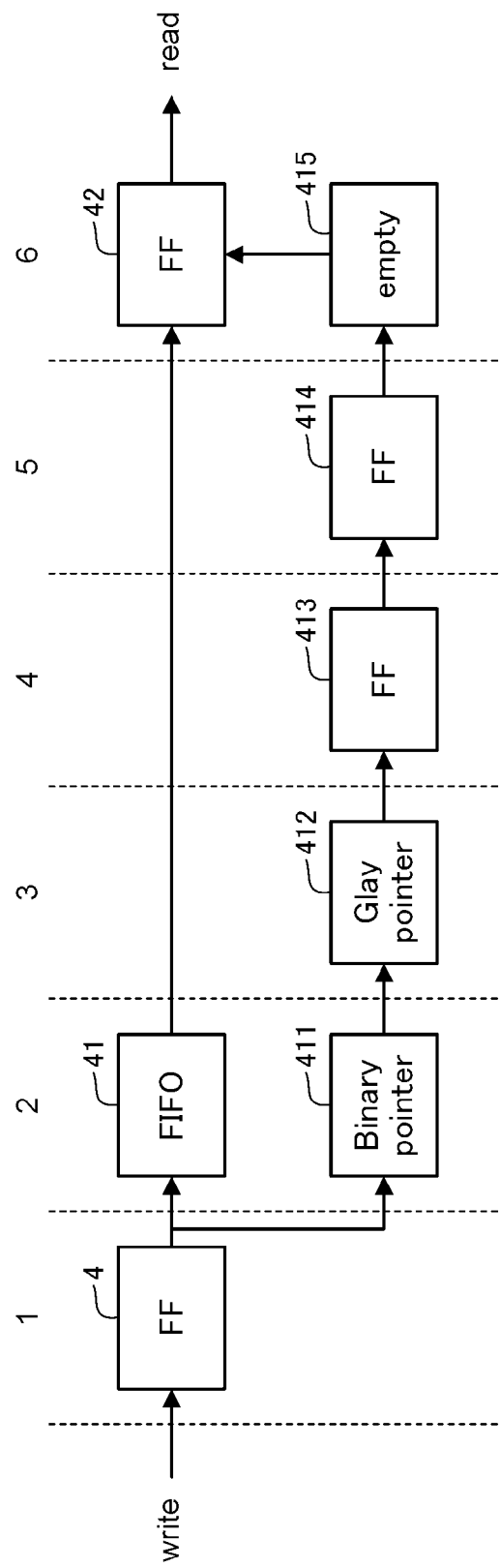
[図2]



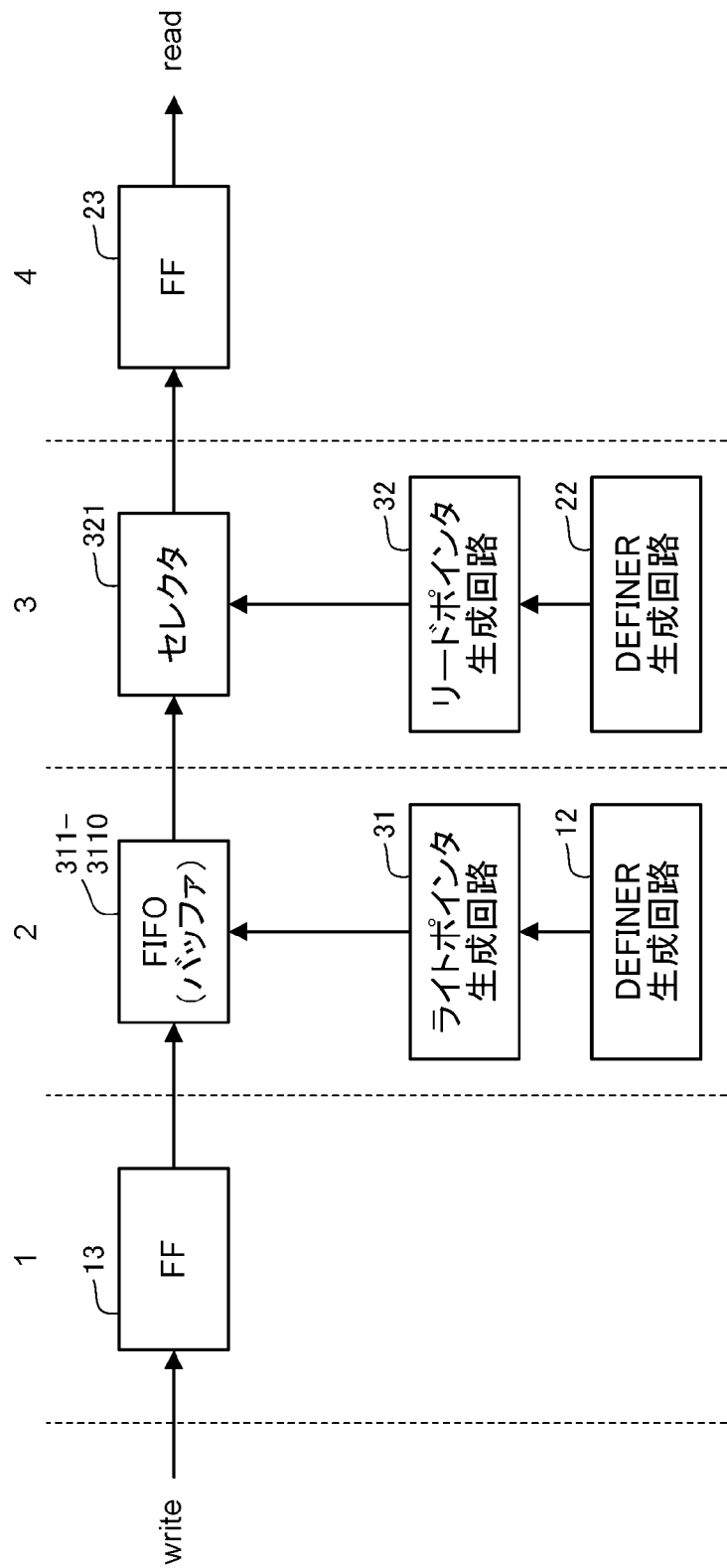
[図3]



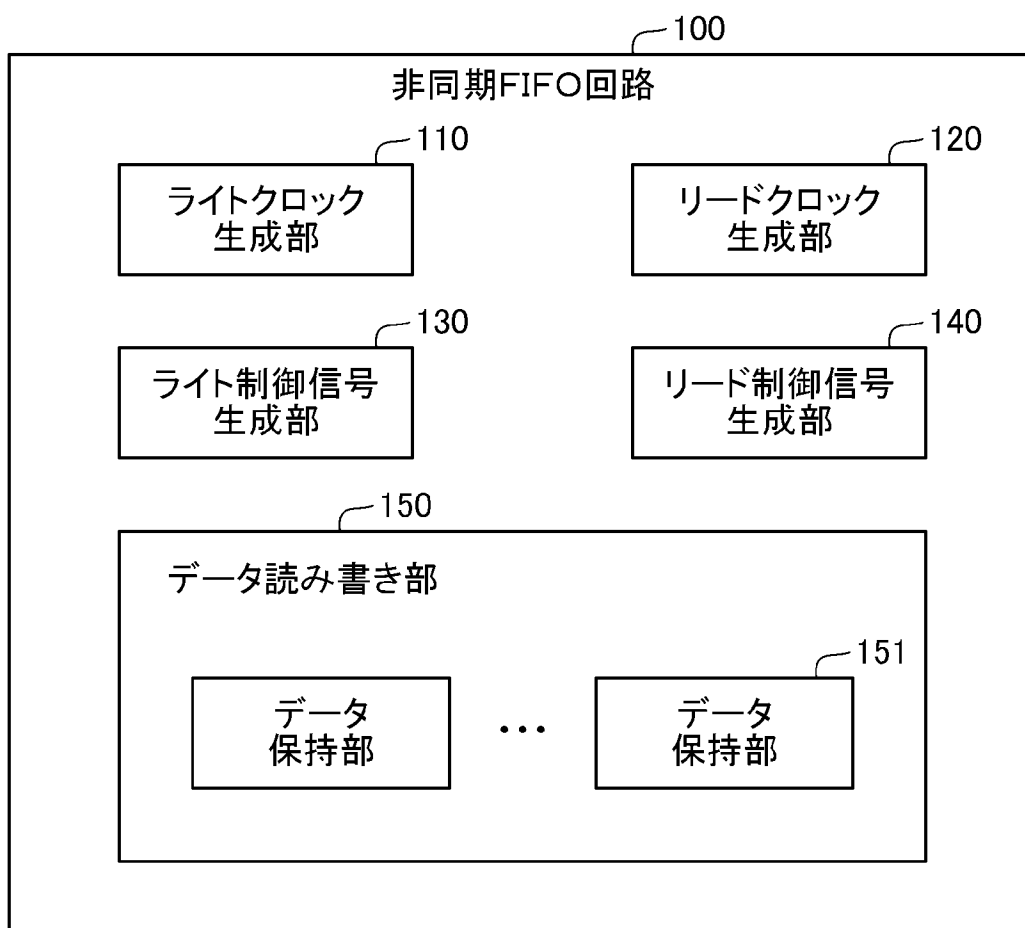
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/032935

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06F1/12 (2006.01) i, G06F13/38 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06F1/12, G06F13/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-533832 A (INTEL CORP.) 08 October 2002, paragraphs [0015]-[0023], fig. 2-17 & US 6078980 A, column 3, line 60 to column 5, line 61, fig. 1-17	1-17
Y	JP 2002-245773 A (KENWOOD CORP.) 30 August 2002, paragraphs [0013]-[0021], fig. 1, 2 (Family: none)	1-17
A	JP 2006-191389 A (SONY CORP.) 20 July 2006, paragraphs [0038]-[0050], fig. 1, 2 (Family: none)	1-17

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24.10.2018

Date of mailing of the international search report
06.11.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F1/12(2006.01)i, G06F13/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F1/12, G06F13/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-533832 A（インテル コーポレイション）2002.10.08, 段落[0015]-[0023], [図2]-[図17] & US 6078980 A 第3欄第60行-第5欄第61行, FIG. 1-17	1-17
Y	JP 2002-245773 A（株式会社ケンウッド）2002.08.30, 段落[0013]-[0021], [図1]-[図2]（ファミリーなし）	1-17
A	JP 2006-191389 A（ソニー株式会社）2006.07.20, 段落[0038]-[0050], [図1]-[図2]（ファミリーなし）	1-17

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.10.2018

国際調査報告の発送日

06.11.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

豊田 真弓

5E

8386

電話番号 03-3581-1101 内線 3521