(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11B 20/10

(45) 공고일자 2001년09월24일
(11) 등록번호 10-0304154
(24) 등록일자 2001년07월19일

(21) 출원번호 10-1997-0001104
(22) 출원일자 1997년01월16일

(65) 공개번호 특1997-0060177
(43) 공개일자 1997년08월12일

(30) 우선권주장 96-004932 1996년01월16일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지

(72) 발명자 하야시 야스히로
일본 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸 580-1, 가부시기가이샤 도시바 반도체 시스템 기술 센터내

(74) 대리인 나영환
이상섭

심사관 : 최정윤

# (54) 신호처리회로및이것을이용한재생장치

요약

본 발명은 간단한 구성으로 디스크마다 최적의 재생 속도를 설정하는데 있다.

픽업 헤드(12)로부터 디스크(11)로 레이저광이 조사되고, 그 반사광을 검출함으로써 데이타가 독출된다. 데이타는 데이타 슬라이스 회로(14)에서 2 치화 되고, PLL 및 동기 신호 분리 회로(30)에서 동기 클록 및 동기 신호가 추출된다. PLL 및 동기 신호 분리 회로(30)의 전압 제어 발진기는 제어 전압 CFV에 따라서 그 중심 주파수가 연속적으로 변화한다. 디스크 모터 제어 회로(31)는 시스템 제어기(29)로부터의 제어 명령에 따라서 디스크(11)의 회전 속도를 연속적으로 변화시킨다. 디스크(11)는 데이타의 재생이 정상으로 수행되는 최고의 회전 속도로 회전하고, 전압 제어 발진기의 특성은 디스크(11)의 회전 속도에 따라서 변화한다.

대표도
도 1

# 명세서

## 도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 재생 장치를 나타내는 회로도.

도 2는 도 1의 디스크 모터 제어 회로의 구성의 일예를 나타내는 도면.

도 3은 도 2의 회로의 특성을 나타내는 도면.

도 4는 제어 명령(C-CODE)과 디스크 속도의 관계를 나타내는 도면.

도 5는 도 1의 PLL 및 동기 신호 분리 회로의 구성의 일예를 나타내는 도면.

도 6은 도 5의 VCO의 특성을 나타내는 도면.

도 7은 도 5의 VCO의 구성의 일예를 나타내는 도면.

도 8은 도 7의 회로의 일부의 등가 회로를 나타내는 도면.

도 9는 제어 명령(C-CODE)과 CFV 전압의 관계를 나타내는 도면.

도 10은 제어 명령(C-CODE)과 VCO의 중심 주파수의 관계를 나타내는 도면.

도 11은 종래의 재생 장치를 나타내는 회로도.

〈도면의 주요 부분에 대한 부호의 설명〉

11 : 디스크

12 : 픽업 헤드

13, 19: 증폭기

14 : 데이타 슬라이스 회로

15, 30 : PLL 및 동기 신호 분리 회로

16 : 에러 정정 회로

17 : 정정용 RAM

18 : CD-ROM 디코더

20 : 픽업 서보 회로

21 : 픽업 이송 모터

22, 31 : 디스크 모터 제어 회로

23 : 드라이버

24 : 디스크 모터

25 : 클록 발생 회로

26 : 마이크로 컴퓨터 인터페이스

27 : 오디오용 D/A 변환기

28 : 호스트 컴퓨터

29 : 시스템 제어기

32 : D/A 변환기

33 : 클록 셀렉터

40 : 위상 비교기

41 : TMAX 검출기

42 : 저역 필터

43 : VCO(전압 제어 발진기)

44, 46 : 분주기

45, 51 : 셀렉터

52, 57 : 타이밍 발생기

53 : 업 카운터

54 : 디코더

55 : PWM 변환 회로

56 : 프리세트 데이타 디코더

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 특히, CD-ROM 드라이브 시스템에 있어서의 재생 장치의 개량에 관한 것이다.

도 11은 CD-ROM 드라이브 시스템의 종래의 재생 장치의 구성을 나타내는 도면이다.

픽업 헤드(12)는 디스크(11)의 표면에 레이저광을 조사함과 동시에 디스크(11)로부터의 반사광을 검출하여 이 반사광을 전기 신호로 변환한다. 픽업 헤드(12)의 출력 신호는 증폭기(13)를 경유하여 RF 신호가 되고, 이 RF 신호는 데이타 슬라이스 회로(14)에 입력된다.

데이타 슬라이스 회로(14)는 RP 신호를 2 치화하는 기능을 갖는다. 또, 데이타 슬라이스 회로(14)에 의해 2 치화된 데이타는 EFM(Eight to Fourteen Modulation) 신호로 칭한다.

EFM 신호는 PLL 및 동기 신호 분리 회로(15)에 입력된다. PLL 및 동기 신호 분리 회로(15)는 EFM 신호로부터 동기 신호(PFCK), 동기 클록(CK) 및 데이타 신호(DATA)를 생성한다. 데이타 신호(DATA) 및 동기 클록(CK)은 에러 정정 회로(16)에 입력된다. 에러 정정 회로(16)에서는 정정용 RAM(17)을 사용하여 에러 정정 처리가 행해진다.

여기서, CD-ROM 포맷의 디스크의 데이타를 재생하는 경우에는, 통상 2 배속 이상의 속도로 재생 장치를 동작시킬 때가 많다.

정정된 데이타는 CD-ROM 디코더(18)로 전송된다. 이때, 정정 처리계의 클록은 클록 셀렉터(33)에 의해 PLL 계의 클록 CK로 전환되고 있다.

또, CD-ROM 데이타를 독출할 때에는 에러 정정 회로(16)를 PLL 계의 클록 CK로 동작시키면, 고속 데이타 독출을 실현할 수 있다. 이것에 대해서는 예컨대 일본 특허 출원 평성 제6-339463호(1994년 12월 29일 출원)에 상세히 기술되어 있다.

CD-ROM 디코더(18)는 CD-ROM의 데이타 정정 및 버퍼링을 행한 후에, 데이타를 호스트 컴퓨터(28)로 고속 전송한다.

디지탈 오디오 신호가 기억되어 있는 디스크를 재생할 때는 오디오용 D/A 변환기(27)로 데이타가 입력되고, 출력 단자로부터 1 배속으로 오디오 데이타가 출력된다.

이때, 클록 셀렉터(33)는 클록 발생 회로(25)에서 생성되는 크리스탈계의 클록을 에러 정정 회로(16)로 공급하기 때문에 양질의 오디오 데이타를 얻을 수 있다.

PLL 및 동기 신호 분리 회로(15)에서 추출된 동기 신호는 디스크 모터 제어 회로(22)로 전송되어, 클록 발생 회로(25)의 클록과 비교된다. 디스크 모터 제어 회로(22)는 그 비교 결과에 기초하여 디스크를 회전시키기 위한 구동 신호(AFC)(자동 속도 제어 신호)를 출력한다.

드라이버(23)는 구동 신호(AFC)에 기초하여 소정의 재생 속도에 부합하도록 디스크 모터(24)를 구동한다.

시스템 제어기(29)는 에러 정정 회로(16)에서 정정 처리가 수행되어, 이 정정 처리로 얻어진 정정 플래그나 보정 플래그[에러 정정 플래그(ECF)]를 마이크로 컴퓨터 인터페이스(26)를 경유하여 판독한다.

이 정보에 의해 시스템 제어기(29)는 고속 재생이 불가능하다고 판단되면, 재생 속도를 낮추는 처리를 행한다.

또한, 픽업 헤드(12)로부터 독출되는 서보계의 신호는 증폭기(19)를 통해서 픽업 서보 회로(20)로 전송되고, 등화 처리가 행해진 후에 픽업 헤드(12)의 엑츄에이터 및 픽업 이송 모터(21)를 구동한다.

시스템 제어기(29)는 CD-ROM 디코더(18)의 제어를 행함과 동시에, 마이크로 컴퓨터 인터페이스(26)를 통해서 픽업 서보 회로(20)의 제어를 행한다.

일반적으로, 재생 속도를 변화시키는 경우, LSI에는 클록 발생 회로(25)에 의해 생성되는 클록을 기준으로 하여 $1/2^n$의 재생 속도가 실현가능한 구성이 구비되어 있을 때가 많다. 즉, 최대 속도가 4 배이면, 2 배, 1 배의 재생 속도를 실현할 수 있다.

## 발명이 이루고자 하는 기술적 과제

원래, CD 시스템은 오디오 재생 시스템이다. 이 때문에, 디스크는 1 배속으로 회전시키는 것이 보통이었다. 그러나, CD 시스템이 CD-ROM 드라이브에 응용되는 경우, 데이타의 전송 속도가 일반 컴퓨터의 기억 매체와 비교하여 느리다.

그래서, 최근 대용량의 동화상 데이타의 재생 처리를 고려하여, 데이타의 전송 속도를 높이는 것이 중요한 과제가 되고 있다. 최근에는 4 배속 재생기가 보통이고, 4 배속에서 6 배속, 8 배속 등으로 전송 속도의 고속화는 끊임없이 진보되는 상황이 되고 있다.

그러나, 재생 속도를 변화시키는 경우, 종래에는 전술한 바와 같이 디스크의 회전수가 최고 주파수에 대하여 $1/2^n$의 재생 속도(예컨대, 4 배속, 2 배속, 1 배속)만으로밖에 실현할 수 없었다.

또한, CD의 디스크 규격은 일반적으로 1 배속을 가정하여 정해져 있기 때문에 한쪽 단부로 중심이 치우쳐(偏心) 있는 것과 피트 성형에 이상이 있는 것은 4 배속이나 6 배속 등의 고속 회전시에서는 시크 성능이 열화하여 충분히 재생할 수 없게 되는 결점이 있다.

이와 같이, 종래의 CD 시스템에서는 이러한 중심이 치우치거나 피트 성형에 이상이 있는 디스크에 대해서는 고속 회전으로 데이타를 재생하는 것이 불가능하기 때문에, 예컨대 4 배속에서 2 배속, 1 배속으로 데이타의 전송 속도를 한쪽 단부로 불연속적으로 저하시키지 않으면 안되었다.

그 때문에, 시크 시간도 저속시에는 길어지고, 고속 재생 대응의 CD-ROM 드라이브로서의 특징을 100% 발휘할 수 없다고 하는 결점이 있었다.

한편, 수정 발진기를 변경시키거나 또는 VCO(전압 제어 발진기)를 설치함으로써, 최고 주파수에 대하여 $1/2^n$의 재생 속도 뿐만 아니라, 그 중간의 재생 속도로 디스크를 회전시킬 수도 있다.

그러나, 예컨대, VCO를 이용해서 데이타의 재생 속도(데이타 전송 속도)를 변경시키고자 하는 경우, VCO의 중심 주파수가 고정되어 있으면, VCO의 중심 주파수의 ±50%의 가변폭에 있어서만 데이타 전송 속도의 변화에 대응할 수 없다.

따라서, 재생 속도의 변화에 의해 데이타 전송 속도가 변화된 경우에, VCO의 출력 주파수에 대하여 높은 쪽의 다이나믹 범위와 낮은 쪽의 다이나믹 범위가 불균일해지고, 이후 시크를 행하면, 데이타 전송 속도의 변화에 대하여 안정하게 PLL 루프가 고정되지 않는다는 결점이 있다.

본 발명은 상기 결점을 해결하기 위해 이루어진 것으로, 그 목적은 기준의 수정 발진자를 1 개만 사용하더라도 연속적(최고 주파수에 대해여 $1/2^n$의 재생 속도뿐만 아니라 그 중간의 재생 속도를 실현하는 것)으로 재생 속도를 가변시킬 수 있고, 또한 고속 재생시에 있어서도 시크 성능을 열화시키지 않는 신호 처리 회로 및 이것을 이용한 재생 장치를 제공하는데 있다.

## 발명의 구성 및 작용

상기 목적을 달성하기 위해서, 본 발명의 신호 처리 회로는, 제어 전압에 따라서 중심 주파수를 연속적으로 변화시키는 것이 가능한 전압 제어 발진기를 가지며 디스크로부터 독출된 데이타에 기초하여 동기 클록 및 동기 신호를 추출하는 PLL 및 동기 신호 분리 수단과, 상기 디스크를 회전시키고 제어 명령에 따라서 상기 디스크의 회전 속도를 연속적으로 변화시키는 디스크 모터 제어 수단과, 상기 제어 명령을 상기 제어 전압으로 변환하는 변환 수단을 구비하고, 상기 전압 제어 발진기는 출력 주파수가 상기 중심 주파수가 되도록 제어된다.

상기 디스크 모터 제어 수단은, 상기 데이타의 재생이 정상으로 수행되는 최고의 회전 속도로 상기 디스크를 회전시킨다.

또한, 본 발명의 신호 처리 회로는, 상기 디스크로부터 독출된 데이타를 2 치화하여 EFM 신호를 생성하고 이 EFM 신호를 상기 PLL 및 동기 신호 분리 수단에 공급하는 데이타 슬라이스 수단을 더 포함한다.

또한, 본 발명의 신호 처리 회로는, 상기 데이타(상기 동기 클록 및 상기 동기 신호를 제외함)를 저장하는 메모리 수단과, 상기 동기 클록에 기초하여 동작하고 상기 데이타(상기 동기 클록 및 상기 동기 신호를 제외함)의 에러 정정 처리를 수행하여 정정 플래그 및 보정 플래그를 생성하는 에러 정정 수단을 더 포함한다.

상기 디스크 모터 제어 수단은, 기준 클록, 상기 동기 신호 및 상기 제어 명령에 기초하여 상기 디스크의 회전 속도를 결정한다.

본 발명의 재생 장치는, 디스크로부터 데이타를 독출하는 픽업 수단과, 제어 전압에 따라서 중심 주파수를 연속적으로 변화시키는 것이 가능한 전압 제어 발진기를 가지며 디스크로부터 독출된 데이타에 기초하여 동기 클록 및 동기 신호를 추출하는 PLL 및 동기 신호 분리 수단과, 상기 디스크를 회전시키고 제어 명령에 따라서 상기 디스크의 회전 속도를 연속적으로 변화시키는 디스크 모터 제어 수단과, 상기 제어 명령을 상기 제어 전압으로 변환하는 변환 수단과, 상기 제어 명령을 생성하는 시스템 제어기를 구비하고, 상기 전압 제어 발진기는 출력 주파수가 상기 중심 주파수가 되도록 제어된다.

또한, 본 발명의 재생 장치는, 상기 데이타(상기 동기 클록 및 상기 동기 신호를 제외함)를 저장하는 메모리 수단과, 상기 동기 클록에 기초하여 동작하고 상기 데이타(상기 동기 클록 및 상기 동기 신호를 제외함)의 에러 정정 처리를 수행하여 정정 플래그 및 보정 플래그를 생성하는 에러 정정 수단을 구비하고, 상기 시스템 제어기는 상기 정정 플래그 및 상기 보정 플래그를 판독하여 이 정보에 기초하여 상기 제어 명령을 생성한다.

상기 시스템 제어기는, 상기 에러 정정 수단에서 상기 데이타의 정정 처리를 수행하는 것이 가능한 최고의 회전 속도로 상기 디스크를 회전시키는 상기 제어 명령을 상기 디스크 모터 제어 수단에 공급한다.

이하, 도면을 참조하면서 본 발명의 재생 장치에 관해서 상세하게 설명한다.

도 1은 본 발명의 실시예에 따른 광 디스크 재생 장치를 나타낸 것이다.

픽업 헤드(12)는 디스크(11)의 표면에 레이저광을 조사함과 동시에 디스크(11)로부터 반사광을 검출하여 이 반사광을 전기 신호로 변환한다. 픽업 헤드(12)의 출력 신호는 증폭기(13)를 경유하여 RF 신호가 되고, 이 RF 신호는 데이타 슬라이스 회로(14)에 입력된다.

데이타 슬라이스 회로(14)는 RF 신호를 2 치화하는 기능을 갖는다. 또, 데이타 슬라이스 회로(14)에 의해 2 치화된 데이타는 EFM 신호라고도 칭한다.

EFM 신호는 PLL 및 동기 신호 분리 회로(30)에 입력된다. PLL 및 동기 신호 분리 회로(30)는 EFM 신호로부터 동기 신호(PFCK), 동기 클록(CK) 및 데이타 신호(DATA)를 생성한다. 동기 클록(CK) 및 데이타 신호(DATA)는 에러 정정 회로(16)에 입력된다. 에러 정정 회로(16)에서는 정정용 RAM(17)을 사용하여 에러 정정 처리가 행해진다.

여기서, CD-ROM 포맷의 디스크 데이타를 재생할 때는, 통상 2 배속 이상의 속도로 재생 장치를 동작시킬 때가 많다.

정정된 데이타는 CD-ROM 디코더(18)로 전송된다. 이때, 정정 처리계의 클록은 클록 셀렉터(33)에 의해 PLL 계의 클록 CK로 전환되고 있다.

또, CD-ROM의 데이타를 독출할 때는 에러 정정 회로(16)를 PLL 계의 클록 CK로 동작시키면, 고속 데이타 독출을 실현할 수 있다. CD-ROM 디코더(18)는 CD-ROM의 데이타의 정정, 버퍼링을 행한 후에, 데이타를 호스트 컴퓨터(28)로 고속 전송한다.

디지탈 오디오 신호가 기억되어 있는 디스크를 재생할 때는 오디오용 D/A 변환기(27)에 데이타가 입력되고, 출력 단자로부터 l 배속으로 오디오 데이타가 출력된다.

이때, 클록 셀렉터(33)는 클록 발생 회로(25)에서 생성되는 크리스탈계의 클록을 에러 정정 회로(16)로 공급하기 때문에 양질의 오디오 데이타를 얻을 수 있다.

PLL 및 동기 신호 분리 회로(30)에서 추출된 동기 신호 PFCK는 디스크 모터 제어 회로(31)로 전송되고, 클록 발생 회로(25)의 클록과 비교된다. 디스크 모터 제어 회로(31)는 그 비교 결과에 기초하여 디스크를 회전시키기 위한 구동 신호 AFC를 출력한다.

드라이버(23)는 구동 신호 AFC에 기초하여 소정의 재생 속도에 부합하도록 디스크 모터(24)를 구동한다.

시스템 제어기(29)는 에러 정정 회로(16)에서 정정 처리가 행해지고, 이 정정 처리에 의해 얻어진 정정 플래그나 보정 플래그(ECF)를 마이크로 컴퓨터 인터페이스(26)를 경유하여 판독한다.

이 정보에 의해 시스템 제어기(29)는 고속 재생이 불가능하다고 판단되면, 재생 속도를 낮추는 처리를 행한다.

또한, 픽업 헤드(12)로부터 독출되는 서보계의 신호는 증폭기(19)를 통하여 픽업 서보 회로(20)로 전송되고, 등화 처리가 행해진 후에, 픽업 헤드(12)의 액츄에이터 및 픽업 이송 모터(21)를 구동한다.

시스템 제어기(29)는 CD-ROM 디코더(18)의 제어를 행함과 동시에, 마이크로 컴퓨터 인터페이스(26)를 통하여 픽업 서보 회로(20)의 제어를 행한다.

본 발명의 재생 장치는 가변속 재생 기술[예컨대, 일본 특허 출원 평성 제6-339463호(1994년 12월 29일 출원)의 도 2 참조]을 이용하고 있다.

그러나, 이 가변속 재생 기술만을 가지고서는 본 발명의 목적을 달성할 수 없다.

왜냐하면, 정상시에 있어서의 디스크의 회전을 자유롭고 또한 연속적(최고 주파수에 대하여 $1/2^n$의 재생 속도 뿐만 아니라 그 중간의 재생 속도를 실현하는 것)으로 변화시키기 위해서는 디스크 모터계의 기준 회전수를 자유롭고 또한 연속적으로 변화시키는 수단을 설치할 필요가 있으며. 또한 고속 회전시의 시크 성능을 열화시키지 않기 위해서는 유한한 가변 범위폭 밖에 갖지 않은 PLL 내의 VCO의 특성을 연속적인 재생 속도에 따라서 항상 변화시킬 필요가 있기 때문이다.

그래서, 시스템 제어기(29)로부터의 재생 속도(회전 제어) 명령에 따라서, 디스크 모터계의 회전수의 기준치를 변화시킴과 동시에, 이 명령으로 PLL 계의 VCO 특성도 변화시키도록 구성하고 있다.

즉, 시스템 제어기(29)는 에러 정정 회로(16)에 있어서 정정 처리가 행해지고, 이 정정 처리에 의해 얻어진 정정 플래그나 보정 플래그(에러 정정 플래그 ECF)를 마이크로 컴퓨터 인터페이스(26)를 통하여 독출한다.

이 정보에 의해 시스템 제어기(29)는 고속 재생이 불가능하다고 판단되면, 재생 속도를 낮추는 처리를 행한다.

종래에는 재생 속도를 낮추는 처리를 행할 때, 재생 속도를 큰 폭으로(불연속으로)낮추고 있었지만. 본 발명에서는 재생 속도를 큰 폭으로(불연속으로)낮추지 않고, 데이타의 독출이 가능할 때까지 연속적으로 낮춘다.

시스템 제어기(29)는 에러 정정 플래그(ECF)를 모니터하고, 이 값에 의해 디스크 모터 제어 회로(31)를 제어한다. 디스크 모터 제어 회로(31)에는 마이크로 컴퓨터 인터페이스(26)를 통해서 회전 속도(재생 속도)를 제어하는 신호(C-CODE)가 전송된다.

또한, 이 신호(C-CODE)는 D/A 변환기(32)에 의해 아날로그 신호(제어 전압 CFV)로 변환된 후에 PLL 및 동기 신호 분리 회로(30)내의 VCO의 특성을 변화시킨다.

전술한 바와 같이, 본원 발명은 정상시에 있어서의 디스크의 회전이 자유롭고 또한 연속적으로 변화시키는 동시에, 그 디스크의 회전수에 따라서 PLL의 VCO의 특성을 변화시키고 있는 점에 특징이 있다.

우선, 정상시에 있어서의 디스크의 회전이 자유롭고 또한 연속적으로 변화시키는 수단에 관해서 설명한다.

도 2는 디스크 모터 제어 회로(31)의 일예를 나타내는 도면이다.

PLL 및 동기 신호 분리 회로로부터 출력된 동기 신호 PFCK는 1 배, 2 배, 4 배, 8 배를 선택하는 셀렉터(51)에 의해 선택되어, 타이밍 발생기(52)에 입력된다.

여기서, 동기 신호 PFCK는 CD 시스템의 경우, 1 배속에서 7.35kHz 이다.

또한, 재생 속도가 2 배, 4 배, 8 배가 되면, 입력 데이타 속도도 상승하기 때문에, PLL 및 동기 신호 분리 회로로부터 출력되는 동기 신호 PFCK의 주파수도 2 배, 4 배, 8 배가 된다.

그래서, 셀렉터(51)는 예컨대 8 배를 선택했을 때는 동기 신호 PFCK의 주파수를 1/8로 하도록 구성하고 있다. 따라서, 소정의 재생 속도(1 배, 2 배, 4 배, 8 배)가 설정된 경우에는 디스크 모터 제어 회로에 의해 계측되는 주파수는 항상 7.35kHz 가 된다.

또한, 시스템 제어기로부터의 제어 명령(C-CODE)에 의해 소정의 재생 속도(1 배, 2 배, 4 배, 8 배)의 중간의 재생 속도가 설정된 경우, 또는 디스크가 극단적인 편심 등에 의한 시크가 행해진 경우에는, 제어 명령(C-CODE)에 따라서 PLL 및 동기 신호 분리 회로로부터 출력되어 디스크 모터 제어 회로에 의해 계측되는 주파수는 데이타 전송 속도에 따라서 7.35kHz 보다도 높거나 또는 낮아진다.

타이밍 발생기(52)에서는 동기 신호 PFCK의 펄스의 에지에 기초하여 11 비트 업 카운터(53)의 값을 래치하거나 또는 클리어하는 펄스를 생성함과 동시에, 동기 신호 PFCK의 주기를 계측한다.

예컨대, 동기 신호 PFCK(7.35kHz)의 주기를 계측하는데 대하여 CD 시스템에서 일반적인 수정계의 주파수 4.2336MHz[타이밍 발생기(57)의 출력]로 카운트하면 576 클록이 된다.

11 비트 업 카운터(53)의 하위 8 비트(카운트치)는 11→8 디코더(54)를 경유하여 PWM 변환 회로(55)에 입력된다.

11→8 디코더(54)는 카운트치가 1024 이하인 것을 8 비트 데이타로 최소값 " 0" 으로 변환하고, 카운트치가 1279 이상인 것을 8 비트 데이타로 최대값 " 255" 로 변환시킨다. 물론, 11→8 디코더(54)는 카운트치가 1024에서 1279의 것에 대해서 8 비트 데이타로 0  255로 변환하여 PWM 변환 회로(55)에 출력한다.

11→8 디코더(54)의 특성은 도 3에 나타낸 바와 같이, 11 비트 업 카운터(53)의 카운트치 1152를 중심으로 하여, 그 중심값에서 ±128 단계의 범위에서, 선형인 데이타 변환 영역을 얻을 수 있도록 설정되어 있다.

PWM 변환 회로(55)는 8 비트 데이타이고, 128(카운트치 1152)일 때는 현상태의 재생 속도를 유지하는 AFC 신호를 출력하고, 128을 초과할 때(카운트치 1152를 초과할 때)는 가속, 128을 밑돌 때(카운트치 1152를 밑돌 때)는 감속하는 AFC 신호를 출력하도록 설정되어 있다.

즉, PWM 변환 회로(55)에서는 8 비트 데이타가 펄스폭 변조(Pulse Width Modulation)되어, 논리 회로(58)를 통해서 디스크 모터의 회전수를 제어하는 AFC 신호로서 출력된다.

프리세트 데이타 디코더(56)는 11 비트 업 카운터(53)의 초기치가 되는 프리세트치가 설정되는 것이고, 시스템 제어기로부터의 제어 명령(C-CODE)에 따라서 프리세트치가 변경된다.

여기서, 예컨대 C-CODE "8", PECK = 7.35kHz일 때, 프리세트 데이타 디코더(56)에서 11 비트 업 카운터(53)의 프리세트치로서 576이 설정되는 경우에 대해서 생각할 수 있다. 이 경우, 11 비트 업 카운터(53)에서는 동기 신호 PFCK의 주기 기간내에 1152(프리세트치 576 + 576)까지 카운트되기 때문에, 재생 속도는 변화하지 않도록 제어된다. 따라서, 이 경우, 프리세트치 576은 재생 속도가 1 배, 2 배, 4 배, 8 배일 때의 기준 프리세트치가 된다.

이때, C-CODE를 변화시키고, 프리세트치를 기준 프리세트치(576)보다도 큰 값으로 설정하면, 당초에는 1152 보다도 큰 값까지 카운트되기 때문에 재생 속도는 상승하는 방향으로 제어된다. 재생 속도가 상승하면, 동기 신호 PFCK의 주기가 짧아지기 때문에 카운트치의 상한은 점차로 작아지고, 최종적으로는 1152 까지 카운트됨으로써, 재생 속도가 C-CODE로 결정된 프리세트치에 따른 값이 된다.

반대로, C-CODE를 변화시키고, 프리세트치를 기준 프리세트치(576)보다도 작은 값으로 설정하면, 당초에는 1152 보다도 작은 값까지 카운트되지 않기 때문에, 재생 속도는 하강하는 방향으로 제어된다. 재생 속도가 하강하면, 동기 신호 PFCK의 주기가 길어지기 때문에 카운트치의 상한은 점차로 커지고, 최종적으로는 1152까지 카운트되게 되고, 재생 속도가 C-CODE로 결정된 프리세트치에 따른 값이 된다.

이와 같이, 제어 명령(C-CODE)의 값에 따라서 프리세트치를 변화시킴으로써 재생 속도(디스크의 회전 속도)를 자유롭고 또한 연속적으로 변화시킬 수 있다.

도 4는 시스템 제어기(29)의 제어 명령(C-CODE)과 디스크 속도의 관계를 나타내는 도면이다.

시스템 제어기는 에러 정정 회로로부터 출력되는 에러 정정 플래그(ECF)에 기초하여 제어 명령(C-CODE)을 설정한다. 즉, 에러 정정 플래그(ECF)는 데이타의 에러율을 나타내고 있기 때문에, 이 에러 정정 플래그(ECF)를 보는 것으로, 데이타의 품위를 판단할 수 있다.

즉, 일정한 품위를 유지하면서 데이타를 판독할 수 있는 디스크의 회전 속도의 한계를 설정하고, 이 한계를 초과했을 때에 제어 명령(C-C0DE)을 변경시켜 디스크의 회전 속도를 낮추도록 제어한다. 또한, 제어 명령(C-CODE)을 변경시켜 디스크의 회전 속도를 상승시키도록 제어하여 일정한 품위를 유지하면서 데이타를 판독할 수 있는 최대의 디스크 회전 속도로 데이타를 독출한다.

시스템 제어기는 제어 명령(C-CODE)을 변경시킴으로써, 각 배속 재생 모드(1 배, 2 배, 4 배, 8 배)에 있어서, 중심 속도(C-CODE = "8")에 대하여 ±50% 까지 디스크의 회전 속도를 연속적으로 변화시킬 수 있다.

동 도면으로 알 수 있는 것은, 종래에는 1 배, 2 배, 4 배, 8 배라고 하는 $2^n$배의 불연속적인 값밖에 실현할 수 없었던 재생 속도가, 본 발명에서는 시스템 제어기로부터의 제어 명령(C-CODE)만으로 $2^n$배의 불연속적인 값에 부가해서, 그 중간의 재생 속도로 데이타를 전송할 수 있게 된 것이다.

또, 각 배속 재생 모드에서는 서로 약간의 오버랩 영역을 가지고 있기 때문에, 재생 속도의 절대값으로서는 전체에서 0.5 배속에서 최대 12 배속까지 연속적으로 회전 속도를 변화시킬 수 있다.

다음에, 디스크의 회전수에 따라서 PLL의 VCO의 특성을 변화시키는 수단에 관해서 설명한다.

VCO를 이용하여 데이타의 재생 속도를 연속적으로 변경시키고자 하는 경우, 고속 재생시에 있어서의 시크 성능의 향상을 도모하기 위해서는 VCO의 중심 주파수를 가변으로 할 필요가 있다.

도 5는 PLL 및 동기 신호 분리 회로(30)의 일예를 나타내는 것이다.

데이타 슬라이스 회로로부터 출력되는 EFM 신호는 위상 비교기(40)와 TMAX 검출기(41)에 각각 입력된다. 여기서, 위상 비교기(40)는 동기 클록 CK와의 위상을 비교하는 회로이고, TMAX 검출기(41)는 CD 포맷에 기초하여 EFM 신호 내부에 포함되는 최대 길이의 신호[EFM 신호의 경우는 11T, 또 1 배속의 경우 1T=1/4.32MHz 가 된다](TMAX)를 검출하는 회로이다.

TMAX 검출기(41)의 분해능을 상승시키기 위해, 분주기(46)가 설치되고, TMAX 검출기(41)는 동기 클록 CK의 2 배의 주파수로 계측된다.

위상 비교기(40)의 출력 신호와 TMAX 검출기(41)의 출력 신호는 저역 필터(42)에서 가산되어, 전압 신호 CV가 되며, VCO(43)를 제어한다.

VCO(43)의 발진 출력 fout은 1 배, 2 배, 4 배, 8 배를 전환하기 위한 분주기(44)와 셀렉터(45)에 입력된다.

VCO(43)의 발진 출력 fout은 분주기(44), 셀렉터(45) 및 분주기(46)를 경유하여 동기 신호 분리기(47)에 입력된다. 동기 신호 분리기(47)에서는 동기 신호 PFCK를 생성하여 출력한다.

또, VCO(43)에는 CFV라고 하는 전압이 입력된다. 이 CFV는 시스템 제어기로부터의 제어 명령(C-CODE)에 따라서 변화하는 전압이다.

도 7은 VCO의 일예를 나타내는 것이다. 도 8은 도 7의 VCO를 구성하는 회로의 일부의 등가 회로를 나타내는 것이다.

CMOS · LSI 내부에서 작성되는 VCO 로서는 도 7에 나타낸 바와 같은 링 발진기에 의한 것이 일반적이다. P 채널형 MOS 트랜지스터(P1)와 N 채널형 MOS 트랜지스터(N1)로 구성된 회로(60)는 가변 저항기와 커패시터로 이루어지는 지연 회로(61)에 등가이다.

P 채널형 MOS 트랜지스터(P1)의 게이트 전극과 N 채널형 MOS 트랜지스터(N1)의 게이트 전극의 바이어스를 변화시킴으로써, 상기 지연 회로(61)의 지연량을 제어할 수 있다. 이 지연 회로(61)[즉, 회로(60)]를 N 단 직렬로 접속하고, 그 출력을 반전하여 입력으로 되돌림으로써, 링 발진기의 발진 주파수를 제어할 수 있다.

본 실시예에 있어서는 P 채널형 MOS 트랜지스터(P1)의 게이트에 제어 전압 CFV를 입력하고, N 채널형 MOS 트랜지스터(N1)의 게이트에 도 5의 저역 필터(42)의 출력 전압 CV를 입력하면, 제어 전압 CFV 및 입력 전압 CV에 따라서 도 6에 도시된 바와 같이 소정의 특성을 실현할 수 있다.

도 6은 CFV 전압이 변화했을 때의 VC0에 있어서의 입력 전압 CV와 출력 주파수 fout의 특성을 나타내는 도면이다.

CFV 전압이 PLL 루프의 기준치 VR(예컨대, 2.0V)로 하면, CFV = 2.0V 일때는 VCO의 특성은 (a)에 나타낸 바와 같이 중심 주파수가 68MHz 가 되도록 동작하며, 약 50%의 가변폭을 가지고 있다.

즉, 정상 상태에서의 시크 동작 등에 의해, 입력 데이타 속도가 약 ±50% 변화하더라도 PLL 루프는 고정할 수 있으며 데이타의 판독이 가능하다.

또한, 제어 명령(C-CODE)에 의해 디스크의 회전수(데이타 전송 속도)를 상승시키는 경우에는 입력 데이타 속도가 상승하고, 입력 전압 CV가 상승하기 때문에 출력 주파수 fout도 상승한다(?? 점).

그러나, 이 상태에서는 VCO의 중심 주파수가 68MHz 이므로 출력 주파수 fout에 대하여 높은 쪽의 다이나믹 범위와 낮은 쪽의 다이나믹 범위가 불균일하게 되어, 이후 시크를 행하면, 데이타 전송 속도의 변화에 대하여 안정하게 PLL 루프가 동기되지 않게 된다.

그래서, 시스템 제어기는 제어 명령(C-CODE)에 의해 디스크의 회전수를 상승시킴과 동시에, 디스크의 회전수를 상승시킨 후의 VCO의 출력 주파수 fout이 중심 주파수가 되도록 특성을 변화시킨다.

즉, CFV를 VR 보다도 낮춤으로써, 도 7 및 도 8에 나타낸 지연 회로로 구성한 링 발진기의 P 채널형 MOS 트랜지스터(P1)의 게이트 전위가 내려가고, 지연 회로 1 단에 대해서 지연 시간이 짧아진다. 그 결과, (a)의 특성은 주파수가 높은 쪽으로 이동하여, (b)에 나타내는 특성이 된다.

따라서, 이 상태에서 디스크의 편심 등에 기인하는 정상 상태에서의 시크 동작이 행해지더라도 입력 데이타 속도의 약 ±50%의 변화에 대하여 PLL 루프를 고정시킬 수 있다.

이와 유사하게, 제어 명령(C-CODE)에 의해 디스크의 회전수(데이타 전송 속도)를 낮추는 경우에는 입력 데이타 속도가 내려가고, 입력 전압 CV가 내려가기 때문에 출력 주파수 fout도 내려간다(?? 점).

그러나, 이 상태에서는 VCO의 중심 주파수가 68MHz 이기 때문에, 출력 주파수 fout에 대하여 높은 쪽의 다이나믹 범위와 낮은 쪽의 다이나믹 범위가 불균일하게 되고, 이후 시크를 행하면, 데이타 전송 속도의 변화에 대하여 안정하게 PLL 루프가 고정되지 않게 된다.

그래서, 시스템 제어기는 제어 명령(C-CODE)에 의해 디스크의 회전수를 낮추는 동시에, 디스크의 회전수를 낮춘 후의 VCO의 출력 주파수 fout이 중심 주파수가 되도록 특성을 변화시킨다.

즉, CFV를 VR 보다도 상승시킴으로써, 도 7 및 도 8에 나타낸 지연 회로로 구성한 링 발진기의 P 채널형 MOS 트랜지스터(Pl)의 게이트 전위가 상승하고, 지연 회로 1 단에 대하여 지연 시간이 길어진다. 그 결과, (a)의 특성은 주파수가 낮은 쪽으로 이동하여, (c)에 나타내는 특성이 된다.

따라서, 이 상태에서 디스크의 편심 등에 기인하는 정상 상태에서의 시크 동작이 행해지더라도 입력 데이타 속도의 약 ±50%의 변화에 대하여 PLL 루프를 고정시킬 수 있다.

도 9는 시스템 제어기의 제어 명령(C-CODE)과 CFV 전압의 관계를 나타내는 도면이다. 또한, 도 10은 시스템 제어기의 제어 명령(C-CODE)과 VCO 중심 주파수 VC(C-CODE 가 " 8" 에 있어서 VC=VR로 함)의 관계를 나타내는 것이다.

이들 도면에서 알 수 있는 것은 시스템 제어기로부터의 제어 명령(C-CODE)에 의해, 디스크의 회전 속도를 미묘하고 연속적으로 변화시킴과 동시에, 제어 전압 CFV를 변경시키며, 또한 VCO의 중심 주파수 VC의 값을 변경시키고 있는 것이다.

즉, 소정의 디스크의 회전 속도(입력 데이타 속도)에 있어서의 PLL 회로의 VCO의 출력 주파수 fout 가 항상 VCO의 중심 주파수 VC가 되도록 제어 전압 CFV를 설정하고 있다.

이것에 의해, 입력 데이타 속도의 약 ±50%의 변화에 대하여 항상 PLL 루프를 고정시킬 수 있게 된다.

## 발명의 효과

이상, 설명한 바와 같이 본 발명의 재생 장치에 의하면, 다음과 같은 효과를 발휘한다.

가변속 재생 기술을 전제로 하며, 또한 재생 속도를 $2^n$배의 불연속적인 값이 아니라 시스템 제어기로부터의 제어 명령(C-CODE)에 의해 미묘하고 또한 연속적으로 변화시키도록 하고 있다.

동시에, 재생 속도가 변화하더라도 항상 VCO의 출력 주파수가 중심에 위치하는 특성을 유지시킴으로써, 그 중심 주파수에 대하여 ±50%의 가변폭을 갖게 할 수 있으며, 가변속 재생 기술의 효율을 향상시킬 수 있다.

따라서, 재생하는 디스크(CD-R0M)에 허용가능한 최고의 재생 속도로 데이타를 독출할 수 있게 되어, 시크시에 있어서도 그 검색 영역(capture range)을 폭넓게 취할 수 있다.

또한, 본 시스템을 동작시킴으로서, 디스크마다 최적의 에러율로 고속 회전시킬 수 있기 때문에, 안정적으로 고속 재생 동작 및 고속 시크 동작을 행할 수 있는 드라이브 장치를 제공할 수 있다.

또한, 본원의 특허청구 범위의 각 구성 요소에 병기된 도면의 참조 부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시된 실시예로 한정하는 의도로 병기한 것은 아니다.

## (57) 청구의 범위

### 청구항 1.

디스크로부터 판독된 데이터(RF)를 2치화하여 2치화 데이터를 생성하는 데이터 슬라이스 회로(14)와,

상기 2치화 데이터를 수신하는 것으로서, 상기 2치화 데이터와 연관된 제1 제어 전압(CV)에 따라 출력 주파수를 제어하고 아날로그 신호로서 제2 제어 전압(CFV)에 따라 중심 주파수를 연속적으로 변화시키도록 제어할 수 있는 전압 제어 발진기(VCO; 43)를 구비하고, 상기 2치화 데이타에 기초하여 동기 클록 및 동기 신호를 추출하는 PLL 및 동기 신호 분리 수단(30)과;

상기 디스크를 회전시키고, 제어 명령(C-CODE)에 따라서 상기 디스크의 회전 속도를 연속적으로 변화시키는 디스크 모터 제어 수단(23, 31)과;

상기 제어 명령을 상기 제어 전압으로 변환하는 변환 수단(32)을 구비하고,

상기 출력 주파수는 상기 제1 제어 전압에 의해 변화되고,

상기 중심 주파수는 상기 제2 제어 전압에 의하여 변화되고,

상기 전압 제어 발진기는 출력 주파수가 상기 중심 주파수가 되도록 제어되는 것을 특징으로 하는 신호 처리 회로.

### 청구항 2.

제1항에 있어서, 상기 디스크 모터 제어 수단은 상기 데이타의 재생이 정상으로 수행되는 최고의 회전 속도로 상기 디스크를 회전시키는 것을 특징으로 하는 신호 처리 회로.

### 청구항 3.

제1항에 있어서, 상기 디스크로부터 독출된 데이타를 2 치화하여 EFM 신호를 생성하고, 이 EFM 신호를 상기 PLL 및 동기 신호 분리 수단에 공급하는 데이타 슬라이스 수단(14)을 더 포함하는 것을 특징으로 하는 신호 처리 회로.

### 청구항 4.

제1항에 있어서, 상기 데이타(상기 동기 클록 및 상기 동기 신호를 제외함)를 저장하는 메모리 수단(17)과, 상기 동기 클록에 기초하여 동작하고 상기 데이타(상기 동기 클록 및 상기 동기 신호를 제외함)의 에러 정정 처리를 수행하여 정정 플래그 및 보정 플래그를 생성하는 에러 정정 수단(16)을 더 포함하는 것을 특징으로 하는 신호 처리 회로.

### 청구항 5.

제1항에 있어서, 상기 디스크 모터 제어 수단은 기준 클록, 상기 동기 신호 및 상기 제어 명령에 기초하여 상기 디스크의 회전 속도를 결정하는 것을 특징으로 하는 신호 처리 회로.

### 청구항 6.

디스크로부터 데이타를 독출하는 픽업 수단(12)과;

디스크로부터 판독된 데이터(RF)를 2치화하여 2치화 데이터를 생성하는 데이터 슬라이스 회로(14)와,

상기 2치화 데이터를 수신하는 것으로서, 상기 2치화 데이터와 연관된 제1 제어 전압(CV)에 따라 출력 주파수를 제어하고 아날로그 신호로서 제2 제어 전압(CFV)에 따라 중심 주파수를 연속적으로 변화시키도록 제어할 수 있는 전압 제어 발진기(VCO; 43)를 구비하고, 상기 2치화 데이타에 기초하여 동기 클록 및 동기 신호를 추출하는 PLL 및 동기 신호 분리 수단(30)과;

상기 디스크를 회전시키고, 제어 명령(C-CODE)에 따라서 상기 디스크의 회전 속도를 연속적으로 변화시키는 디스크 모터 제어 수단(23, 31)과;

상기 제어 명령을 상기 제어 전압으로 변환하는 변환 수단(32)과,

상기 제어 명령을 생성하는 시스템 제어기(29)를 구비하고,

상기 출력 주파수는 상기 제1 제어 전압에 의해 변화되고,

상기 중심 주파수는 상기 제2 제어 전압에 의하여 변화되고,

상기 전압 제어 발진기는 출력 주파수가 상기 중심 주파수가 되도록 제어되는 것을 특징으로 하는 재생 장치.

청구항 7.

제6항에 있어서, 상기 데이타(상기 동기 클록 및 상기 동기 신호를 제외함)를 저장하는 메모리 수단(17)과, 상기 동기 클록에 기초하여 동작하고 상기 데이타(상기 동기 클록 및 상기 동기 신호를 제외함)의 에러 정정 처리를 수행하여 정정 플래그 및 보정 플래그를 생성하는 에러 정정 수단(16)을 더 포함하고,

상기 시스템 제어기는 상기 정정 플래그 및 상기 보정 플래그를 판독하여 이 정보에 기초하여 상기 제어 명령을 생성하는 것을 특징으로 하는 재생 장치.

청구항 8.

제7항에 있어서, 상기 시스템 제어기는 상기 에러 정정 수단에서 상기 데이타의 정정 처리를 수행하는 것이 가능한 최고의 회전 속도로 상기 디스크를 회전시키는 상기 제어 명령을 상기 디스크 모터 제어 수단에 공급하는 것을 특징으로 하는 재생 장치.

청구항 9.

신호 처리 회로에 있어서,

디스크로부터 판독된 데이터(RF)를 2치화하여 2치화 데이터를 생성하는 데이터 슬라이스 회로(14)와,

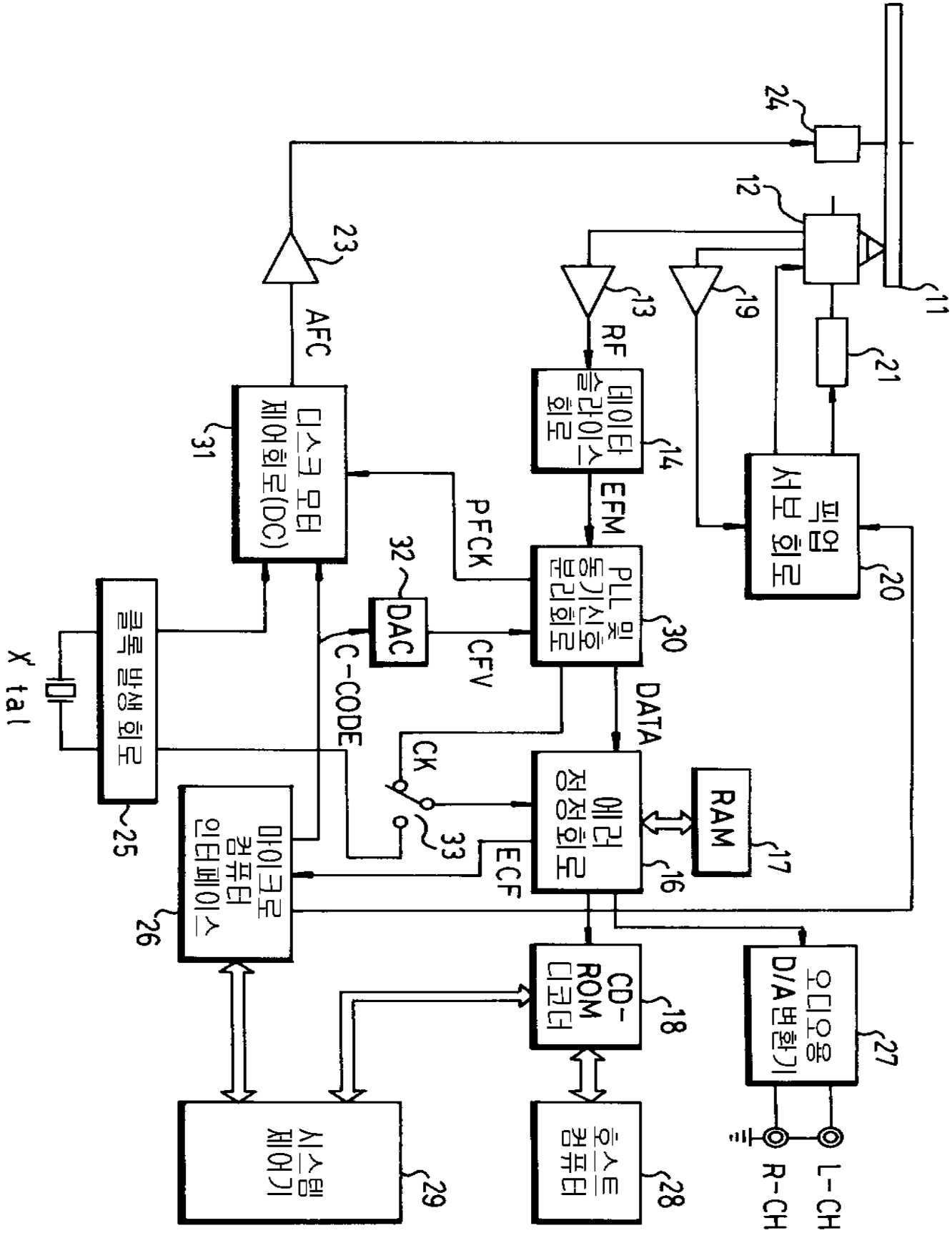
상기 2치화 데이터를 수신하는 것으로서, 상기 2치화 데이터와 연관된 제1 제어 전압(CV)에 따라 출력 주파수를 제어하고 아날로그 신호로서 제2 제어 전압(CFV)에 따라 중심 주파수를 제어할 수 있는 전압 제어 발진기(VCO; 43)를 구비하는 PLL 회로(30)를 포함하고,

상기 출력 주파수는 상기 제1 제어 전압에 의해 변화되고,

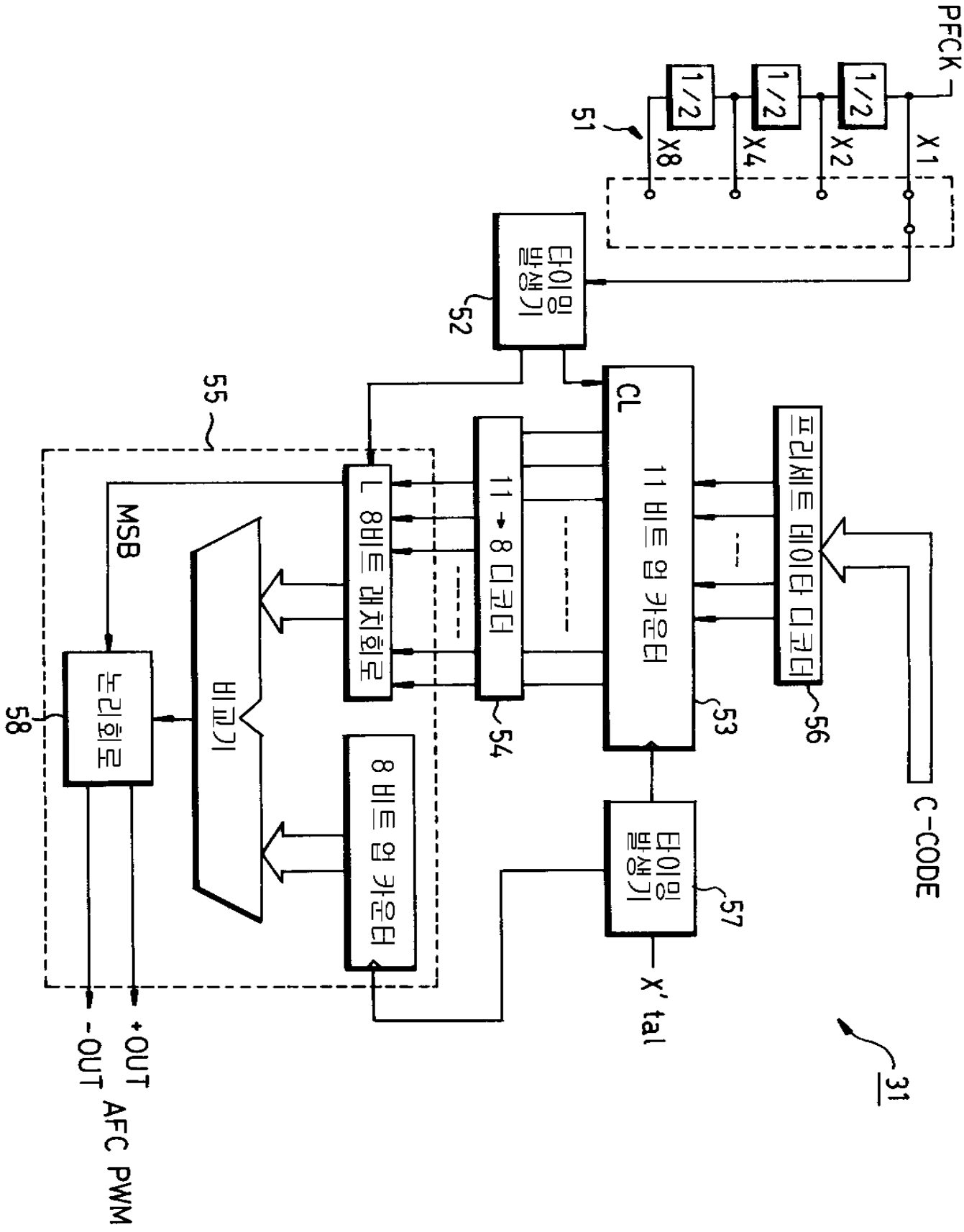
상기 중심 주파수는 상기 제2 제어 전압에 의하여 변화되는 것인 신호 처리 회로.

도면

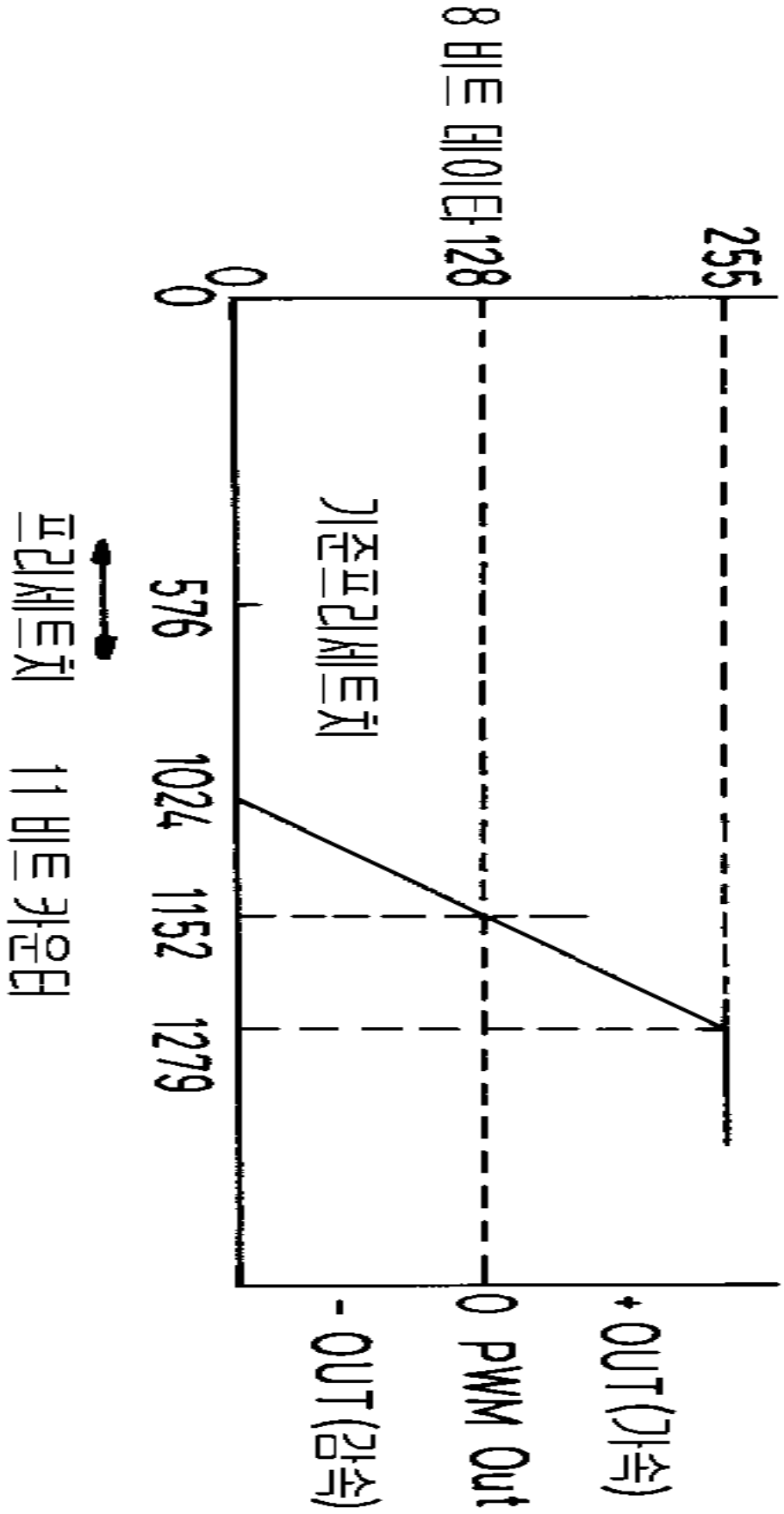
도면 1


24
12
11
23
AFC
13
RF
19
21
디스크 모터
제어회로(DC)
31
데이타
슬라이스
회로
14
EFM
픽업
서보 회로
20
PFCK
32
DAC
C-CODE
CFV
PLL 및
동기신호
분리회로
30
DATA
클록 발생 회로
X tal
CK
33
ECF
에러
정정회로
16
RAM
17
마이크로
컴퓨터
인터페이스
26
25
CD-
ROM
디코더
18
오디오
D/A변환기
27
L-CH
R-CH
시스템
제어기
29
호스트
컴퓨터
28

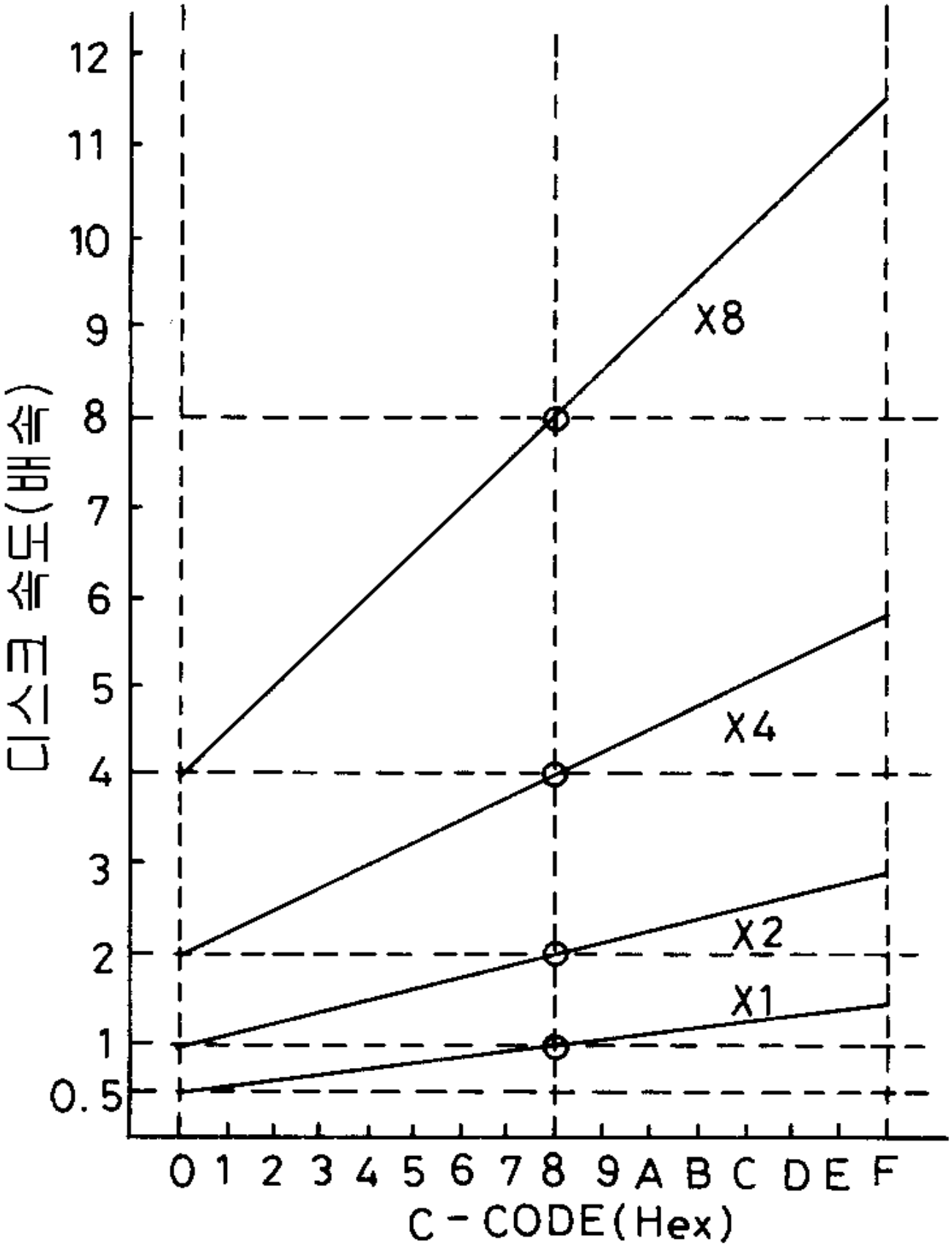
도면 2


PFCK
1/2
1/2
1/2
X8
X4
X2
X1
51
타이밍 발생기
52
55
CL
11 비트 업 카운터
프리세트 데이타 디코더
C-CODE
L 8비트 래치회로
11 → 8 디코더
MSB
비교기
논리회로
58
54
53
56
8 비트 업 카운터
타이밍 발생기
57
X' tal
31
-OUT
+OUT
AFC PWM

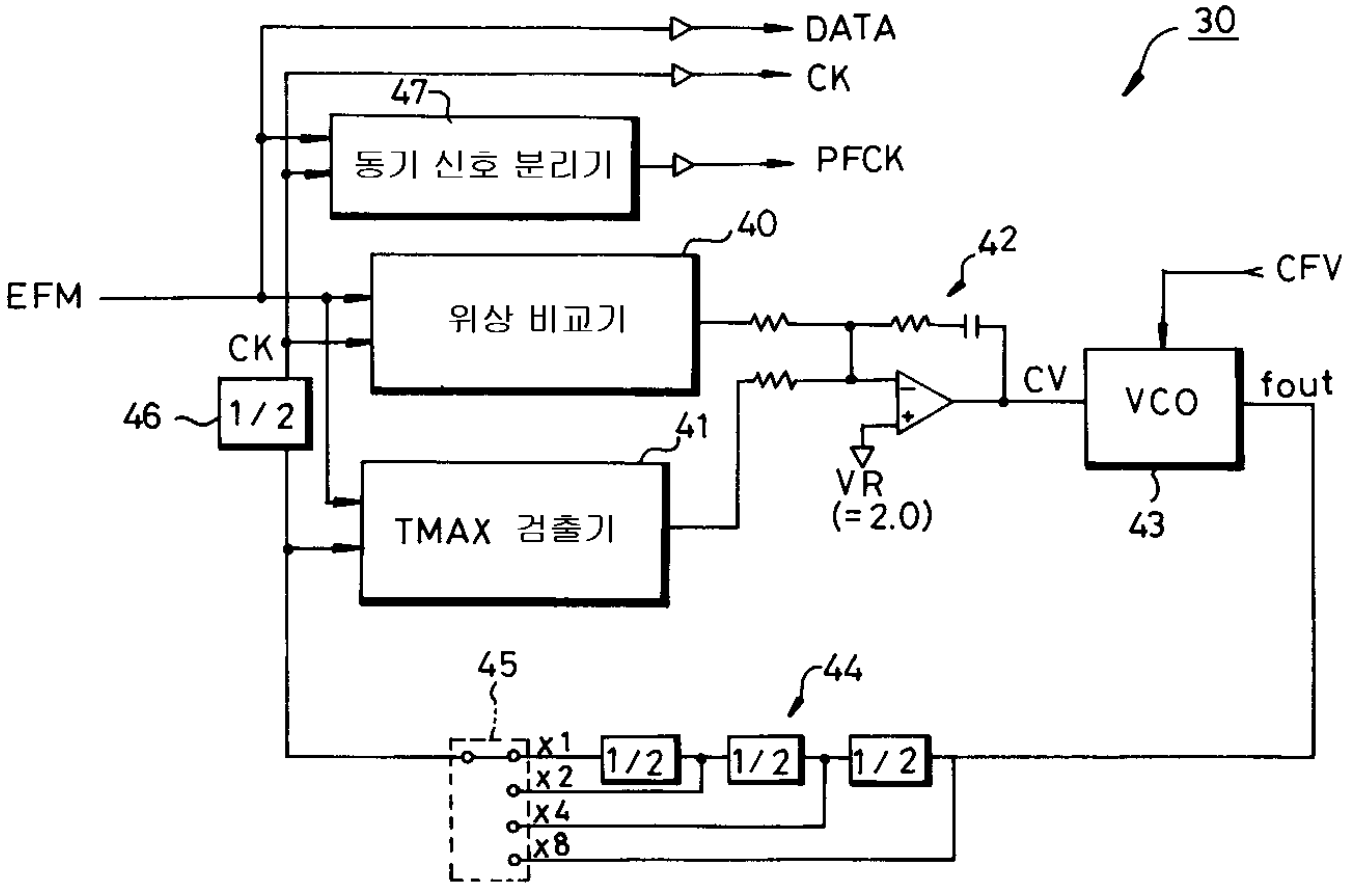
도면 3


8 비트 데이터 128
255
0
0
기준프리세트치
576
1024
1152
1279
프리세트치
11 비트 카운터
+OUT(가속)
0 PWM Out
-OUT(감속)

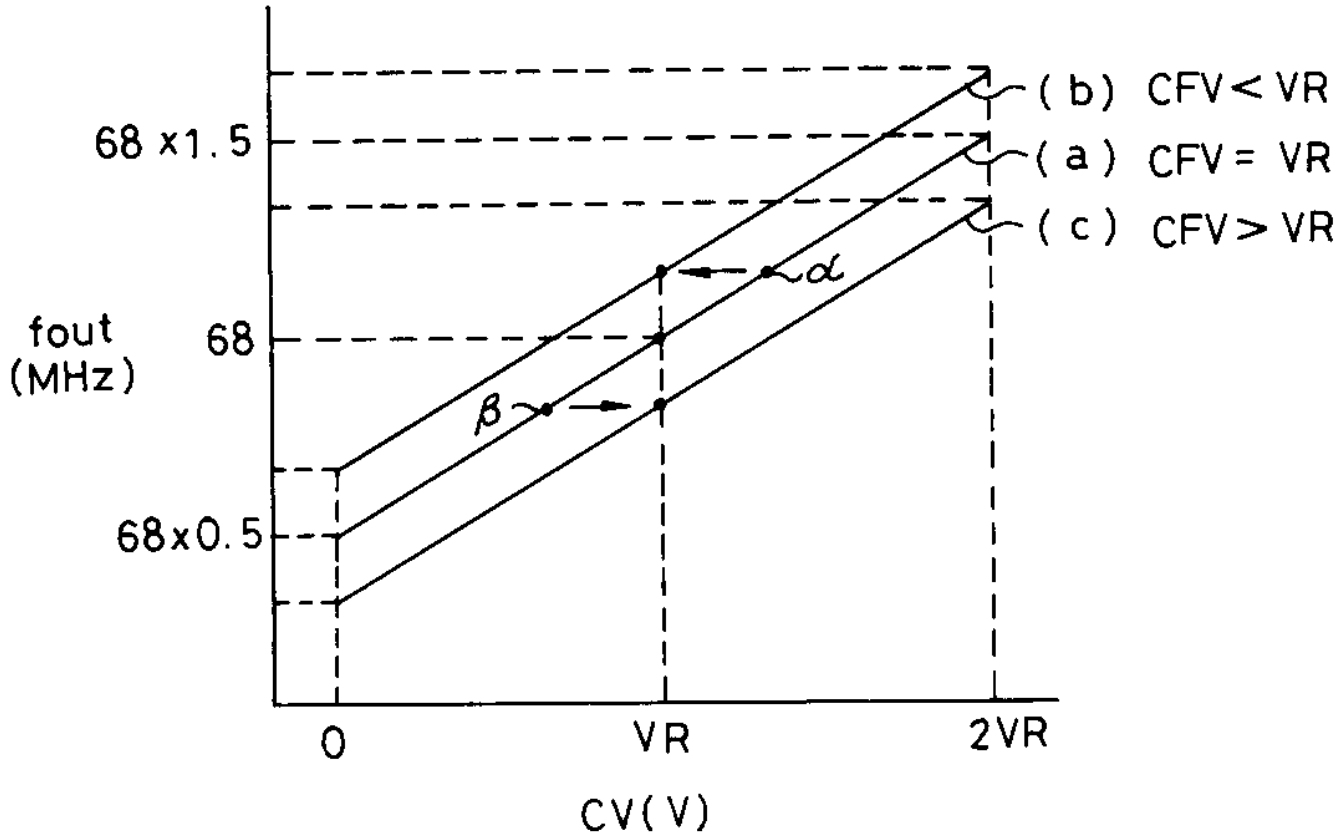
도면 4


디지털 볼륨(dB)
12
11
10
9
8
7
6
5
4
3
2
1
0.5
X8
X4
X2
X1
0 1 2 3 4 5 6 7 8 9 A B C D E F
C-CODE(Hex)

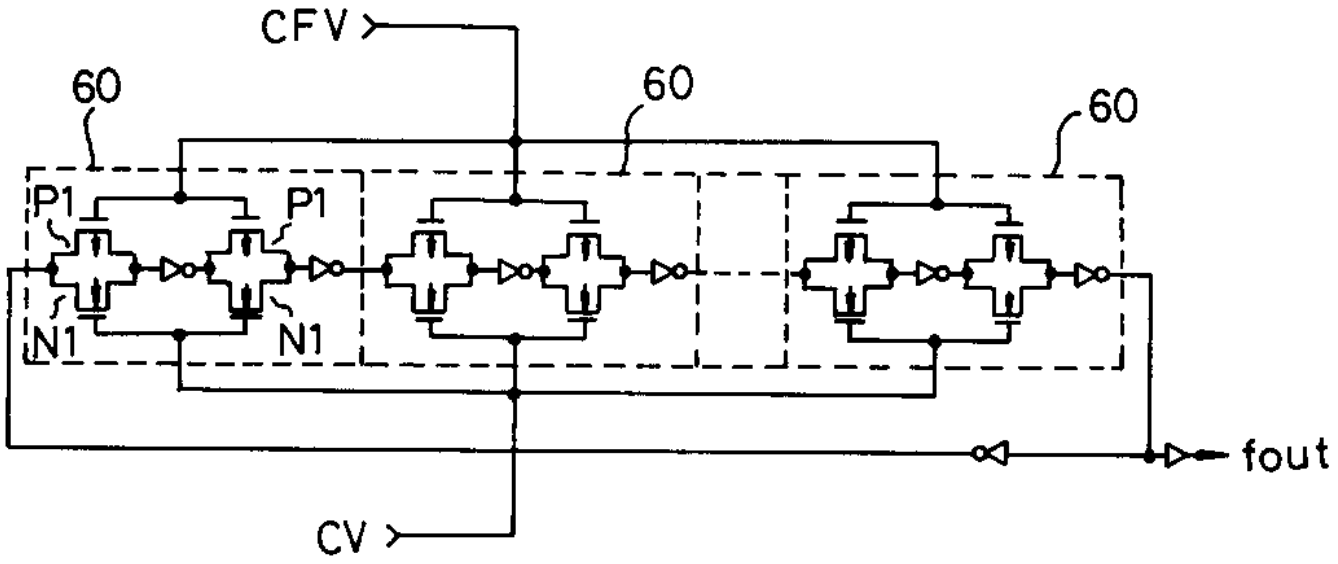
도면 5


DATA
CK
30
47
동기 신호 분리기
PFCK
40
42
CFV
EFM
위상 비교기
CK
CV
VCO
fout
46
1/2
41
VR
(=2.0)
43
TMAX 검출기
45
44
x1
x2
x4
x8
1/2
1/2
1/2

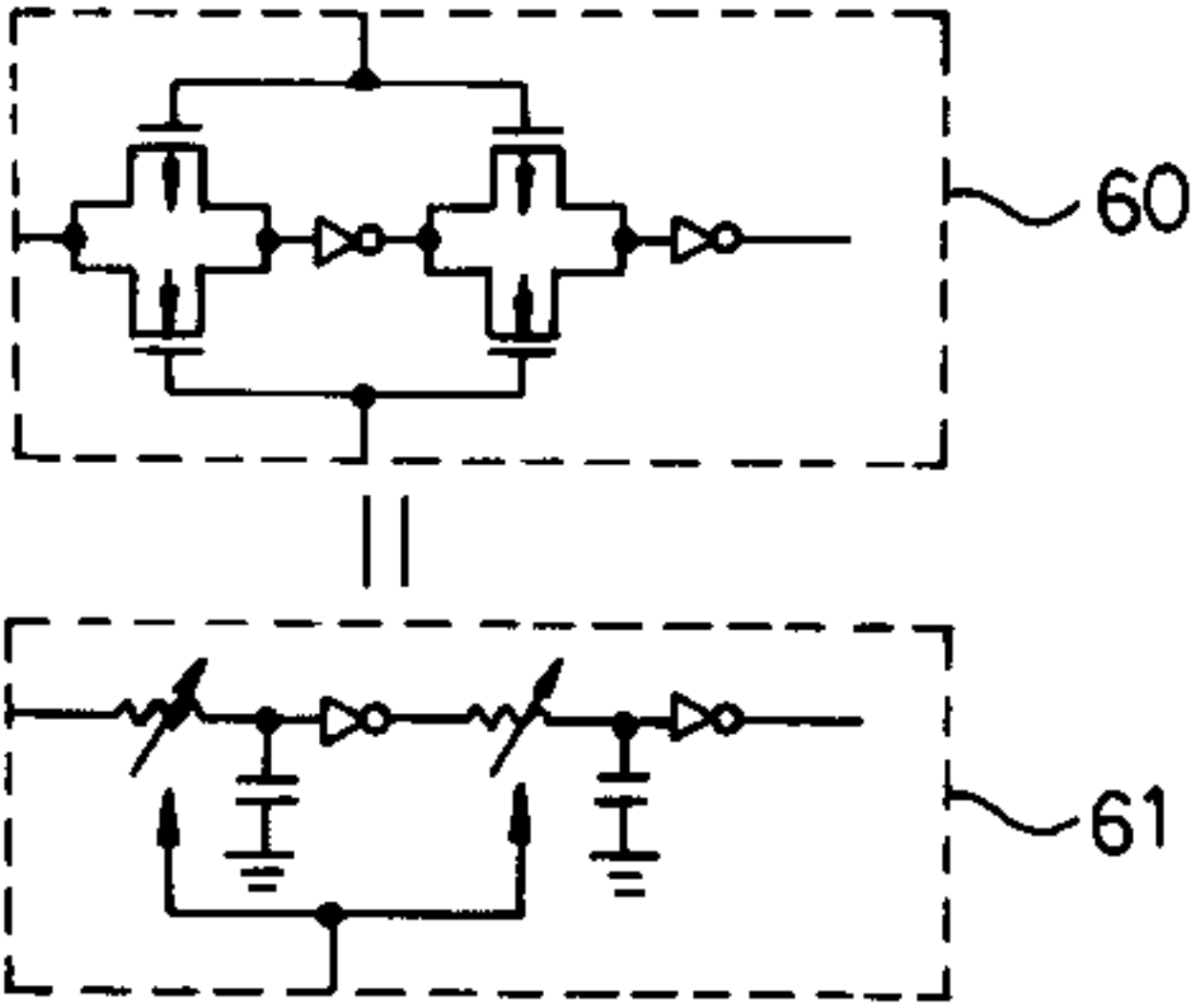
도면 6


68 x1.5
68
68x0.5
fout
(MHz)
( b) CFV< VR
( a ) CFV = VR
( c ) CFV > VR
α
β
0
VR
2VR
CV( V)

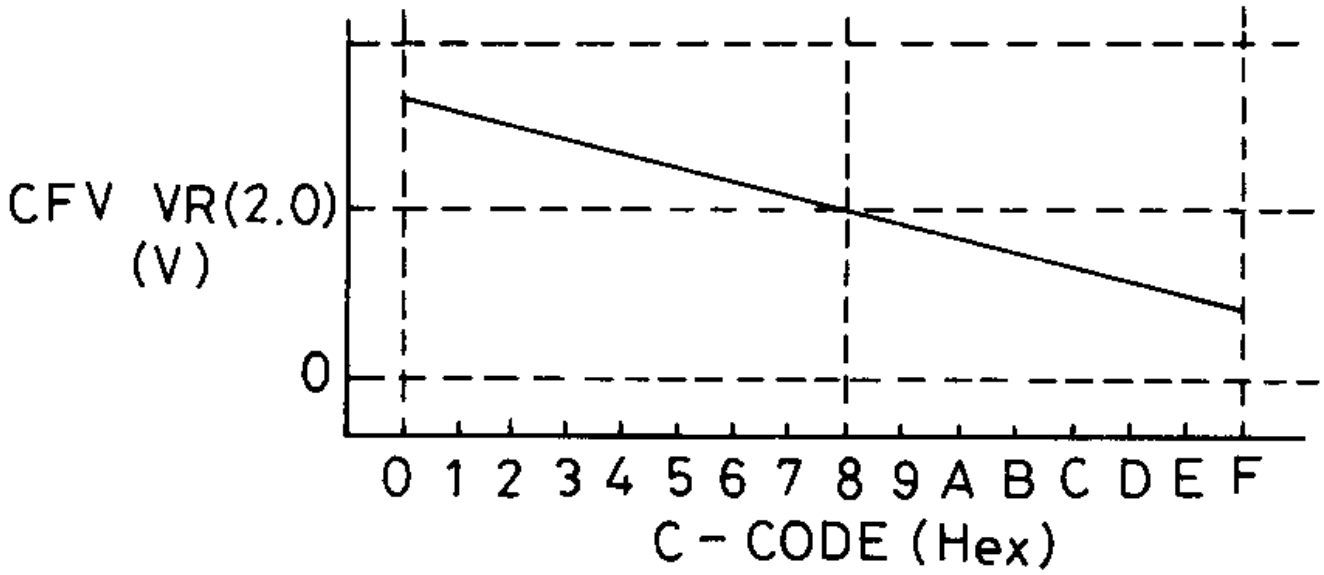
도면 7


CFV
60
60
60
P1
P1
N1
N1
fout
CV

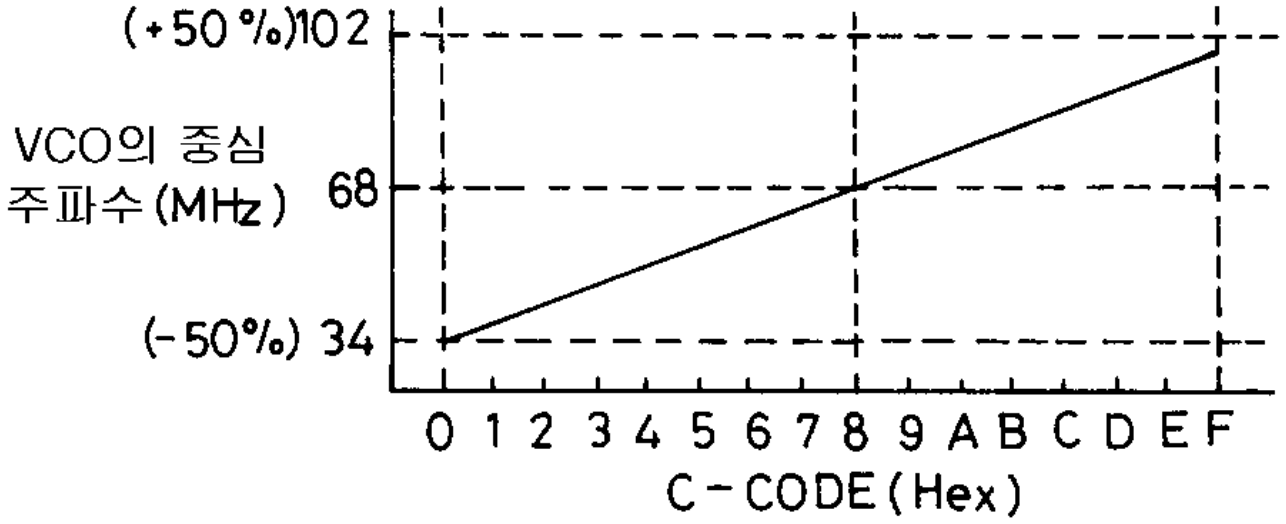
도면 8



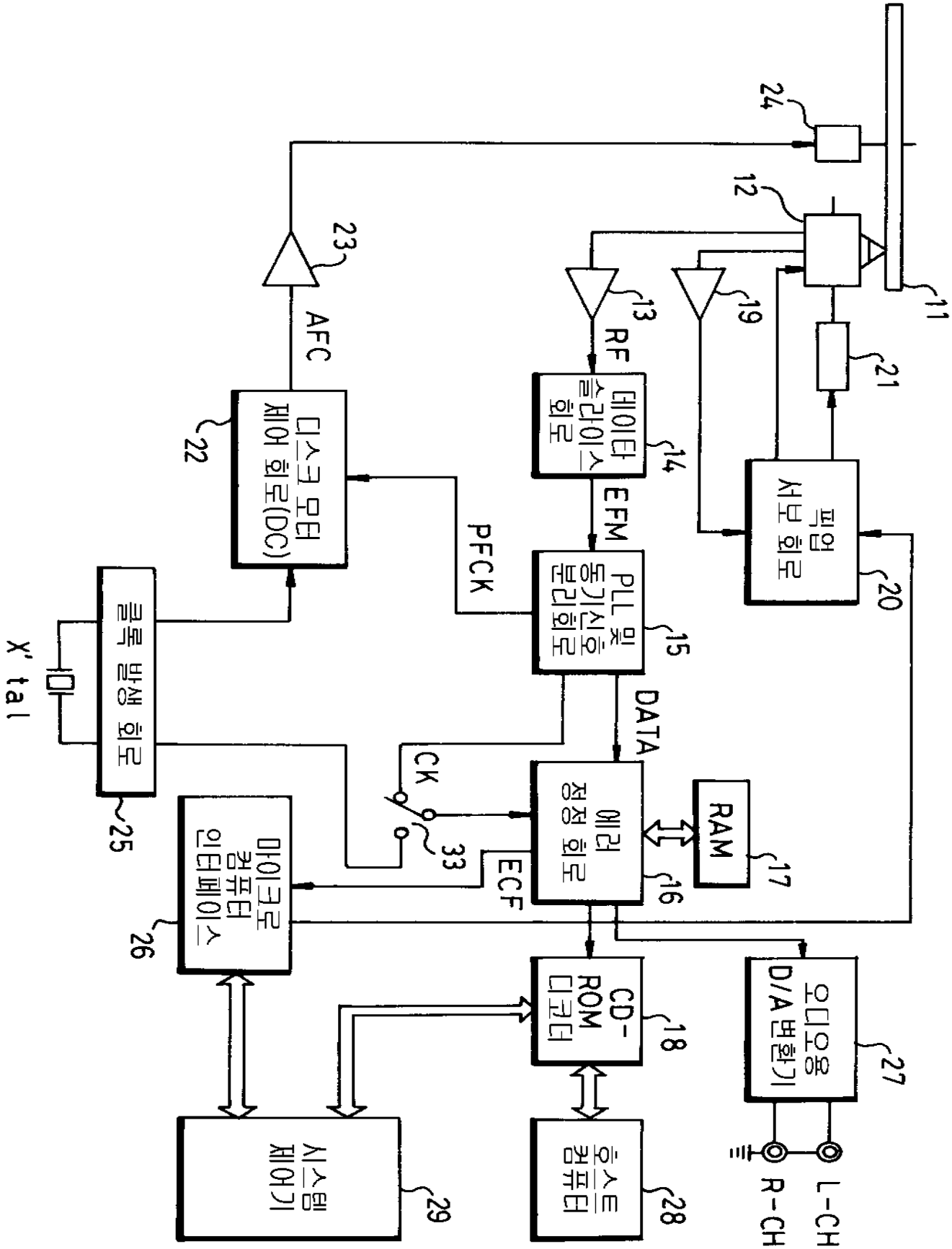
도면 9


CFV VR(2.0)
(V)
0
0 1 2 3 4 5 6 7 8 9 A B C D E F
C-CODE (Hex)

도면 10


(+50%)102
VCO의 중심
주파수(MHz)
68
(-50%) 34
0 1 2 3 4 5 6 7 8 9 A B C D E F
C-CODE(Hex)

도면 11


24
12
11
23
AFC
13
RF
19
21
22
디스크 모터
제어 회로(DC)
데이타
슬라이스
회로
14
EFM
픽업
서보 회로
20
PFCK
PLL 및
동기신호
분리회로
15
DATA
X'tal
클록 발생 회로
25
CK
33
에러
정정 회로
16
RAM
17
ECF
마이크로
컴퓨터
인터페이스
26
CD-
ROM
디코더
18
오디오용
D/A 변환기
27
R-CH
L-CH
시스템
제어기
29
호스트
컴퓨터
28