



[12] 发明专利说明书

专利号 ZL 98803865. X

[45] 授权公告日 2008 年 6 月 4 日

[11] 授权公告号 CN 100392759C

[22] 申请日 1998.1.28 [21] 申请号 98803865. X  
[30] 优先权

[32] 1997. 3. 31 [33] US [31] 08/828873

[86] 国际申请 PCT/US1998/001599 1998. 1. 28

[87] 国际公布 WO1998/044510 英 1998. 10. 8

[85] 进入国家阶段日期 1999. 9. 29

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 S·N·基尼

[56] 参考文献

US5557572A 1996. 9. 17

US5477499A 1995. 12. 19

US5077691A 1991. 12. 31

审查员 张一良

[74] 专利代理机构 中国专利代理(香港)有限公司  
代理人 王 勇 王忠忠

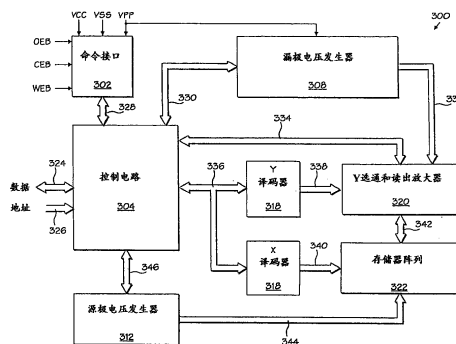
权利要求书 4 页 说明书 19 页 附图 9 页

[54] 发明名称

非易失存储设备和设置源极线电压及位线电压的方法

[57] 摘要

一个非易失存储设备(300)。对于一个实施例,非易失存储设备(300)包括一根位线、一根源极线和一个具有连接到位线的一个漏极、连接到源极线的一个源极、一个控制栅极和一个浮动栅极的非易失存储单元。非易失存储设备(300)也包括一个源极电压发生器电路(312),其连接到源极线并在编程非易失存储单元时产生一个源极线电压。源极电压发生器电路(312)根据在存储器阵列(322)中非易失存储单元的位置改变源极线电压。非易失存储设备(300)也可以包括一个漏极电压发生器电路(308),其连接到位线并在编程非易失存储单元时产生一个位线电压。漏极电压发生器电路(308)根据在存储器阵列(322)中非易失存储单元的位置改变位线电压。



1. 一种非易失存储设备, 包括:

一个存储器阵列, 它包括一个位线、一个源极线和一个具有连接到所述位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极的非易失存储单元; 和

一个源极电压发生器电路, 它连接到所述源极线并在对所述非易失存储单元进行编程时产生一个源极线电压, 其中, 所述源极电压发生器电路根据所述非易失存储单元在所述存储器阵列中的位置来改变所述源极线电压。

2. 按照权利要求 1 所述的非易失存储设备, 其特征在于, 所述源极线具有一个在所述非易失存储单元的源极和所述源极电压发生器电路之间的源极线电阻, 并且所述源极电压发生器电路改变所述源极线电压, 以补偿所述源极线电阻。

3. 按照权利要求 1 所述的非易失存储设备, 其特征在于, 还包括一个漏极电压发生器电路, 它连接到所述位线并且在所述非易失存储单元进行编程时产生一个位线电压, 其中, 所述漏极电压发生器电路根据所述非易失存储单元在所述存储器阵列中的位置来改变所述位线电压。

4. 按照权利要求 3 所述的非易失存储设备, 其特征在于, 所述源极线具有一个在所述非易失存储单元的源极与所述源极电压发生器电路之间的源极线电阻, 所述位线具有一个在所述位线电压和所述非易失存储单元的漏极之间的位线电阻, 并且所述源极电压发生器电路改变所述源极线电压以补偿所述源极线电阻, 所述漏极电压发生器电路改变所述位线电压, 以补偿所述位线电阻。

5. 按照权利要求 3 所述的非易失存储设备, 其特征在于, 还包括一个控制电路, 它连接到所述源极电压发生器电路和所述漏极电压发生器电路, 其中, 所述控制电路控制对所述非易失存储单元的编程。

6. 按照权利要求 5 所述的非易失存储设备, 其特征在于, 所述控制电路对所述非易失存储单元的地址进行译码, 以产生一个第一值和一个第二

值，其中，所述控制电路将所述第一值耦合到所述源极电压发生器电路，并且所述源极电压发生器电路响应于所述第一值而产生所述源极线电压，并且，所述控制电路将所述第二值耦合到所述漏极电压发生器电路，并且所述漏极电压发生器电路响应于所述第二值而产生所述位线电压。

7. 按照权利要求 1 所述的非易失存储设备，其特征在于，所述存储器阵列包括多个位线和多个非易失存储单元，每个存储单元具有连接到其中一个位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极，其中，所述源极电压发生器电路根据同时被编程的多个存储单元的数目而进一步改变所述源极线电压。

8. 按照权利要求 1 所述的非易失存储设备，其特征在于，所述存储器阵列包括多个非易失存储块，每个存储块包括一个位线，其中，所述非易失存储单元被包括在所选择的其中一个非易失存储块内，并且，所述源极电压发生器电路根据一个所选择的非易失存储块的地址和所述非易失存储单元在所选非易失存储块中的位置来改变所述源极线电压。

9. 按照权利要求 8 所述的非易失存储设备，其特征在于，还包括一个漏极电压发生器电路，它连接到所述位线并在对所述非易失存储单元进行编程时产生一个位线电压，其中，所述漏极电压发生器电路根据所述非易失存储单元在所选非易失存储块中的位置来改变所述位线电压。

10. 按照权利要求 2 所述的非易失存储设备，其特征在于，所述位线具有一个位线电阻，并且所述源极电压发生器改变所述源极线电压，以补偿所述位线电阻。

11. 按照权利要求 10 所述的非易失存储设备，其特征在于，还包括一个连接到所述位线的位线电压源，其中，所述位线电阻是在所述位线电压源和所述非易失存储单元的漏极之间。

12. 一种非易失存储设备，包括：

一个存储器阵列，它包括一个位线、一个源极线和一个具有连接到所述位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极的非易失存储单元；和

一个漏极电压发生器电路，它连接到所述位线并在对所述非易失存

储单元进行编程时产生一个位线电压，其中，所述漏极电压发生器电路根据所述非易失存储单元在所述存储器阵列中的位置来改变所述位线电压。

13. 按照权利要求 12 所述的非易失存储设备，其特征在于，所述源极线具有一个在所述非易失存储单元的源极和一个源极电压发生器电路之间的源极线电阻，所述位线具有一个在一个位线电压源和所述非易失存储单元的漏极之间的位线电阻，并且所述漏极电压发生器电路改变所述位线电压以补偿所述源极线电阻和所述位线电阻。

14. 一种非易失存储设备，包括：

一个存储器阵列，它包括多个位线、一个源极线和多个非易失存储单元，每个存储单元具有连接到其中一个位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极；和

一个源极电压发生器电路，它连接到所述源极线并在对所述非易失存储单元进行编程时产生一个源极线电压，其中，所述源极电压发生器电路根据同时被编程的多个存储单元的数目而改变所述源极线电压。

15. 一种非易失存储设备，包括：

一个存储器阵列，它包括多个位线、一个源极线和多个非易失存储单元，每个存储单元具有连接到其中一个位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极；和

一个漏极电压发生器电路，它连接到所述位线并在对所述非易失存储单元进行编程时产生一个位线电压，其中，所述漏极电压发生器电路根据同时被编程的多个存储单元的数目而改变所述位线电压。

16. 一种用于为多个非易失存储单元中所选择的一个设置源极线电压的方法，其中，所述多个非易失存储单元的每个存储单元具有连接到存在一个位线电阻的一个位线的一个漏极和连接到存在一个源极线电阻的所述源极线的一个源极，所述方法包括下列步骤：

对所选择的非易失存储单元的地址进行译码，以生成一个已译码地址；和

根据所述已译码地址，调整耦合到所述源极线的源极线电压，以补偿所述位线电阻和所述源极线电阻。

17. 按照权利要求 16 所述的方法, 其特征在于, 还包括确定与所选择的非易失存储单元一起被编程的若干非易失存储单元的步骤, 其中, 所述调整步骤还根据与所选择的非易失存储单元一起被编程的非易失存储单元的数目来调整所选择的非易失存储单元的源极线电压。

18. 一种用于为多个非易失存储单元中所选择的一个设置位线电压的方法, 其中, 所述多个非易失存储单元的每个存储单元具有连接到存在一个位线电阻的一个位线的一个漏极和连接到存在一个源极线电阻的源极线的一个源极, 所述方法包括下列步骤:

对所选择的非易失存储单元的地址进行译码, 以生成一个已译码地址; 和

根据所述已译码地址, 调整耦合到所述位线的位线电压, 以补偿所述位线电阻和所述源极线电阻。

19. 一种用于为多个非易失存储单元中所选择的一个设置源极线电压的方法, 其中, 所述多个非易失存储单元的每个存储单元具有连接到存在一个位线电阻的一个位线的一个漏极和连接到存在一个源极线电阻的所述源极线的一个源极, 所述方法包括下列步骤:

对所选择的非易失存储单元的地址进行译码, 以生成一个已译码地址;

根据所述已译码地址, 调整耦合到所述源极线的源极线电压, 以补偿所述源极线电阻; 和

根据所述已译码地址, 调整耦合到所述位线的位线电压, 以补偿所述位线电阻。

20. 按照权利要求 19 所述的方法, 其特征在于, 还包括确定与所选择的非易失存储单元一起被编程的若干非易失存储单元的步骤, 其中, 所述调整源极线电压的步骤还根据与所选择的非易失存储单元一起被编程的非易失存储单元的数目来调整所选择的非易失存储单元的源极线电压。

## 非易失存储设备和设置源极线电压及位线电压的方法

### 技术领域

本发明涉及存储单元的编程。更具体来说，本发明涉及在存储设备中补偿源极电压和漏极电压以便对闪速存储单元编程的一种方法和电路。

### 背景技术

非易失存储设备例如电可编程只读存储器（“EEPROMs”），电可擦可编程只读存储器（“EERPOMs”），和闪速 EEPROMs 包括非易失存储单元的一个阵列以及访问该阵列的支持电路。一个非易失存储单元一般起一个场效应晶体管一样的作用，包括一个选择栅极或控制栅极，其控制数据对存储单元的读出和写入，以及一个浮动栅极，其根据存储单元保存的数据捕捉电荷。

非易失半导体存储器的一个有吸引力的特性是保存模拟数据的能力。这使得在单个存储单元中能存储多位数据。当电荷被加到存储单元的浮动栅极时，存储单元的阈电压  $V_t$  增加，存储单元漏极电流  $I_D$ （“单元电流”）减小。存储单元阈电压  $V_t$  与存储单元漏极电流  $I_D$  有关，因而  $I_D$  正比于：

$$G_m \times (V_G - V_t) \quad \text{对于 } V_D > V_G - V_t \quad (\text{式 1})$$

式中  $G_m$  是存储单元的跨导； $V_G$  是存储单元的栅极电压； $V_D$  是存储单元的漏极电压；以及  $V_t$  是存储单元的阈电压。

对于存储多位数据的存储单元，每一个可能的位模式代表一个状态。实际上，该单元存储着基  $S$  数据，其中  $S$  是该单元能够存储的状态数。位模式通过对一个或多个单元的状态数据译码得到。例如，对于存储两位数据的存储单元，有四个位模式：00、01、10 和 11。这些位模式的每一个用一个状态表示。由特定的位模式表示的特定的状态取决于所使用的编码型式（例如，葛莱 (Gray) 编码或二进制的）。编码型式通常不影响编程的

方法。

状态可以用各种各样的方式来定义。它们可以根据阈电压  $V_t$  的范围、漏极电流  $I_D$  的范围或者电荷的范围来定义。

图 1 示出一个闪速存储器阵列 100 的一个常规部分，该阵列包括在字线 138 和 140 与位线 146 和 148 的交点处形成的闪速存储单元 112、114、116 和 118。每个闪速存储单元包括一个选择栅极和一个浮动栅极。例如，闪速存储单元 112 包括控制栅极 144 和浮动栅极 142。闪速存储单元 112 和 114 的控制栅极，连接到字线 138，闪速存储单元 116 和 118 的控制栅极连接到字线 140。闪速存储单元 112 和 116 的一个端点或电极连接到位线 146，以及另一个端点或电极连接到连接源电压 VPS 的公共源极线 150。类似地，闪速存储单元 114 和 118 的一端或电极连接到位线 148，以及另一端点或电极连接到公共源极线 150。

字线 138 和 140 也称为 X 线或行线，因为每根字线连接到一个 X 译码器电路，将电路在字线 138 和 140 上提供必需的电压，以便读出、擦除或编程数据进入闪速存储单元 112、114、116 和 118。同样，位线 146 和 148 也称为 Y 线或列线，因为每根位线连接到一个 Y 译码器电路和电压产生电路，其在位线 146 和 148 上提供必需的电压  $V_{PP}$ ，以便读出、擦除或编程数据进入闪速存储单元 112、114、116 和 118。

位线、字线和公共源极线合在一起，提供了给存储单元施加为编程、擦除和读出阵列 100 内的存储单元所必需的电压的一种手段。存储单元 112、114、116 和 118 可以采用 Fowler - Nordheim 隧道通过在字线 138 和 140 上施加近似零伏，让位线 146 和 148 浮动以及在公共源极线上设置 VPS 于近似 12 伏来擦除。在这个组态中，存储单元的整个阵列可以立即擦除。另一方面，存储单元的整个阵列可以采用负栅极擦除来擦除，也就是说设置 VPS 于约 5 - 6 伏同时在字线 146 和 148 上施加约 -8 至 -10 伏。存储单元 112、114、116 和 118 可以通过在字线 138 和 140 上施加约 1 至 7 伏，在位线 146 和 148 上施加约 1 伏至  $V_{PP}$ ，以及让公共源极线 150 接地来读出。

存储单元 112、114、116 和 118 可以经由热电子注入通过分别在位

线 146 或 148 上施加 VPP 即比 VPS 高约 4 - 7 伏以及施加一个电压至字线 138 或 140 即该电压足以改变所存储的电荷数目和存储单元被编程的阈电压来编程。一般地，在一行单元中的一个或多个闪速存储单元同时被编程，而其它行的存储单元被取消选择。

通常，闪速存储单元的编程时间与编程期间施加到存储单元的漏极和源极编程电压之间的差成反比变化。图 2 示出当源极编程电压 VS 为约零伏时编程期间闪速存储单元的阈电压 Vt 相对于编程时间以及施加至存储单元的编程漏极电压 VD 之间的关系。

在图 2 中，曲线 223 描述当漏极编程电压 VD 为约 6 伏以及源极编程电压 VS 为约零伏时阈电压与闪速存储单元的编程时间之间的关系。曲线 224 描述当编程漏极电压为约 5 伏以及源极编程电压 VS 为约零伏时阈电压与闪速存储单元的编程时间之间的关系。如图 2 所示，如果编程漏极电压与源极编程电压之间的差相对地越大，那么到达相同阈电压的闪速存储单元的编程时间相应地越短。

图 1 示出位线 146 和 148 以及源极线 150 每根都具有由于建造位线所使用的材料（如各种类型的金属或掺杂硅或多晶硅）的固有电气和物理特性引起的对称电阻。例如，位线 146 有电阻 120 和 122，位线 148 有电阻 124 和 126，以及公共源极线 150 有电阻 128、130、132、134 和 136。位线电阻和源极线电阻的值是存储器阵列 100 内闪速存储单元位置的函数，因而是对称的。实际线的电阻取决于线的几何形状，通常可以用下面的式子来表示：

$$R = P \times (L/A) \quad (\text{式 2})$$

式中 R 是线的电阻；P 是制作线所用材料的电阻率；L 是线的长度，A 是线的横截面积。如式 2 可见，当线的长度增加时，线的电阻通常增大。因此，一个闪速存储器端点的位置离一个电压源（即 VPS 或 VPP）越远，电阻数值越大，同时与由电压源供给的电压的偏差越大。

例如，如果在闪速存储单元 116 编程期间 VPS 置于零伏，那么电阻 136、134 和 130 每个两端的零伏会增大。在存储单元 116 源极上可能实际呈现作为源极编程电压 VS 的电压则是一个比零伏高的电压。同样地，一

个编程电压  $V_{PP}$  可能开始有位线 146 顶端为 6 伏，但在电阻 120 和 122 的每一个上将经历压降，因而漏极编程电压  $V_D$  将小于 6 伏。这样一来，相对于编程差值电压  $V_{PP} - V_{PS}$ ，实际编程差值电压  $V_D - V_S$  可能大大变小，因而将存储单元 116 编程到一个预定状态所要求的时间将增加。因此，编程电压源  $V_{PP}$  与  $V_{PS}$  相差较大的闪速存储单元的编程时间周期与编程电压源  $V_{PP}$  与  $V_{PS}$  比较接近的闪速存储单元的编程时间周期相比一般要求长一些。

位线电阻和源极线电阻也可能使指定要编程到相同状态的存储单元在一给定编程时间内被编程到不同的状态。例如，位于靠近电压源  $V_{PP}$  和  $V_{PS}$  的存储单元 118 可能呈现接近于  $V_{PP}$  和  $V_{PS}$  的  $V_D$  和  $V_S$  电压，同时在一给定编程时间内被编程到一个特定状态。相反，位于离电压源  $V_{PP}$  和  $V_{PS}$  较远的存储单元 116 可能呈现大大远离  $V_{PP}$  和  $V_{PS}$  的  $V_D$  和  $V_S$  电压，因而存储单元 116 在相同的编程时间内被编程到一个不同的状态。这样一来，就存在由于闪速存储器阵列 100 内闪速存储单元的位置所造成的某种程度的编程易变性。

对称源极线电阻也使源极编程电压  $V_S$  相对于在一个任意给定时间内同时被编程的闪速存储单元的数目而变化。因为在一个闪速存储器的给定块中每个闪速存储单元的源极端点被连接到公共源极线 150，所以流经公共源极线 150 的电流将根据同时被编程的闪速存储单元的数目而变化。当在公共源极线 150 中电流变化时，连接到每个闪速存储单元源极的电压也将变化。通常，当被同时编程的单元越多，则  $V_S$  增加。因此，连接到每个闪速存储单元的源极编程电压  $V_S$  也取决于为闪速存储设备所提供的数据模式。

为消除位线电阻或源极线电阻的负面影响，已提出了一些技术。一种技术通过在闪速存储器阵列内使用低电阻金属线作为源极条来减小源极线电阻。这一技术仍导致根据所选存储单元相对于源极条的位置而产生施加于闪速存储单元的不同源极电压。

在美国专利 NO. 5, 402, 370 中公开的另一个技术在逐个设备 (device-by-device) 基础上调整施加到位线顶端的漏极编程电压源，以补偿由

于逐个设备在存储单元的通道长度方面的不一改性引起的闪速存储单元编程能力的变化。这个技术不改变编程电压源来补偿位线电阻或源极线电阻。

还有另一个技术通过提供一个漏极编程电压至闪速存储单元的上半块，另一个漏极编程电压至闪速存储单元的下半块来补偿位线电阻。这个技术不补偿源极线电阻或数据模式依赖性。

### 发明内容

本发明的目的在于提供非易失存储设备和设置源极线电压及位线电压的方法，以消除位线电阻或源极线电阻的负面影响。

根据本发明的一种非易失存储设备，包括：一个存储器阵列，它包括一个位线、一个源极线和一个具有连接到所述位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极的非易失存储单元；和，一个源极电压发生器电路，它连接到所述源极线并在对所述非易失存储单元进行编程时产生一个源极线电压，其中，所述源极电压发生器电路根据所述非易失存储单元在所述存储器阵列中的位置来改变所述源极线电压。

根据本发明的一种非易失存储设备，包括：一个存储器阵列，它包括一个位线、一个源极线和一个具有连接到所述位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极的非易失存储单元；和，一个漏极电压发生器电路，它连接到所述位线并在对所述非易失存储单元进行编程时产生一个位线电压，其中，所述漏极电压发生器电路根据所述非易失存储单元在所述存储器阵列中的位置来改变所述位线电压。

根据本发明的一种非易失存储设备，包括：一个存储器阵列，它包括多个位线、一个源极线和多个非易失存储单元，每个存储单元具有连接到其中一个位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极；和，一个源极电压发生器电路，它连接到所述源极线并在对所述非易失存储单元进行编程时产生一个源极线电压，其中，所述

源极电压发生器电路根据同时被编程的多个存储单元的数目而改变所述源极线电压。

根据本发明的一种非易失存储设备，包括：一个存储器阵列，它包括多个位线、一个源极线和多个非易失存储单元，每个存储单元具有连接到其中一个位线的一个漏极、连接到所述源极线的一个源极、一个控制栅极和一个浮动栅极；和，一个漏极电压发生器电路，它连接到所述位线并在对所述非易失存储单元进行编程时产生一个位线电压，其中，所述漏极电压发生器电路根据同时被编程的多个存储单元的数目而改变所述位线电压。

根据本发明的一种用于为多个非易失存储单元中所选择的一个设置源极线电压的方法，其中，所述多个非易失存储单元的每个存储单元具有连接到存在一个位线电阻的一个位线的一个漏极和连接到存在一个源极线电阻的所述源极线的一个源极，所述方法包括下列步骤：对所选择的非易失存储单元的地址进行译码，以生成一个已译码地址；和，根据所述已译码地址，调整耦合到所述源极线的源极线电压，以补偿所述位线电阻和所述源极线电阻。

根据本发明的一种用于为多个非易失存储单元中所选择的一个设置位线电压的方法，其中，所述多个非易失存储单元的每个存储单元具有连接到存在一个位线电阻的一个位线的一个漏极和连接到存在一个源极线电阻的源极线的一个源极，所述方法包括下列步骤：对所选择的非易失存储单元的地址进行译码，以生成一个已译码地址；和，根据所述已译码地址，调整耦合到所述位线的位线电压，以补偿所述位线电阻和所述源极线电阻。

根据本发明的一种用于为多个非易失存储单元中所选择的一个设置源极线电压的方法，其中，所述多个非易失存储单元的每个存储单元具有连接到存在一个位线电阻的一个位线的一个漏极和连接到存在一个源极线电阻的所述源极线的一个源极，所述方法包括下列步骤：对所选择的非易失存储单元的地址进行译码，以生成一个已译码地址；根据所述已译码地址，调整耦合到所述源极线的源极线电压，以补偿所述源极线电阻；和，

根据所述已译码地址，调整耦合到所述位线的位线电压，以补偿所述位线电阻。

本发明的有益效果在于减小闪速存储器设备的编程可变性。

### 附图说明

本发明的其它性能和优点根据附图并根据下面的详细描述将显而易见。

#### 附图简单说明

本发明的性能和优点通过举例方式来阐明，并且不限制在附图的图中，在附图中相同的标记说明相似的元件。这些附图为：

图 1 是包括位线电阻和源极线电阻的现有技术之闪速存储器阵列；

图 2 是一个电压-时间关系图，其说明闪速存储单元的阈电压相对于编程时间的关系，以及漏极编程电压随一固定源极编程电压而变化；

图 3 是包括一个漏极电压发生电路和一个源极电压发生电路的闪速存储设备的方块图；

图 4 是分成存储块的闪速存储器的一个实施例的方块图；

图 5 是包括一个地址译码器、一个数据模式监视器、一个漏极电压发生电路、一个源极电压发生电路、一个闪速存储单元、一个位线电阻以及一个源极线电阻的图 3 的闪速存储设备的一个实施例的方块图；

图 6 是图 3 的漏极电压发生器的一个实施例的方块图；

图 7 是图 3 的源极电压发生器的一个实施例的方块图；

图 8 是连接至测试系统的图 3 的闪速存储设备的方块图；以及

图 9 是一个流程图，其示出设备表征和调整图 3 的漏极电压发生器和/或源极电压发生器的一个实施例。

### 具体实施方式

描述设置闪速存储单元的源极和漏极编程电压的一种方法和设备。下面所述的实施例是用于调整位线电压或源极线电压以补偿在闪速存储器阵列中存在的对称位线电阻和源极线电阻，从而在整个存储器阵列中保持

每个闪速存储单元的漏极与源极编程电压之差大体上相同。补偿位线电阻和源极线电阻的目的是为了有助于提高对闪速存储单元的编程速度，有助于减少可能使不同位置的存储单元在其它技术中令编程到不同值的编程易变性，同时有助于减小由同时编程不止一个闪速存储单元所引起的编程易变性。

正如下面将更详细描述的那样，本发明的一个实施例包括一个非易失存储设备，它有一个非易失存储器阵列、一个控制电路、一个源极电压发生器和一个漏极电压发生器。存储器阵列包括如图 1 所示那样排列的闪速存储单元，其在漏极电压发生器和源极电压发生器之间具有位线电阻和源极线电阻。控制电路接收在阵列中被编程的一个闪速存储单元的地址。控制电路将该地址译码并将该闪速存储单元的地址通知源极电压发生器电路和漏极电压发生器。按照所选闪速存储单元的地址，源极电压发生器产生一个用于补偿在源极电压发生器与所选闪速存储单元的源极之间的源极线电阻的源极线电压。同样地，按照所选闪速存储单元的地址，漏极电压发生器产生一个用于补偿在漏极电压发生器与所选闪速存储单元之间的位线电阻的位线电压。因此，不管存储单元在闪速存储器阵列中的位置如何，一个大体上恒定的漏极 - 源极编程电压之差 ( $V_{DS}$ ) 可以被施加到所选存储单元上，从而导致大体上相同的编程速度并减小编程易变性。

图 3 示出可以实施本发明的实施例的非易失存储设备 300。下面所述的实施例也可以在包含 DRAM 阵列的易失存储器阵列中实施，其中 DRAM 阵列包含可以存储多信息状态的存储单元。

存储设备 300 包括命令接口 302、控制电路 304、漏极电压发生器 308、源极电压发生器 312、Y 译码器 316、X 译码器 318、Y 选通和读出放大器 320 和存储器阵列 322。对于一个实施例，所有的闪速存储设备 300 的电路都位于单一基片上。

存储器阵列 322 包括如图 1 所示的那样按行和列排列的非易失存储单元。非易失存储单元在地址上存储数据。非易失存储单元的阈电压在编程期间可以改变，因此可以存储模拟电压电平。对于一个实施例，在存储器阵列 322 中每个存储单元同时存储数据的单个位。对于另一个实施例，

在存储器阵列 322 中每个存储单元同时存储数据的多个位。如上所述除了施加到所选存储单元的源极和漏极端点上的编程电压如这里描述的那样产生外。在存储器阵列 322 中的存储单元可以被编程、擦除或读出。

存储器阵列 322 可以有一个存储器阵列，或者它可以有存储单元块。每块存储单元可以独立地被编址。例如，一个地址信号线可以指示其中含有所选闪速存储单元的存储块，而地址信号线的平衡可以指示在所选存储块内所选存储单元的位置。

对于存储设备 300 的一个实施例，控制引擎 304 控制在存储器阵列 322 中一个或多个所选存储单元的编程。对于一个实施例，控制引擎 304 包括一个由微码控制的处理器。对于另一个实施例，控制引擎 304 是一个状态机或逻辑电路，其实现用于编程存储器阵列 322 中的存储单元的各种各样的功能。

控制引擎 304 经由 X 译码器 318、Y 译码器 316、Y 选通和读出放大器 320。漏极电压发生器 308 和源极电压发生器 312 的控制管理存储器阵列 322。控制电路 304 可以包括一个地址锁存器，用于锁存从外部电路加到地址总线 326 并经由总线 336 供给 Y 译码器 316 和 X 译码器 318 的地址。控制电路 304 也可以包括数据缓冲器，其经由总线 334 连接到 Y 选通和读出放大器 320。Y 选通和读出放大器 320 可以缓冲从存储器阵列 322 中读出的数据或被编程进入存储器阵列 322 中的数据。

用户的用于读出、擦除和编程命令经由命令接口 302 通知控制电路 304。外部用户发布的命令经由控制信号至命令接口 302，控制信号包括输出允许 OEB、片选 CEB 和写入允许 WEB。也可以采用其它控制信号。命令接口 302 接收电源电压 VCC、地 VSS 和编程/擦除电压 VPP。VCC 和 VSS 可以连接到闪速存储设备 300 中的每个电路。对于一个实施例，VCC 为约 3-6 伏。VPP 可以内部产生或外部从闪速存储设备 300 提供。在对存储器阵列 322 中所选闪速存储单元编程期间，VPP 可以处于从约 5 至 13 伏范围。闪速存储设备 300 可以被连接至微处理器或任何其它类型的控制者设备或逻辑（可编程的或其它别的），它们可以产生供闪速存储设备 300 用的控制、地址和/或数据信号。闪速存储设备 300 可以被用于任何种类的计算机或数据处理系统。一个内部可以使用闪速存储设备 300 的计算机系统可

以是个人计算机、笔记本电脑、膝上型计算机、个人助理/通讯机、微型计算机、工作站、大型计算机、多处理器计算机或任何其它类型的计算机系统。此外，一个可以使用闪速存储设备 300 的系统可以是打印机系统、蜂窝电话系统、数字式应答系统、数字照相机或任何其他数据存储系统。

在存储器阵列 322 中被编程的存储单元根据在总线 326 上供给控制电路 304 的地址来选择。控制电路 304 把所选闪速存储单元的地址经由总线 336 通知 Y 译码器 316 和 X 译码器 318。被编程进入一个或多个所选存储单元的数据模式可以提供在数据总线 324 上并由控制电路 304 经由总线 334 供给 Y 选通和读出放大器 320。

从存储器阵列 322 读出的数据经由总线 342 被连接到 Y 选通和读出放大器 320 并由控制电路 304 传送到数据总线 324。另一方面，从存储器阵列 322 读出的数据可以不经控制电路 304 传送而在控制电路 304 的控制下由电路输出到数据总线 324。Y 选通和读出放大器 320 可以使用一个参考单元阵列（未示出）或用其它方法确定它上面呈现的数据的状态。可以用于确定从存储器阵列 62 中读出的数据的状态的电路的一个例子被揭示在已公布的 PCT 申请 PCT/US 95/06230 中，国际公布号 WO 95/23074，公布日期 1995 年 12 月 14 日，题目为“SENSING SCHEMES FOR FLASH MEMORY WITH MULTILEVEL CELLS”。可以用于确定从存储器阵列 62 中读出的数据的状态的电路的另一个例子被揭示在美国专利 No. 5, 539, 690 中，题目为“WRITE VERIFY SCHEMES FOR FLASH MEMORY WITH MULTILEVEL CELLS”。可以用于确定从存储器阵列 62 中读出的数据的状态的还有一个例子被揭示在美国专利 No. 5, 497, 354 中，题目为“BIT MAP ADDRESSING SCHEMES FOR FLASH MEMORY”。

闪速存储设备 300 也包括经由总线 330 连接到控制电路 304 的漏极电压发生器 308。按照在存储器阵列 322 中一个或多个所选存储单元的位置，漏极电压发生器 308 产生一个或多个位线电压，该电压已被调整以补偿与所选存储单元有关的位线电阻。漏极电压发生器 308 也可以接收编程电压 VPP。

同样地，闪速存储设备 300 包括经由总线 346 连接到控制电路 304

的源极电压发生器 312。按照在存储器阵列 322 中所选存储单元的位置，源极电压发生器 312 产生一个源极线电压，该电压已被调整以补偿与所选存储单元有关的源极线电阻。源极电压发生器 312 也可以接收编程电压 VPP。

对于另一个实施例，在闪速存储设备 300 中仅要求漏极电压发生器 308。对于这个实施例，漏极电压发生器 308 调整连接到所选存储单元的位线上的位线电压，以补偿该位线的位线电阻和连接到所选存储单元的源极线上的源极线电阻。漏极电压发生器 308 也可以调整位线电压以补偿数据模式依赖性，即由于同时对不止一个所选存储单元编程所引起的所选存储单元的源极端点上的源极电压的变化。

对于还有一个实施例，在闪速存储设备 300 中仅要求源极电压发生器 312。源极电压发生器 312 调整连接到所选存储单元的公共源极线上的源极线电压，以补偿该公共源极线的源极线电阻和连接到所选存储单元的位线上的位线电阻。源极电压发生器 312 也可以调整源极线电压以补偿数据模式依赖性，即由于同时对不止一个所选存储单元的源极端点上的源极电压的变化。

在运作中，控制电路 304 接收所选的被编程的存储单元之地址并将该地址经由总线 330 传送至漏极电压发生器 308 和经由总线 346 至源极电压发生器。对于一个实施例，总线 330 和 346 可以是相同的总线。对于另一个实施例，总线 330 和 346 可以是总线 336。

在接收到所选存储单元的地址以后，漏极电压发生器 308 为所选存储单元产生适当的位线电压。漏极电压发生器 308 可以是状态机、控制逻辑或其它类型的智能电路，能精确计算和产生一个被调整的位线电压以补偿与连接至所选存储单元的位线有关的位线电阻。漏极电压发生器 308 也可以包括可寻址的存储器，其存储表示相应于所选存储单元的位置之位线电压的值。

通常，在没有补偿情况下，在对所选存储单元编程时，由漏极电压发生器 308 产生的正常位线电压为约 4-7 伏。如果所选存储单元位于靠近漏极电压发生器 308（即靠近存储器阵列 322 上部），那么漏极电压发

生器 308 可能产生一个仅增加一小的数目（例如 10-150 毫伏）到编程期间正常位线电压上的位线电压。如果所选存储单元位于远离漏极电压发生器（即靠近存储器阵列 322 下部），那么漏极电压发生器 308 可能产生一个增加一较大数目（例如 200 毫伏至 2 伏）到编程期间正常位线电压上的位线电压。

同样地，在接收到所选存储单元的地址以后，源极电压发生器 312 为所选存储单元产生适当的源极线电压。源极电压发生器 312 可以是状态机、控制逻辑或其它类型的智能电路，能精确计算和产生一个被调整的源极线电压以补偿与连接至所选存储单元的源极线有关的源极线电阻。源极电压发生器 312 也可以包括可寻址存储器，其存储表示相应于按照所选存储单元的位置之源极线电压的值。

通常，在没有补偿情况下，在对所选存储单元编程时，由源极电压发生器 312 产生的正常源极线电压为约零伏。对于一个实施例，当所选存储单元位于靠近源极电压发生器 312 或源极电压条时源极电压发生器 312 可能产生一个较之当所选存储单元位于远离源极电压发生器 312 或源极条时较大的正源极线电压（例如 10 毫伏至 2 伏）。

对于另一个实施例，在没有补偿情况下，在对所选存储单元编程时，由源极电压发生器 312 产生的正常源极线电压为一负电压。对于这个实施例，当所选存储单元位于远离源极电压发生器 312 或源极电压条时源极电压发生器 312 可能产生一个较之当所选存储单元位于靠近源极电压发生器 312 或源极条时较小的负电压、近似零伏或一个正电压。对于一个实施例，所选存储单元可以用它自己的可能是负偏置的阱来制造。

如在本行业中通常所知，位线电阻和源极线电阻可以在闪速存储设备 300 制造之前在已知用于制作位线和源极线的材料、位线和源极线的几何形状以及连接到位线和源极线的其它电路元件的影响的情况下被计算（例如使用上面的式 2）或模拟出来。

另外，源极电压发生器 312 可以接收从总线 324 供给控制电路 304 的一个数据模式。数据模式可以经由总线 346 或经由另一个总线（未示出）供给源极电压发生器 312。如前所述，数据模式可以指出，不止一个存储

单元可能被选择同时编程,使得在所选存储单元的端点上源极编程电压由于公共源极线的源极电阻引起更多的偏离。源极电压发生器 312 可以进一步调整源极线电压,以补偿这一更多的偏离,从而使在每个所选存储单元的源极端点上接收的源极编程电压可以在一可接受的范围之内,以使得适当的状态在一给定编程时间内被编程进入每个所选存储单元中。如同位线电阻和源极线电阻一样,多个存储单元同时编程的影响可以在存储设备 300 制造之前被计算或模拟出来。

如果存储器阵列 322 具有单独可寻址的闪速存储器块,那么在漏极电压发生器和存储块以及源极电压发生器和存储块之间可能还存在位线电阻和源极线电阻。图 4 示出的存储器阵列 400 是存储器阵列 322 的一个实施例,具有四个单独可寻址的存储块 402 - 405。如在图 4 中所示,对于一给定的位线 406,存在许多位线电阻 407 - 414,对于源极线 415,存在许多源极线电阻 416 - 423。漏极电压发生器 308 也可以调整施加到位线 406 上的位线电压,以补偿在漏极电压发生器 308 与其中包含所选存储单元的所选存储块之间存在的位线电阻。同样地,源极电压发生器 312 也可以调整施加到源极线 415 上的源极线电压,以补偿在源极电压发生器 312 与其中包含所选存储单元的所选存储块之间存在的源极线电阻。

一旦漏极电压发生器 308 和源极电压发生器 312 已分别确定施加到位线和源极线上的适当的位线电压和源极线电压时,所选存储单元就可以采用各种已知编程方法来编程。对于一个实施例,一次编程一个存储单元。对于另一个实施例,同时编程不止一个所选存储单元。可以被采用的一个编程方法被揭示在美国专利 No. 5,440,505 中,题目是“METHOD AND CIRCUITRY FOR STORING DISCRETE A MOUNTS OF CHARGE IN A SINGLE MEMORY ELEMENT”。

通过调整位线电压以补偿在位线上由于位线电阻引起的电压降以及调整源极线电压以补偿在源极线上由于源极线电阻引起的电压增加,在存储器阵列 322 中每个所选存储单元的端点上的实际漏极与源极电压 ( $V_{DS}$ ) 可以在整个存储器阵列中被控制为大体上不变或相同。这可以大大减小或消除由于在存储器阵列中所选存储单元的位置不同造成的编程速度的损

失。这也可以减小或消除基于所选存储单元的位置不同或等于数据依赖性引起的编程易变性。

图 5 示出的存储设备 500 是来自存储设备 300 的特定性能的一个实施例，其编程所选存储单元 514。所选存储单元 514 是图 3 的闪速存储器阵列 322 中的一个存储单元。存储设备 500 包括控制电路 504、漏极电压发生器 508 和源极电压发生器 512，它们分别以与图 3 的控制电路 304、漏极电压发生器 308、源极电压发生器 312 相类似的方式工作。

控制电路 504 包括地址译码器 506 和数据模式监视器 509。地址译码器 506 译码所选存储单元 514 的一个地址并将已译码地址经由总线 520 提供给漏极电压发生器 508 和源极电压发生器 512。由地址译码器 506 输出的已译码地址可以指示所选存储单元 514 所位于的存储块，所选存储单元 514 的行位置和（或）所选存储单元 514 的列位置。

根据从地址译码器 506 接收的已译码地址，漏极电压发生器 508 在线 522 上产生 HHVPW。HHVPW 被连接到 n-沟道 MOSFET 晶体管 510 的栅极。晶体管 510 与译码 n 沟道 MOSFET 晶体管 513 和所选闪速存储单元 514 串联连接。晶体管 510 的漏极被连接到编程/擦除电压 VPP，晶体管 510 的源极被连接到译码器晶体管 513 的漏极。对于一个实施例，VPP 为约 9 伏。HHVPW 是一编程电压，它由漏极电压发生器 508 产生，从而在位线 524 上产生一个位线电压 VBL。VBL 比 HHVPW 大约低一个阈电压。对于一个实施例，晶体管 510 的阈电压可以为约 2-4 伏。对于其它实施例，晶体管 510 的阈电压可以为约 0.5-2 伏。

漏极电压发生器 508 将根据所选存储单元 514 的位置改变 HHVPW 的值，以补偿位线电阻 516。对于另一个实施例，HHVPW 也补偿源极线电阻 518。

译码晶体管 513 是一个任选的晶体管，它接收来自图 3 的 Y 选通和读出放大器 320 的栅极电压 VDC。晶体管 513 的漏极连接到晶体管 510 的源极，译码晶体管 513 的源极连接到所选存储单元 514 的漏极。当 VDC 为低时，VBL 不连接到所选存储单元 514 的漏极。当 VDC 为高时，译码晶体管 513 将 VBL 连接到所选存储单元 514 的漏极。VBL 将在位线电阻 516 上形成压降，并将在所选存储单元 514 的漏极端点上形成一个漏极编程电压 VD。位线电阻 516 的值是在存储器阵列 322 内所选存储单元的位置的函数，

同时如前所述,可以计算和模拟出来。对于另一个实施例,译码晶体管 513 可以随晶体管 510 改变位置。对于还有一个实施例,译码晶体管 513 没有要求。

源极电压发生器 512 也从控制电路 504 经由总线 520 接收所选存储单元 514 的已译码地址。根据该已译码地址,源极电压发生器 512 在线 526 上产生一个源极线电压 VPS。源极线电压 526 补偿源极线电阻 518,从而一个源极编程电压 VS 被连接到所选存储单元 514 的源极端点。源极线电阻 518 的值作为存储器阵列 322 内所选存储单元 514 的位置的函数而变化。所选存储单元 514 还包括一个栅极端点,它接收可能由 X 译码器 318 提供的字线电压 VML。

控制电路 504 也包括数据模式监视器 509,它解释在数据总线 324 上的数据模式。根据一给定的数据模式,数据模式监视器 509 可以确定同时被编程的所选存储单元的数目。对于一个实施例,数据模式监视器 509 是一个对总线 324 上数据模式中高位或低位数目进行计数的计数器。

数据模式监视器 509 将同时被编程的所选存储单元的数目的读数经由总线 528 传送到源极电压发生器 512。如前所述,已给出在存储器的块中每个所选存储单元有连接至公共源极线的各自的源极端点,故同时编程不止一个所选存储单元将增加由每个存储单元接收的源极编程电压 VS 的易变性。因此,源极电压发生器 512 除了监视每个所选存储单元的位置并据此产生一个源极线电压 VPS 外,还可以监视同时被编程的所选存储单元的数目。

通常,当同时被编程的所选存储单元的数目增加时,源极编程电压 VS 将增加。因此,当被编程的所选存储单元的数目增加时,源极电压发生器 512 降低源极线电压 VPS 以补偿或抵消 VS 的增加。

在 HHVPW 和位线电压 VBL 补偿位线电阻 516,和源极线电压 VPS 补偿源极线电阻 518 情况下,所选存储单元 514 上的漏极至源极电压 VDS 可以被保持以使编程所选存储单元 514 所要求的时间不会由于位线电阻 516 和源极线电阻 518 而增加。此外,数据依赖性的影响可以忽略。

对于一个实施例,仅要求漏极电压发生器 508,数据模式监视器 509 将被编程的所选存储单元的数目传送到漏极电压发生器 508。HHVPW 和位

线电压 VBL 则可以根据所选存储单元的地址或同时被编程的所选存储单元的数目两者来调整。

对于另一个实施例，所选存储单元 514 的地址可以直接连接到漏极电压发生器 508 和源极电压发生器 512，而毋需由地址译码器 506 译码。对于还有一个实施例，每个漏极电压发生器 508 和源极电压发生器 512 可以包括一个地址译码器和/或一个数据模式监视器。

图 6 示出漏极电压发生器 600，这是图 5 的漏极电压发生器 508 的一个实施例。漏极电压发生器 600 包括块偏置存储器 602 和位置偏置存储器 604，每个经由总线 520 接收被编程的所选存储单元的地址。每个块偏置存储器 602 和位置偏置存储器 604 可以是非易失存储器如闪速存储单元、EPROM 单元、ROM 单元或 EEPROM 单元，或包括易失存储器在内的其它类型的存储器。

块偏置存储器 602 译码所选存储单元的块地址，并保存指示来自正常编程电压（例如 6 伏）的一个第一偏置电压的值，以补偿在存储器的块之间存在的位线电阻。块偏置存储器 602 将表示第一偏置电压的一个值经由总线 610 供给到电压发生器 608。对于一个实施例，块偏置存储器 602 保存表示在由总线 520 上供给的地址访问的地址上的第一偏置电压的值。对于另一个实施例，块偏置存储器 602 保存一个根据在总线 520 上所接收的地址计算第一偏置电压的程序。

位置偏置存储器 604 译码在所选存储器的块内的所选存储单元的地址并保存表示来自正常编程电压的一个第二偏置电压的值。位置偏置存储器 604 将表示第二偏置电压的一个值经由总线 612 供给电压发生器 608。第二偏置电压补偿连接到一特定位线（例如位线电阻 516）的所选存储单元存在的位线电阻。对于一个实施例，位置偏置存储器 604 保存表示在由总线 520 上供给的地址访问的地址上的第二偏置电压的值。对于另一个实施例，位置偏置存储器 604 保存一个根据在总线 520 上所接收的地址计算第二偏置电压的程序。

电压发生器 608 接收来自块偏置存储器 602 和位置偏置存储器 604 的值并产生 HHVPW。

图 7 示出源极电压发生器 700，这是图 5 的源极电压发生器 512 的一

个实施例。源极电压发生器 700 包括块偏置存储器 702、位置偏置存储器 704 和电压发生器 708，它们互相连接在一起并分别以如图 6 的块偏置存储器 602、位置偏置存储器 604 和电压发生器 608 相同的方式工作。源极电压发生器 700 也包括数据模式偏置存储器 706。数据模式偏置存储器 706 可以是非易失存储器如闪速存储单元、EPROM 单元、ROM 单元或 EEPROM 单元，或包括易失存储器在内的其它类型的存储器。

根据经由总线 528 从数据模式监视器 509 所接收的一个数据值，数据模式偏置存储器在总线 714 上输出一个与同时被编程的所选存储单元的数目相对应的偏置电压相应的值。对于一个实施例，数据模式偏置存储器 706 保存表示在由总线 528 上由该数据值访问的地址上的偏置电压的值。对于另一个实施例，数据模式偏置存储器 706 保存一个根据在总线 528 上所接收的地址计算偏置电压的程序。

电压发生器 708 接收来自块偏置存储器 702，位置偏置存储器 704 和数据模式偏置存储器 706 的值并产生源极线电压 VPS，其补偿在存储块之间的源极线电阻、在存储块内的源极线电阻以及同时被编程的所选存储单元的数目。

如前所述，位线电阻和源极线电阻可以在存储设备 300 制造之前被模拟或计算出来。对于图 6 和 7 的实施例，值则可以被保存在块偏置存储器 602 和 702、位置偏置存储器 604 和 704 以及数据模式偏置存储器 706 中以产生 HHVPW 或 VPS。对于另一个实施例，漏极电压发生器 308 和源极电压发生器 312 可以被表征和调整以使 HHVPW 和 VPS 充分补偿位线电阻和源极线电阻。对于一个实施例，块偏置存储器 602 和 702、位置偏置存储器 604 和 704 以及数据模式偏置存储器 706 是可编程存储器，其可以根据由在一定编程时间编程所选存储单元所产生的状态的特性来更新以保存新的值。

图 8 示出连接到闪速存储设备 300 的测试系统 802。对于一个实施例，测试系统 802 是一个控制测试系统的计算机，其经由地址总线 326、数据总线 324 和控制总线 804 发送适当的编程、擦除和读出命令到闪速存储设备 300。控制总线 804 可以包括控制信号 OEB、WEB 和 CEB，以及其它控制信号，测试系统 802 也可以将 VPP 供给闪速存储设备 300。

测试系统 802 可以控制确定所选存储单元是否在预定编程时间内被编程到预定状态的进程。如果所选存储单元在预定编程时间内没有被编程到预定状态，那么位线电压可以通过调整由漏极电压发生器 308 产生的 HHVPW 来增加，源极线电压可以通过调整由源极电压发生器 312 产生的 VPS 来降低，或无论 HHVPW 或是 VPS 两者可以都被调整。新的值则可以被保存在对应于新的 HHVPW 或新的 VPS 值的漏极电压发生器或源极电压发生器的块偏置存储器、位置偏置存储器，或数据模式偏置存储器中。另一方面，由漏极电压发生器 308 或源极电压发生器 312 分别使用以计算 HHVPW 或 VPS 的软件程序可以据此来调整。

图 9 示出可以由测试系统 802 实现的一个方法。进程在步骤 900 开始。在步骤 902，为编程选择一个存储单元，并将所选存储单元的地址提供到闪速存储设备 300。在步骤 904，设置一个编程时间，以使被选存储单元应在该编程时间内被编程到一个预定的状态。在步骤 906，被选存储单元按预定的编程时间被编程。在步骤 908，通过读出被选存储单元的被编程到的状态来检验该编程。

如果从所选存储单元读出的状态如在步骤 910 上所确定的那样是所希望的状态，那么进程在步骤 912 结束。如果从所选存储单元读出的状态不是所希望的状态，那么所选存储单元在预定编程时间内没有编程到所希望的状态。如果 HHVPW 和（或）VPS 不能适当补偿连接到所选存储单元的位线电阻或源极线电阻，这就会发生。

在步骤 914，测试系统 802 确定从所选存储单元读出的状态是否小于所希望的状态，该状态表示被选存储单元不能足够快地被编程。如果是这种情况，则测试系统 802 可以通过分别调整保存在漏极电压发生器 308 或源极电压发生器 312 中的值或程序来增加 HHVPW 和（或）减小 VPS。之后进程返回到步骤 906 并继续直到所选存储单元在预定编程时间内被编程到所希望的状态为止。

如果测试系统 802 确定从被选存储单元读出的状态大于所希望的状态，那么所选存储单元已被编程得太快，测试系统 802 可以通过分别调整保存在漏极电压发生器 308 或源极电压发生器 312 中的值或程序来减小

HHVPW 和/或增加 VPS。进程则返回到步骤 906 并继续直到所选存储单元在预定编程时间内被编程到所希望的状态为止。

对于另一个实施例，不要求外部测试系统 802，控制电路 304 可以执行在图 9 中所示的所有步骤，以自调整闪速存储设备 300 的漏极电压发生器 308 和/或源极电压发生器。

在前面的特性中，已通过本发明的特定的示范实施例来描述本发明。然而，十分明显，如附加的权利要求中所陈述的，在不偏离本发明的较宽的精神和范围情况下，可以进行各种改进和变化。因此，特性和附图被认为是示例性的而不是限制性的。



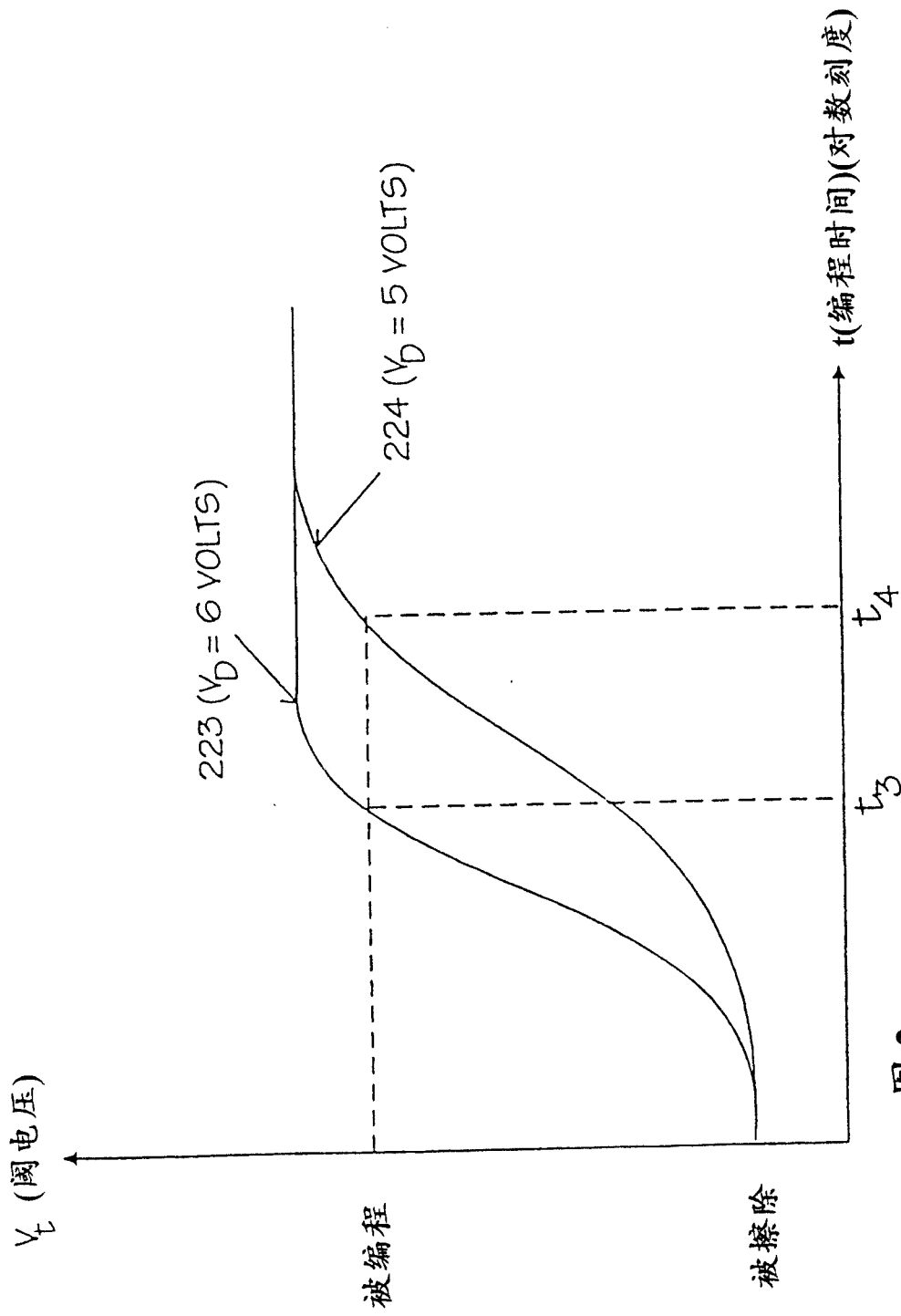


图2  
(现有技术)

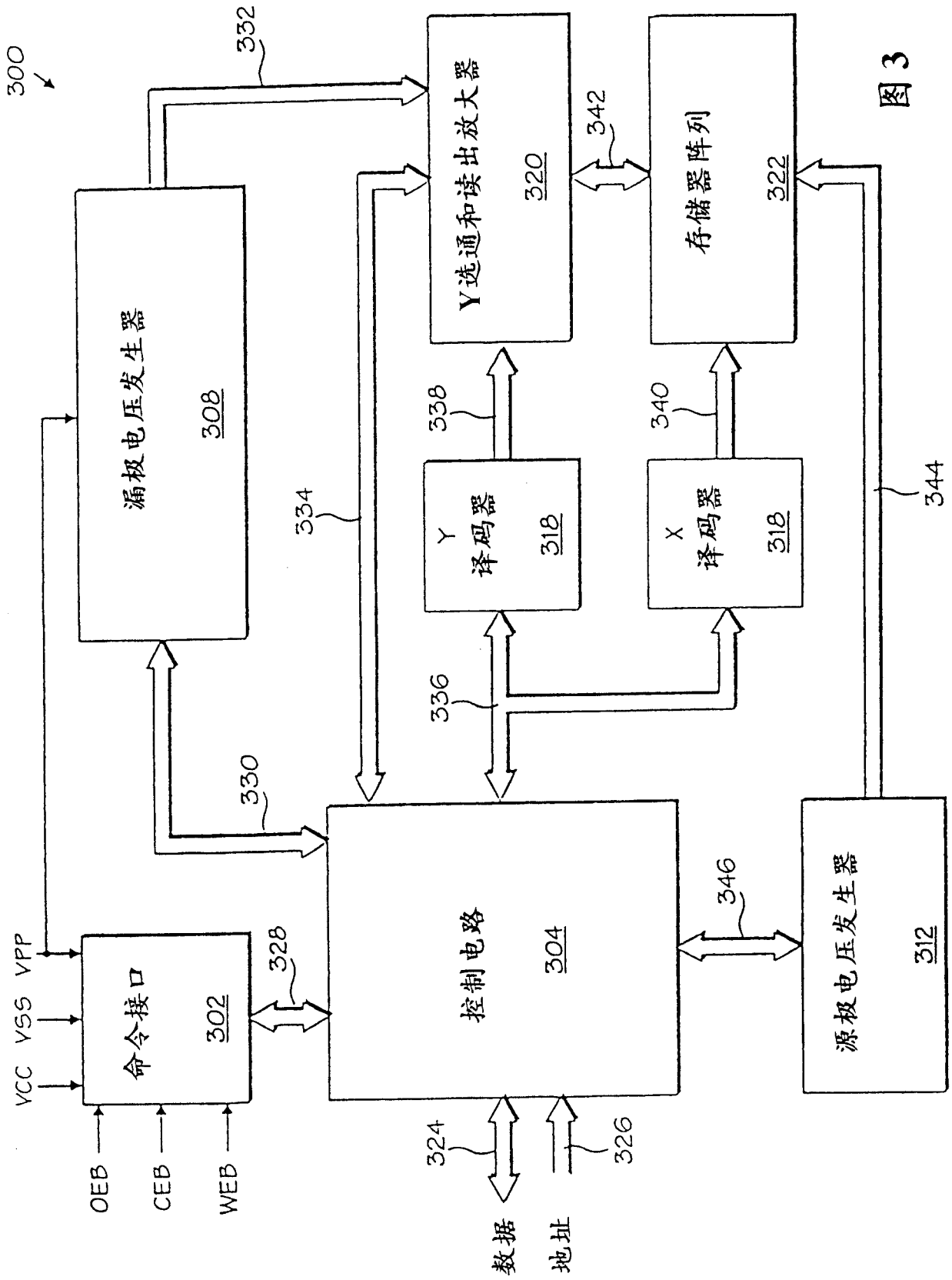


图 3

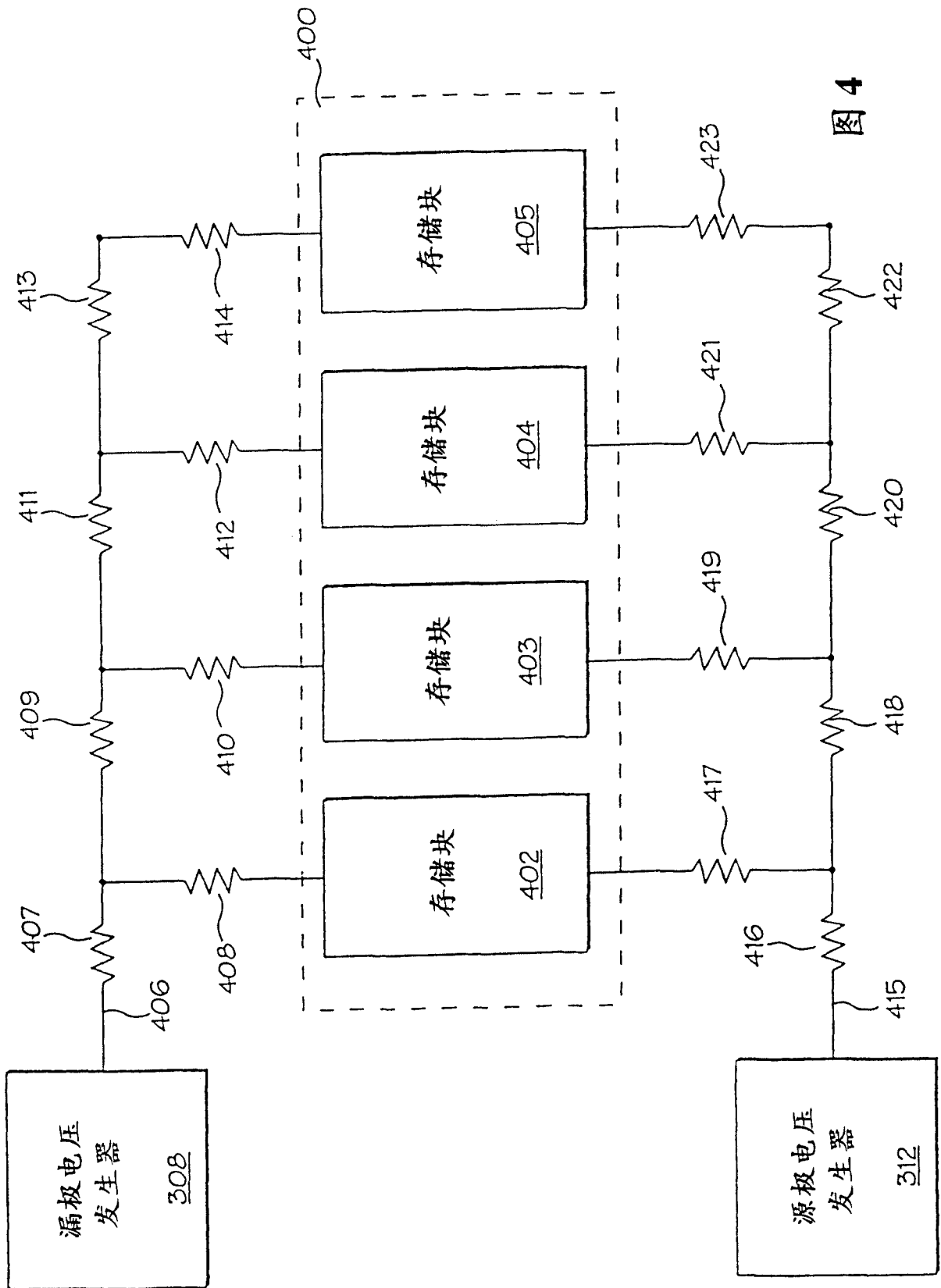


图 4

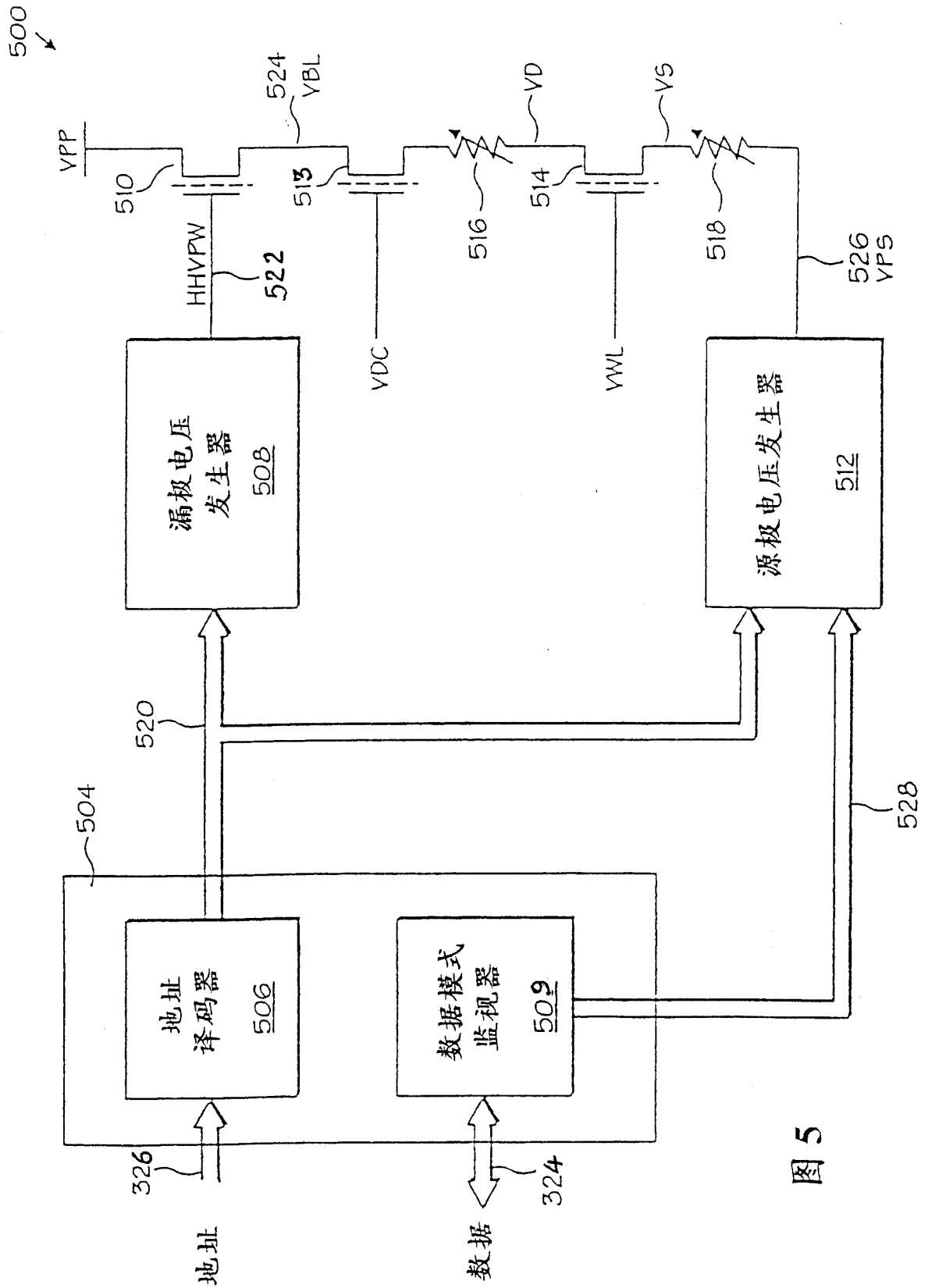


图 5

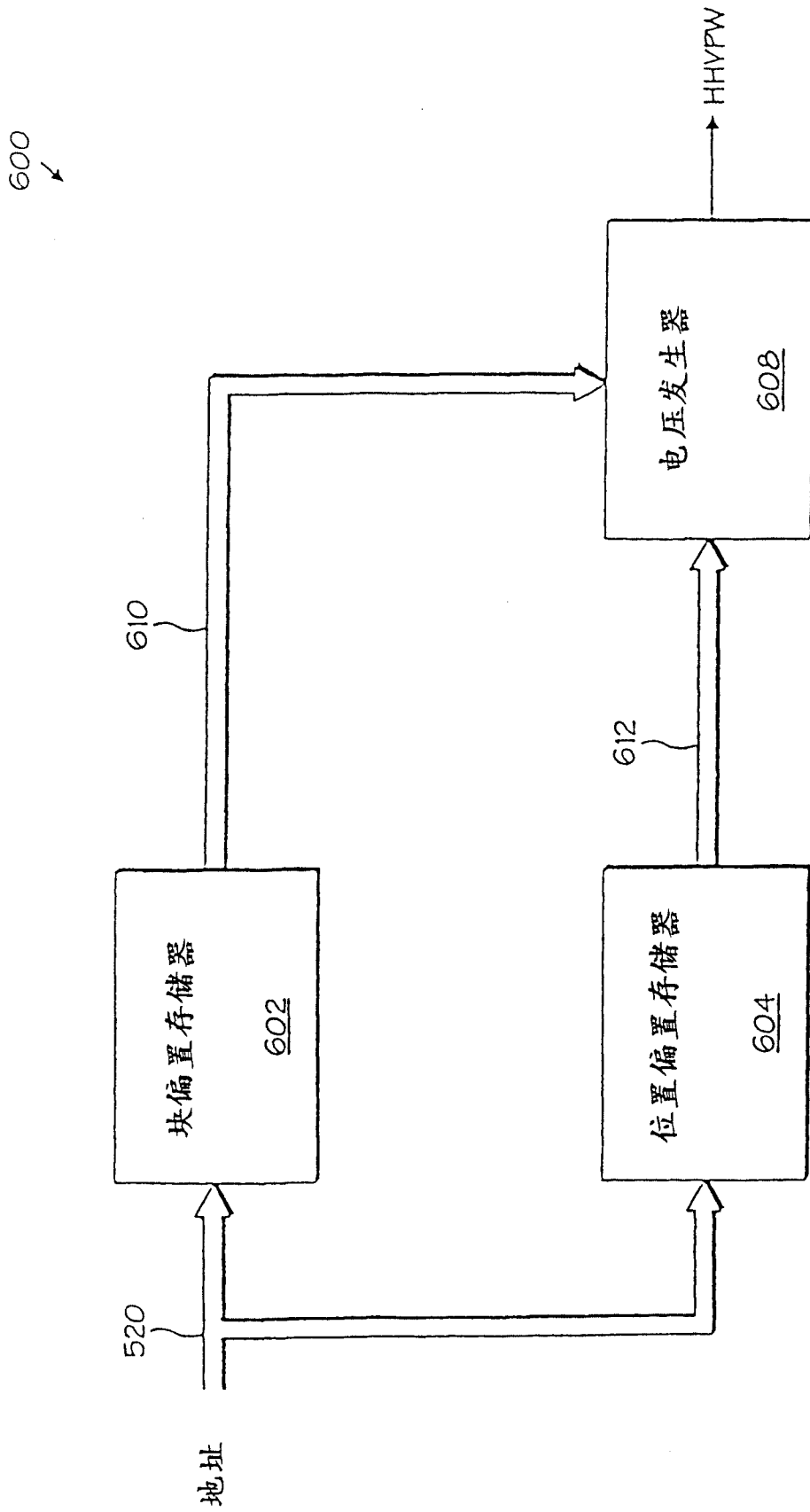


图6

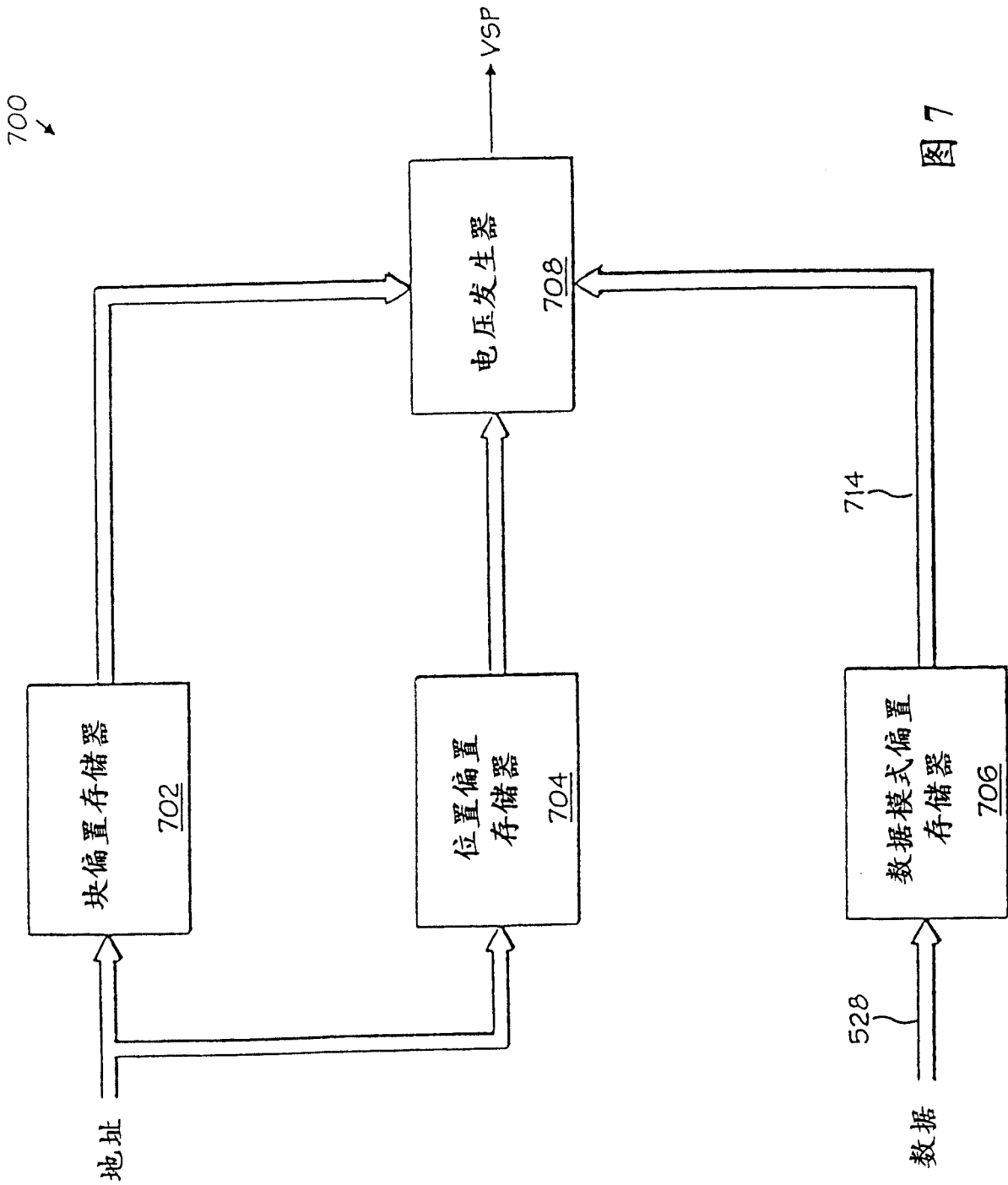


图 7

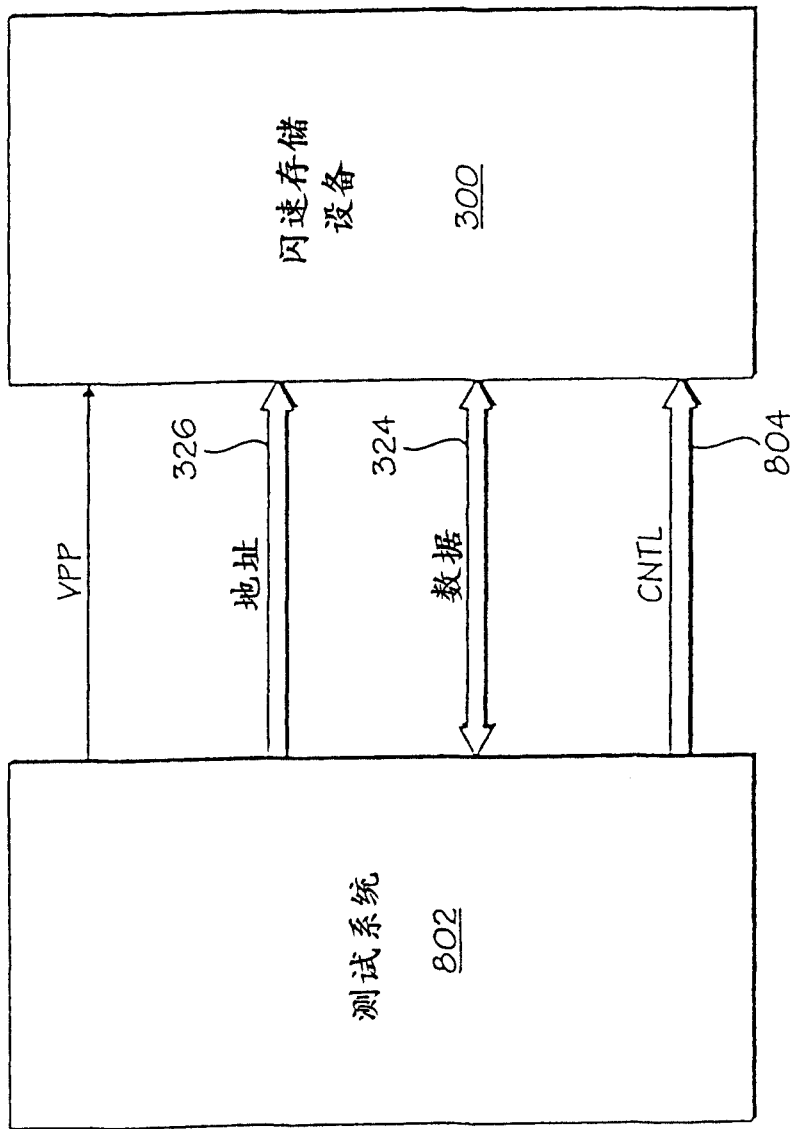


图 8

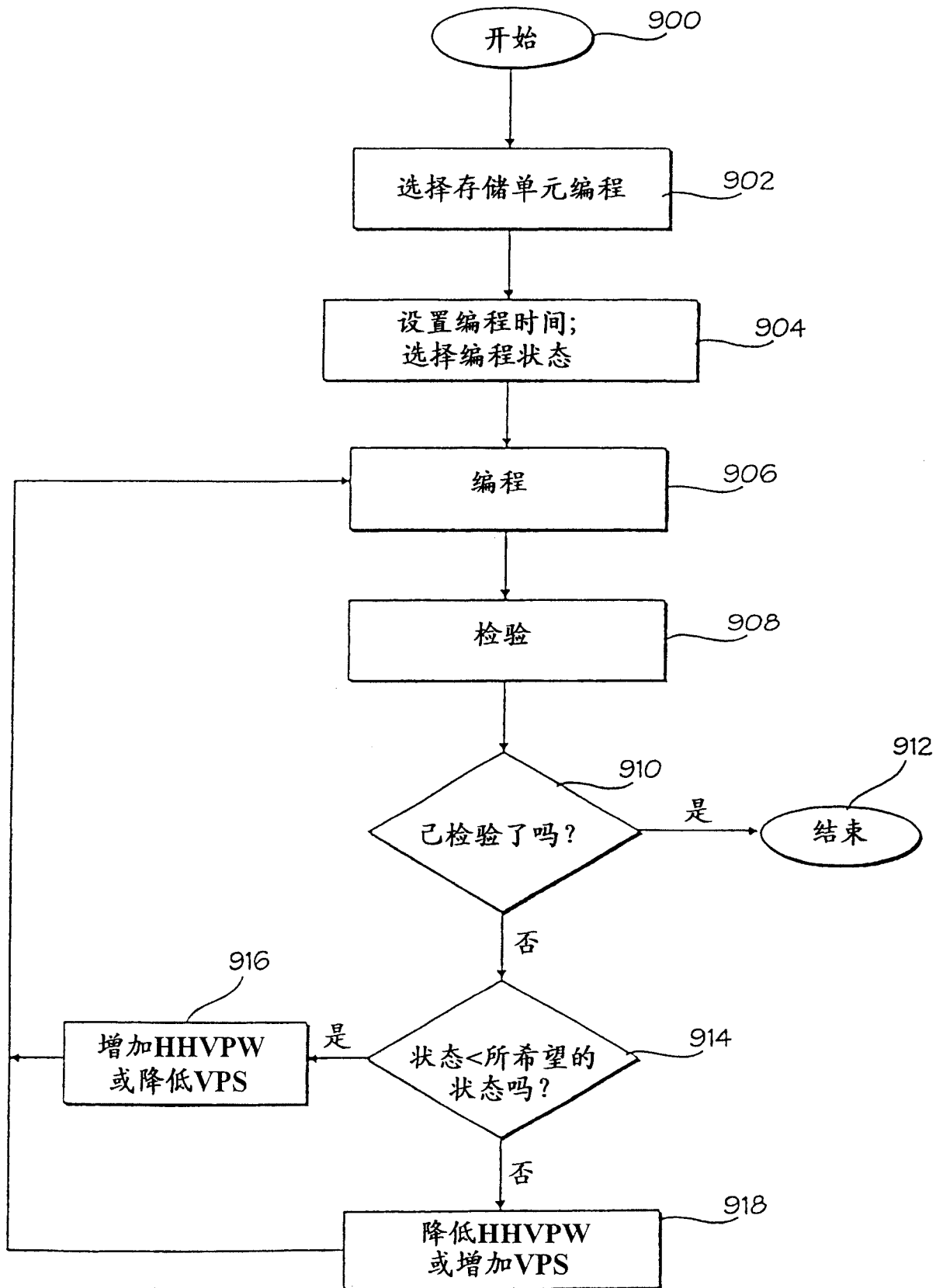


图 9