



(12)发明专利



(10)授权公告号 CN 104362101 B

(45)授权公告日 2017. 04. 12

(21)申请号 201410547244.1

(22)申请日 2011.01.07

(65)同一申请的已公布的文献号

申请公布号 CN 104362101 A

(43)申请公布日 2015.02.18

(30)优先权数据

2010-002957 2010.01.08 JP

(62)分案原申请数据

201110002450.0 2011.01.07

(73)专利权人 瑞萨电子株式会社

地址 日本东京

(72)发明人 武藤修康

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 申发振

(51)Int.Cl.

H01L 21/50(2006.01)

H01L 21/60(2006.01)

H01L 21/78(2006.01)

H01L 25/065(2006.01)

(56)对比文件

CN 101174614 A, 2008.05.07,

CN 101364593 A, 2009.02.11,

CN 1383215 A, 2002.12.04,

US 5898220 A, 1999.04.27,

审查员 黄广龙

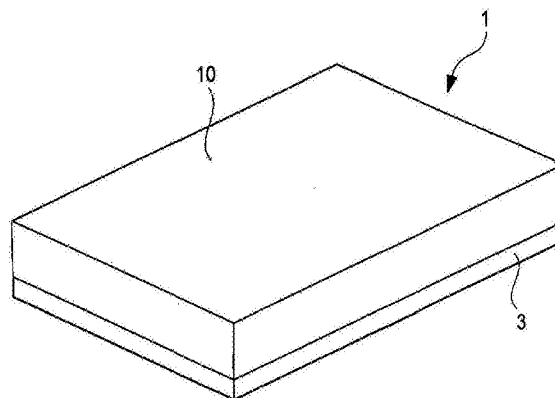
权利要求书9页 说明书28页 附图42页

(54)发明名称

制造半导体器件的方法

(57)摘要

本公开涉及制造半导体器件的方法。所述方法抑制了当执行使用刀片的切片步骤以获取具有半导体晶片的减小厚度的半导体芯片时发生的芯片开裂。当在用于半导体晶片的切片步骤中切割半导体晶片时,如下使刀片前进:在沿着第一直线在第一方向(在图12中的Y方向)上进行切割时,使刀片从第一点前进到第二点。第一点位于第一部分中且第二点与第一点相对,在其之间具有穿过半导体晶片的中心点的第二直线。



1. 一种制造半导体器件的方法,包括以下步骤:

(a) 提供基材,所述基材包括:

具有四个边的上表面,

形成在所述上表面上并且还沿着所述上表面的所述四个边中的第一衬底边布置的多个第一键合引线,

形成在所述上表面上并且还沿着面向所述第一衬底边的所述上表面的所述四个边中的第二衬底边布置的多个第二键合引线,以及

与所述上表面相反的下表面;

(b) 在步骤(a)之后,经由第一粘合层在所述基材的所述上表面上布置第一半导体芯片使得第一半导体芯片主边比面向所述第一半导体芯片主边的第一半导体芯片相反边更接近所述第一衬底边,并且使得所述第一半导体芯片与所述第一键合引线 and 所述第二键合引线间隔开,

其中所述第一半导体芯片包括:

具有四个边的第一前表面,

形成在所述第一前表面上并且还沿着所述第一前表面的所述四个边中的所述第一半导体芯片主边布置的多个第一键合焊盘,以及

与所述第一前表面相反的第一后表面,

其中所述第一键合焊盘位于比所述第一半导体芯片相反边更接近所述第一半导体芯片主边的位置;

(c) 在步骤(b)之后,经由第二粘合层在所述第一半导体芯片的所述第一前表面上布置第二半导体芯片使得第二半导体芯片主边比面向所述第二半导体芯片主边的第二半导体芯片相反边更接近所述第一衬底边,使得所述第二半导体芯片暴露所述第一键合焊盘,并且使得所述第二半导体芯片主边和所述第二半导体芯片相反边分别比所述第一半导体芯片主边和所述第一半导体芯片相反边更接近所述第二衬底边,

其中所述第二半导体芯片包括:

具有四个边的第二前表面,

形成在所述第二前表面上并且还沿着所述第二前表面的所述四个边中的所述第二半导体芯片主边布置的多个第二键合焊盘,以及

与所述第二前表面相反的第二后表面,

其中所述第二键合焊盘位于比所述第二半导体芯片相反边更接近所述第二半导体芯片主边的位置;

(d) 在步骤(c)之后,经由第三粘合层在所述第二半导体芯片的所述第二前表面上布置第三半导体芯片使得第三半导体芯片主边比面向所述第三半导体芯片主边的第三半导体芯片相反边更接近所述第一衬底边,使得所述第三半导体芯片暴露所述第二键合焊盘,并且使得所述第三半导体芯片主边和所述第三半导体芯片相反边分别比所述第二半导体芯片主边和所述第二半导体芯片相反边更接近所述第二衬底边,

其中所述第三半导体芯片包括:

具有四个边的第三前表面,

形成在所述第三前表面上并且还沿着所述第三前表面的所述四个边中的所述第三半

导体芯片相反边布置的多个第三键合焊盘,以及

与所述第三前表面相反的第三后表面,

其中所述第三键合焊盘位于比所述第三半导体芯片相反边更接近所述第三半导体芯片主边的位置;

(e) 在步骤(d)之后,经由第四粘合层在所述第三半导体芯片的所述第三前表面上布置第四半导体芯片使得第四半导体芯片主边比面向所述第四半导体芯片主边的第四半导体芯片相反边更接近所述第一衬底边,使得所述第四半导体芯片暴露所述第三键合焊盘,并且使得所述第四半导体芯片主边和所述第四半导体芯片相反边分别比所述第三半导体芯片主边和所述第三半导体芯片相反边更接近所述第二衬底边,

其中所述第四半导体芯片包括:

具有四个边的第四前表面,

形成在所述第四前表面上并且还沿着所述第四前表面的所述四个边中的所述第四半导体芯片主边布置的多个第四键合焊盘,以及

与所述第四前表面相反的第四后表面,

其中所述第四键合焊盘位于比所述第四半导体芯片相反边更接近所述第四半导体芯片主边的位置;

(f) 在步骤(e)之后,将多个第一导线分别与所述第一键合焊盘电连接;

(g) 在步骤(f)之后,将多个第二导线分别与所述第二键合焊盘电连接;

(h) 在步骤(g)之后,将多个第三导线分别与所述第三键合焊盘电连接;

(i) 在步骤(h)之后,将多个第四导线分别与所述第四键合焊盘电连接;

(j) 在步骤(i)之后,经由第五粘合层在所述第四半导体芯片的所述第四前表面上布置第五半导体芯片使得第五半导体芯片主边比面向所述第五半导体芯片主边的第五半导体芯片相反边更接近所述第二衬底边,使得所述第五半导体芯片暴露所述第四键合焊盘,并且使得所述第五半导体芯片主边和所述第五半导体芯片相反边分别比所述第四半导体芯片相反边和所述第四半导体芯片主边更接近所述第二衬底边,

其中所述第五半导体芯片包括:

具有四个边的第五前表面,

形成在所述第五前表面上并且还沿着所述第五前表面的四个边中的所述第五半导体芯片主边布置的多个第五键合焊盘,以及

与所述第五前表面相反的第五后表面,

其中所述第五键合焊盘位于比所述第五半导体芯片相反边更接近所述第五半导体芯片主边的位置;

(k) 在步骤(j)之后,经由第六粘合层在所述第五半导体芯片的所述第五前表面上布置第六半导体芯片使得第六半导体芯片主边比面向所述第六半导体芯片主边的第六半导体芯片相反边更接近所述第二衬底边,使得所述第六半导体芯片与所述第四半导体芯片重叠,使得所述第六半导体芯片暴露所述第五键合焊盘,并且使得所述第六半导体芯片主边和所述第六半导体芯片相反边分别比所述第五半导体芯片主边和所述第五半导体芯片相反边更接近所述第一衬底边,

其中所述第六半导体芯片包括:

具有四个边的第六前表面，

形成在所述第六前表面上并且还沿着所述第六前表面的所述四个边中的所述第六半导体芯片主边布置的多个第六键合焊盘，以及

与所述第六前表面相反的第六后表面，

其中所述第六键合焊盘位于比所述第六半导体芯片相反边更接近所述第六半导体芯片主边的位置；

(l) 在步骤(k)之后，经由第七粘合层在所述第六半导体芯片的所述第六前表面上布置第七半导体芯片使得第七半导体芯片主边比面向所述第七半导体芯片主边的第七半导体芯片相反边更接近所述第二衬底边，使得所述第七半导体芯片与所述第三半导体芯片重叠，使得所述第七半导体芯片暴露所述第六键合焊盘，并且使得所述第七半导体芯片主边和所述第七半导体芯片相反边分别比所述第六半导体芯片主边和所述第六半导体芯片相反边更接近所述第一衬底边，

其中所述第七半导体芯片包括：

具有四个边的第七前表面，

形成在所述第七前表面上并且还沿着所述第七前表面的所述四个边中的所述第七半导体芯片主边布置的多个第七键合焊盘，以及

与所述第七前表面相反的第七后表面，

其中所述第七键合焊盘位于比所述第七半导体芯片相反边更接近所述第七半导体芯片主边的位置；

(m) 在步骤(l)之后，经由第八粘合层在所述第七半导体芯片的所述第七前表面上布置第八半导体芯片使得第八半导体芯片主边比面向所述第八半导体芯片主边的第八半导体芯片相反边更接近所述第二衬底边，使得所述第八半导体芯片与所述第二半导体芯片重叠，使得所述第八半导体芯片暴露所述第七键合焊盘，并且使得所述第八半导体芯片主边和所述第八半导体芯片相反边分别比所述第七半导体芯片主边和所述第七半导体芯片相反边更接近所述第一衬底边，

其中所述第八半导体芯片包括：

具有四个边的第八前表面，

形成在所述第八前表面上并且还沿着所述第八前表面的所述四个边中的所述第八半导体芯片主边布置的多个第八键合焊盘，以及

与所述第八前表面相反的第八后表面，

其中所述第八键合焊盘位于比所述第八半导体芯片相反边更接近所述第八半导体芯片主边的位置；

(n) 在步骤(m)之后，将多个第五导线分别与所述第五键合焊盘电连接；

(o) 在步骤(n)之后，将多个第六导线分别与所述第六键合焊盘电连接；

(p) 在步骤(o)之后，将多个第七导线分别与所述第七键合焊盘电连接；

(q) 在步骤(p)之后，将多个第八导线分别与所述第八键合焊盘电连接；以及

(r) 在步骤(q)之后，以树脂密封所述第一、第二、第三、第四、第五、第六、第七和第八半导体芯片以及所述第一、第二、第三、第四、第五、第六、第七和第八导线；

其中，所述基材还包括：

形成在所述上表面上的多个布线,以及

覆盖所述布线的阻焊膜,

其中,所述第一半导体芯片是最下层芯片,

其中,所述第八半导体芯片是最上层芯片,

其中,所述第一、第五和第八半导体芯片中的每一个的厚度大于所述第二、第三、第四、第六和第七半导体芯片中的每一个的厚度,并且

其中,所述第一、第五和第八半导体芯片中的每一个的厚度彼此相同。

2. 根据权利要求1所述的方法,

其中,多个半导体芯片被布置在所述第四半导体芯片和所述第五半导体芯片之间。

3. 根据权利要求1所述的方法,

其中,多个半导体芯片被布置在所述第七半导体芯片和所述第八半导体芯片之间。

4. 根据权利要求1所述的方法,

其中,在步骤(f)中,在将所述第一导线的第一部分分别与所述第一键合引线连接之后,将所述第一导线的第二部分分别与所述第一键合焊盘连接;

其中,在步骤(g)中,在将所述第二导线的第一部分分别与所述第一键合焊盘连接之后,将所述第二导线的第二部分分别与所述第二键合焊盘连接;

其中,在步骤(h)中,在将所述第三导线的第一部分分别与所述第二键合焊盘连接之后,将所述第三导线的第二部分分别与所述第三键合焊盘连接;

其中,在步骤(i)中,在将所述第四导线的第一部分分别与所述第三键合焊盘连接之后,将所述第四导线的第二部分分别与所述第四键合焊盘连接;

其中,在步骤(n)中,在将所述第五导线的第一部分分别与所述第二键合引线连接之后,将所述第五导线的第二部分分别与所述第五键合焊盘连接;

其中,在步骤(o)中,在将所述第六导线的第一部分分别与所述第五键合焊盘连接之后,将所述第六导线的第二部分分别与所述第六键合焊盘连接;

其中,在步骤(p)中,在将所述第七导线的第一部分分别与所述第六键合焊盘连接之后,将所述第七导线的第二部分分别与所述第七键合焊盘连接;并且

其中,在步骤(q)中,在将所述第八导线的第一部分分别与所述第七键合焊盘连接之后,将所述第八导线的第二部分分别与所述第八键合焊盘连接。

5. 根据权利要求1所述的方法,

其中,在步骤(f)中,通过以毛细作用按压每一所述第一导线的一部分来将所述第一导线分别与所述第一键合焊盘连接;

其中,在步骤(g)中,通过以毛细作用按压每一所述第二导线的一部分来将所述第二导线分别与所述第二键合焊盘连接;

其中,在步骤(h)中,通过以毛细作用按压每一所述第三导线的一部分来将所述第三导线分别与所述第三键合焊盘连接;

其中,在步骤(i)中,通过以毛细作用按压每一所述第四导线的一部分来将所述第四导线分别与所述第四键合焊盘连接;

其中,在步骤(n)中,通过以毛细作用按压每一所述第五导线的一部分来将所述第五导线分别与所述第五键合焊盘连接;

其中,在步骤(o)中,通过以毛细作用按压每一所述第六导线的一部分来将所述第六导线分别与所述第六键合焊盘连接;

其中,在步骤(p)中,通过以毛细作用按压每一所述第七导线的一部分来将所述第七导线分别与所述第七键合焊盘连接;并且

其中,在步骤(q)中,通过以毛细作用按压每一所述第八导线的一部分来将所述第八导线分别与所述第八键合焊盘连接。

6. 一种制造半导体器件的方法,包括以下步骤:

(a) 提供基材,所述基材包括:

具有四个边的上表面,

形成在所述上表面上并且还沿着所述上表面的所述四个边中的第一衬底边布置的多个第一键合引线,以及

形成在所述上表面上并且还沿着面向所述第一衬底边的所述上表面的所述四个边中的第二衬底边布置的多个第二键合引线;

(b) 在步骤(a)之后,经由第一粘合层在所述基材的所述上表面上布置第一半导体芯片使得第一半导体芯片主边比面向所述第一半导体芯片主边的第一半导体芯片相反边更接近所述第一衬底边,并且使得所述第一半导体芯片与所述第一键合引线 and 所述第二键合引线间隔开,

其中所述第一半导体芯片包括:

具有四个边的第一前表面,以及

形成在所述第一前表面上并且还沿着所述第一前表面的所述四个边中的所述第一半导体芯片主边布置的多个第一键合焊盘,

其中所述第一键合焊盘位于比所述第一半导体芯片相反边更接近所述第一半导体芯片主边的位置;

(c) 在步骤(b)之后,分别经由一个或多个第二粘合层在所述第一半导体芯片的所述第一前表面上堆叠一个或多个第二半导体芯片使得第二半导体芯片主边比面向所述第二半导体芯片主边的第二半导体芯片相反边更接近所述第一衬底边,使得所述一个或多个第二半导体芯片暴露所述第一键合焊盘,并且使得所述第二半导体芯片主边和所述第二半导体芯片相反边分别比所述第一半导体芯片主边和所述第一半导体芯片相反边更接近所述第二衬底边,

其中所述一个或多个第二半导体芯片包括:

具有四个边的第二前表面,以及

形成在所述第二前表面上并且还沿着所述第二前表面的所述四个边中的所述第二半导体芯片主边布置的多个第二键合焊盘,

其中所述第二键合焊盘位于比所述第二半导体芯片相反边更接近所述第二半导体芯片主边的位置;

(d) 在步骤(c)之后,将多个第一导线和第二导线分别与所述第一键合焊盘和所述第二键合焊盘电连接;

(e) 在步骤(d)之后,经由第三粘合层在所述第二半导体芯片的所述第二前表面上布置第三半导体芯片使得第三半导体芯片主边比面向所述第三半导体芯片主边的第三半导体

芯片相反边更接近所述第二衬底边,使得所述第三半导体芯片暴露所述第二键合焊盘,并且使得所述第三半导体芯片主边和所述第三半导体芯片相反边分别比所述第二半导体芯片相反边和所述第二半导体芯片主边更接近所述第二衬底边,

其中所述第三半导体芯片包括:

具有四个边的第三前表面,

形成在所述第三前表面上并且还沿着所述第三前表面的所述四个边中的所述第三半导体芯片主边布置的多个第三键合焊盘,

其中所述第三键合焊盘位于比所述第三半导体芯片相反边更接近所述第三半导体芯片主边的位置;

(f) 在步骤(e)之后,分别经由一个或多个第四粘合层在所述第三半导体芯片的所述第三前表面上堆叠一个或多个第四半导体芯片使得第四半导体芯片主边比面向所述第四半导体芯片主边的第四半导体芯片相反边更接近所述第二衬底边,使得所述一个或多个第四半导体芯片分别与所述一个或多个第二半导体芯片重叠,使得所述一个或多个第四半导体芯片暴露所述第三键合焊盘,并且使得所述第四半导体芯片主边和所述第四半导体芯片相反边分别比所述第三半导体芯片主边和所述第三半导体芯片相反边更接近所述第一衬底边,

其中所述一个或多个第四半导体芯片包括:

具有四个边的第四前表面,以及

形成在所述第四前表面上并且还沿着所述第四前表面的所述四个边中的所述第四半导体芯片主边布置的多个第四键合焊盘,

其中所述第四键合焊盘位于比所述第四半导体芯片相反边更接近所述第四半导体芯片主边的位置;

(g) 在步骤(f)之后,经由第五粘合层在所述第四半导体芯片的所述第四前表面上布置第五半导体芯片使得第五半导体芯片主边比面向所述第五半导体芯片主边的第五半导体芯片相反边更接近所述第二衬底边,使得所述第五半导体芯片与所述第一半导体芯片重叠,使得所述第五半导体芯片暴露所述第四键合焊盘,并且使得所述第五半导体芯片主边和所述第五半导体芯片相反边分别比所述第四半导体芯片主边和所述第四半导体芯片相反边更接近所述第一衬底边,

其中所述第五半导体芯片包括:

具有四个边的第五前表面,以及

形成在所述第五前表面上并且还沿着所述第五前表面的所述四个边中的所述第五半导体芯片主边布置的多个第五键合焊盘,

其中所述第五键合焊盘位于比所述第五半导体芯片相反边更接近所述第五半导体芯片主边的位置;

(h) 在步骤(g)之后,将多个第三、第四和第五导线分别与所述第三、第四和第五键合焊盘电连接;以及

(i) 在步骤(h)之后,以树脂密封所述第一、第二、第三、第四和第五半导体芯片与所述第一、第二、第三、第四和第五导线;

其中,所述基材还包括:

形成在所述上表面上的多个布线,以及

覆盖所述布线的阻焊膜,

其中,所述第一半导体芯片是最下层芯片,

其中,所述第五半导体芯片是最上层芯片,

其中,所述第一、第三和第五半导体芯片中的每一个的厚度大于所述第二和第四半导体芯片中的每一个的厚度,并且

其中,所述第一、第三和第五半导体芯片中的每一个的厚度彼此相同。

7. 根据权利要求6所述的方法,

其中,在步骤(d)中,通过以毛细作用按压每一所述第一导线的一部分来将所述第一导线分别与所述第一键合焊盘连接;

其中,在步骤(d)中,通过以毛细作用按压每一所述第二导线的一部分来将所述第二导线分别与所述第二键合焊盘连接;

其中,在步骤(h)中,通过以毛细作用按压每一所述第三导线的一部分来将所述第三导线分别与所述第三键合焊盘连接;

其中,在步骤(h)中,通过以毛细作用按压每一所述第四导线的一部分来将所述第四导线分别与所述第四键合焊盘连接;

其中,在步骤(h)中,通过以毛细作用按压每一所述第五导线的一部分来将所述第五导线分别与所述第五键合焊盘连接。

8. 一种半导体器件,包括:

(a) 基材,所述基材包括:

具有四个边的上表面,

形成在所述上表面上并且还沿着所述上表面的所述四个边中的第一衬底边布置的多个第一键合引线,以及

形成在所述上表面上并且还沿着面向所述第一衬底边的所述上表面的所述四个边中的第二衬底边布置的多个第二键合引线;

(b) 第一半导体芯片,经由第一粘合层在所述基材的所述上表面上布置使得第一半导体芯片主边比面向所述第一半导体芯片主边的第一半导体芯片相反边更接近所述第一衬底边,并且使得所述第一半导体芯片与所述第一键合引线 and 所述第二键合引线间隔开,

其中所述第一半导体芯片包括:

具有四个边的第一前表面,以及

形成在所述第一前表面上并且还沿着所述第一前表面的所述四个边中的所述第一半导体芯片主边布置的多个第一键合焊盘,

其中所述第一键合焊盘位于比所述第一半导体芯片相反边更接近所述第一半导体芯片主边的位置;

(c) 一个或多个第二半导体芯片,分别经由一个或多个第二粘合层堆叠在所述第一半导体芯片的所述第一前表面上,使得第二半导体芯片主边比面向所述第二半导体芯片主边的第二半导体芯片相反边更接近所述第一衬底边,使得所述一个或多个第二半导体芯片暴露所述第一键合焊盘,并且使得所述第二半导体芯片主边和所述第二半导体芯片相反边分别比所述第一半导体芯片主边和所述第一半导体芯片相反边更接近所述第二衬底边,

其中所述一个或多个第二半导体芯片包括：

具有四个边的第二前表面，以及

形成在所述第二前表面上并且还沿着所述第二前表面的所述四个边中的所述第二半导体芯片主边布置的多个第二键合焊盘，

其中所述第二键合焊盘位于比所述第二半导体芯片相反边更接近所述第二半导体芯片主边的位置；

(d) 第三半导体芯片，经由第三粘合层布置在所述第二半导体芯片的所述第二前表面上使得第三半导体芯片主边比面向所述第三半导体芯片主边的第三半导体芯片相反边更接近所述第二衬底边，使得所述第三半导体芯片暴露所述第二键合焊盘，并且使得所述第三半导体芯片主边和所述第三半导体芯片相反边分别比所述第二半导体芯片相反边和所述第二半导体芯片主边更接近所述第二衬底边，

其中所述第三半导体芯片包括：

具有四个边的第三前表面，

形成在所述第三前表面上并且还沿着所述第三前表面的所述四个边中的所述第三半导体芯片主边布置的多个第三键合焊盘，

其中所述第三键合焊盘位于比所述第三半导体芯片相反边更接近所述第三半导体芯片主边的位置；

(e) 一个或多个第四半导体芯片，分别经由一个或多个第四粘合层堆叠在所述第三半导体芯片的所述第三前表面上，使得第四半导体芯片主边比面向所述第四半导体芯片主边的第四半导体芯片相反边更接近所述第二衬底边，使得所述一个或多个第四半导体芯片分别与所述一个或多个第二半导体芯片重叠，使得所述一个或多个第四半导体芯片暴露所述第三键合焊盘，并且使得所述第四半导体芯片主边和所述第四半导体芯片相反边分别比所述第三半导体芯片主边和所述第三半导体芯片相反边更接近所述第一衬底边，

其中所述一个或多个第四半导体芯片包括：

具有四个边的第四前表面，以及

形成在所述第四前表面上并且还沿着所述第四前表面的所述四个边中的所述第四半导体芯片主边布置的多个第四键合焊盘，

其中所述第四键合焊盘位于比所述第四半导体芯片相反边更接近所述第四半导体芯片主边的位置；

(f) 第五半导体芯片，经由第五粘合层布置在所述第四半导体芯片的所述第四前表面上使得第五半导体芯片主边比面向所述第五半导体芯片主边的第五半导体芯片相反边更接近所述第二衬底边，使得所述第五半导体芯片与所述第一半导体芯片重叠，使得所述第五半导体芯片暴露所述第四键合焊盘，并且使得所述第五半导体芯片主边和所述第五半导体芯片相反边分别比所述第四半导体芯片主边和所述第四半导体芯片相反边更接近所述第一衬底边，

其中所述第五半导体芯片包括：

具有四个边的第五前表面，以及

形成在所述第五前表面上并且还沿着所述第五前表面的所述四个边中的所述第五半导体芯片主边布置的多个第五键合焊盘，

其中所述第五键合焊盘位于比所述第五半导体芯片相反边更接近所述第五半导体芯片主边的位置；

(g) 分别与所述第一、第二、第三、第四和第五键合焊盘电连接的多个第一、第二、第三、第四和第五导线；以及

(h) 密封所述第一、第二、第三、第四和第五半导体芯片与所述第一、第二、第三、第四和第五导线的密封体；

其中,所述基材还包括：

形成在所述上表面上的多个布线,以及

覆盖所述布线的阻焊膜,

其中,所述第一半导体芯片是最下层芯片,

其中,所述第五半导体芯片是最上层芯片,

其中,所述第一、第三和第五半导体芯片中的每一个的厚度大于所述第二和第四半导体芯片中的每一个的厚度,并且

其中,所述第一、第三和第五半导体芯片中的每一个的厚度彼此相同。

9. 根据权利要求8所述的半导体器件,

其中,所述基材由包括所述上表面、形成在所述上表面上的布线和覆盖所述布线的阻焊膜的布线衬底构成,以及

其中,所述第一半导体芯片经由所述第一粘合层安装在所述布线衬底的所述阻焊膜之上。

制造半导体器件的方法

[0001] 本分案申请是基于申请号为201110002450.0,申请日为2011年1月7日,发明名称为“制造半导体器件方法”的中国专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 包括说明书、附图和摘要的2010年1月8日提交的日本专利申请2010-2957的公开的内容通过引用整体地结合到本申请中。

背景技术

[0004] 本发明涉及用于半导体器件的制造技术,并且特别地涉及有效地适用于在切割薄片半导体晶片时发生的芯片开裂的减少。

[0005] 已经公开了用于在布线板上逐阶层压多个半导体元件的结构(例如,专利文献1)。在此结构中,在布线板上逐阶地层压包括第一元件组的多个半导体元件,并沿着与第一元件组上的层的方向相反的方向在第一元件组上逐阶地层压包括第二元件组的多个半导体元件。

[0006] 已经公开了用于在布线板上逐阶层压多个半导体元件的另一结构(例如,专利文献2)。在此结构中,在布线板上逐阶地层压包括第一元件组的多个半导体元件;沿着与第一元件组上的层的方向相反的方向在第一元件组上逐阶地层压包括第二元件组的多个半导体元件;以及在中间具有绝缘粘合层的情况下在第一元件组中的最高层中的半导体元件之上直接层压第二元件组中的最低层中的半导体元件。

[0007] 已经公开了用于在布线板上逐阶层压多个半导体元件的另一结构(例如,专利文献3)。在此结构中,在布线板上逐阶地层压包括第一元件组的多个半导体元件;沿着与第一元件组上的层的方向相反的方向在第一元件组上逐阶地层压包括第二元件组的多个半导体元件;以及位于最高层中的半导体元件比位于其下面的半导体元件厚。

[0008] [专利文献1]

[0009] 日本未审查专利公开2009-88217

[0010] [专利文献2]

[0011] 日本未审查专利公开2009-158739

[0012] [专利文献3]

[0013] 日本未审查专利公开2009-176849

发明内容

[0014] 随着半导体器件容量的增加,已经考虑将多个半导体芯片放置在一个半导体器件中。在这种情况下,还需要电子设备(电子器件)的尺寸缩小,并且要求还减小放置在此电子设备中的半导体器件的外部尺寸。应相信如专利文献1至3所述的那样在作为基材的布线板上以多个层将多个半导体芯片(半导体元件)层压在实现这一点方面是有效的。

[0015] 近年来,对减小半导体器件的厚度的需求已经增加。因此,要求不仅减小基材的厚度,而且减小被放置在此基材上的每个半导体芯片(或从其获取半导体芯片的每个半导体

晶片)的厚度。然而,本发明人的研究揭示以下各项:如果在半导体晶片的厚度被减小至80 μ m或以下以获取半导体芯片的情况下执行使用刀片的切片步骤,则发生芯片开裂。

[0016] 专利文献1至3全部描述被放置在基材上以多个层放置的每个半导体芯片的厚度是80 μ m或以下;然而,该文献中没有公开了用于获取具有此类厚度的半导体芯片的具体技术。

[0017] 本发明已经考虑了前述内容,并且其一个目的是提供一种使得可以获取薄型半导体芯片的技术。

[0018] 本发明的另一目的是提供一种使得可以制造小型半导体器件的技术。

[0019] 通过本说明书中的描述和附图,本发明的以上及其它目的和新颖特征将是清楚的。

[0020] 以下是本在本申请中公开的本发明的代表性元件的主旨的简要描述:

[0021] 根据典型实施例中的制造半导体器件的方法,在用于获取半导体芯片(第一半导体芯片、第二半导体芯片)的步骤中执行以下处理:在沿着连接半导体晶片的参考部分和半导体晶片的中心点的第一直线在第一方向上进行切片时,刀片从第一点朝着第二点前进。第一点位于半导体晶片的一侧的第一部分中。第二点位于上述侧的第二部分中并与第一点相对,在其之间具有第二直线。第二直线沿第一方向与第一直线正交并穿过半导体晶片的中心点。

[0022] 以下是由在本申请中公开的本发明的代表性元件获得的效果的主旨的简要描述:

[0023] 可以获得薄型半导体芯片,在该薄型半导体芯片中有减少的芯片开裂。

附图说明

[0024] 图1是图示本发明的第一实施例中的半导体器件的结构示例的透视图;

[0025] 图2是图示图1中的半导体器件的背面上的外部端子的布置示例的透视图;

[0026] 图3是图示具有透视的密封体的图1所示的半导体器件的结构示例的平面图;

[0027] 图4是沿着图3的线A-A截取的放大剖视图,图示图3中的半导体器件的结构示例;

[0028] 图5是图示结合在图1所示的半导体器件中的第一半导体芯片和第一粘合层的结构示例的透视图;

[0029] 图6是结合在图1所示的半导体器件中的第二半导体芯片和第二粘合层的结构示例的透视图;

[0030] 图7是图示结合在图1所示的半导体器件中的布线板的结构示例的平面图;

[0031] 图8是图示图7中的布线板的内部结构示例的放大局部剖视图;

[0032] 图9是图示在图1所示的半导体器件的组装中的切片之后的半导体晶片的结构示例的平面图;

[0033] 图10是图示图9所示的半导体晶片的结构示例的侧视图;

[0034] 图11是图示在图1所示的半导体器件的组装中的切片期间的半导体晶片的结构示例的透视图;

[0035] 图12是图示在图11所示的切片期间的刀片的行进方向的示例的平面图;

[0036] 图13是图示在图1所示的半导体器件的组装中的背磨之后的半导体晶片的结构示例的平面图;

- [0037] 图14是图示图13所示的半导体晶片的结构示例的侧视图；
- [0038] 图15是图示图13所示的薄半导体晶片的结构示例的侧视图；
- [0039] 图16是图示在图1所示的半导体器件的组装中粘贴切片带和DAF之后的半导体晶片的结构示例的平面图；
- [0040] 图17是图示图16所示的半导体晶片的结构示例的剖视图；
- [0041] 图18是图示图16所示的薄半导体晶片的结构示例的剖视图；
- [0042] 图19是图示在图1所示的半导体器件的组装中的DAF切割之后的半导体晶片的结构示例的平面图；
- [0043] 图20是图示DAF切割期间的图19所示的半导体晶片的结构示例的剖视图；
- [0044] 图21是图示图1所示的半导体器件的组装中的在拾取步骤中的芯片往上顶超(plunge up)期间的半导体晶片的结构示例的剖视图和图示其在往上顶超之前和往上顶超之后的放大局部剖视图；
- [0045] 图22是图示用于图1所示的半导体器件的组装中的在管芯键合步骤中的第一半导体芯片的管芯键合之后的半导体晶片的结构示例的平面图、在挤压时获得的放大局部剖视图、和在挤压之后获得的放大局部剖视图；
- [0046] 图23是图示用于图1所示的半导体器件的组装中的在管芯键合步骤中的第二半导体芯片的管芯键合之后的半导体晶片的结构示例的平面图和在挤压时获得的放大局部剖视图；
- [0047] 图24是图示图1所示的半导体器件的组装中的在引线键合步骤中的引线键合之后的半导体晶片的结构示例的平面图和相应的放大局部剖视图；
- [0048] 图25是图示用于图1所示的半导体器件的组装中的引线键合步骤中的第一凸块电极的形成方法的示例的局部剖视图；
- [0049] 图26是图示用于图1所示的半导体器件的组装中的引线键合步骤中的第1面的引线键合方法的示例的局部剖视图；
- [0050] 图27是图示用于图1所示的半导体器件的组装中的引线键合步骤中的第2侧的引线键合方法的示例的局部剖视图；
- [0051] 图28是图示用于图1所示的半导体器件的组装中的引线键合步骤中的第2侧的第二导线的键合方法的示例的局部剖视图；
- [0052] 图29是图示图28所示的A位置(site)的结构示例的放大局部剖视图；
- [0053] 图30是图示图1所示的半导体器件的组装中的引线键合步骤中的毛细管的路径示例的概念图；
- [0054] 图31是图示沿着图30所示的毛细管的路径布线的结构示例的剖视图；
- [0055] 图32是图示图31所示的布线结构的示例的平面图；
- [0056] 图33是图示用于图1所示的半导体器件的组装中的翻转层压时的第一半导体芯片的管芯键合之后的半导体晶片的结构示例的平面图和在挤压时获得的放大局部剖视图；
- [0057] 图34是图示用于图1所示的半导体器件的组装中的翻转层压之后的第二半导体芯片的管芯键合之后的半导体晶片的结构示例的平面图和在挤压时获得的放大局部剖视图；
- [0058] 图35是图示图1中的半导体器件的组装中的翻转层压之后的引线键合之后的半导体晶片的结构示例的平面图和相应的放大局部剖视图；

[0059] 图36是图示用于图1中的半导体器件的组装中的再翻转层压之后的引线键合之后的半导体晶片的结构示例的平面图和相应的放大局部剖视图；

[0060] 图37是图示用于图1中的半导体器件的组装中的再再翻转层压时的第一半导体芯片的管芯键合之后的半导体晶片的结构示例的平面图和在挤压时获得的放大局部剖视图；

[0061] 图38是图1中的半导体器件的组装中的管芯键合中的最高层中的第一半导体芯片的平面图和在挤压时获得的放大局部剖视图；

[0062] 图39是图示在图1中的半导体器件的组装中的最高层中的第一半导体芯片的放置之后的引线键合完成时的半导体晶片的结构示例的平面图和相应的放大局部剖视图；

[0063] 图40是图示图1所示的半导体器件的组装中的在树脂成型之后获得的结构示例的平面图；

[0064] 图41是图示树脂成型之后的图40所示的结构示例的剖视图；

[0065] 图42是图示图1所示的半导体器件的组装中的在分割时获得的结构示例的平面图；

[0066] 图43是图示分割时的图42所示的结构示例的剖视图；

[0067] 图44是图示对本发明的第一实施例的第一修改例中的半导体器件的结构的透视图；

[0068] 图45是图示在背表面侧的图44中的半导体器件的结构示例的透视图；

[0069] 图46是图示对本发明的第一实施例的第二修改例中的半导体器件的结构的剖视图；

[0070] 图47图示具有透视的密封主体的对本发明的第一实施例的第三修改例中的半导体器件的结构的平面图；

[0071] 图48是沿着图47的线A-A截取的剖视图，图示图47中的半导体器件的结构示例；

[0072] 图49是沿着图47的线B-B截取的剖视图，图示图47中的半导体器件的结构示例；

[0073] 图50是图示具有透视的密封主体的本发明的第二实施例中的半导体器件的结构示例的平面图；

[0074] 图51是沿着图50的线A-A截取的剖视图，图示图50中的半导体器件的结构示例；

[0075] 图52是沿着图50的线B-B截取的剖视图，图示图50中的半导体器件的结构示例；

[0076] 图53是图示对本发明的第二实施例的第一修改例中的半导体器件的结构的放大局部剖视图；

[0077] 图54是图示具有透视的密封主体的对本发明的第二实施例的第二修改例(单侧安装)中的半导体器件的结构示例的透视图；

[0078] 图55是沿着图54的线A-A截取的剖视图，图示16层芯片层压结构的示例；

[0079] 图56是沿着图54的线B-B截取的剖视图，图示16层芯片层压结构的示例；

[0080] 图57是图示具有透视的密封主体的从背表面侧看的图54中的半导体器件的结构的背后面视图；

[0081] 图58是沿着图54的线A-A截取的剖视图，图示八层芯片层压结构的示例；

[0082] 图59是沿着图54的线B-B截取的剖视图，图示八层芯片层压结构的示例；

[0083] 图60是沿着图54的线A-A截取的剖视图，图示四层芯片层压结构的示例；

[0084] 图61是沿着图54的线B-B截取的剖视图，图示四层芯片层压结构的示例；

[0085] 图62是图示具有透视的密封主体的对本发明的第二实施例的第三修改例(双侧安装)中的半导体器件的结构示例的透视图;

[0086] 图63是沿着图62的线A-A截取的剖视图,图示16层芯片层压结构的示例;

[0087] 图64是沿着图62的线B-B截取的剖视图,图示16层芯片层压结构的示例;

[0088] 图65是沿着图62的线A-A截取的剖视图,图示八层芯片层压结构的示例;

[0089] 图66是沿着图62的线B-B截取的剖视图,图示八层芯片层压结构的示例;

[0090] 图67是图示比较例中的引线键合中的在第2侧的挤压之前和挤压之后获得的结构局部剖视图;

[0091] 图68是图示比较例中的引线键合中的毛细管的路径的概念图;

[0092] 图69是图示图68所示的比较例中的沿着毛细管的路径布线的结构的剖视图;以及

[0093] 图70是图示图69所示的比较例中的布线结构的平面图。

具体实施方式

[0094] 在实施例的以下说明中,除非特别要求,通常将不重复相同或相似部分的说明。

[0095] 在以下说明中,为了方便,每个实施例在必要时将被划分成多个节。除非另外明确说明,其不是相互无关的,并且其处于一个节是部分或全部其它节的修改、细节、补充说明等的关系。

[0096] 当在实施例的以下说明时提及任何数目的元素时(包括许多部件、数值、量、范围等),数目不限于该特定数目。除非另外明确说明或该数目在原理上明显局限于特定数目,前述内容适用且该数目可以在该特定数目之上或之下。

[0097] 在实施例的以下说明中,不需要附加说明,其组成元素(包括基本步骤等)并不总是必不可少的,除非明确地另外说明或其在原理上明显是必不可少的。

[0098] 当在实施例的以下说明中对于组成元素等使用词语“由A组成”、“由A形成”、“包括A”或“包含A”时,不需要附加说明,不排除其它元素。除非明确地说明仅特别地涉及该元素,否则这一点适用。类似地,当在实施例的以下说明中提及组成元素等的形状、位置关系等时,其包括与该形状等基本上近似或类似的那些形状。除非明确地另外说明或在原理上显而易见的是某些形状等不包括与该形状等基本上近似或类似的那些。这同样适用于上述数值和范围。

[0099] 在下文中,将参考附图对本发明的实施例给出详细说明。在用于解释实施例的每个图中,将用相同的参考代码来标记具有相同功能的部件并将省略其重复说明。

[0100] (第一实施例)

[0101] 图1是图示本发明的第一实施例中的半导体器件的结构示例的透视图;图2是图示图1的半导体器件的背表面侧的外部端子的布置示例的透视图;图3是具有透视的密封主体的图1所示的半导体器件的结构示例的平面图;以及图4是沿着图3的线A-A截取的放大剖视图,图示图1所示的半导体器件的结构示例。图5是结合在图1所示的半导体器件中的第一半导体芯片和第一粘合层的结构示例的透视图;图6是结合到图1所示的半导体器件中的第二半导体芯片和第二粘合层的结构示例的透视图;图7是结合在图1所示的半导体器件中的布线板的结构示例的平面图;以及图8是图示图7中的布线板的内部结构示例的放大局部剖视图。

[0102] 如图1和图2所示,第一实施例中的半导体器件是LGA(接点格栅阵列)半导体器件(在下文中称为LGA)1。如图3和4所示,在基材上层压多个半导体芯片。下面将详细地描述其结构。

[0103] <半导体器件>

[0104] 在本实施例中,LGA 1使用布线板3作为基材。如图3和4所示,在布线板3上逐阶地层层压16个半导体芯片(逐层移位)。换言之,上层中的半导体芯片从下一较低层中的半导体芯片移位,以便实现以下内容:下一较低层中的半导体芯片的键合焊盘(电极焊盘)被暴露。如图4所示,采取以下措施,以便每四个半导体芯片取向为同一方向,换言之,每个半导体芯片的键合焊盘位于布线板3的同一侧:四个半导体芯片在其取向对准的情况下被逐阶层压,并且层压的方向改变180度,然后逐阶地放置另外四个半导体芯片。(层压的方向指的是当半导体芯片被层压时其被移位到的方向,并且在下文中将称为层压方向。)这时,第五至第八层中的半导体芯片被逐阶层压,使得其键合焊盘被布置在与第一至第四层中的半导体芯片的那些键合焊盘相反的一侧。

[0105] 将给出在本实施例中为什么在LGA 1中使用16个半导体芯片的原因的说明。在本实施例中使用的每个半导体芯片包括存储器电路且这些芯片全部是同一种类的闪速存储器芯片(非易失性存储器)。每个存储器芯片的容量是32千兆位。在本实施例中,使用16个存储器芯片来实现具有64千兆字节的容量的LGA 1。通常,存储器芯片的容量由 2^2 位构成;因此,期望的是还应由 2^2 个芯片的组层压半导体芯片。在本实施例中,由于此原因,沿同一层压方向放置四个半导体芯片(在第一至第四层中)并随后放置另外四个半导体芯片(在第五至第八层中)。

[0106] 之后,层压方向再次改变180度,并且如在第一至第四层中一样在四个层中逐阶地层层压接下来的半导体芯片(在第九至第十二层中)。进而,层压方向改变180度,并且如在第五至第八层中一样在四个层中逐阶地层层压接下来的半导体芯片(在第13至第16层中)。

[0107] 在本实施例中,如上所述,使用每个具有32千兆位的容量的存储器芯片来制造64千兆字节的半导体器件1并因此使用16个半导体芯片(存储器芯片)。然而,不需要附加说明,当每个存储器芯片的容量不同且半导体器件1的要求容量不同时,半导体器件1可以由较大数目或较小数目的半导体芯片构成。

[0108] 如图3和4所示,可以使用由导电部件形成的导线2将以下各项电耦合在一起:一个半导体芯片的键合焊盘(电极焊盘)和另一半导体芯片的键合焊盘(电极焊盘);或半导体芯片的键合焊盘和布线板3的键合引线(电极焊盘)3d(参考图7)。

[0109] 通过使用球键合的反向键合方法将LGA 1中的所有导线2引线键合。反向键合方法是其中采取以下程序的技术:导线2的球部分被接合到布线板3的键合引线3d(或下层中的半导体芯片的键合焊盘);并且之后,将导线2的一部分接合到半导体芯片的键合焊盘(上层中的半导体芯片的键合焊盘)。

[0110] 因此,LGA 1是在使用球键合的反向键合方法中执行叠印(overstrike)的结构。导线2由例如金(Au)组成。

[0111] 在布线板3的上表面(前表面)3a侧,形成有以16层层压的半导体芯片和通过反向键合方法获得的多个导线2。在布线板3的上表面3a上用图1所示的密封主体10来密封16层半导体芯片和导线2。例如通过将环氧密封树脂热固化来获得密封主体10。

[0112] 由于LGA 1是接点格栅阵列的,所以如图2所示,在布线板3的下表面3b侧提供将是LGA 1的外部端子的多个凸块接点3g。

[0113] 在本实施例中,如上所述,当以多个层层压图3所示的具有矩形平面形状的半导体芯片时采取以下措施:如图3和图4所示,沿同一层压方向放置四个半导体芯片(在第一至第四层中);并且其后将层压方向改变180度,并放置另外四个半导体芯片(在第五至第八层中)。因此,可以在半导体器件1(或布线板3)中实现尺寸减小。

[0114] <半导体芯片>

[0115] 将对放置在LGA 1中的16个半导体芯片给出说明。

[0116] 在图4中的第一(最低)、第五、第九、第13、和第16(最高)层中使用的半导体芯片是图5所示的半导体芯片(第一半导体芯片)4。(然而,第五和第13层中的半导体芯片是与半导体芯片4相同的半导体芯片(第三半导体芯片)6。)此半导体芯片4包括:主表面(第一前表面、上表面)4a;在此主表面4a中形成的多个第一键合焊盘(电极焊盘)4c;以及与主表面4a相反的主表面(第一背表面、下表面)4b。主表面4a(和主表面4b)的平面形状是四边形的,并且在本实施例中,其为矩形。第一键合焊盘4c沿着主表面4a的侧边(第一芯片侧)4d形成,并且与主表面4a的中心部分相比更接近于仅这一侧4d。换言之,半导体芯片4是所谓的单侧焊盘产品,并且在其它侧未形成键合焊盘。如图5所示,此外,在主表面4b上形成有由绝缘材料形成的粘合层(第一粘合层、DAF(管芯粘结膜))8。半导体芯片4硅(Si)组成且半导体芯片4的厚度在0.040至0.200mm的范围内,并且在本实施例中为0.055mm。在本实施例中,被粘结到半导体芯片4的主表面4b的粘合层8的厚度(Td1)在0.010至0.050mm的范围内,并且在本实施例中为0.020mm。因此,半导体芯片4和粘合层8的总厚度是0.075mm。

[0117] 在图4中的第二至第四、第六至第八、第10至第12、第14、和第15层中使用的半导体芯片是图6所示的半导体芯片(第二半导体芯片)5。(然而,第六至第八层及第14层和第15层中的半导体芯片是与半导体芯片5相同的半导体芯片(第四半导体芯片)7。)与半导体芯片4类似地,此半导体芯片5包括:主表面(第二前表面、上表面)5a;在此主表面5a中形成的多个第二键合焊盘(电极焊盘)5c;以及与主表面5a相反的主表面(第二背表面、下表面)5b。主表面5a(和主表面5b)的平面形状是四边形。第二键合焊盘5c沿着主表面5a的侧边(第二芯片侧)5d形成,并且与主表面5a的中心部分相比更接近于仅这一侧5d。换言之,半导体芯片5是类似于半导体芯片4的所谓的单侧焊盘产品。如图6所示,此外,在主表面5b上形成有由绝缘材料形成的粘合层(第二粘合层DAF)9。半导体芯片5硅(Si)组成且半导体芯片5的厚度在0.010至0.030mm的范围内,并且在本实施例中为0.020mm。被粘结到半导体芯片5的主表面5b的粘合层9的厚度(Td2)在0.003至0.010mm的范围内,并且在本实施例中为0.005mm。因此,半导体芯片5和粘合层9的总厚度是0.025mm。也就是说,图6所示的半导体芯片(第二半导体芯片)的厚度小于图5所示的半导体芯片(第一半导体芯片)4的厚度。粘合层9的厚度也小于粘合层8的厚度。换言之,第一半导体芯片4和第一粘合层8的总厚度大于第二半导体芯片5和第二粘合层9的总厚度。第一半导体芯片4的主表面4a(或主表面4b)的外尺寸与第二半导体芯片5的主表面5a(或主表面5b)的外尺寸相同。

[0118] <基材>

[0119] 将对在LGA 1中使用的基材给出说明。在本实施例中,使用如图7和8所示的布线板3作为基材。

[0120] 如图7和8所示,布线板3包括:具有平面形状为四边形的上表面(前表面)3a和与此上表面3a相反的下表面(背表面3b)的芯层(芯材料)3c;在芯层3c的上表面3a中形成的上表面侧布线层3h;在芯层3c的下表面3b中形成的下表面侧布线层3i;以及在形成于芯层3c中的通路(通孔)中提供并将上表面侧布线层3h和下表面侧布线层3i相互电耦合的通路布线3n。本实施例中的上表面3a的平面形状是具有位置彼此相反的两个短边(第一板边、第二板边)和与该短边正交并且位置彼此相反的两个长边的矩形。如图3所示,上表面3a的外尺寸大于在其上面被层压半导体芯片4、5的外尺寸。换言之,布线板3的每个长边大于被逐阶地层压的半导体芯片的总长度TL;并且布线板3的每个短边长于每个半导体芯片的每个短边。芯层3c由玻璃环氧树脂组成。上表面侧布线层3h和下表面侧布线层3i中的每一个由铜(Cu)组成。

[0121] 虽然图中未示出,但上表面侧布线层3h包括多个布线(布线图案)。在芯层3c的上表面3a中形成的多个键合引线3d中的每一个由每个布线的一部分形成。芯层3c的上表面3a和上表面布线层3h被上表面阻焊膜3j覆盖,并且只有键合引线3d从在此上表面阻焊膜3j中形成的开口暴露。键合引线3d包括:沿着两个短边中的一个(第一板边)3k形成且被布置为与在与边3k相对的另一边(第二板边)3m相比更接近于此边3k的多个键合引线(第一键合引线、电极焊盘)3e;以及沿着两个短边中的另一个(第二板边)3m形成且被布置为与在与边(第二板边)3k相比更接近于此边3m的多个键合引线(第二键合引线、电极焊盘)3f。也就是说,本实施例中使用的布线板3是所谓的双面焊盘产品。虽然图中未示出,但在每个键合引线的前表面上形成镀敷层,并例如通过在镍(Ni)层上沉积金(Au)层来配置此镀敷层。

[0122] 虽然图中未示出,但下表面侧布线层3i包括多个布线(布线图案)。如图2所示,在芯层3c的下表面3b中形成的每个凸块接点3g由每个布线的一部分形成。芯层3c的下表面侧布线层3i和下表面3b被下表面阻焊膜3j覆盖。如图2和图8所示,仅一个凸块节点3g被从下表面阻焊膜3j暴露。

[0123] 如上所述,在阻焊膜3j下面形成了具有多个布线的布线层(上表面侧布线层3h、下表面侧布线层3i)。因此,如图8所示,阻焊膜3j的前表面不是平的。换言之,在那里形成不均匀度(台阶)。

[0124] 在第一实施例中的LGA 1中,当如图4所示以16个层层压半导体芯片时采取以下措施:第一半导体芯片4、或较厚型的芯片仅被放置在要求的层中,且在其它层中使用第二半导体芯片5、或较薄型芯片。从而将16层层压件薄化以实现LGA 1的厚度的减小。

[0125] 在16层的第一层、或最底层中,使用第一半导体芯片4。第一半导体芯片4厚于第二半导体芯片5,且厚于第二粘合层9的第一粘合层8被与之粘结。如上所述,在布线板3的上表面3a中,阻焊膜3j等中的不均匀度是大的。因此,可以由厚的第一粘合层8来吸收该不均匀度以提高粘合强度。第一粘合层8的0.010至0.050mm的厚度足以吸收布线板3的上表面3a中的不均匀度。这使得可以防止半导体芯片在成型期间脱离布线板3。

[0126] 第一半导体芯片4的0.040至0.200mm的厚度使得可以保持足以保证第一半导体芯片4的第一背表面4b的平坦度的强度。这使得可以提高粘合强度并保证第一半导体芯片4的第一前表面4a的平坦度以提高第二层中的半导体芯片的管芯可键合性。

[0127] 还在16层的第五、第九和第13层中使用较厚型第一半导体芯片4。这些层等效于16层层压中的每四层翻转层压中的第一层。在这些层中,要求用于直接位于下面的各层(第

四、第八、和第12层)中的反向键和的导线2通过第五、第九和第13层中的半导体芯片来保证一定高度。这是意图防止导线与直接位于上面的每个半导体芯片(第六、第10、和第14层)的背表面的末端接触。因此,在第五、第九和第13层中使用具有被与之粘结的较厚的第一粘合层8的较厚型第一半导体芯片4。

[0128] 这使得可以防止(减少)其中每四个层执行翻转层压的16层层压中的半导体芯片和导线2之间的接触。

[0129] 此外,在第五、第九和第13层中,芯片末端由于翻转层压而被悬垂(突出)。结果,存在键合焊盘,该键合焊盘的下部未被任何东西支撑,并且其必须在引线键合期间经受住键合力。因此,厚型第一半导体芯片4的使用可以提高芯片本身的强度并防止(减少)由于引线键合期间的键合力而引起的芯片损坏。

[0130] 由于存在其下部在芯片末端处的悬垂区域中未被任何东西支撑的部分,所以由于由来自树脂成型期间的树脂流动的压力而易于引起芯片破裂。因此,厚型第一半导体芯片4的使用使得可以与前述内容类似地提高芯片本身的强度。另外,其使得可以防止(减少)由于来自树脂成型期间的树脂流动的压力而引起的芯片破裂的发生。

[0131] 在16层层压件的第16层、或最高层中也使用厚型第一半导体芯片4。这是针对以下各项的措施:第16层中的半导体芯片在其上表面侧(主表面侧)未特别地被任何部件支撑;因此,易于与前述内容类似地在由来自树脂成型期间的树脂流动的压力而引起芯片破裂。在第16层中也使用厚型第一半导体芯片4使得可以提高芯片本身的强度并防止(减少)由于来自树脂成型期间的树脂流动的压力而引起的芯片破裂的发生。

[0132] <制造半导体器件的方法>

[0133] 将给出制造第一实施例中的半导体器件(LGA 1)的方法的说明。

[0134] 图9是图示图1所示的半导体器件的组装中的切片之后的半导体晶片的结构示例的平面图;图10是图示图9所示的半导体晶片的结构示例的侧视图;图11是图示在图1所示的半导体器件的组装中的切片时获得的结构示例的透视图;以及图12是图示在图11所示的切片中的刀片的行进方向的示例的平面图。图13是图示图1所示的半导体器件的组装中的背磨之后的半导体晶片的结构示例的平面图;图14是图示图13所示的半导体晶片的结构示例的侧视图;以及图15是图示图13所示的薄半导体晶片的结构示例的侧视图。图16是图示图1所示的半导体器件的组装中的在粘结DAF和切片带之后获得的结构示例的平面图;图17是图示图16所示的半导体晶片的结构示例的剖视图;以及图18是图示在图16所示的薄半导体晶片的结构示例的剖视图。图19是图示图1所示的半导体器件的组装中的在切割DAF之后获得的结构示例的平面图;图20是图示在切割DAF时获得的图19所示的结构示例的剖视图;以及图21是是图示图1所示的半导体器件的组装中的在拾取步骤中的芯片往上顶超时获得的结构示例的剖视图及在往上顶超之前和往上顶超之后获得的放大局部剖视图。图22是图示图1所示的半导体器件的组装中的在用于管芯键合步骤中的第一半导体芯片的管芯键合之后获得的结构示例的平面图及在挤压时获得的放大局部剖视图和在挤压之后获得的放大局部剖视图;以及图23是图示图1所示的半导体器件的组装中的在用于管芯键合步骤中的第二半导体芯片的管芯键合之后获得的结构示例的平面图和在挤压时获得的放大局部剖视图。

[0135] <<用于半导体晶片的切片步骤>>

[0136] 首先,准备如图9所示的在平面形状上为圆形且具有在其中形成的参考部分的半导体晶片11。参考部分例如是如图9所示的半导体晶片11中的取向平面11d或如图12所示的凹口11e。其充当指示半导体晶片11中的硅的晶体取向的基础。在本实施例中使用的半导体晶片11被形成成为使得硅的晶体取向基于此参考部分与图12所示的X和Y方向匹配。

[0137] 之后,对此半导体晶片11执行切片以将其分段成每个半导体芯片。这时,如图11所示,用真空台13将半导体晶片11的背表面11(参考图10)进行真空吸附,并且切片刀片(磨石)沿着X和Y方向前进。当刀片12沿着图12中的Y方向前进时,刀片12朝着参考部分(取向平面11d或凹口11e)前进以切割晶片。

[0138] 将给出这样做的原因的说明。

[0139] 在本实施例中的切片步骤中,使用以高速旋转的刀片12来切割半导体晶片11。在刀片12和半导体晶片11之间的接触区域中,产生应力(切割应力)且在此切割区域中易于发生破裂。

[0140] 如上所述,如图9或图12所示,在半导体晶片11中形成指示硅的晶体取向的参考部分。也就是说,半导体晶片的平面形状不是完美的圆形。接近于半导体晶片11的参考部分,当在元件形成中形成薄膜时,内应力变得不均匀。因此,当在半导体晶片11的侧边11p上切割其中形成有参考部分(取向平面11d、凹口11e)的区域时产生的应力不同于在切割其它区域时产生的应力。具体而言,当切割其中形成有参考部分的区域时产生的应力大于在切割其它区域时产生的应力。因此,如果促使刀片12从参考部分侧进入并沿着其离开参考部分的方向前进,则产生长的(例如,约几厘米)的微裂纹。

[0141] 在本实施例中,为了防止这种情况下,刀片12首先沿着硅的晶体取向前进以切片半导体晶片11。结果,即使在刀片12与半导体晶片11之间的接触区域中产生应力(切割应力),也可以沿着晶体取向扩展应力并抑制开裂。

[0142] 在沿着图12所示的Y方向切片时,刀片12朝着参考部分(取向平面11d或凹口11e)前进以切割晶片。结果,当促使刀片12从距离参考部分较远的一侧进入并朝着距离参考部分较近的一侧执行切片时,可以将微裂纹抑制得短(至约几毫米)。即使在形成有参考部分的区域中产生了比在切割其它区域时产生的应力大的切割应力,也不发生问题。由于半导体晶片11已被切割,所以可以抑制由于此大的应力的影响而引起的半导体晶片11中的开裂。可以通过芯片裂纹的生长集中于应变(在已经历切片的凹槽中被吸收)的方向来解释这后面的原理。

[0143] 将参考图12给出使刀片12朝着参考部分前进的切片方法的详细说明。

[0144] 首先,将限定半导体晶片11中的每个部分。形成圆的半导体晶片11的中心将被视为中心点11f;将作为参考部分(参考点)的凹口11e与半导体晶片11的中心点11f相连的直线(中心线)将被视为第一直线11m;以及与第一直线11m正交并穿过半导体晶片11的中心点11f的直线(中心线)将被视为第二直线11n。在半导体晶片11的周边上的侧边11p被形成成为使得其基本上画个圆。因此,侧边11p包括相对于第二直线11n与凹口11e相反的第一部分11g和除第一部分11g之外的第二部分11i(参考部分侧)。

[0145] 在侧边11p上的第一部分11g中的任意点将被视为第一点11h,并且以下的点将被视为第二点11j:位于侧边11p上的第二部分11i中并与第一点11h相对的点,在该点与第一点11h之间沿着第一直线11m在第一方向11k上(或在与第一直线11m平行的假想线上)有第

二直线11n。

[0146] 在这些定义下,在用于半导体晶片11的切片步骤中,刀片12如下所述地前进。在沿将凹口11e(或取向平面11d)与半导体晶片11的中心点11f相连的第一直线11m在第一方向11k上切片时,其从第一点11h前进至第二点11j。如上所述,第一点11h位于半导体晶片11的侧边11p上的第一部分11g中;并且第二点11j位于侧边11p上的第二部分11i中并沿着第一方向11k与第一点11h相对,在其之间有第二直线11n。第二直线11n与第一直线11m正交并穿过半导体晶片11的中心点11f。

[0147] 也就是说,在用于半导体晶片11的切片步骤中(用于获取半导体芯片的步骤),在沿着图12所示的Y方向上切割时采取以下程序:刀片12从第一点11h前进到第二点11j以切割半导体晶片11。

[0148] 如上所述,通过使刀片12从距离凹口11较远的一侧的第一点11h向距离凹口11e较近的一侧的第二点11j前进来执行切片。结果,可以沿着半导体晶片11中的硅的晶体取向来执行切片。因此,可以减少在此切割步骤中在半导体晶片11的切割部分处产生的应力。因此,即使减小了半导体晶片11的厚度,也可以减少或防止由切片引起的芯片开裂。

[0149] 在沿着与第一方向11k交叉的方向(图12所示的X方向)切片时,可以使刀片12沿任何方向前进,因为未形成参考部分。

[0150] 到目前为止,已经给出了能够通过刀片12前进的方向来抑制半导体晶片11中的开裂的说明。在本实施例中,采用所谓的在先切片法。在这种方法中,在用于半导体晶片11的背磨步骤(用于薄地研磨晶片的步骤)之前执行切割步骤。

[0151] 将给出该在先切片法的说明。如图10所示,由刀片12形成从前表面11a延伸到半导体晶片11的中间部分的切口。换言之,通过防止刀片12到达半导体晶片11的背表面11b来留下轻微的未切割部分。这时,在相邻的半导体芯片之间形成间隙。其后,从半导体晶片11的背表面11b侧开始执行背磨步骤以减小半导体晶片11的厚度。当执行背磨步骤直至到达切口时,可以获得多个半导体芯片。

[0152] 根据该在先切片法,如上所述,可以用厚度大的半导体晶片11来执行切片步骤。因此,即使在切片步骤中产生切割应力,也可以减少或防止由于此切片而引起的芯片开裂的发生,因为半导体晶片11的强度是大的。

[0153] 也就是说,可以通过仅采用该在先切片法而不应用与刀片12的行进方向有关的上述技术来减少或防止切片步骤中的芯片开裂的发生。因此,不一定需要采用与刀片12的行进方向有关的上述技术。

[0154] <<用于半导体晶片的背磨步骤>>

[0155] 随后,通过背磨将图13所示的已切片的半导体晶片11的厚度减小至期望的厚度。

[0156] 在此背磨步骤中,如图14和图15所示地执行以下程序以保护在半导体晶片11的前表面11a中形成的半导体元件(未示出):首先,将背磨带14粘贴到半导体晶片11的前表面11a;之后,将磨石(未示出)压紧在半导体晶片11的背表面11b上以研磨半导体晶片11。在第一实施例中的LGA 1中,如图4所示地放置两个不同厚度的半导体芯片。因此,由该背磨步骤形成以下晶片:图14所示的具有第一厚度(Tw1)的半导体晶片和图15所示的具有小于第一厚度的第二厚度(Tw2)的半导体晶片。厚度Tw1在0.040至0.200mm的范围内,并且在本实施例中,厚度Tw1是0.055mm。厚度Tw2在0.010至0.030mm的范围内,并且在本实施例中,厚度

Tw2是0.020mm。

[0157] 在本实施例中,在背磨步骤之前执行半导体晶片11的切片步骤。因此,由该背磨步骤获得多个半导体芯片4、5。然而,这些半导体芯片4、5在主表面(前表面、上表面)4a、5a侧被背磨带14保持;因此,即使其被划分成多个半导体芯片,其也不分散。

[0158] <<重新堆叠至切片带>>

[0159] 随后,如图16所示,改变每个背磨半导体晶片11上的带,并在晶片环16内布置经历背磨步骤的每个半导体晶片11。

[0160] 将给出更详细的说明。首先,准备具有在其上面形成的具有第一厚度的粘合层8的切片带15。在此切片带15上,用中间的粘合层8固定平面形状为圆形并在以环形形状(环状)形成的晶片环16。具有第一厚度(Tw1)的半导体晶片11被固定在粘合层8上,以便半导体晶片11位于晶片环16内,并且半导体晶片11的背表面11b与粘合层8相对。虽然图中未示出,但其后,剥离被粘贴到半导体晶片11的前表面11a的背磨带14,并获得图17所示的状态。

[0161] 这与具有第二厚度(Tw2)的半导体晶片11的情况相同。首先准备包括具有第二厚度的粘合层9和通过此粘合层固定的晶片环16的切片带15。然后,在粘合层9上固定具有第二厚度(Tw2)的半导体晶片11,以便半导体晶片11位于晶片环16的内部且半导体晶片11的背表面11b与粘合层9相对。虽然图中未示出,但其后,剥离被粘贴到半导体晶片11的前表面11a的背磨带14,并获得图18所示的状态。

[0162] <<用于第一层至第四层的管芯键合步骤>>

[0163] 随后,在从切片带15拾取每个已获得的半导体芯片之前,如图19和图20所示,用激光切割器17来切割粘合层(DAF)。这时,沿着由用于半导体晶片的上述切割步骤形成的间隙来施加激光17a并仅切割粘合层(第一粘合层8、第二粘合层9),以便不损坏切片带15。结果,依照每个半导体芯片4、5的外部形状来切割粘合层8、9。

[0164] 如图21所示,随后,将往上顶超单元19的往上顶超块19a压紧在每个半导体芯片4的第一背表面4b上(以将其往上顶超),在中间有切片带15和粘合层8。用以筒夹(collet)18真空吸附的半导体芯片的主表面4a来执行此处理。往上顶超块19a是多级往上顶超型的。如图21中的“往上顶超之后”的简图所示,芯片被逐渐地从周边部分朝着第一半导体芯片4的第一背表面4b的中心向上推以将其从切片带15剥离。因此,即使在薄型半导体芯片的情况下,可以进一步减少对芯片的损坏。

[0165] 在第一实施例中,对包括第一半导体芯片4和第二半导体芯片5的所有半导体芯片执行上述多级往上顶超。

[0166] 然后,将由筒夹18保持的半导体芯片4、5放置在布线板3上或先前放置的半导体芯片上。在第一实施例中的LGA 1中,当如图4所示在16个层中将半导体芯片层压时采取以下程序:第一半导体芯片3、或厚型的芯片仅被放置在要求的层中,且在其它层中放置第二半导体芯片5、或薄型芯片。从而减小16层层压件的厚度以实现LGA1的厚度的减小。

[0167] 将给出更详细的说明。在布线板3的上表面3a上放置具有第一厚度(Tw1)的第一半导体芯片4作为第一(最底)层中的芯片。在第一半导体芯片4之上,形成有具有第一厚度的粘合层8。在本实施例中使用的布线板3是来自如图22所示的具有多个器件区域的多个衬底20,并且在每个器件区域中形成有上述键合引线3e、3f(参考图7)。在本实施例中,在每个器件区域上执行该管芯键合步骤。

[0168] 这时,如图35所示,将第一层中的半导体芯片4布置(放置)在布线板3的上表面3a上,以便实现以下各项:第一半导体芯片4的第一芯片边(布置有多个键合焊盘4c的一边)4d面朝布线板3的两个短边中的一边(第一板边)3k;并且在平面中看时,半导体芯片4被设置在该器件区域中(布线板3的上表面3a)。换言之,第一层(最底层)中的第一半导体芯片4被布置(放置)在布线板3的上表面3a上,以便实现以下各项:第一芯片边4d和第一板边3k之间的距离短于第一芯片边4d(或与第一芯片边4d相对的芯片边(另一短边))与第二板边3m之间的距离。换言之,第一层(最底层)中的第一半导体芯片4被布置(放置)在布线板3的上表面3a上,使得第一芯片边4d被布置为与第二板边3m相比更接近于第一板边3k。另外,第一半导体芯片4被放置为使得所布置的其第一键合焊盘4c被排列为与所布置的布线板3的第一键合引线3e相邻。

[0169] 如上所述,具有粘贴的厚第一粘合层8的第一半导体芯片4被放置在最底层中。结果,布线板3的上表面3a中的不均匀度可以被第一粘合层8吸收。将给出更具体的说明。在平面地与第一半导体芯片4重叠的布线板3的上表面3a中的区域中,形成有诸如图8所示的多个布线图案(上表面侧布线层3h)。由于此上表面侧布线层3h、阻焊膜3j中的所产生的台阶、阻焊膜3j中的开口等的存在或不存在,形成不均匀度。因此,厚第一粘合层8作为最底层中的粘合层的使用使得可以实现以下各项:布线板3中的不均匀度被吸收并增强了在布线板3与第一粘合层8之间的粘合强度。

[0170] 此外,第一半导体芯片4还具有足够的厚度;因此,其保持足以保证第一半导体芯片4的第一背表面4b的平坦度的强度。结果,可以保证第一半导体芯片4的第一前表面4a的平坦度以增强第二层中的半导体芯片的管芯可键合性。

[0171] 如图23所示,随后,对第二层至第四层执行管芯键合步骤。

[0172] 在本示例中,在第二至第四层中使用第二半导体芯片5。第二半导体芯片5比第一半导体芯片4薄,且比第一粘合层8薄的第二粘合层9被粘贴到其第二背表面5b。在用于第二半导体芯片5的管芯键合时,其被布置(层压)在第一半导体芯片4上,以便实现以下各项:如图35所示,每个第二半导体芯片的第二芯片边5d和第一板边3k之间的距离短于当在平面中看第二半导体芯片5时的以下距离:第二芯片边5d(或与第二芯片边5d相对的芯片边(另一短边))与第二板边3m之间的距离。换言之,第二半导体芯片5被布置(层压)在第一半导体芯片4上,以便实现以下各项:其各自第二芯片边5d被布置为与第二板边3m相比更接近于第一板边3k,并且多个第一键合焊盘4c被从第二半导体芯片5暴露。也就是说,逐阶地层压(放置)第二半导体芯片5,其层压方向与第一层中的半导体芯片4的层压方向匹配,以便实现以下各项:每个第二半导体芯片5的第二芯片边(布置有多个键合焊盘5c的一边)5d面朝布线板3的两个短边中的一边(第一板边)3k;并且在平面中看时,半导体芯片5位于器件区域(布线板3的上表面3a)中。

[0173] 如上所述,可保证第一层中的第一半导体芯片4的第一前表面4a的平坦度。因此,即使当使用比第一半导体芯片4薄的第二半导体芯片5时,也可以在第二层至第四层中获得粘合强度。这使得可以减小LGA 1的厚度。

[0174] 在第二半导体芯片5的管芯键合中,第二层中的第二半导体芯片5被布置在第一半导体芯片4上,以便实现以下各项:所布置的其第二键合焊盘5c被排列为与下层中的第一半导体芯片4的所布置的第一键合焊盘4c相邻;并且第一键合焊盘4c被从第二半导体芯片5暴

露。

[0175] 将给出更具体的说明。当层压第二和随后的层(第二至第四层)中的第二半导体芯片5时,采取以下措施:在每层处逐阶地使半导体芯片移位并进行层压,使得下一较低层中的半导体芯片的键合焊盘排被暴露。也就是说,逐阶地层压最底层至第四层中的半导体芯片,以便其层压方向是相同的,并且单独的半导体芯片的各自键合焊盘被布置在同一侧。

[0176] 在第三层和第四层中,使用第二半导体芯片5、或薄型芯片来减小整个层压件的厚度,并用与第二层相同的层压方法来进行层压。这完成如图23所示的用于第一层至第四层的管芯键合。

[0177] <<用于第一层至第四层的引线键合步骤>>

[0178] 随后,对第一层至第四层执行引线键合。在LGA 1的组装中执行的每个引线键合步骤中,使用反向键合法。

[0179] 图24是图示图1所示的半导体器件的组装中的在引线键合步骤中的引线键合之后获得的结构示例的平面图和相应的放大局部剖视图;图25是图示图1所示的半导体器件的组装中的引线键合步骤中的用于第一凸块电极的形成方法的示例的局部剖视图;图26是图示图1所示的半导体器件的组装中的引线键合步骤中的第1侧的引线键合方法的示例的局部剖视图;并且图27是图示图1所示的半导体器件的组装中的引线键合步骤中的第2侧的引线键合方法的示例的局部剖视图。图28是图示图1所示的半导体器件的组装中的引线键合步骤中的用于第2侧的第二导线的键合方法的示例的局部剖视图;图29是图示图28所示的A位置的结构示例的放大局部剖视图;图30是图示图1所示的半导体器件的组装中的引线键合步骤中的毛细管的路径的示例的概念图;图31是图示沿着图30所示的毛细管的路径布线的结构示例的剖视图;并且图32是图31所示的布线结构的示例的平面图。图33是图示图1所示的半导体器件的组装中的翻转层压时的在用于第一半导体芯片的管芯键合之后获得的结构示例的平面图和在挤压时获得的放大局部剖视图;图34是图示图1所示的半导体器件的组装中的翻转层压之后的在用于第二半导体芯片的管芯键合之后获得的结构示例的平面图和在挤压时获得的放大局部剖视图;并且图35是图示图1所示的半导体器件的组装中的翻转层压之后的在引线键合之后获得的结构示例的平面图和相应放大局部剖视图。图36是图示图1中的半导体器件的组装中的再翻转层压之后的在引线键合之后获得的结构示例的平面图和相应的放大局部剖视图;图37是图示图1中的半导体器件的组装中的在再再翻转层压时用于第一半导体芯片的管芯键合之后的结构示例的平面图和在挤压时获得的放大局部剖视图;图38是图1中的半导体器件的组装中的在用于最高层中的第一半导体芯片的管芯键合中在挤压时获得的平面图和相应的放大局部剖视图;并且图39是图示图1中的半导体器件的组装中的在将第一半导体芯片放置在最高层中之后的完成引线键合时的结构示例的平面图和相应的放大局部剖视图。

[0180] 在第一实施例中的引线键合步骤中,采用所谓的反向键合法。在本方法中,导线被从布线板3键合到半导体芯片或从下层中的半导体芯片键合到上层中的半导体芯片。因此,下层侧被视为第1键(bond)且上层侧被视为第2键。

[0181] 如图24所示,首先,通过多个第一导线2a将布线板3的多个第一键合引线3c和第一半导体芯片4的多个第一键合焊盘4c分别相互电耦合。也就是说,通过第一导线2a将布线板3的第一键合引线3e和第一半导体芯片4的第一键合焊盘4c相互电耦合。在本示例中,下层

中的每个第一键合引线3e是第1键且上层中的每个第一键合焊盘4c是第2键。

[0182] 在本实施例中的反向键合法中,如图25中的“导线切割之后”的简图所示采取以下措施:预先在将是第2键的键合焊盘上形成第一凸块电极2g。(在本示例中,此键合焊盘是第一半导体芯片4的第一键合焊盘4c中的一个。)这时,通过如图25所示将毛细管21的顶端表面21a压紧在第一凸块电极2g的前表面上来在第一凸块电极2g的前表面中形成以下斜面2h:斜面2h,其高度从第一半导体芯片4的第一前表面4a的中心部分朝着第一芯片边4d减小。

[0183] 将给出更详细的说明。如图25中的“凸块连接(land)时”的简图所示,在毛细管21的引导下执行以下处理:第一导线2a的球部分2c的中心部分2d与第一键合焊盘4c(第2侧)的中心部分4e对准且其被接合在一起。这时,使用热量和超声波来将球部分2c接合到键合焊盘4c。其后,毛细管21如图25中的“凸块形成时”的简图所示地向上移动并略微朝着图24所示的第一键合引线3e(第1键)移动。此外,如“凸块完成之后”的简图所示,毛细管21向下移动,并且球部分2c被毛细管21的顶端表面21的倾斜部分21b挤压并压碎。其后,切割第一导线2a,结果,如图25中的“导线切割之后”的简图所示形成第二凸块电极2g。这时,在第一凸块电极2g的前表面中形成以下斜面2h:斜面2h,其高度从第一半导体芯片4的第一前表面4a的中心部分朝着第一芯片边4d减小。

[0184] 如图26所示,随后,对布线板3的第一键合引线3e执行在反向键合法中的第1键接合。首先,使用毛细管21,将第一导线2a的球部分2c接合到布线板3的多个第一键合引线3e中的一个。这时,如图26中的“第1侧接合之前”的简图所示,在毛细管21的引导下在第一键合引线3e上布置第一导线2a。

[0185] 其后,如图26中的“第1侧凸块连接时”的简图所示执行以下处理:在毛细管21的引导下在第一键合引线3e上连接球部分2c,并随后用毛细管21将球部分2c压紧并接合到第一键合引线3e。这时,使用热量和超声波来将球部分2c接合到键合焊盘4c。

[0186] 其后,如图26中的“第1侧接合之后”的简图所示使毛细管21向上移动。

[0187] 如图27所示,随后,执行第2键。在本示例中,第一导线2a的一部分被接合到第一凸块电极2g的前表面。首先,如图27中的“第2侧接合之前”的简图所示,将其设置在第一半导体芯片4的第一键合焊盘4c之上。然后,如图27中的“导线连接时”和“接合完成时”的简图所示,第一导线2a在毛细管21的引导下被连接在预先形成的第一凸块电极2g的前表面上。这时,在以下状态下用毛细管21的顶端表面21a的倾斜部分21b挤压第一凸块电极2g的斜面2h:其中毛细管21的中心部分21c从第一凸块电极2g的中心部分2i沿着其离开第一芯片边4d(向内)的方向移位的状态。也就是说,由毛细管21的顶端表面21a挤压第一凸块电极2g的整个斜面2h。

[0188] 结果,执行与被压碎的第一凸块电极2g的斜面2h中的薄部分2q和厚部分2r两者的键合。这使得可以增大接合面积以增强接合强度。

[0189] 其后,如图27中的“导线切割之后”的简图所示,切割第一导线2a并完成第2侧的第一导线2a的键合。在第一键合焊盘4c上,将第一导线2a的末端(部分)2p接合到第一凸块电极2g的斜面2h。

[0190] 使用相同的反向键合法,通过第一导线2a将布线板3的其它第一键合引线3e与第一半导体芯片4的其它第一键合焊盘4c相互电耦合。

[0191] 随后,用反向键合法将第一层中的第一半导体芯片4的第一键合焊盘4c与第二层中的第二半导体芯片5的第二键合焊盘5c相互耦合。在本示例中,通过多个第二导线2b将多个第一键合焊盘4c和多个第二键合焊盘5c分别地相互电耦合。

[0192] 首先,用与用于图25所示的第一凸块电极2g的方法相同的形成方法在将是第2侧的第二半导体芯片5的第二键合焊盘5c上形成第二凸块电极2m(参考图30)。并且,在第二凸块电极2m处,这时,在前表面中与第一凸块电极2g的斜面2h类似地形成斜面2s,斜面2s的高度朝着下层中的第一键合焊盘4c减小。

[0193] 其后,如图28中的“第二导线接合之前”的简图所示,执行以下处理:在毛细管21的引导下在已被结合到第一半导体芯片4的第一键合焊盘4c之上的第一凸块电极2g的第一导线2a的末端2p上布置第二导线2b的球部分2e。这时,如图29所示,第一导线2a的末端2p包括以下部分:第一部分(薄导线区域)2j;以及被设置为与第一部分2j相比更接近于第一芯片边4d且在厚度上大于(厚于)第一部分2j的第二部分(厚导线区域)2k。

[0194] 其后,如图28和图29中的“第二导线连接时”的简图所示地执行以下处理:使毛细管21向下移动并由毛细管21压紧第二导线2b的球部分2e且将其接合到第一凸块电极2g和第一导线2a的末端2p。在本示例中,由毛细管21来引导第二导线2b,使得第二导线2b的球部分2e与图29所示的第一导线2a的第一部分2j和第二部分2k接触。然后,第二导线2b的球部分2e被接合到第一导线2a的末端2p和第一凸块电极2g。

[0195] 结果,在第一导线2a的末端2p处的第一部分2j和第二部分2k两者被压碎的情况下执行键合。这使得可以增大接合面积以增强接合强度。

[0196] 为了增强第一凸块电极2g与第二导线2b的球部分2e之间的接合强度,重要的是采取图29所示的措施。也就是说,将第一凸块电极2g、第一导线2a、和第二导线2b键合,使得其不会突出超过第一半导体芯片4的第一键合焊盘4c的焊盘宽度D。也就是说,为了增强接合强度,重要的是从第一凸块电极2g之上直接接合第二导线2b的球部分2e。

[0197] 优选地,通过采取以下措施来增大第二导线2b与第一凸块电极2g之间的接合面积以增强接合强度:第二导线2b的球部分2e被接合到第一导线2a的末端2p和第一凸块电极2g,以便实现以下各项:第二导线2b的球部分2e的中心部分2f与第一凸块电极2g的中心部分2i重叠。

[0198] 其后,如图28中的“接合完成时”的简图所示,使毛细管21向上移动并完成第1侧的第二导线2b的引线键合。

[0199] 随后,执行第2侧的第二导线2b的引线键合。(这是到第二层中的第二半导体芯片5的第二键合焊盘5c的引线键合。)在第一实施例中的组装中,这时,使用图30至图32所示的毛细管21的路径21e来执行第2侧的第二导线2b的引线键合。

[0200] 如图30至图32所示,首先,在毛细管21的引导下将第二导线2b的球部分2e结合到第一接合焊盘4c之上的第一凸块电极2g(参考图29)。当毛细管21随后从第一键合焊盘4c移动至第二键合焊盘5c时,执行以下处理:在途中,其沿着将第一键合焊盘4c和第二键合焊盘5c连接的第二方向21d朝着第一键合焊盘4c向回移动。也就是说,在第一键合焊盘4c之上拉起毛细管21并使被向上拉起的毛细管21沿着当在平面中看时离开第二键合焊盘5c的方向移动。(此方向是直接从第一键合焊盘4c之上朝着第一芯片侧4d的方向。)随后,以连续的动作朝着第二键合焊盘5c向回切割毛细管以在第二导线2b中形成曲线点2n。将给出更具体的

说明。使毛细管21沿着当在平面中看时其接近于第二键合焊盘5c的方向移动。毛细管21被布置为与其直接位于第一键合焊盘4c之上时相比更接近于第二键合焊盘5c。然后,再次使毛细管21沿着当在平面中看时其离开第二键合焊盘5c的方向移动。(此方向是直接从第一键合焊盘4c之上朝着第一芯片侧4d的方向。)然后,将第二导线2b的一部分接合到在第二键合焊盘5c之上形成的第二凸块电极2m的前表面。

[0201] 将给出更详细的说明。在如图30所示完成第1侧的接合之后,在第一键合焊盘4c之上向上拉起毛细管21。第二导线2b从而被沿着其离开第二键合焊盘5c的方向拔出一。进一步使毛细管向上移动并随后使其朝着第二键合焊盘5移动。此外,在从第一键合焊盘4c朝向第二键合焊盘5c的途中,使毛细管21向上移动。其后,使其沿着图32所示的第二方向21d朝着第一键合焊盘4c向回移动,并随后在连续动作中朝着第二键合焊盘5c(图30中的X位置)向回切割。从而在第二导线2b中形成图31所示的曲线点2n。其后,将第二导线2b的一部分接合到在第二键合焊盘5c上形成的第二凸块电极2m的前表面。

[0202] 当第二导线2b的一部分被接合到第二凸块电极2m时,使用图27所示的将第一导线2a接合到第一凸块电极2g的方法。

[0203] 在第二凸块电极2m中,形成有斜面2s。因此,当第二导线的一部分被接合到第二凸块电极2m时,力P被施加于第二导线2b。此力P由斜面2s和如图31所示的来自毛细管21的顶端表面21a的压力的作用产生,并用于基本上水平地朝着第一键合焊盘4c推动第二导线2b。(此力P还同样地作用在第一凸块电极2g的斜面2h处。)

[0204] 作为施加此力P的结果,第二导线2b被基本上水平地推出,因此可以在第二键合焊盘5c(第2侧)上减小导线环路高度。此环路高度减小意图实现以下各项:导线2的高度被在第四层中的半导体芯片和被平面地布置在其之上的同一位置中的半导体芯片相互重叠的范围内(如图35中的S位置所示)减小。如果在S位置处执行平常的反向键和,则可以使导线2与上半导体芯片接触。当如在第一实施例一样在第一凸块电极2g中形成斜面2h时,可以在S位置处减小导线2的环路高度以防止这种情况。

[0205] 图67图示由本发明人研究的第二凸块电极2m的斜面2s的比较例。在本比较例中,使斜面2s的高度(与第一凸块电极2g的斜面2h的情况相同)减小的倾斜方向相对于第一键合焊盘4c而言相反。也就是说,斜面2s具有其高度朝着第一键合焊盘4c增大的倾斜度。

[0206] 在图67中的“挤压之前”和“挤压之后”的简图中,第二凸块电极2m的斜面2s如此倾斜,使得其第2侧的引线键合中朝着第一键合焊盘4c(参考图31)变高。在这种情况下,如简图所示在引线键合期间发生以下情况:第二导线2b被接合,使得其沿着其朝着第一键合焊盘4c变高的方向(其被提高的方向Y)倾斜。结果,不能在第二键合焊盘5c(第2侧)上减小导线环路高度。

[0207] 因此,期望的是第二凸块电极2m的斜面2s应如此倾斜,使得其朝着下层中的第一键合焊盘4c变低。(这与第一凸块电极2g的斜面2h的情况相同。)

[0208] 在第2侧的引线键合中,如图31所示,用从以下情况产生的力P朝着第一键合焊盘4c推出第二导线2b:朝着在第二凸块电极2m之上形成的下层中的第一键合焊盘4c倾斜的斜面2s的和来自毛细管21的顶端表面21a的压力的作用。然而,曲线点2n在第二导线2b中形成,并且它在曲线点2n附近的刚性是高的。因此,如图32所示,第二导线2b不横向地倾倒,并且在位于第一键合焊盘4c之上的区域(Q位置)中被径直地推出。

[0209] 图68至图70图示本发明人研究的比较例中的毛细管21的路径21e。根据此路径21e,如下执行处理:在第一键合焊盘4c处完成第1侧的引线键合之后,使毛细管21沿着其离开第二键合焊盘5c的方向被移动以便一次向上拉起第二导线2b;并进一步使毛细管向上移动且随后朝着第二键合焊盘5移动,并直接开始第二键合焊盘5c处的第2侧的引线键合。也就是说,与图30所示的第一实施例中的毛细管21的路径21e不同,上述路径不涉及以下操作:使毛细管朝着第一键合焊盘4c向回移动一次,并随后在连续动作中朝着第二键合焊盘5c向回切割毛细管。

[0210] 因此,在第二导线2b中形成诸如图31所示的曲线点2n。当由如图69所示从以下情况产生的力P朝着第一键合焊盘3C推出第二导线2b时发生问题:在第二凸块电极2m中形成的斜面2s和来自毛细管21的顶端表面21a的压力的作用。如图70中的R位置所示,在第一键合焊盘4c之上附近在第二导线2b中发生侧倾倒现象。这引起键合失败,诸如与相邻的第二导线2b接触。

[0211] 当采用图30所示的第一实施例中的毛细管21的路径21e时,在第二导线2b中形成曲线点2n并因此可以防止侧倾倒现象。此外,如图24所示,可以减小由引线键合步骤形成的导线的环路高度。因此,即使当直接在将半导体芯片放置在第五和以下层中的步骤(管芯键合步骤)之上布置另一半导体芯片时,也可以抑制以下问题:直接布置在上面的半导体芯片与导线之间的接触的问题。在本实施例中,为了过程的简化,在引线键合步骤中未采用图30所示的引线键合法来将第一层中的半导体芯片电耦合到布线板3。如图4所示,这是因为第一层中的半导体芯片与直接布置在该半导体芯片上面的半导体芯片之间的距离大于以下距离:第二至第四层中(尤其是第四层中)的每个半导体芯片与直接布置在上面的半导体芯片之间的距离。然而,不需要附加说明,还可以将图30所示的引线键合法应用于第一层中的半导体芯片。

[0212] 如上所述,可以通过采取以下措施来实现具有减小的环路高度的高度可靠的引线键合:为第一实施例中的第二凸块电极2m提供斜面2a(与第一凸块电极2g的斜面2h的情况相同);以及使用图30所示的毛细管21的路径21e来执行引线键合。

[0213] 与用于通过第二导线2b将第一层中的半导体芯片4和第二层中的第二半导体芯片5耦合的引线键合(反向键和)类似地执行用于第三层和第四层的引线键合。这完成用于直至第四层的引线键合。

[0214] <<用于第五层至第八层的管芯键合步骤>>

[0215] 如图33和图34所示,随后,执行用于第五层至第八层的管芯键合。在用于第五层至第八层的管芯键合中,使层压方向从用于第一层至第四层的管芯键合中的层压方向改变180度,并在第五层处使层压方向反转。然而,此管芯键合与用于第一层和第四层的情况的相同之处在于在每个层处使半导体芯片移位并逐阶地进行层压。这时,层压半导体芯片,以便将每个层中的键合焊盘布置在与第一层至第四层中的那些相反的一侧上。

[0216] 在作为反转层压中的第一层的第五层中,如图33所示,放置在厚度方面与第一半导体芯片4相同且厚于第二半导体芯片5的第三半导体芯片6。如图35所示,第三半导体芯片6包括:平面形状为四边形的第三前表面6a;(仅)沿着第三前表面6a的第三芯片边6d形成的多个第三键合焊盘(电极焊盘、导线2被直接键合到的焊盘);以及与第三前表面6a相反的第三背表面6b。此外,作为厚度大的第一粘合层的第一粘合层8被粘贴到第三半导体芯片6的

第三背表面6b。因此,通过第一粘合层8来放置第三半导体芯片6。第三半导体芯片6是具有与第一半导体芯片4相同的功能的存储器芯片。

[0217] 第三半导体芯片6的厚度在0.040至0.200mm范围内,并且在本实施例中为0.055mm。被粘贴到第三半导体芯片6的第一粘合层8的厚度在0.010至0.050mm的范围内,并且在本实施例中为0.020mm。在这种情况下,第三半导体芯片6和第一粘合层8的总厚度是0.075mm。

[0218] 第五层中的第三半导体芯片6的管芯键合中,其被放置(布置、层压)在第四层中的第二半导体芯片5上,使得实现以下各项:如图35所示,第三芯片侧6d和第二板边3m之间的距离当在平面中看时短于以下距离且多个第二键合焊盘5c被从第三半导体芯片6暴露:第三芯片边6d(或与第三芯片边6d相对的芯片边(另一短边))与第一板边3k之间的距离。换言之,第五层中的第三半导体芯片6被放置为使得第三芯片侧6d被布置为与第一板边3k相比更接近于第二板边3m。也就是说,逐阶地层压(放置)第五层中的半导体芯片6,其层压方向被从第一至第四层中的半导体芯片4、5的层压方向改变180度,使得实现以下各项:第三半导体芯片6的第三芯片边(布置有键合焊盘6c的一边)6d面朝布线板3的两个短边中的另一边(第二板边)3m;以及当在平面中看时半导体芯片6被设置在器件区域(布线板3的上表面3a)中。

[0219] 当将第五层中的第三半导体芯片6的厚度(T_{w1})和第一粘合层8的厚度(T_{d1})相加时,获得 $T_{w1}+T_{d1}$ 的总厚度。由于与图35中的导线环路高度(H_w)的关系,需要防止下层(第四层)中的导线2与上层(第六层)中的第四半导体芯片7之间的干扰。为了实现这一点,需要满足如图33所示的对间隙(clearance) ($D = (T_{w1}+T_{d1}) - H_w > 0$)的要求。

[0220] 如上所述,第三半导体芯片6在厚度上与第一半导体芯片4相同,并且厚于第二半导体芯片5。此外,第一粘合层8是厚的;因此,可以通过将第三半导体芯片6的厚度与第一粘合层8的厚度相加来实现以下各项:可以保证足以防止直接下层(第四层)中的导线2的环路高度与如图35中的S位置所示的直接位于上面(第六层)的第四半导体芯片7之间的干扰的高度;以及可以防止(减少)下层(第四层)中的导线2与直接位于上面的第四半导体芯片7之间的干扰(接触)。

[0221] 在到第四层中的第二半导体芯片5的第二键合焊盘5c的引线键合中,可以实现以下情况。第二导线2b,其环路高度被如图31所示的第二凸块电极2m的斜面2s减小。因此,可以在图35中的S位置处通过第三半导体芯片6和第一粘合层8的低环路高度和大的总厚度的组合在图35中的S位置处保证足够的间隙,第三半导体芯片6和第一粘合层8两者都是厚的。因此,可以防止(减少)下层(第四层)中的导线2与直接位于上面的第四半导体芯片7之间的干扰。

[0222] 在翻转层压中的第一层中,芯片末端的一部分从下层中的芯片悬垂(突出)。在悬垂部分中,存在键合焊盘,该键合焊盘的下部未被任何东西支撑且它们必须在引线键合期间经受住键合力。因此,厚型第三半导体芯片6的使用使得可以提高芯片本身的强度并防止(减少)由于引线键合期间的键合力而引起的芯片损坏。

[0223] 由于存在其下部在芯片末端处的悬垂区域中未被任何东西支撑的部分,所以易于由来自树脂成型期间的树脂流动的压力而引起芯片破裂。因此,厚型第三半导体芯片6的使用使得可以与前述内容类似地提高芯片本身的强度。另外,其使得可以防止(减少)由于来

自树脂成型期间的树脂流动的压力而引起的芯片破裂的发生。

[0224] 如图34所示,随后,在翻转之后层压第二和随后的层(第六层至第八层)。也就是说,对第六层至第八层执行管芯键合。这时,使用与第二层至第四层中的第二半导体芯片5类似的作为薄型半导体芯片的第四半导体芯片7。

[0225] 第四半导体芯片7包括:平面形状为四边形的第四前表面7a;(仅)沿着第四前表面7a的第四芯片边7d形成的多个第四键合焊盘(电极焊盘、导线2被直接键合到的焊盘)7c;以及与第四前表面7a相反的第四背表面7b。此外,作为厚度小的第二粘合层的第二粘合层9被粘贴到第四半导体芯片7的第四背表面7b。因此,通过第二粘合层9来放置第四半导体芯片7。第四半导体芯片7是具有与第二半导体芯片5相同的功能的存储器芯片。

[0226] 第四半导体芯片7的厚度(Tw2)与第二半导体芯片5类似地在0.010至0.030mm的范围内,并且例如是0.020mm。被粘贴到第四半导体芯片7的第二粘合层9的厚度(Td2)在0.003至0.010mm的范围内,并且是例如0.005mm。在这种情况下,第四半导体芯片7和第二粘合层9的总厚度是0.025mm。

[0227] 在第六层中的第四半导体芯片7的管芯键合中,其被放置(布置、层压)在第五层中的第三半导体芯片6上,使得实现以下各项:如图35所示,当在平面中看时第四芯片边7d与第二板边3m之间的距离短于以下距离且多个第三键合焊盘6c被从第四半导体芯片7暴露:第四芯片边7d(或与第四芯片边7d相对的芯片边(另一短边))与第一板边3k之间的距离。换言之,第六层中的第四半导体芯片7被放置为使得第四芯片边7d被布置为与第一板边3k相比更接近于第二板边3m。也就是说,逐阶地层压(放置)第六层中的第四半导体芯片7,其层压方向与第五层中的半导体芯片6匹配,使得实现以下各项:第四半导体芯片7的第四芯片边(布置有键合焊盘7c的一边)7d面朝布线板3的两个短边中的另一边(第二板边)3m;以及当在平面中看时半导体芯片7被设置在器件区域中(布线板3的上表面3a)。

[0228] 并且,在用于第七层和第八层的管芯键合中,使用与第四半导体芯片7相同的半导体芯片,并对第六层执行此管芯键合。

[0229] 如上所述,在用于第六层至第八层的管芯键合中使用第四半导体芯片7的第二粘合层9的组合,第四半导体芯片7的第二粘合层9两者都是薄的。这使得可以减小16层层压件的总厚度以减小LGA 1的厚度。

[0230] 在第五层至第八层中的每个半导体芯片中,每个层中的键合焊盘被布置在布线板3的第二键合引线3f侧。

[0231] 这完成用于第五层至第八层的管芯键合。在第一层至第八层中,如下使用半导体芯片:分别在第一层和第五层中使用厚型第一半导体芯片4和第三半导体芯片6;并且在第二层至第四层和在第六层至第八层中分别使用薄型第二半导体芯片5和第四半导体芯片7。第一半导体芯片4和第三半导体芯片6两者都厚于第二半导体芯片5和第四半导体芯片。也就是说,可以通过使用尽可能多的薄型半导体芯片来减小LGA 1的厚度。

[0232] <<用于第五层至第八层的引线键合步骤>>

[0233] 如图35所示,随后,对第五层至第八层执行引线键合(反向键合)。用于第五层至第八层的引线键合与用于第一层至第四层的引线键合的不同之处仅在于每个层中的布线方向被改变180°。在其它方面,用于第五层至第八层的引线键合与针对第一层至第四层的情况完全相同。

[0234] 首先,对第五层中的第三半导体芯片6执行引线键合。也就是说,布线板3的多个第二键合引线3f和第三半导体芯片6的多个第三键合焊盘6c通过反向键合法经由多个第三导线2t被分别电耦合在一起。

[0235] 这时,如在用于第一层中的第一半导体芯片4的引线键合中一样,预先在等效于第2侧的第三半导体芯片6的第三键合焊盘6c上形成第一凸块电极2g。然而,在第三键合焊盘6c上的第一凸块电极2g中形成的斜面2h是倾斜的,使得其朝着位于下层中的第二键合引线3f变低。

[0236] 第五层中的第三半导体芯片6中的反向键合与第一半导体芯片4中的反向键合相同。首先,第三导线2t被接合到作为第1侧的布线板3的第二键合引线3f;其后,第三导线2t的一部分被电耦合到作为第2侧的第三半导体芯片6的第三键合焊盘6c之上的第一凸块电极2g。这完成第五层中的第三半导体芯片6的反向键合。

[0237] 其后,对第六层至第八层执行引线键合。除布线的方向之外,用于第六层至第八层的引线键合与用于第二层至第四层的引线键合完全相同。将给出对更具体的说明。预先在上层(第2侧)中的半导体芯片的键合焊盘上形成具有斜面2s的第二凸块电极2m。在这种状态下,在下层中的半导体芯片的键合焊盘上执行第1侧的引线键合;其后,在上层中的半导体芯片的键合焊盘之上的第二凸块电极2m的斜面2s上执行第2侧的引线键合。

[0238] 在第六层中的第四半导体芯片7的引线键合中,例如,执行以下处理:第五层中的第三半导体芯片6的多个第三键合焊盘6c和第六层中的第四半导体芯片7的多个第四键合焊盘7c通过反向键合经由多个第四导线2u分别被电耦合在一起。

[0239] 这时,如在第二层中的第二半导体芯片5中的引线键合中一样,预先在等效于第2侧的第四半导体芯片7的第四键合焊盘7c中形成第二凸块电极2m。然而,在第四键合焊盘7c之上的第二凸块电极2m中形成的斜面2s是倾斜的,使得其朝着位于下层中的第三键合焊盘6c变低。

[0240] 第六层中的第四半导体芯片7中的反向键合与第二半导体芯片5中的反向键合相同。首先,将第四导线2u作为第1侧接合到第三半导体芯片6的第三键合焊盘6c之上的第三导线2t的一部分;其后,第四导线2u的一部分被电耦合到作为第2侧的第四半导体芯片7的第四键合焊盘7c之上的第二凸块电极2m。这完成第六层中的第四半导体芯片7中的反向键合。

[0241] 用于第七层和第八层的引线键合法与用于第六层中第四半导体芯片7的反向键合法相同。

[0242] 如上所述地执行用于第五层至第八层的引线键合。这使得可以实现高度可靠的引线键合,其具有与在第一层至第四层的引线键合中相比减小的环路高度。

[0243] 如上所述,在第五层中的半导体芯片6的主表面(背表面、下表面)中发生以下情况:平面地与半导体芯片6的键合焊盘6c重叠的区域未受到位于下层中的半导体芯片(在这种情况下为第四层中的半导体芯片)的支撑。也就是说,在所谓的悬垂区域中形成半导体芯片6的键合焊盘6c。因此,当在引线键合步骤中使用的毛细管21压紧此类键合焊盘6c时,易于发生芯片开裂。然而,在本实施例中,使用图5所示的具有第一厚度(T_{w1})的半导体芯片4作为第五层中的半导体芯片。因此,半导体芯片不容易弯曲,并且即使来自毛细管21的力被施加于悬垂区域,也能够抑制芯片开裂的发生。

[0244] 如上所述,此外,使用以下半导体芯片作为放置在第五层中的半导体芯片:具有比在第二至第四层(或第六至第八层)中使用的半导体芯片5的第二厚度(T_{w2})大的第一厚度(T_{w1})的半导体芯片4。如图4所示,这使得可以增加第四层中的半导体芯片与设置在此半导体芯片上的第六层中的半导体芯片之间的距离。在本实施例中,另外,使用以下粘合层作为用来将半导体芯片放置在第五层中的粘合层:具有比在第二至第四层(或第六至第八层)中使用的粘合层9的第二厚度(T_{d2})大的第一厚度(T_{d1})的粘合层8。因此,可以进一步增加第四层中的半导体芯片与设置在此半导体芯片上的第六层中的半导体芯片之间的距离。这使得可以防止被键合到第四层中的半导体芯片的键合焊盘的导线与直接位于此半导体芯片之上的第六层中的半导体芯片之间的接触问题。在本实施例中,此外,在用于第四层中的半导体芯片的引线键合步骤中采用诸如图30所示的引线键合方法。由于可以进一步减小所形成的导线的环路高度,因此,可以更可靠地防止导线和上层中的半导体芯片之间的接触问题。

[0245] <<用于第九层至第12层的管芯键合步骤>>

[0246] 如图36所示,随后,对第九层至第12层执行管芯键合。用于第九层至第12层的管芯键合与用于第一层至第四层的管芯键合完全相同。在第九层中使用厚型第一半导体芯片4并在第10层至第12层中使用薄型第二半导体芯片5。

[0247] 由于厚型第一半导体芯片4在层压翻转时被放置在第九层中,所以可以实现以下各项:可以保证足以防止直接下层(第八层)中的导线2的环路高度与直接位于上面(第10层)的第二半导体芯片5之间的干扰的高度;以及可以防止(减少)下层(第八层)中的导线2与直接位于上面的第二半导体芯片5之间的干扰(接触)。

[0248] 在翻转层压中的第一层(第九层)中,芯片末端的一部分从下层中的芯片悬垂(突出)。在悬垂部分中,存在键合焊盘,该键合焊盘的下部未被任何东西支撑且它们必须在引线键合期间经受键合力。因此,厚型第一半导体芯片4的使用使得可以提高芯片本身的强度并防止(减少)由于引线键合期间的键合力而引起的芯片损坏。

[0249] 由于存在其下部在芯片末端处的悬垂区域中未被任何东西支撑的部分,所以易于由来自树脂成型期间的树脂流动的压力而引起芯片破裂。因此,厚型第一半导体芯片4的使用使得可以与前述内容类似地提高芯片本身的强度。另外,其使得可以防止(减少)由于来自树脂成型期间的树脂流动的压力而引起的芯片破裂的发生。

[0250] 如上所述,在用于第10层至第12层的管芯键合中使用第二半导体芯片5和第二粘合层9的组合,第二半导体芯片5的第二粘合层9两者都是薄的。这使得可以减小16层层压件的总厚度以减小LGA 1的厚度。

[0251] <<用于第九层至第12层的引线键合步骤>>

[0252] 随后,执行图36所示的用于第九层至第12层的引线键合。用于第九层至第12层的引线键合与用于第一层至第四层的引线键合(反向键合)完全相同;因此,将省略其说明。并且,在用于第九层至第12层的引线键合中,可以与在用于第一层至第四层中的引线键合一样实现具有减小的环路高度的高度可靠的引线键合。

[0253] <<用于第13层至第16层的管芯键合步骤>>

[0254] 如图37所示,随后,对第13层执行管芯键合。用于第13层的管芯键合与用于作为层压翻转之后的第一层的第五层的管芯键合完全相同。也就是说,使用第三半导体芯片6和第

一粘合层8的组合,第三半导体芯片6和第一粘合层8两者都是厚的。

[0255] 这使得可以保证足以防止直接下层(第12层)中的导线2的环路与直接位于上面(第14层)的第四半导体芯片7之间的干扰的高度。因此,可以防止(减少)下层(第12层)中的导线2与直接位于上面的第四半导体芯片7之间的干扰(接触)。

[0256] 在翻转层压中的第一层(第13层)中,芯片末端的一部分从下层中的芯片悬垂(突出)。在悬垂部分中,存在键合焊盘,该键合焊盘的下部未被任何东西支撑且它们必须在引线键合期间经受键合力。因此,厚型第三半导体芯片6的使用使得可以提高芯片本身的强度并防止(减少)由于引线键合期间的键合力而引起的芯片损坏。

[0257] 由于存在其下部在芯片末端处的悬垂区域中未被任何东西支撑的部分,所以易于由来自树脂成型期间的树脂流动的压力而引起芯片破裂。因此,厚型第三半导体芯片6的使用使得可以与前述内容类似地提高芯片本身的强度。另外,其使得可以防止(减少)由于来自树脂成型期间的树脂流动的压力而引起的芯片破裂的发生。

[0258] 随后,执行用于图38所示的第14层至第16层(最高层)的管芯键合。用于第14层和第15层的管芯键合与用于第六层和第七层的管芯键合相同。使用薄型第四半导体芯片7和薄第二粘合层9的组合。

[0259] 这使得可以减小16层层压件的总厚度以减小LGA 1的厚度。

[0260] 在作为最高层的第16层中,使用第一半导体芯片4和第一粘合层8的组合,第一半导体芯片4和第一粘合层8两者都是厚的。

[0261] 作为最高层的第16层中的半导体芯片特别地未受到其上表面侧(第一前表面4a侧)的任何部件的支撑。因此,前述内容是针对易于由在树脂成型期间来自树脂流动的压力引起的芯片裂纹的措施。同样在第16层中的厚型第一半导体芯片4的使用使得可以实现以下各项:增强芯片本身的强度并防止(减少)由于在树脂成型期间来自树脂流动的压力而引起的芯片裂纹、芯片弯曲、和芯片剥离的发生。

[0262] <<用于第13层至第16层的引线键合步骤>>

[0263] 随后,执行图39所示的用于第13层至第16层的引线键合。用于第13层至第16层的引线键合与用于第五层至第八层的引线键合(反向键合)完全相同;因此,将省略其说明。同样地,在用于第13层至第16层的引线键合中,如在用于第五层至第八层的引线键合中一样实现具有减小的环路高度的高度可靠的引线键合。

[0264] <<成型步骤>>

[0265] 将给出对在LGA 1的组装中的引线键合步骤之后执行的树脂成型步骤和分段步骤的说明。图40是图1所示的半导体器件的组装中的在树脂成型之后获得的结构示例的平面图;图41是图示在图40所示的树脂成型之后获得的结构示例的剖视图;图42是图1所示的半导体器件的组装中的在分段时获得的结构示例的平面图;以及图43是图示在图42所示的分段时获得的结构示例的剖视图。

[0266] 在LGA 1的组装中,在引线键合步骤完成之后执行树脂成型。在树脂成型步骤中,如图40和41所示,在经历通过由例如转移成型等使用密封树脂进行的引线键合的多个衬底20上形成毯式密封主体22。

[0267] 使用包含填料的密封树脂作为用于形成毯式密封主体22的密封树脂。如图39中的T位置所示,难以用密封树脂来填充以下间隙:被夹在第二层中的第二半导体芯片5的悬垂

部分与在第一层中的第一半导体芯片4的侧部处的布线板3之间的间隙23。由第一半导体芯片4的厚度加第一粘合层8的厚度来确定此间隙23的高度。在第一实施例中的LGA 1的情况下,第一半导体芯片4的厚度是0.055mm且第一粘合层8的厚度是0.020mm。它们的和是0.075mm (75 μ m)。在这种情况下,结果,间隙23的高度是0.075mm (75 μ m)。

[0268] 因此,包含在密封树脂中的填料的颗粒尺寸必须是小的,使得其能够进入此间隙23。例如,使用通过50 μ m (0.050mm) 的网孔的填料。可以在具有75 μ m的高度的间隙23中充分地填充包含能够通过50 μ m的网孔的填料的密封树脂。

[0269] 在其中半导体器件是卡型的情况下,要求用密封主体10来保证强度。由包含能够通过50 μ m的网孔的填料的密封树脂形成的密封主体10使得可以保证强度。

[0270] 在每个半导体芯片的前表面(或背表面)中,未被任何其它半导体芯片支撑的部分(所谓的悬垂区域)易于由于树脂填充压力而翘曲。在本实施例中,如图4所示,第五、第九、第13、和第16层中的半导体芯片具有此类悬垂区域。

[0271] 然而,在本实施例中,使用图5所示的具有第一厚度(Tw1)的半导体芯片4作为第五、第九、第13、和第16层中的半导体芯片。换言之,其厚度比第二至第四、第六至第八、第10至第12、第14、和第15层中的每个半导体芯片5的厚度大的半导体芯片。因此,即使在成型步骤中产生的树脂填充压力被施加于这些悬垂区域,也能够抑制芯片开裂。

[0272] <<分段步骤>>

[0273] 如图42和图43所示,随后,执行分段以沿着假想线24切割工件。当切割工件时,通过例如刀片切片来一起切割毯式密封主体22和多个衬底20两者。

[0274] 这完成图1和图2所示的第一实施例中的LGA 1的组装。

[0275] <第一实施例的修改>

[0276] 将给出对第一实施例的修改例的说明。

[0277] 图44是图示对本发明的第一实施例的第一修改例中的半导体器件的结构透视图;图45是图示背表面侧的图44中的半导体器件的结构示例的透视图;以及图46是图示对本发明的第一实施例的第二修改例中的半导体器件的结构剖视图。图47是图示具有透视密封主体的对本发明的第一实施例的第三修改例中的半导体器件的结构平面图;图48是图示通过沿着图47的线A-A切割半导体器件获得的结构示例的剖视图;以及图49是通过沿着图47的线B-B切割半导体器件获得的结构示例的剖视图。

[0278] 图44和图45所示的修改例是其中半导体器件是卡型半导体封装25。在该半导体器件中,与第一实施例中的LGA 1类似的结合了图39所示的其中在基材上层压多个薄型半导体芯片的结构。卡型半导体封装25是例如可以加载到个人计算机的卡槽中并通过在基材上层压多个闪存存储器芯片(非易失性存储器)来形成的微型存储卡等。

[0279] 图46所示的第二修改例是其中用八个层来层压半导体芯片且在其途中仅包括一个108度翻转层压的16层芯片层压件的结构。并且,在这种情况下,在以下层中使用厚型第一半导体芯片4(或第三半导体芯片6)和厚第一粘合层8的组合:第一层、作为翻转层压之后的第一层的第九层、以及作为最高层的第16层。结果,可以如在第一实施例中的LGA 1中一样获得保证芯片本身的强度并保证台阶高度的效果。

[0280] 在第二层至第八层和在第10层至第15层中使用薄型第二半导体芯片5(或第四半导体芯片7)和薄第二粘合层9的组合。结果,可以如在LGA 1中一样获得减小半导体器件的

厚度的效果。

[0281] 图47至图49所示的第三修改是其中层压方向在每四个层处改变90度的16层芯片层压件的结构。并且,在这种情况下,在以下层中使用厚型第一半导体芯片4(或第三半导体芯片6)和厚第一粘合层8的组合:第一层;层压方向改变90度之后的第五层;层压方向再次改变90度之后的第九层;层压方向再一次改变90度之后的第13层;以及第16层(最高层)。结果,可以如在第一实施例中的LGA 1中一样获得保证芯片本身的强度并保证台阶高度的效果。

[0282] 在以下层中使用模型第二半导体芯片5(或第四半导体芯片7)和薄第二粘合层9的组合:第二层至第四层、第六层至第八层、第10层至第12层、第14层、和第15层。结果,可以如在LGA 1中一样获得减小半导体器件的厚度的效果。

[0283] 由于层压方向改变90度三次,所以可以减小半导体芯片层压件的投影面积并减小半导体器件的厚度。

[0284] (第二实施例)

[0285] 图50是图示具有透视的密封主体的本发明的第二实施例中的半导体器件的结构示例的平面图;图51是图示通过沿着图50的线A-A切割半导体器件获得的结构示例的剖视图;图52是图示通过沿着图50的线B-B切割半导体器件获得的结构示例的剖视图;并且图53是图示对本发明的第二实施例的第一修改例中的半导体器件的结构的放大局部剖视图。

[0286] 通过如在第一实施例中一样在作为基材的布线板3上以16层层压薄型半导体芯片来获得图50至图52所示的第二实施例中的半导体器件。该半导体器件具有用八个层来层压半导体芯片的结构,层压方向仅在途中改变90度一次。仅在第一层和作为最高层的第16层中使用厚型第一半导体芯片4(或第三半导体芯片6)和厚第一粘合层8的组合。在其它中间层中使用薄型第二半导体芯片5(或第四半导体芯片7)和薄第二粘合层9的组合。

[0287] 层压方向仅改变90度。因此,即使在层压方向变化的位置,下层中的导线2也不与上层中的半导体芯片接触且不需要保证足够用于导线环路的芯片高度。因此,可以在除第一层和作为最高层的第16层之外的层中使用薄型第二半导体芯片5(或第四半导体芯片7)和薄第二粘合层9的组合。这使得可以减小芯片层压件的高度以减小半导体器件的厚度。

[0288] 然而,可以使用厚型半导体芯片作为第九层中的半导体芯片,该第九层为层压方向变化之后的第一层。这使得可以抑制由于以下力而引起的芯片开裂的发生:当导线2被接合到在如在图51中的U位置处一样未受到第八层中的半导体芯片的支撑的部分中形成的键合焊盘时产生的力。

[0289] 到目前为止,已经基于本发明的实施例对由本发明人完成的本发明给出了具体说明。然而,不需要附加说明,本发明不限于这些实施例,并且在不违背其主题的情况下可以以不同的方式进行修改。

[0290] 例如,可以如在下述第一修改例至第五修改例中一样配置半导体器件:

[0291] (第一修改例)

[0292] 图53图示其中在全部的16层中使用相对于第一实施例描述的图12所示的用切片法获得的薄型第二半导体芯片5(或第四半导体芯片7)并进行层压的第一修改例。第一修改例具有其中未执行翻转层压的结构。并且,在具有此类层压结构的此半导体器件中,即使当半导体晶片的厚度减小时,也可以抑制芯片开裂。这可以通过如上所述在用于半导体晶片

的切割步骤中使刀片朝着在半导体晶片中形成的参考部分前进来完成。然而,由于以相同的层压方向在多个层中逐阶地放置平面形状为矩形的半导体芯片,所以与诸如第一实施例中的层压结构相比,第一修改例不适合于半导体器件尺寸缩小。

[0293] 层压薄型第二半导体芯片5(或第四半导体芯片7)的数目不限于16,并且可以以任何数目的层对其进行层压,只要数目为两个或更多即可。

[0294] (第二修改例)

[0295] 将给出对第二修改例的说明。

[0296] 图54是图示具有透视的密封主体的对本发明的第二实施例的第二修改例(单侧安装)中的半导体器件的结构示例的透视图;图55是图示通过沿着图54的线A-A切割半导体器件获得的16层芯片层压结构的示例;图56图示通过沿着图54的线B-B切割半导体器件获得的16层芯片层压结构的示例的剖视图;图57是图示具有透视的密封主体的背表面侧的图54中的半导体器件的结构的面后视图。图58是图示通过沿着图54的线A-A切割半导体器件获得的八层芯片层压结构的示例的剖视图;图59是图示通过沿着图54的线B-B切割半导体器件获得的八层芯片层压结构的示例的剖视图;图60是图示通过沿着图54的线A-A切割半导体器件获得的四层芯片层压结构的示例的剖视图;以及图61是图示通过沿着图54的线B-B切割半导体器件获得的四层芯片层压结构的示例的剖视图。

[0297] 图54所示的第二修改例中的半导体器件是使用引线框架(基材)组装的框架型半导体封装26。半导体器件包括:层压在引线(布线图案)的一个表面(一侧)之上的多个半导体芯片(第一半导体芯片4、第二半导体芯片5、第三半导体芯片6、和第四半导体芯片7);作为布线图案的内引线28a和与之相连并变成外部端子的外引线28b;以及被与每个半导体芯片的电极和内引线28a接合在一起的多个导线2。如图57所示,此外,在芯片下面布置有分别被与布置在层压半导体芯片两侧的内引线28a耦合在一起的多个耦合引线28c。用密封主体10来密封半导体芯片、内引线28a、耦合引线28c、和导线2。

[0298] 图55和图56所示的框架型半导体封装26a具有其中分四层总共以16层来层压半导体芯片的结构,层压方向在每四个层处改变180度。

[0299] 图58和图59所示的框架型半导体封装26b具有其中分四层总共以八层来层压半导体芯片的结构,层压方向仅在第五层处改变180度一次。

[0300] 图60和图61所示的框架型半导体封装26c具有其中以四层来层压半导体芯片的结构。

[0301] (第三修改例)

[0302] 将给出对第三修改例的说明。

[0303] 图62是图示具有透视的密封主体的对本发明的第二实施例的第三修改例(双侧安装)中的半导体器件的结构示例的透视图;图63是图示通过沿着图62的线A-A切割半导体器件获得的16层芯片层压结构的示例的剖视图;图64是通过沿着图62的线B-B切割半导体器件获得的16层芯片层压结构的示例的剖视图;图65是图示通过沿着图62的线A-A切割半导体器件获得的八层芯片层压结构的剖视图;并且图66是图示通过沿着图62的线B-B切割半导体器件获得的八层芯片层压结构的示例的剖视图。

[0304] 图62所示的第三修改例中的半导体器件是使用引线框架组装的框架型半导体封装27。半导体器件包括:层压在引线(布线图案)两侧的多个半导体芯片;作为布线图案的内

引线28a和与之相连并变成外部端子的外引线28b;以及被与每个半导体芯片的电极和内引线28a接合在一起的多个导线2。

[0305] 图63和图64所示的框架型半导体封装27a具有其中采取以下措施的结构:在引线的一侧,分四层以八层来层压半导体芯片,层压方向仅在第五层处改变180度一次。此结构在半导体封装的两侧上形成。也就是说,16个半导体芯片(第一半导体芯片4、第二半导体芯片5、第三半导体芯片6、和第四半导体芯片7)被放置在两侧的耦合引线28c上。

[0306] 图65和图66所示的框架型半导体封装27b具有在一侧以四层层压半导体芯片的结构。此结构在两侧形成。也就是说,八个半导体芯片(第一半导体芯片4、第二半导体芯片5)被放置在两侧的耦合引线28c上。

[0307] 在这些框架型半导体封装26a、26b、26c、27a、27b中,如图56、图57、图59、图61、图64、和图66所示地在芯片下面布置作为多个独立布线图案的耦合引线28c。难以提高独立耦合引线28c中的平坦度。

[0308] 为了应付这种情况,使用厚型第一半导体芯片4和厚第一粘合层8的组合作为被接合到多个耦合引线28c的最底层中的半导体芯片。结果,可以吸收由独立耦合引线28c引起的不均匀性。

[0309] 如在第一实施例中的LGA 1中一样在最底层、翻转之后的第一层中和最高层中使用厚型第一半导体芯片4(或第三半导体芯片6)和厚第一粘合层8的组合。结果,可以获得保证芯片本身的强度和保证台阶高度的效果。

[0310] 在除最底层、翻转之后的第一层、和最高层之外的层中使用薄型第二半导体芯片5(或第四半导体芯片7)和薄第二粘合层9的组合。结果,可以如在LGA 1中一样获得减小半导体器件的厚度的效果。

[0311] (第四修改例)

[0312] 在第一实施例的说明中,已经以LGA 1作为半导体器件的示例。然而,半导体器件不必是LGA 1且可以是其中在作为基材的布线板3上放置薄型半导体芯片的BGA(球栅阵列)。

[0313] (第五修改例)

[0314] 在第一实施例的说明中,已经以其中采取以下措施来吸收由在布线板3的上表面3a中形成的布线图案等引起的不均匀性的情况为例:使用厚型第一半导体芯片4和厚第一粘合层8的组合。当保证布线板3的上表面3a的平坦度时,可以将薄型半导体芯片和薄粘合层的组合用于最底层中的半导体芯片。在这种情况下,多层芯片层压具有以下结构:其中第一、第二、第四半导体芯片是薄型且只有第三半导体芯片比第一、第二、和第四半导体芯片厚的结构。

[0315] (第六修改例)

[0316] 在第一和第二实施例的说明中,已经以其中采取以下措施的情况为例:在具有第一厚度(Tw1)的第一半导体芯片4的背表面4d上形成的粘合层的厚度被使得大于以下厚度:在具有第二厚度(Tw2)的第二半导体芯片5的背表面5d上形成的粘合层的厚度。然而,可以使用图6所示的具有第二厚度(Td2)的粘合层9作为在例如第五层中的半导体芯片上形成的粘合层,只要满足以下条件即可:被用作第五层中的半导体芯片的第一半导体芯片4的厚度应足以防止被接合到第四层中的半导体芯片的导线与第六层中的半导体芯片之间的接触。

这使得可以减小半导体器件 (LGA) 1 的厚度。

[0317] 本发明适合于组装通过层压薄型半导体芯片形成的电子器件。

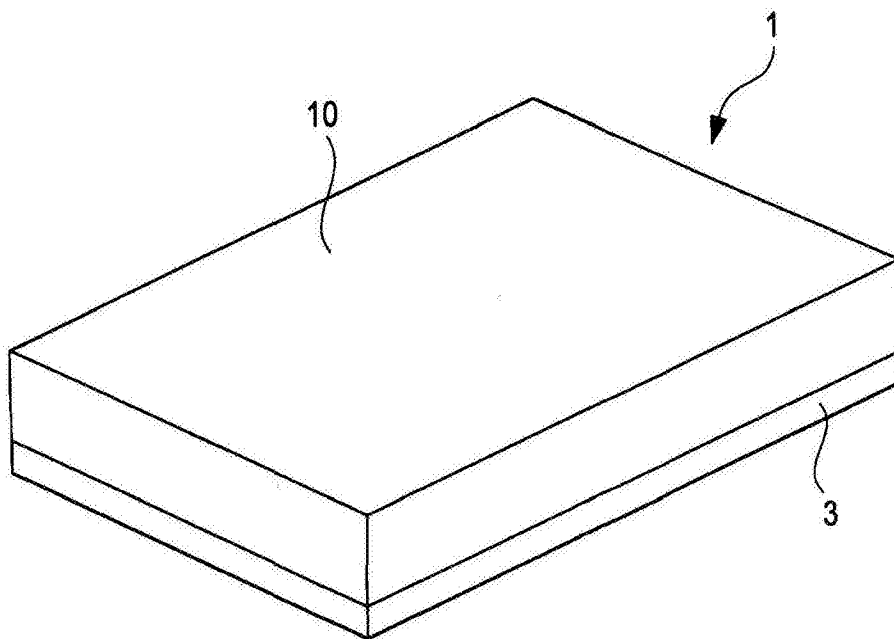


图1

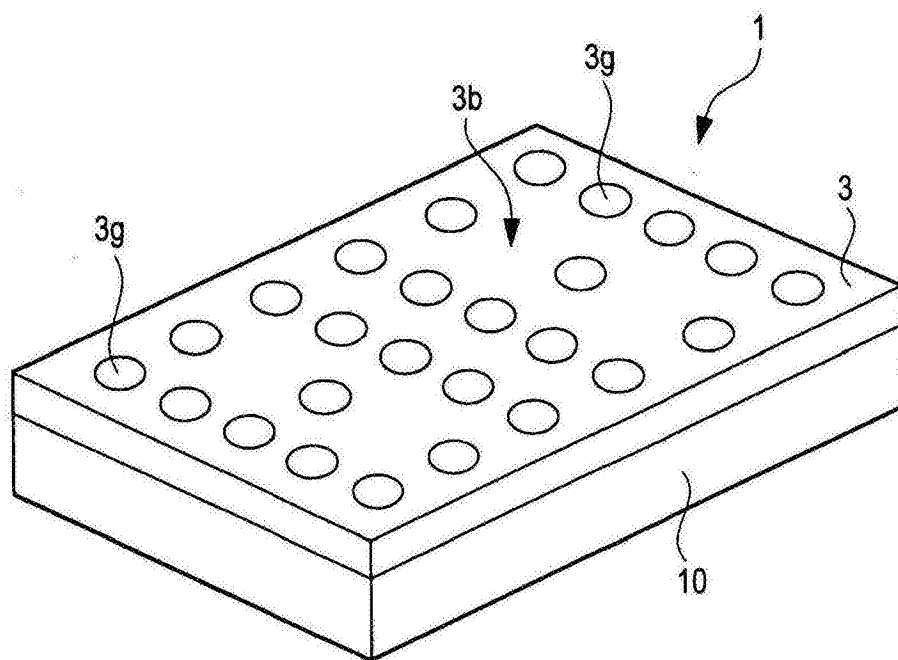


图2

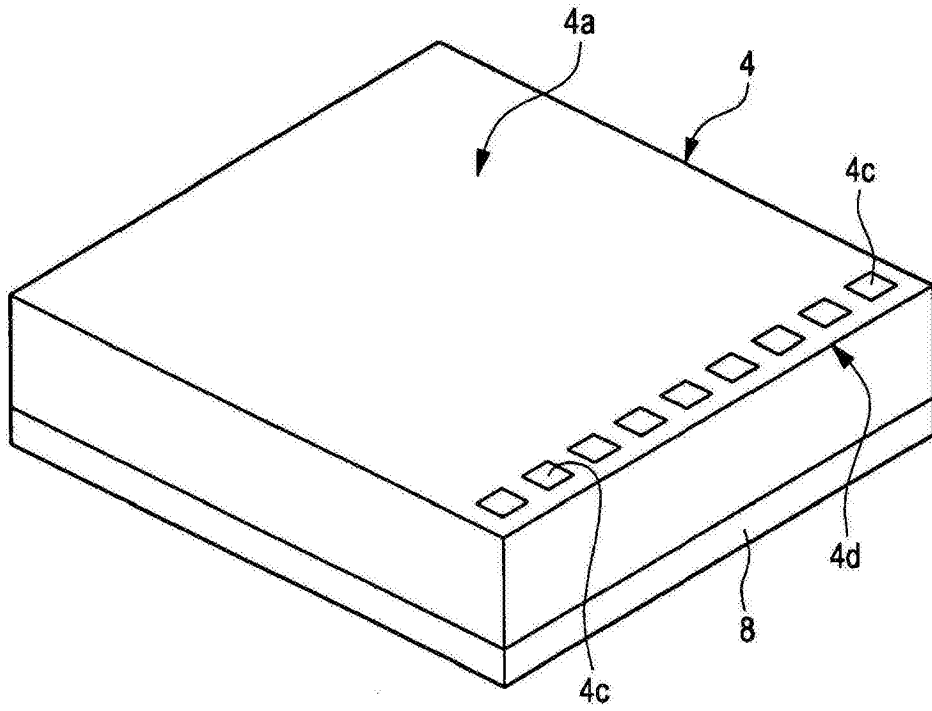


图5

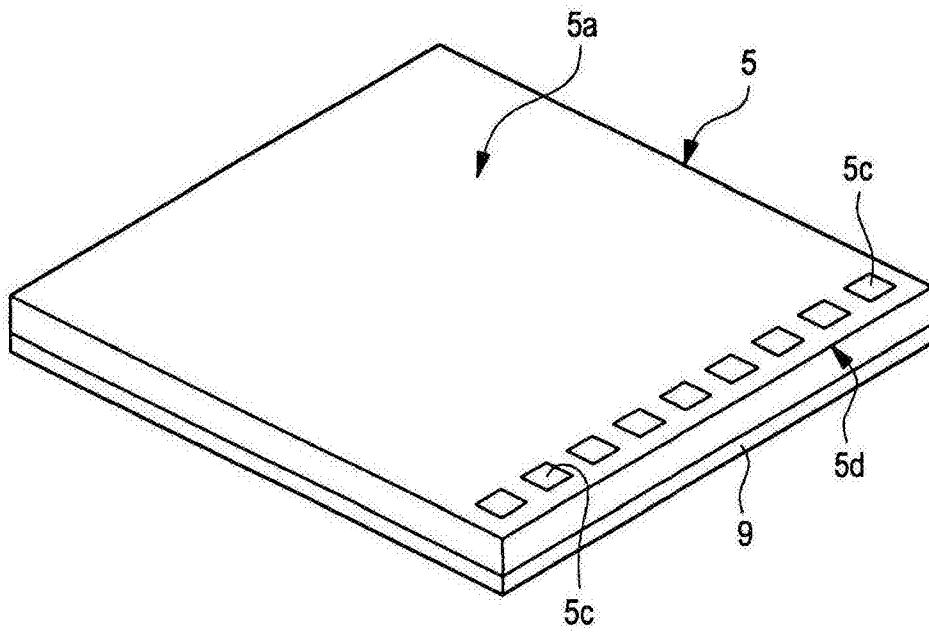


图6

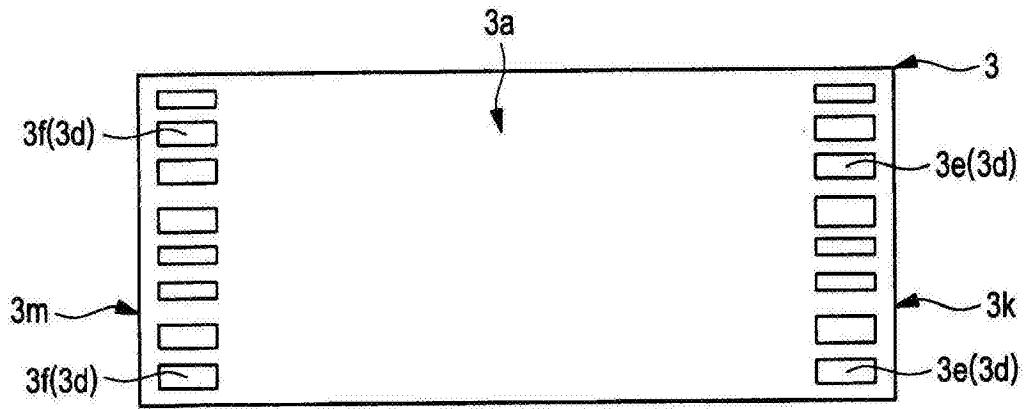


图7

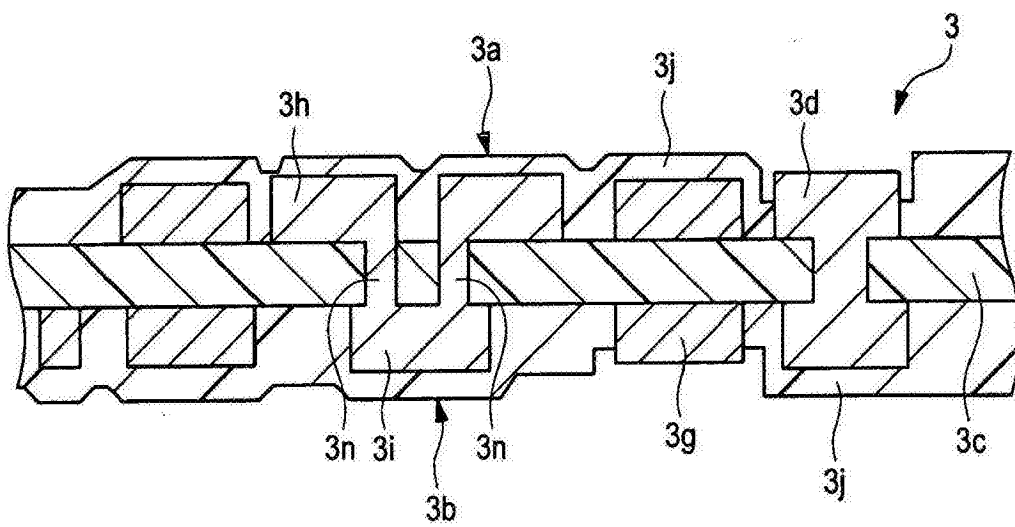


图8

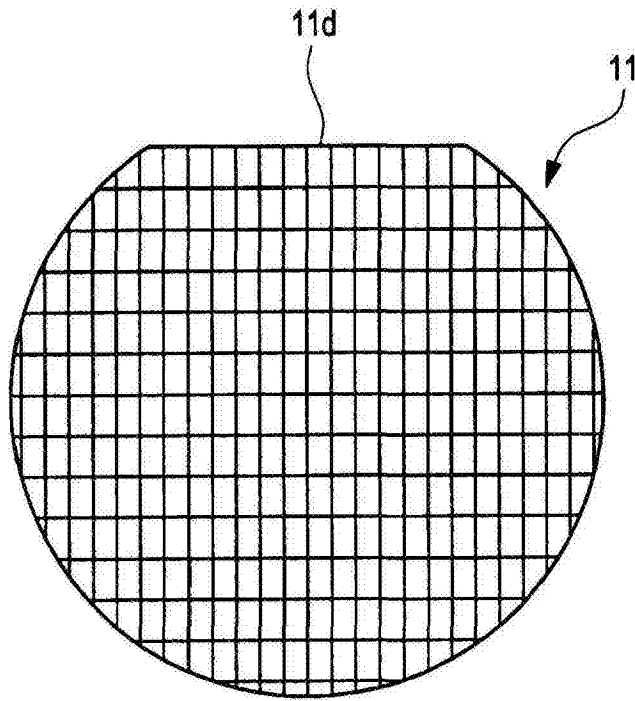


图9

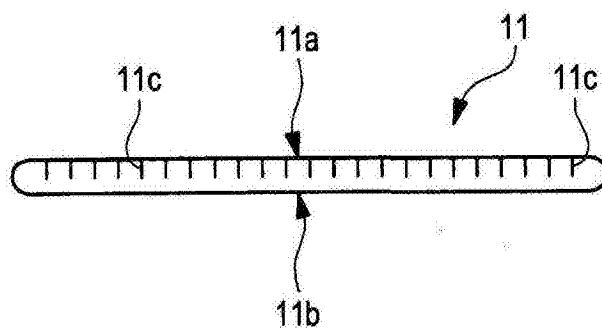


图10

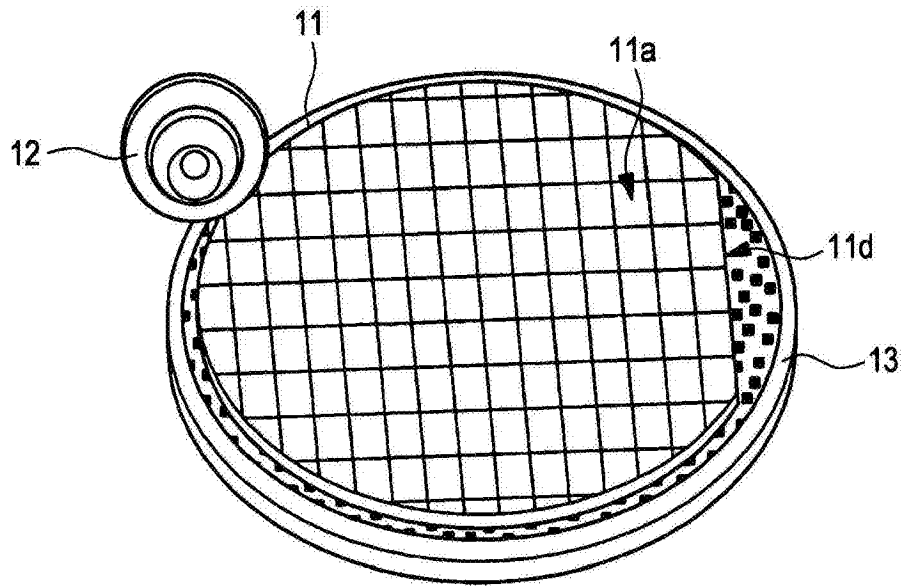


图11

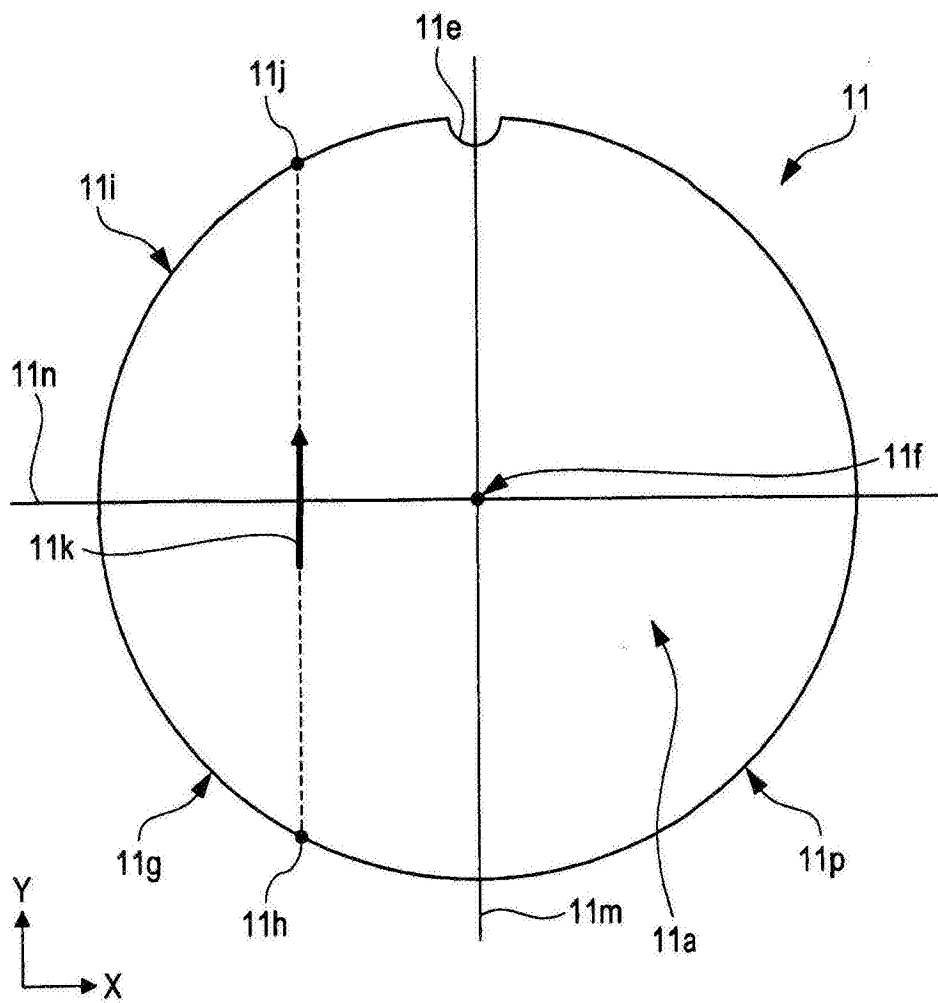


图12

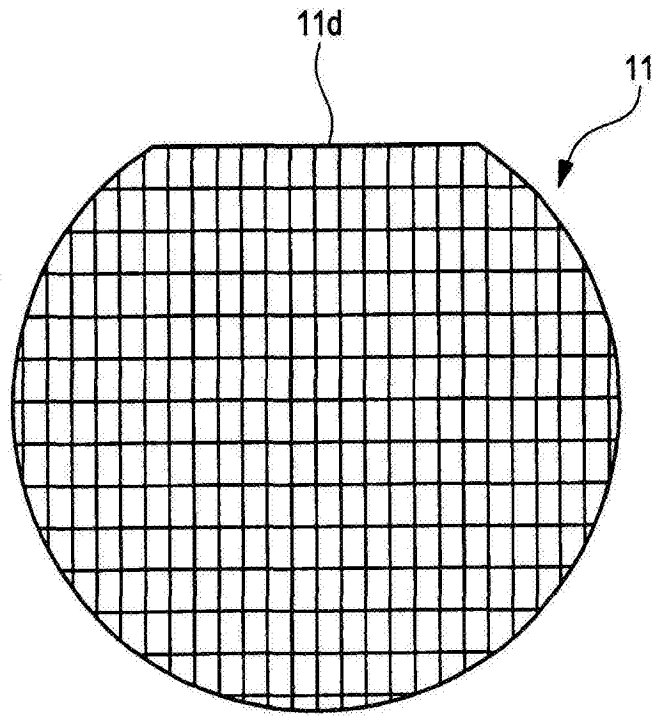


图13

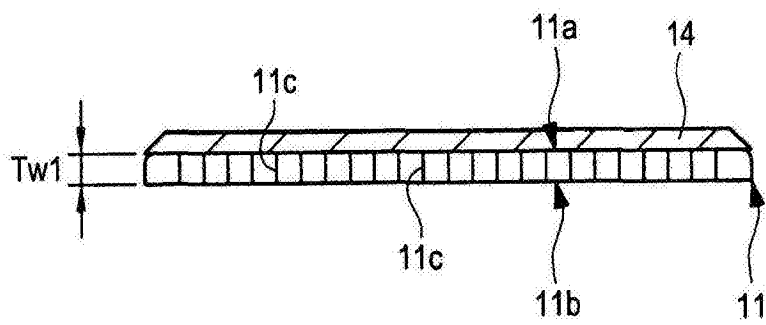


图14

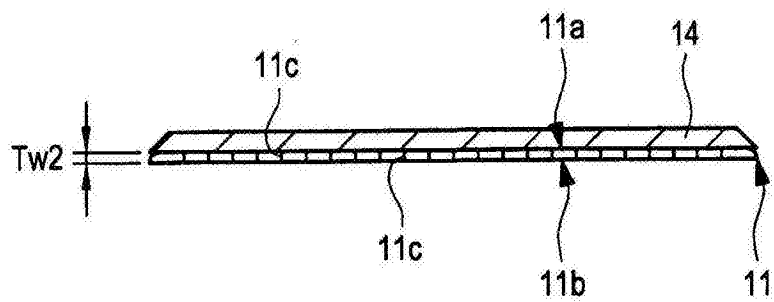


图15

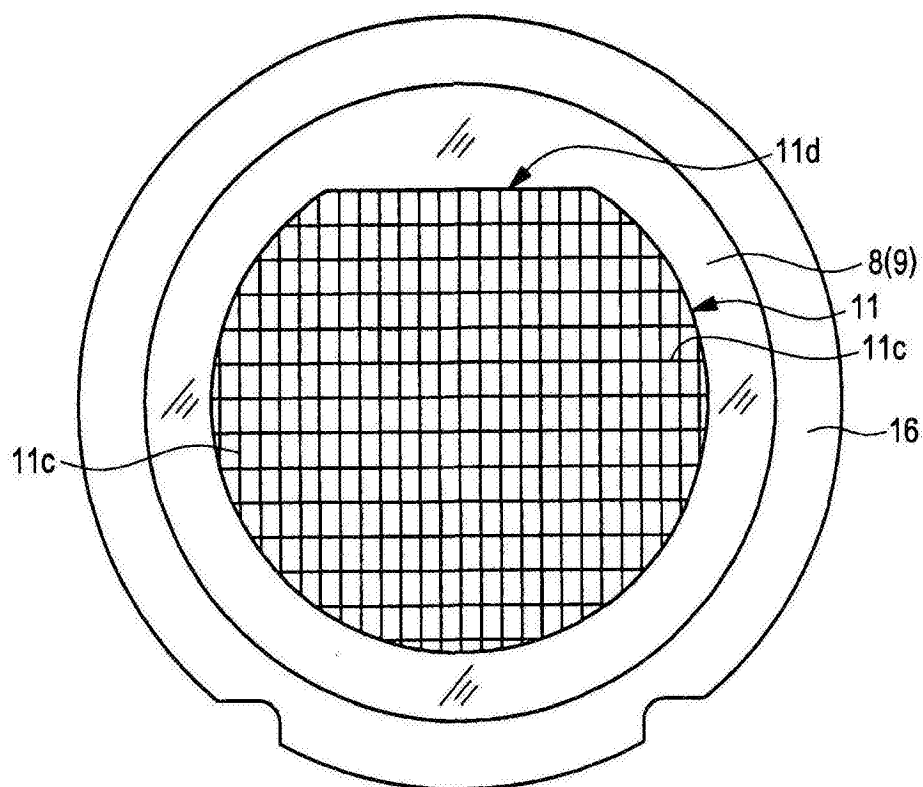


图16

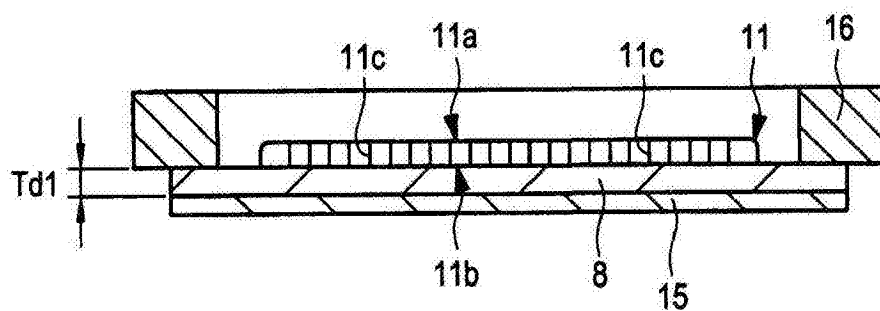


图17

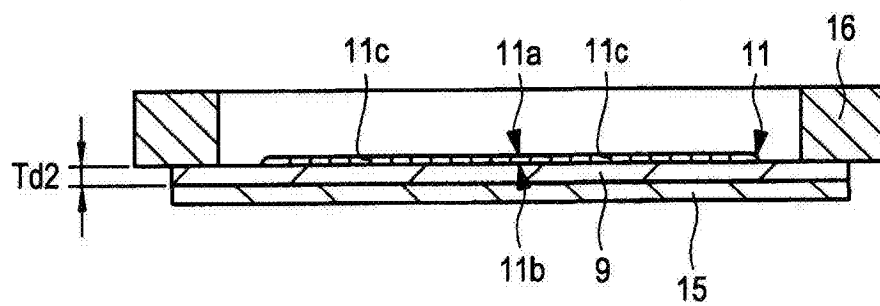


图18

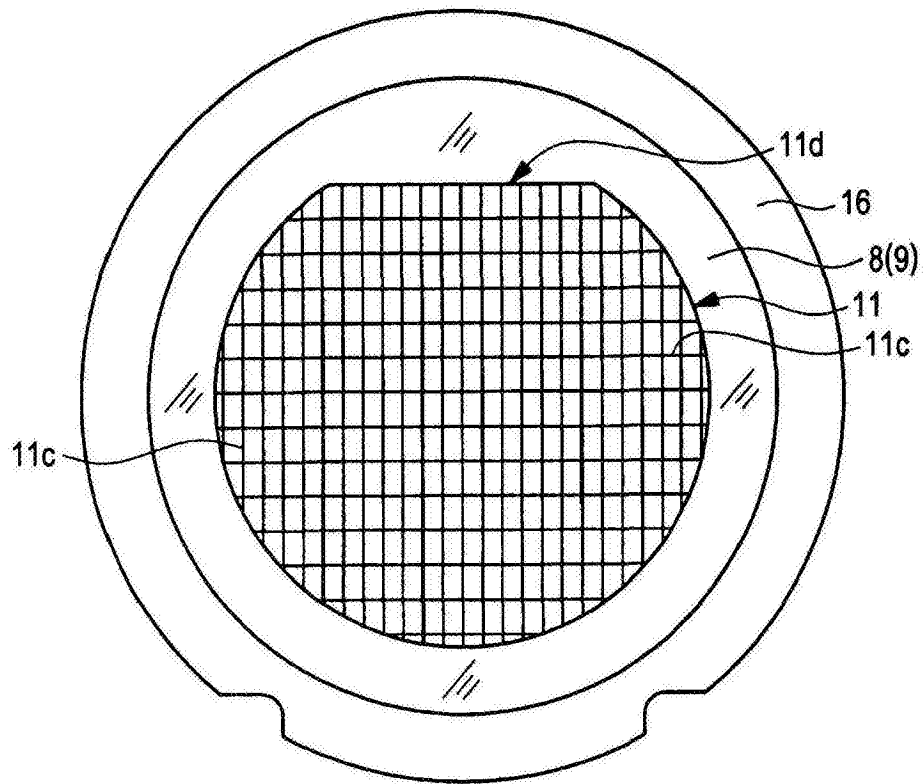


图19

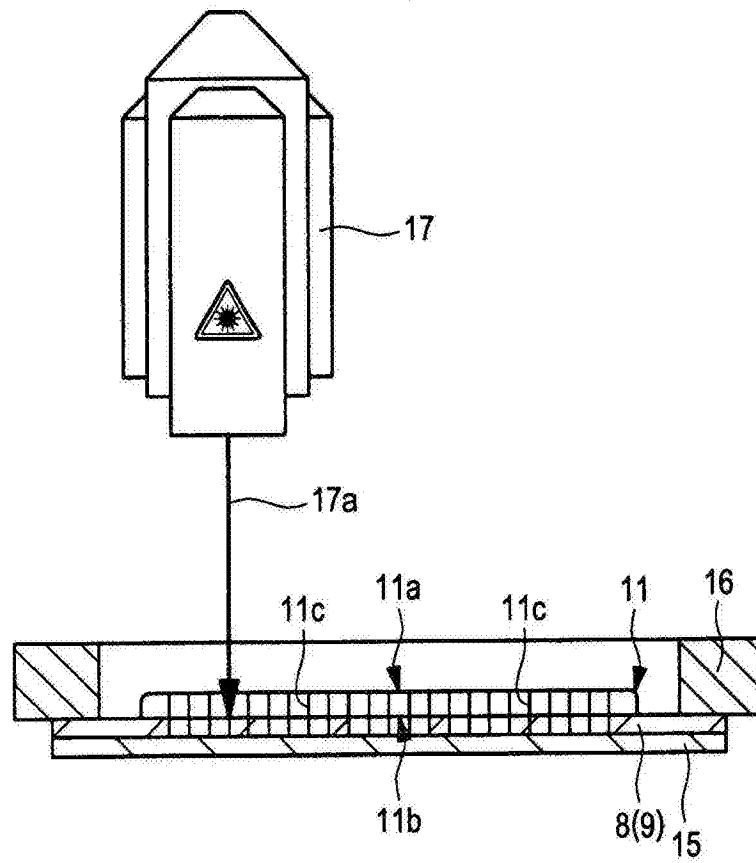


图20

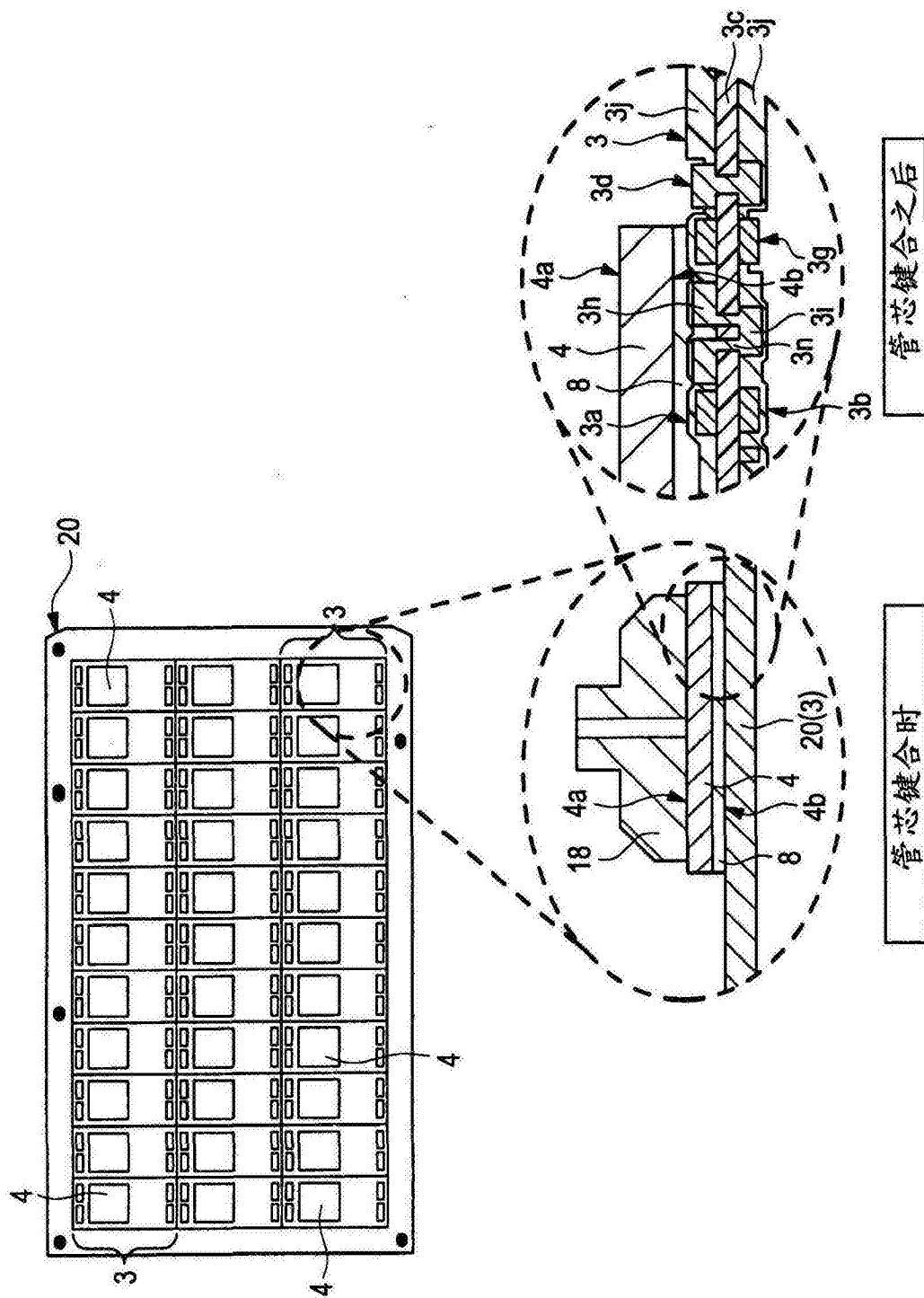


图22

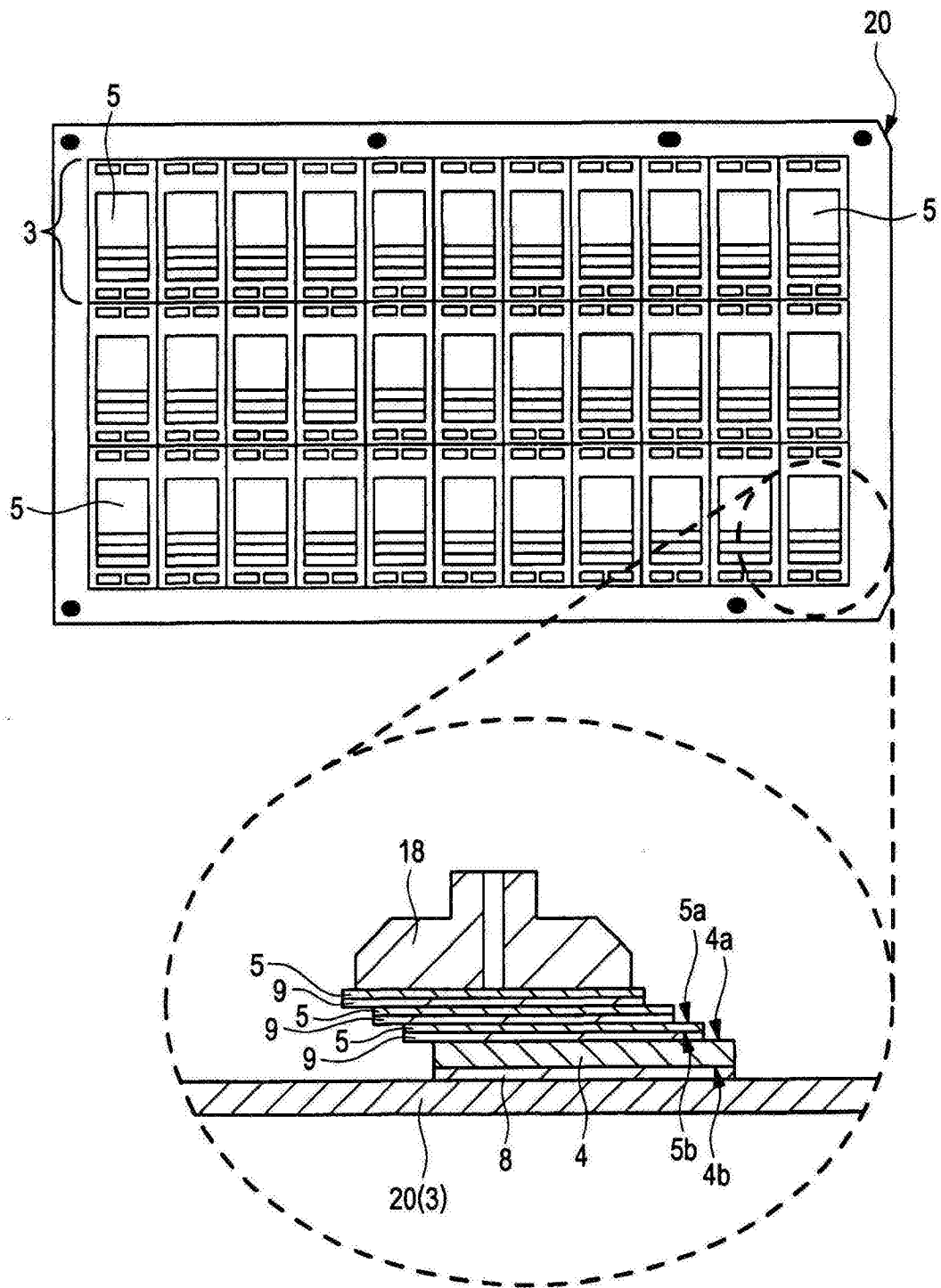


图23

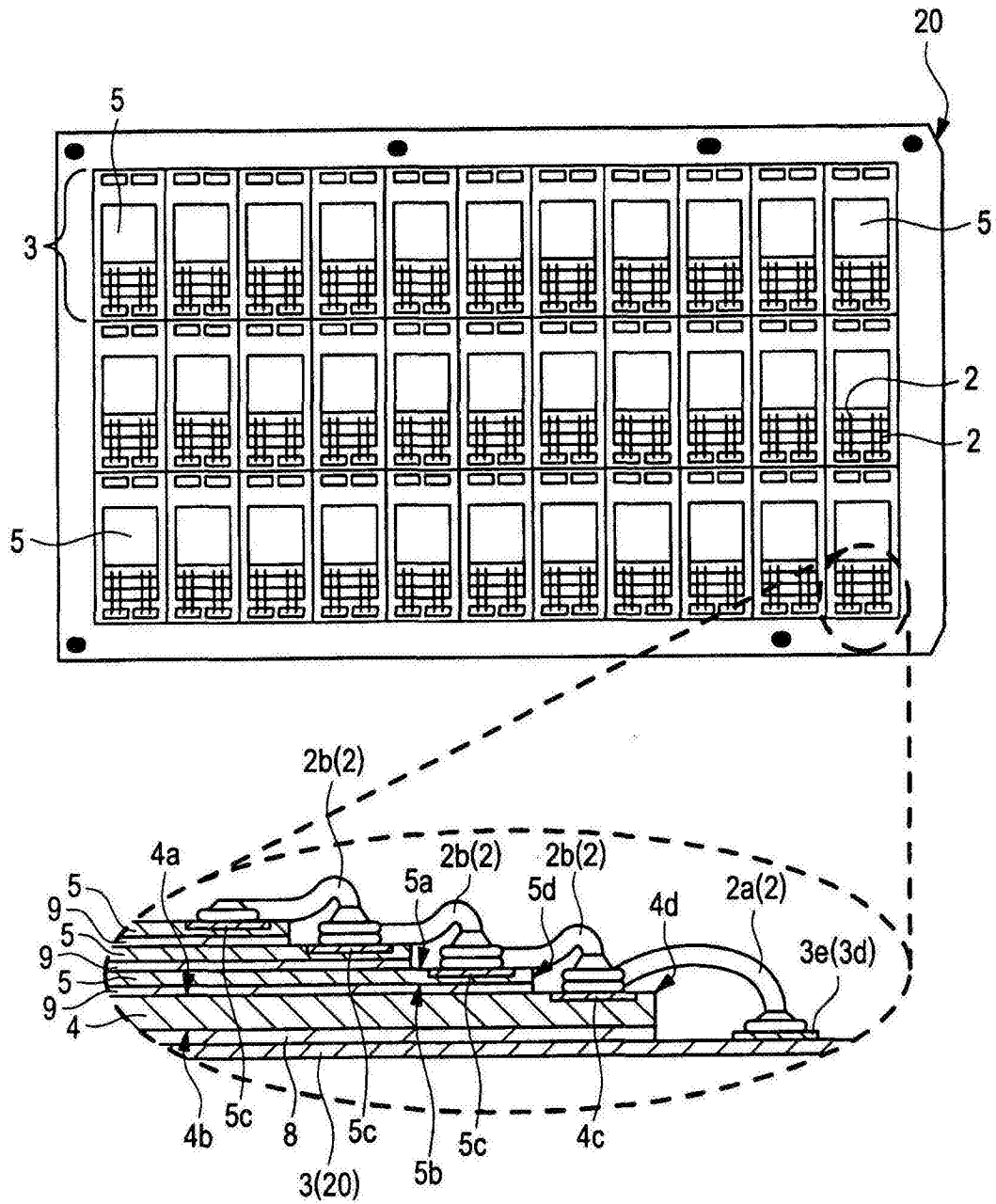


图24

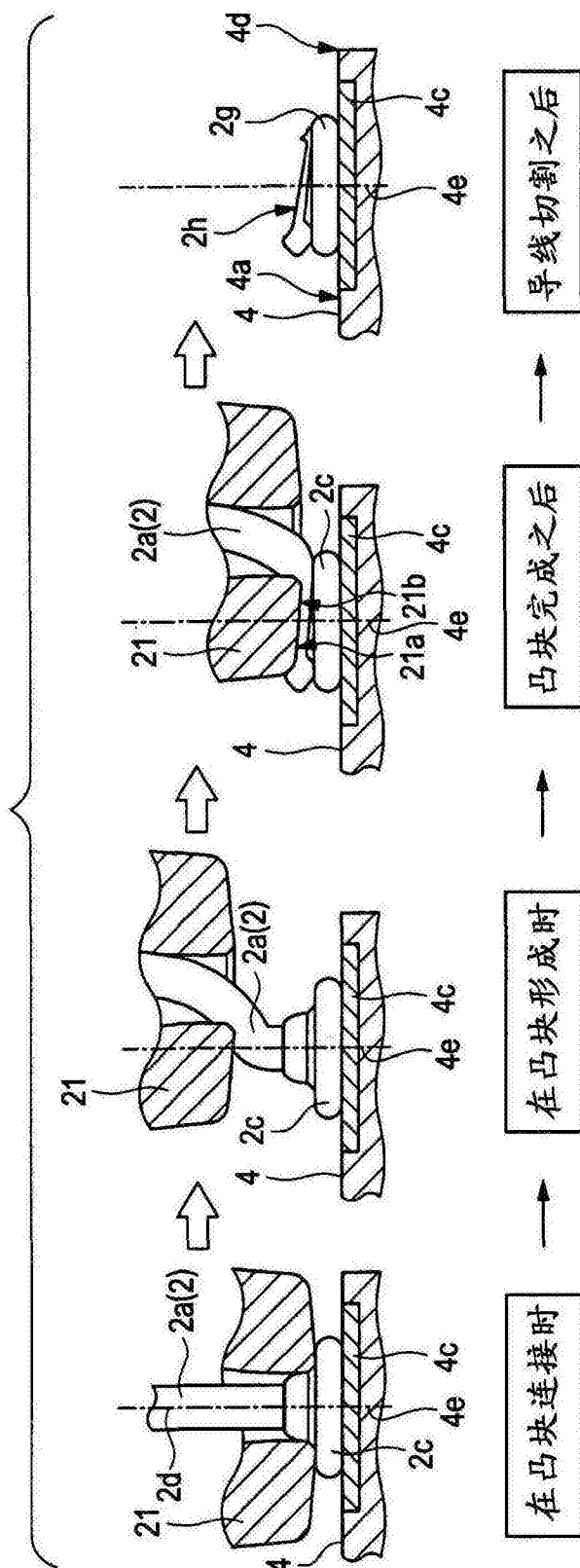


图25

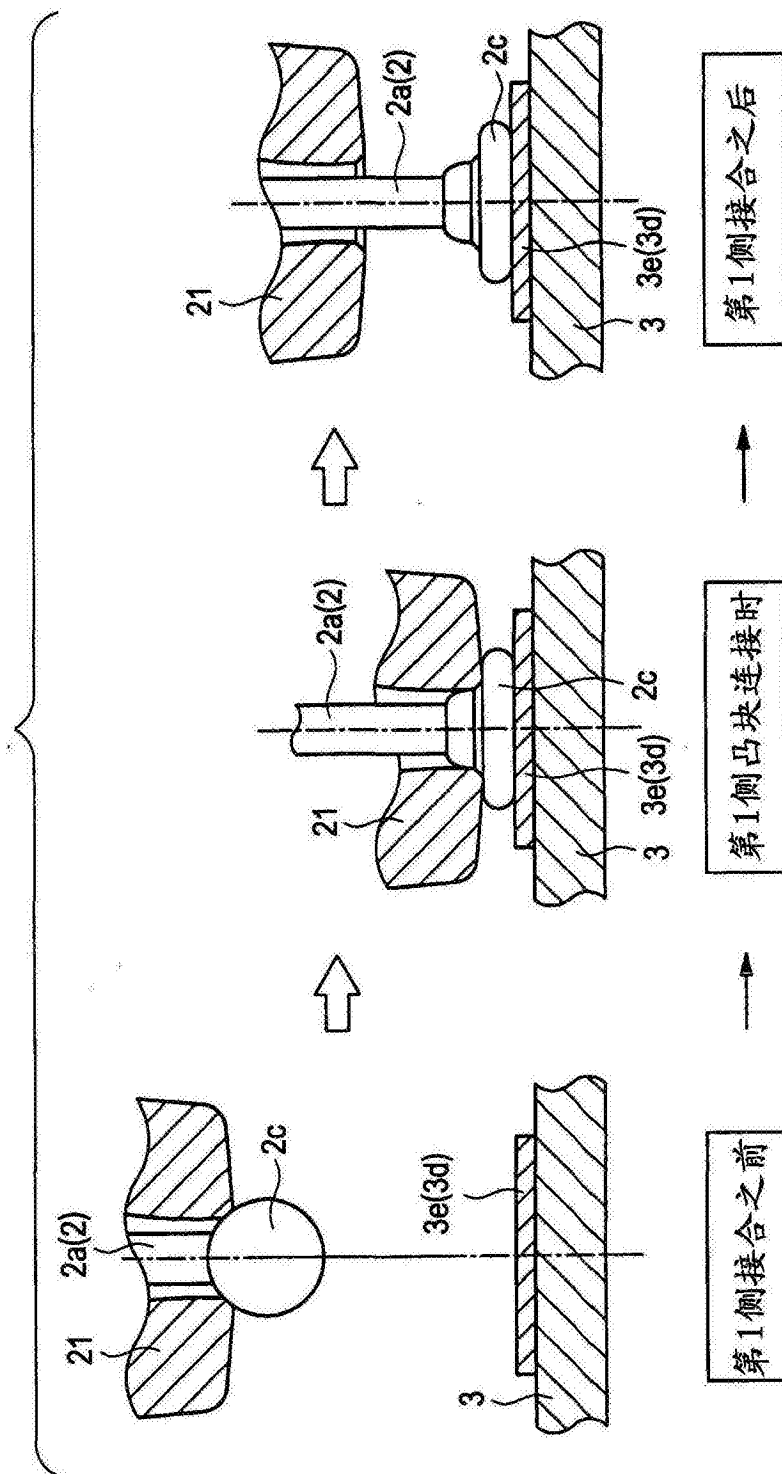


图26

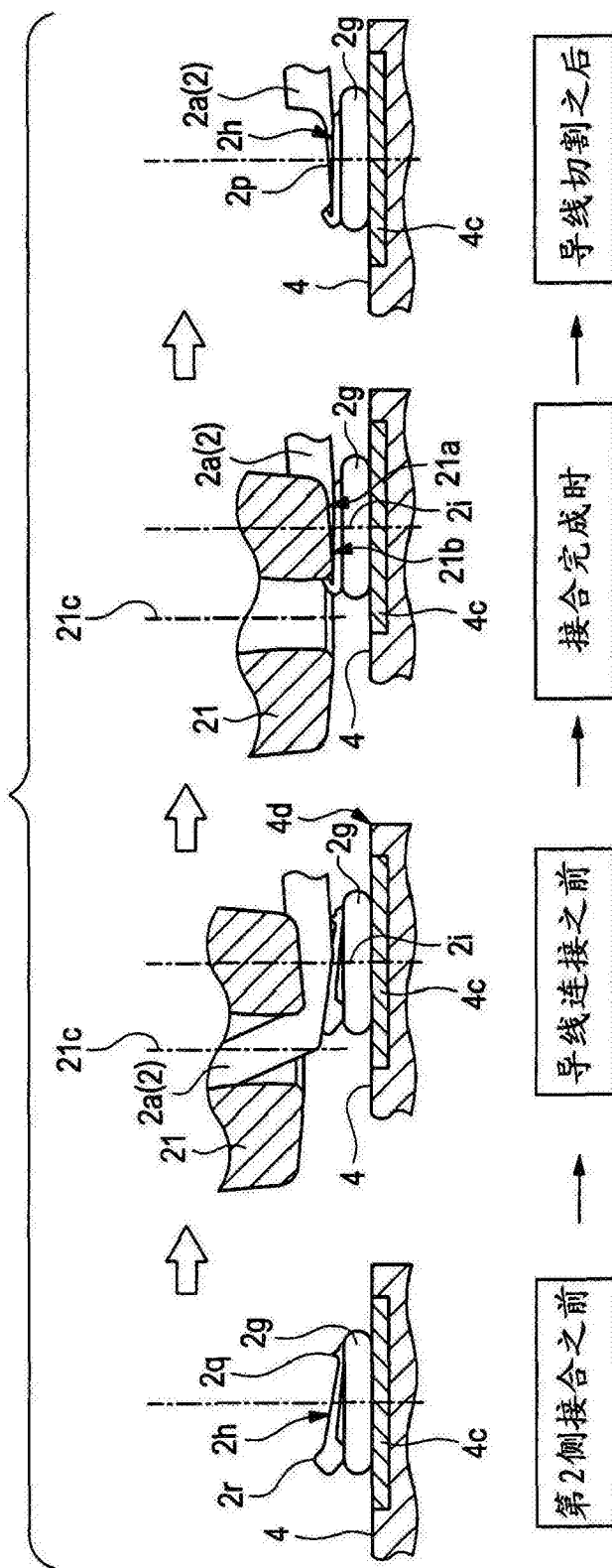


图27

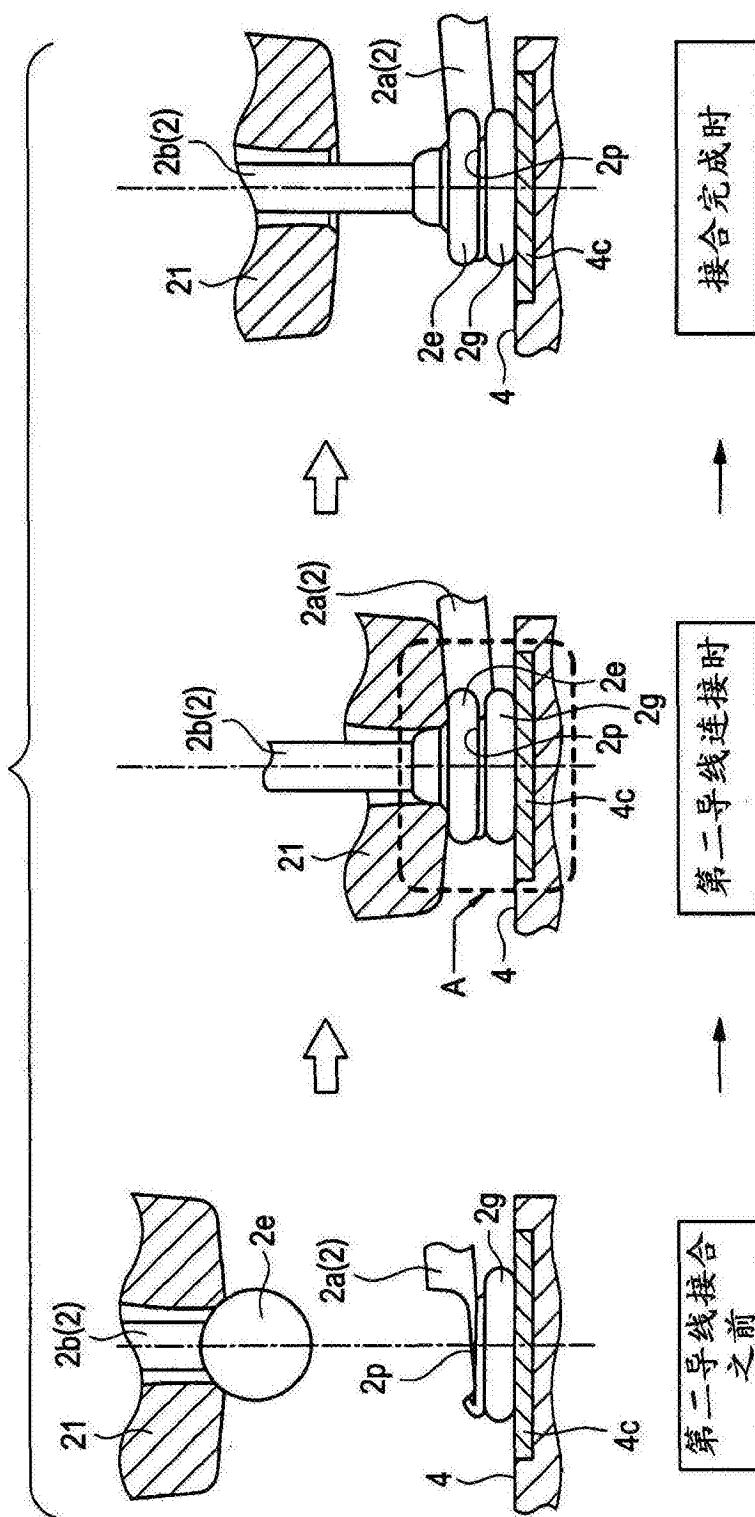


图28

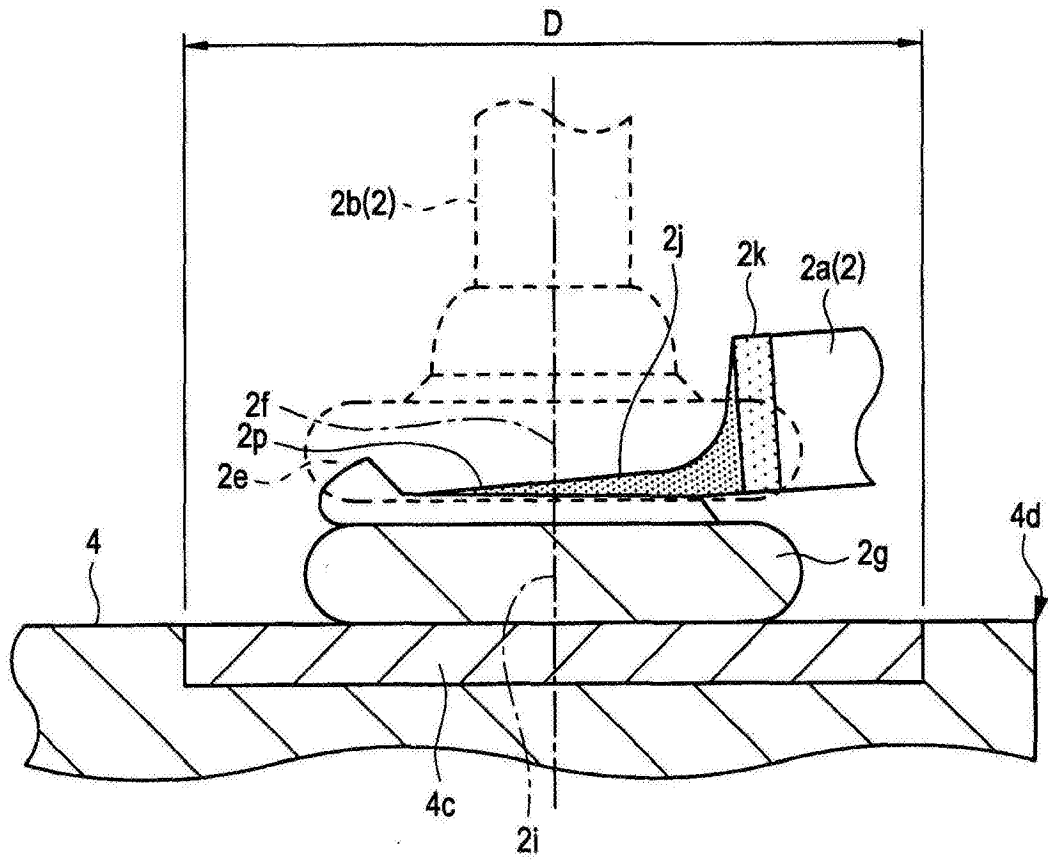


图29

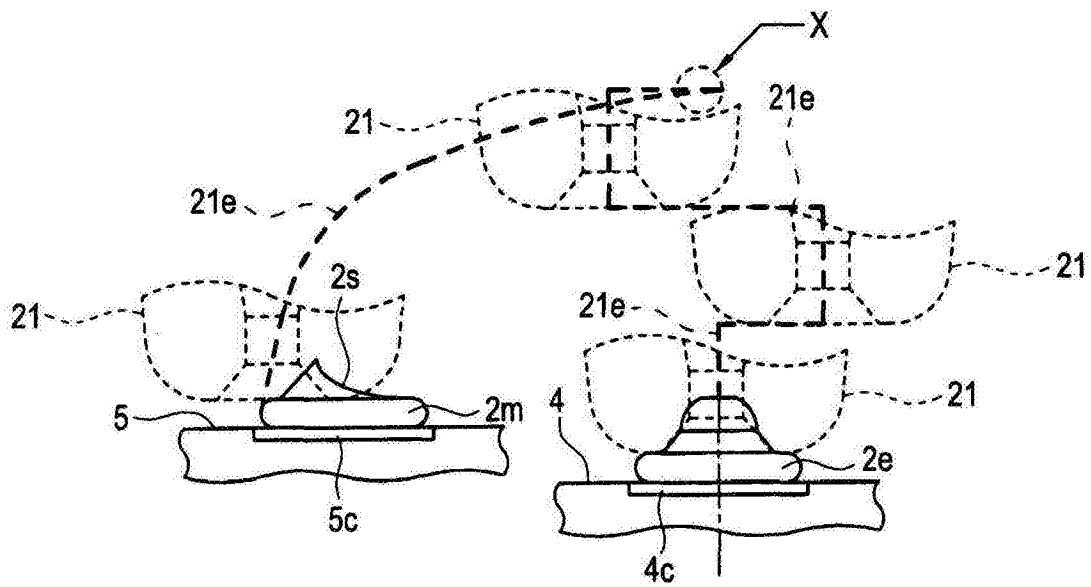


图30

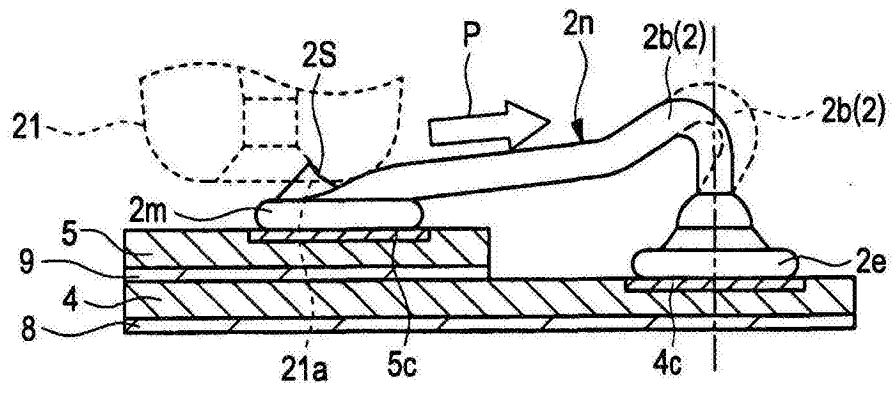


图31

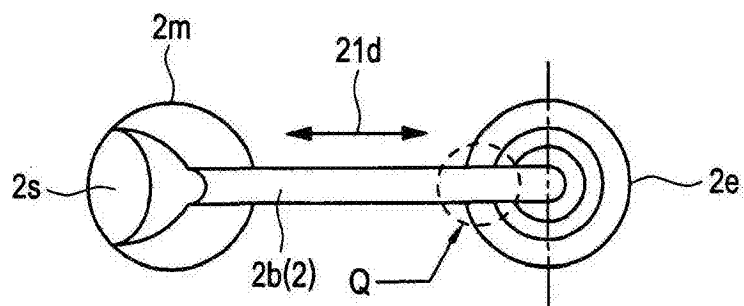


图32

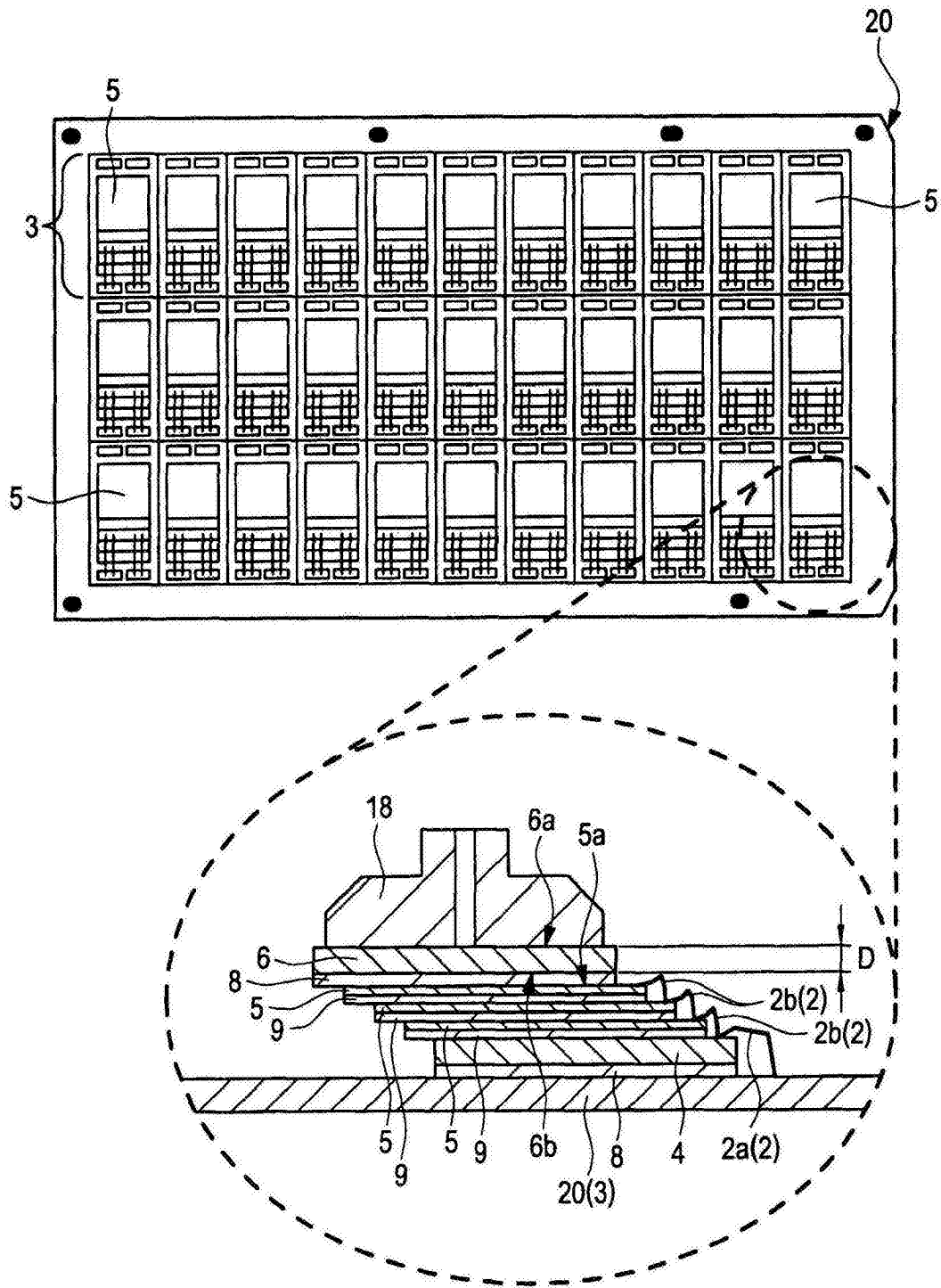


图33

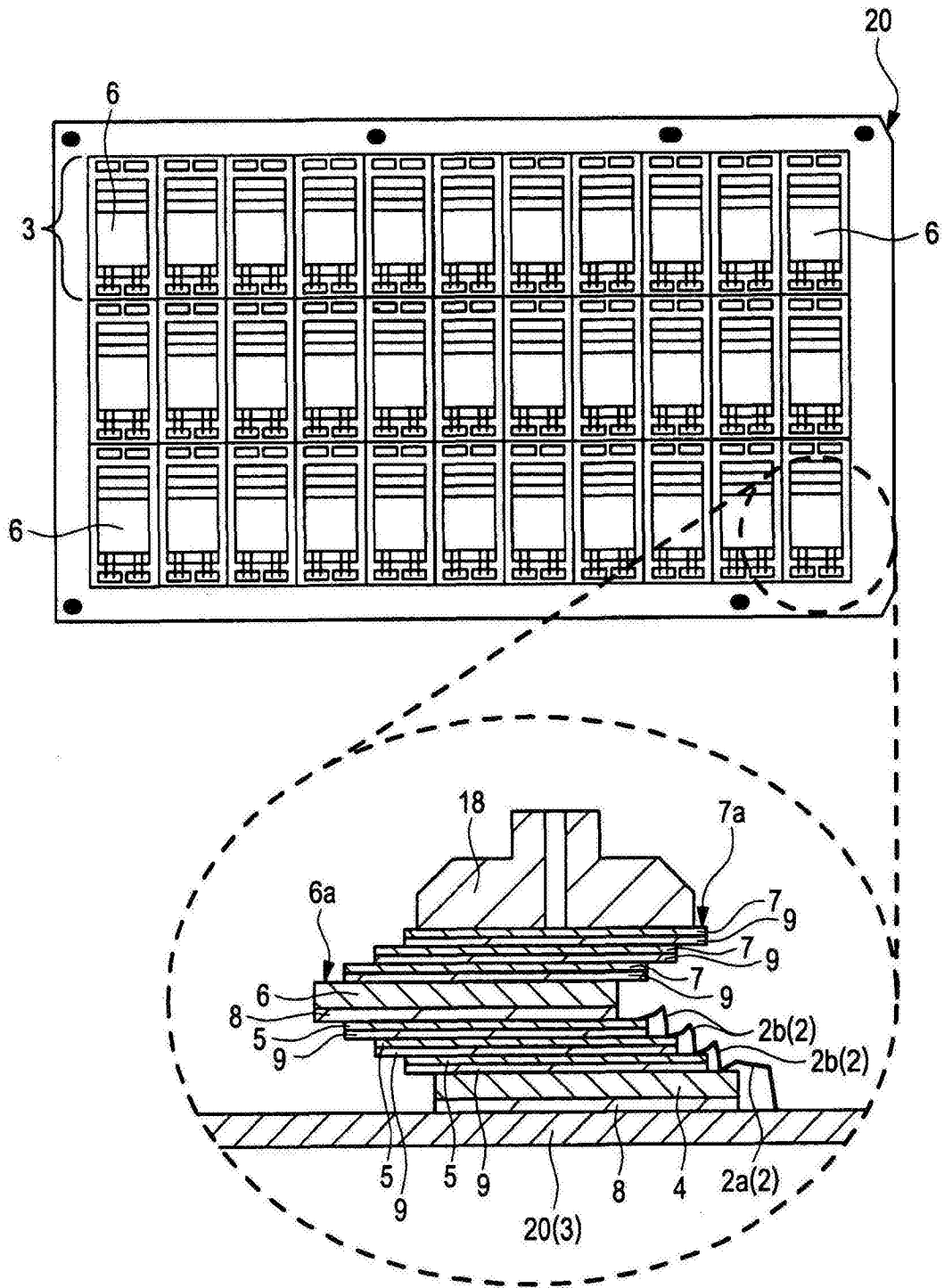


图34

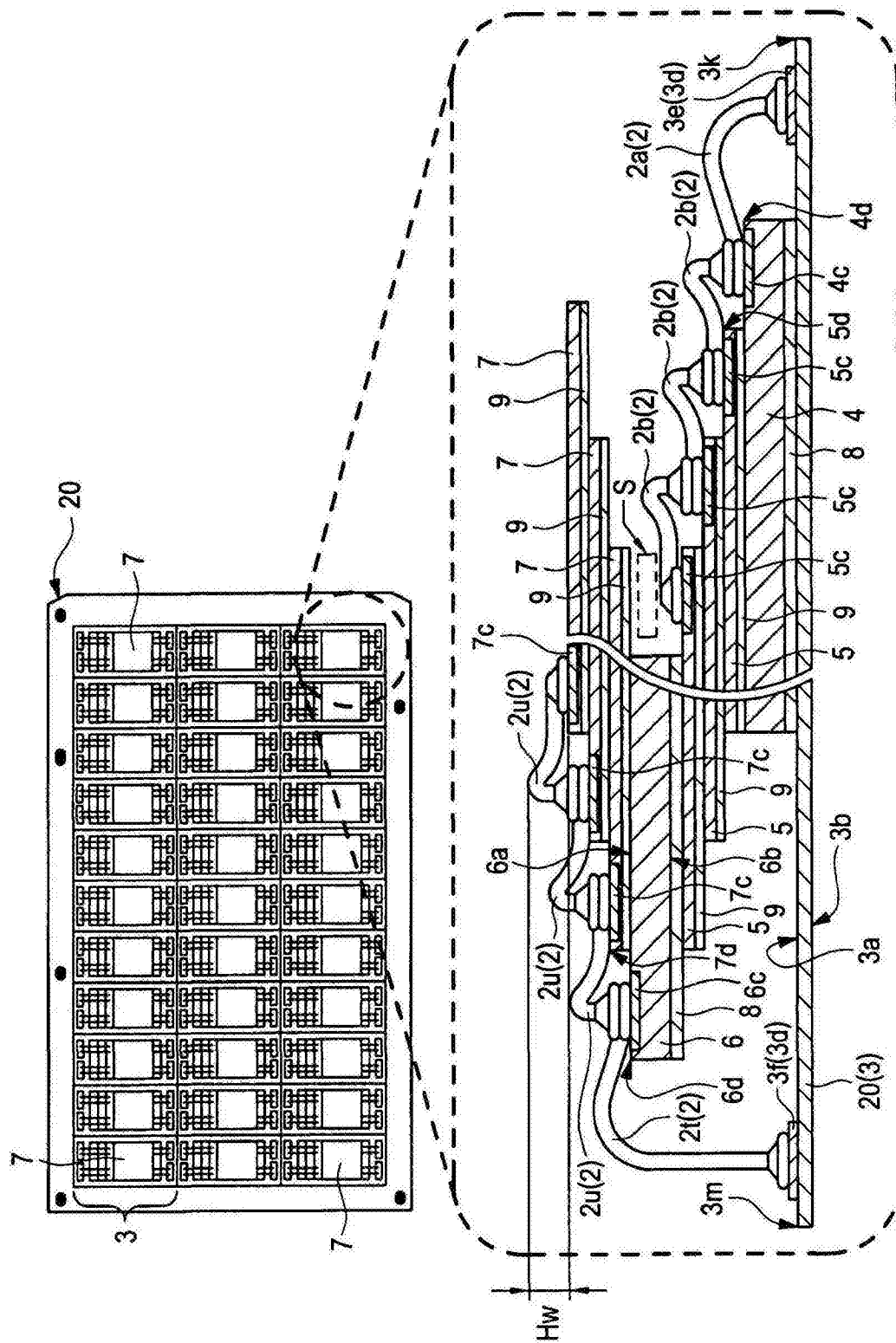


图35

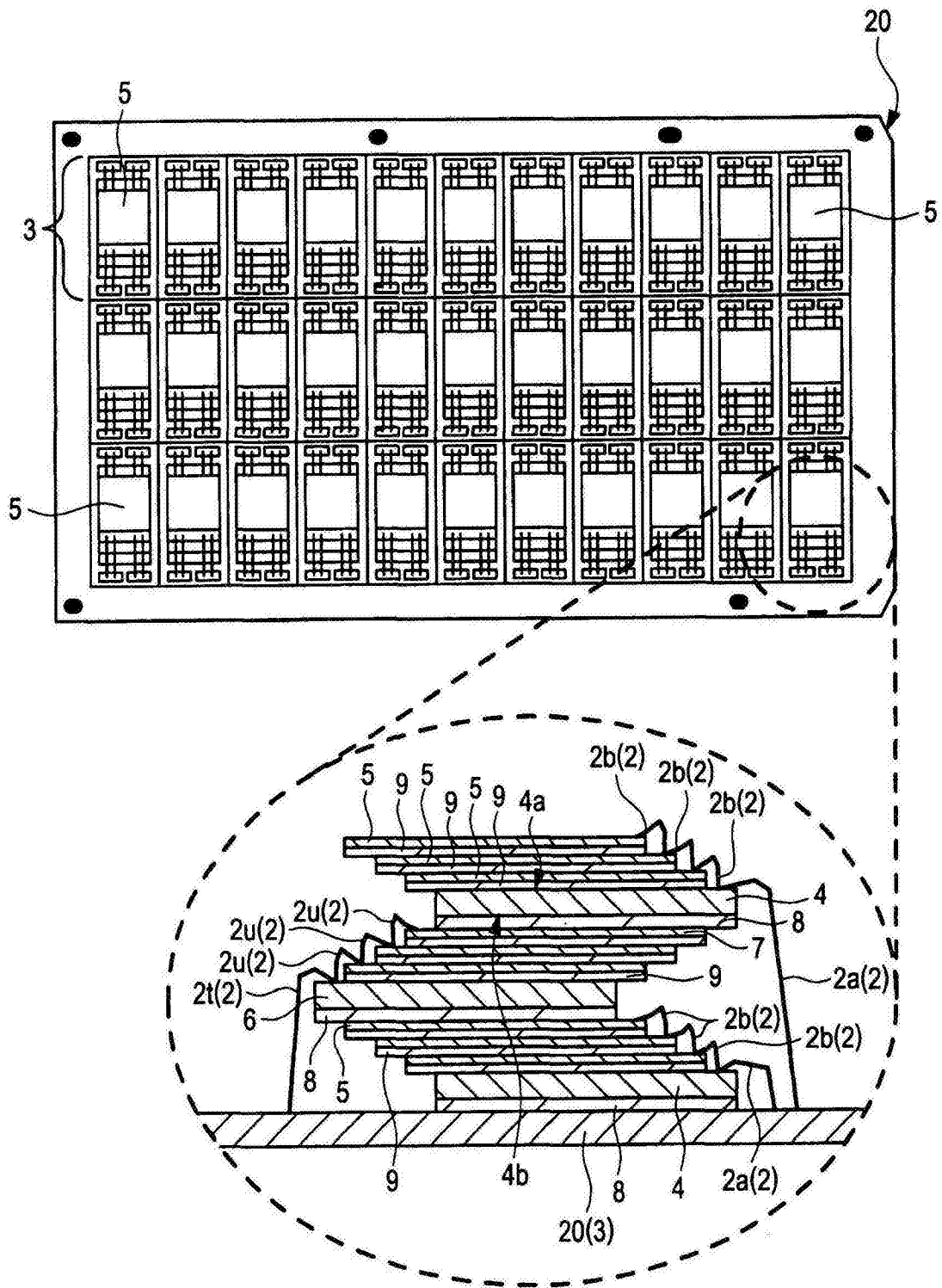


图36

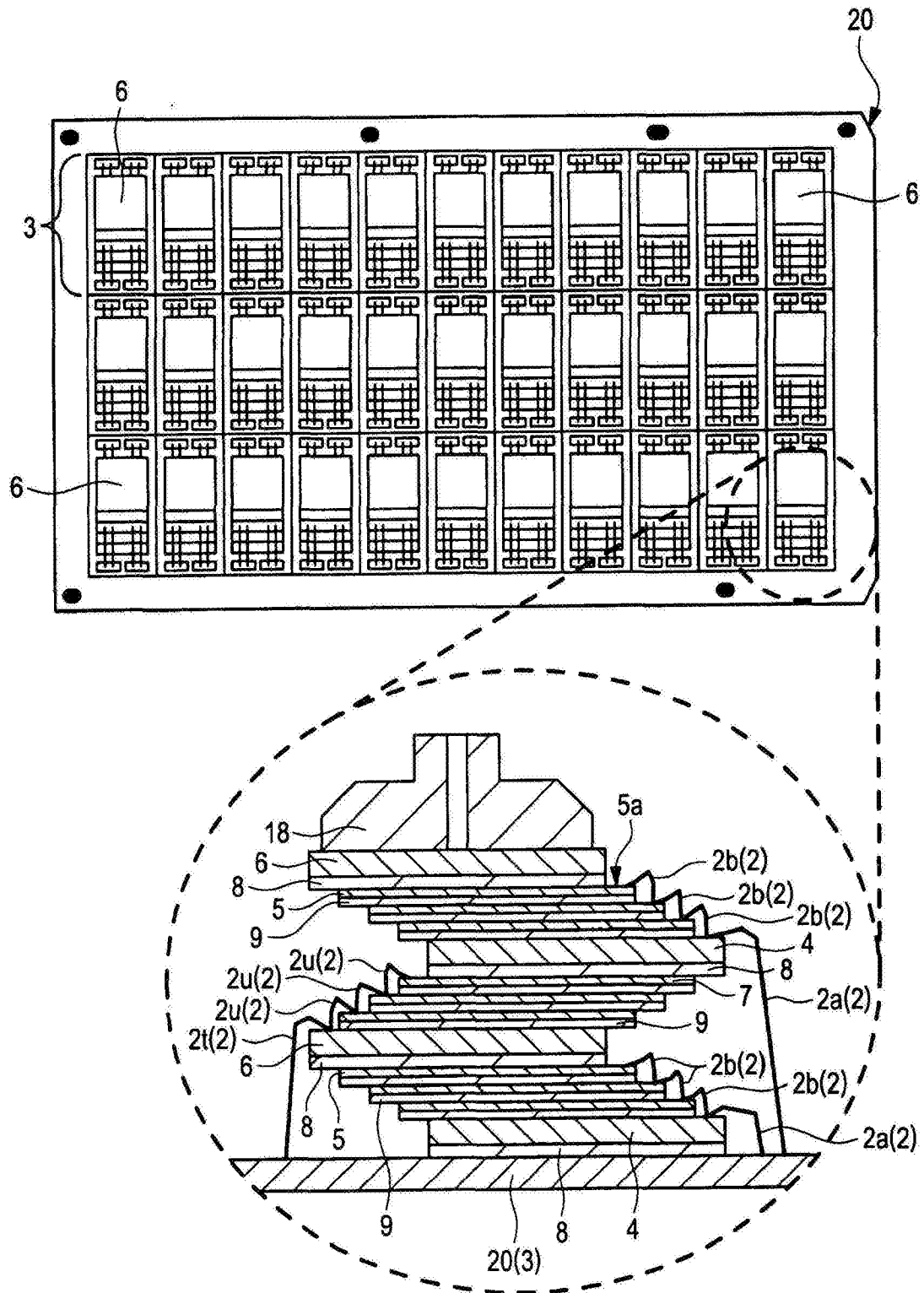


图37

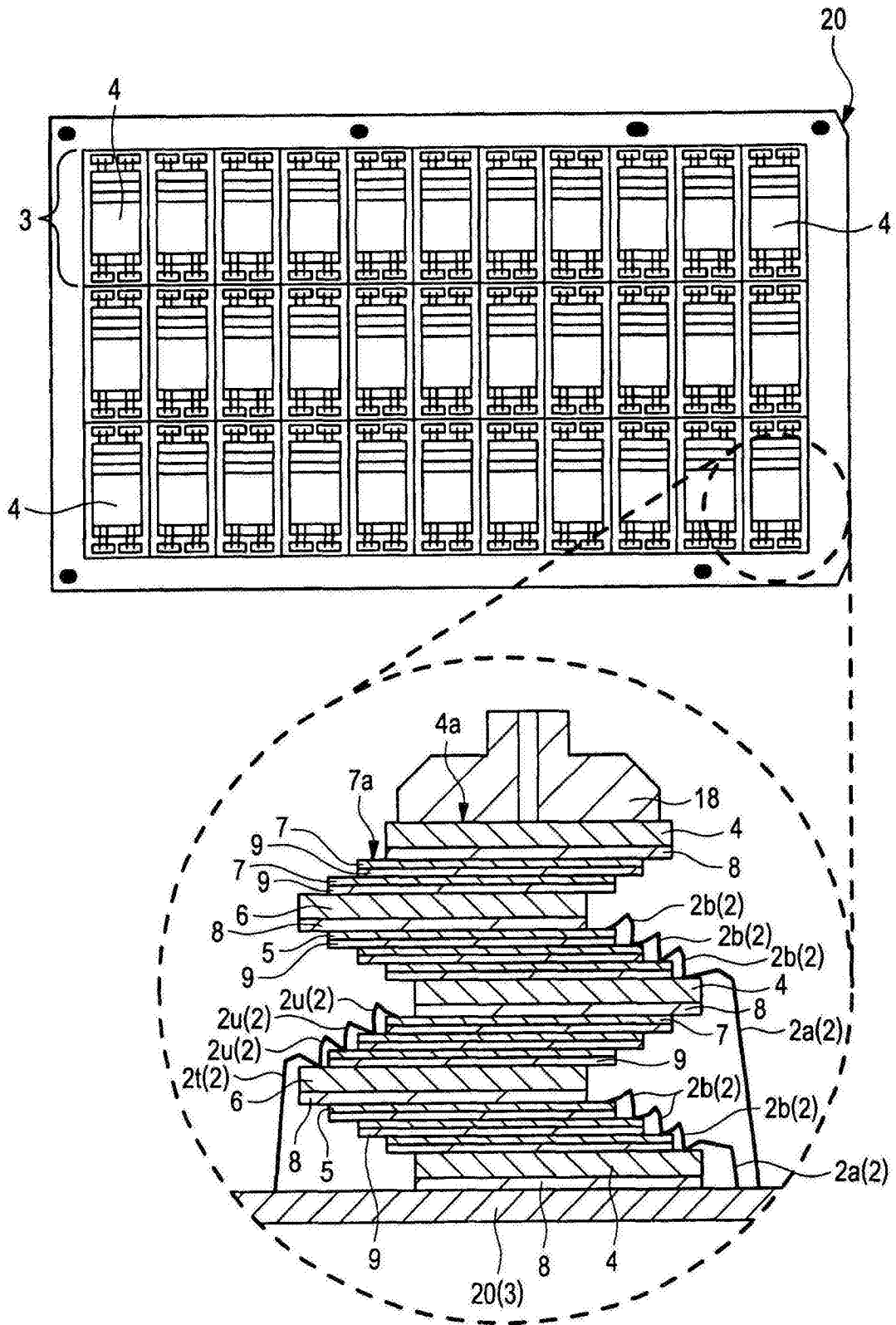


图38

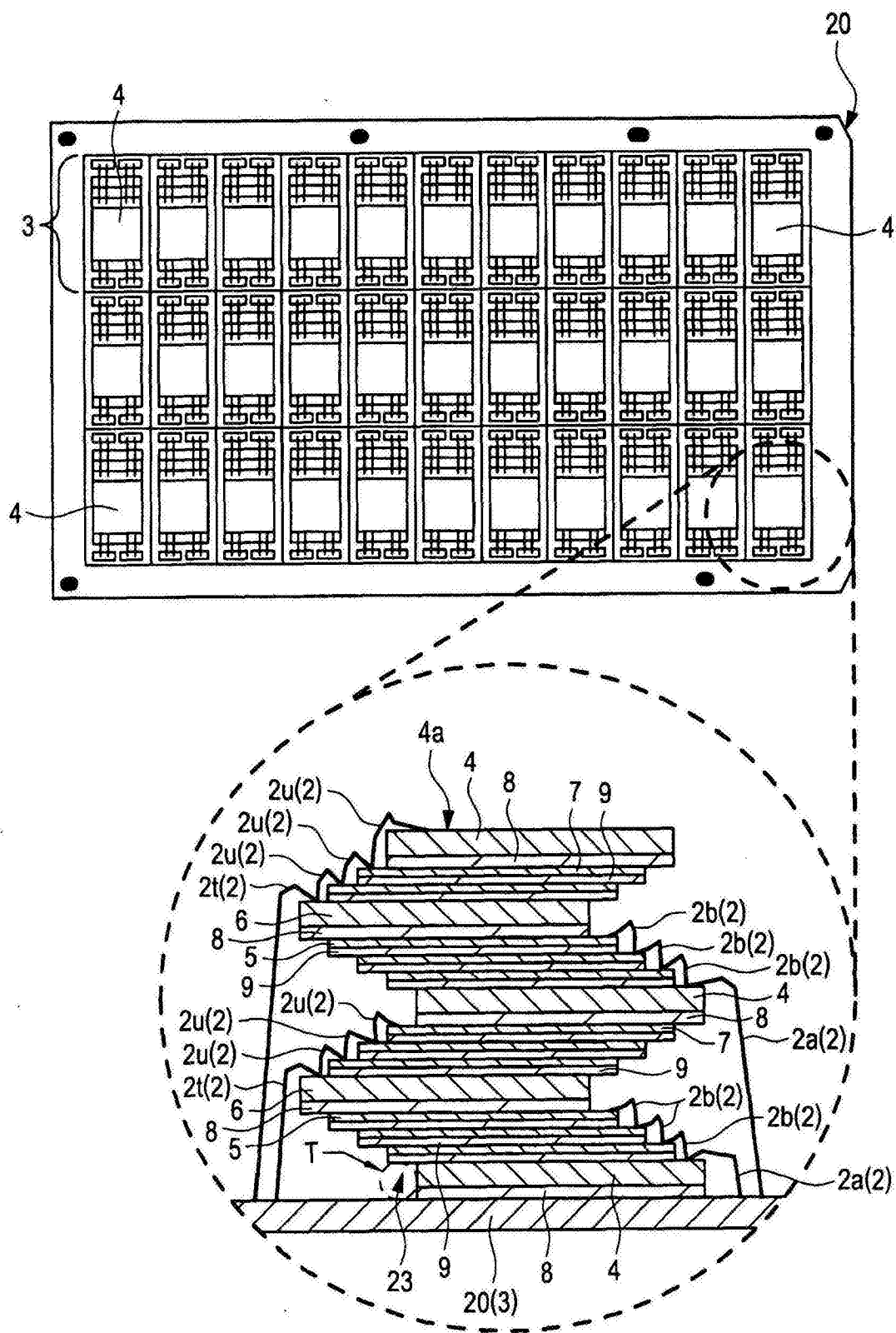


图39

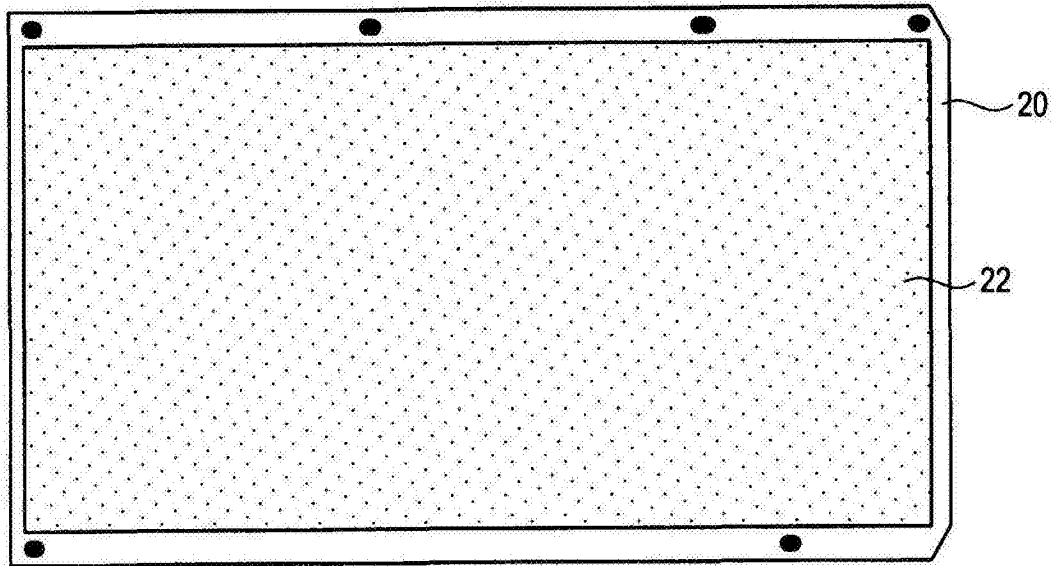


图40

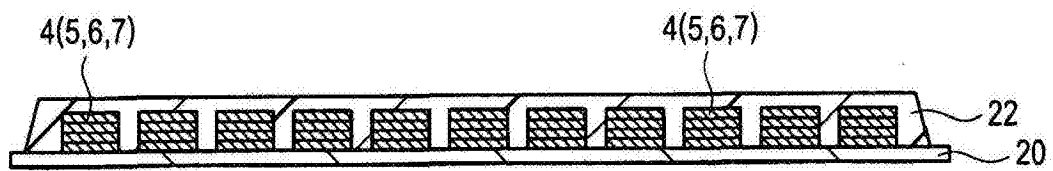


图41

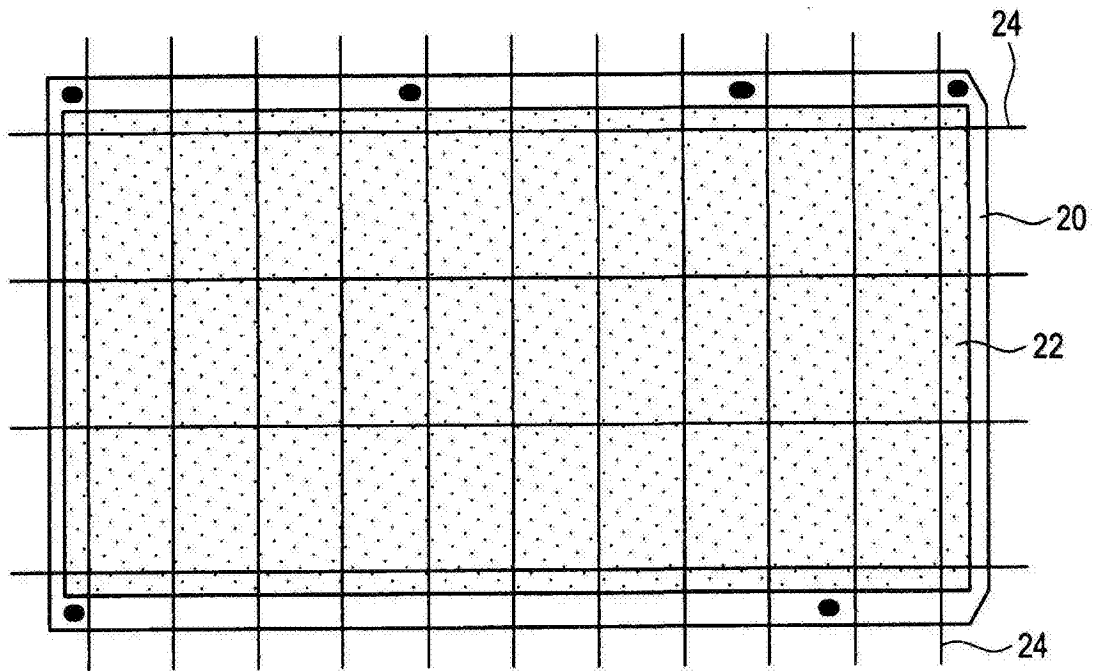


图42

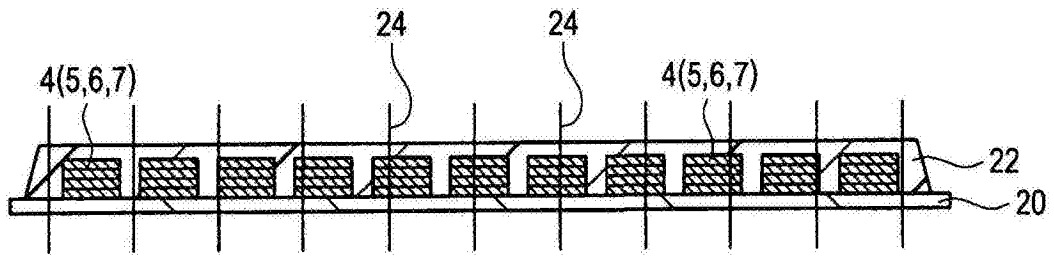


图43

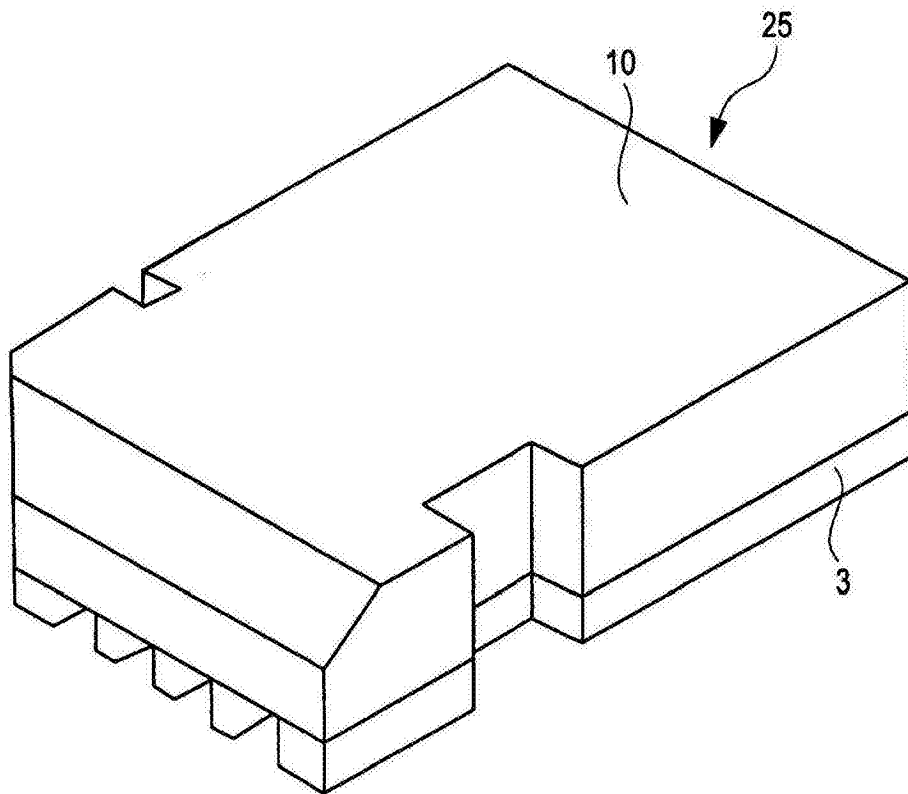


图44

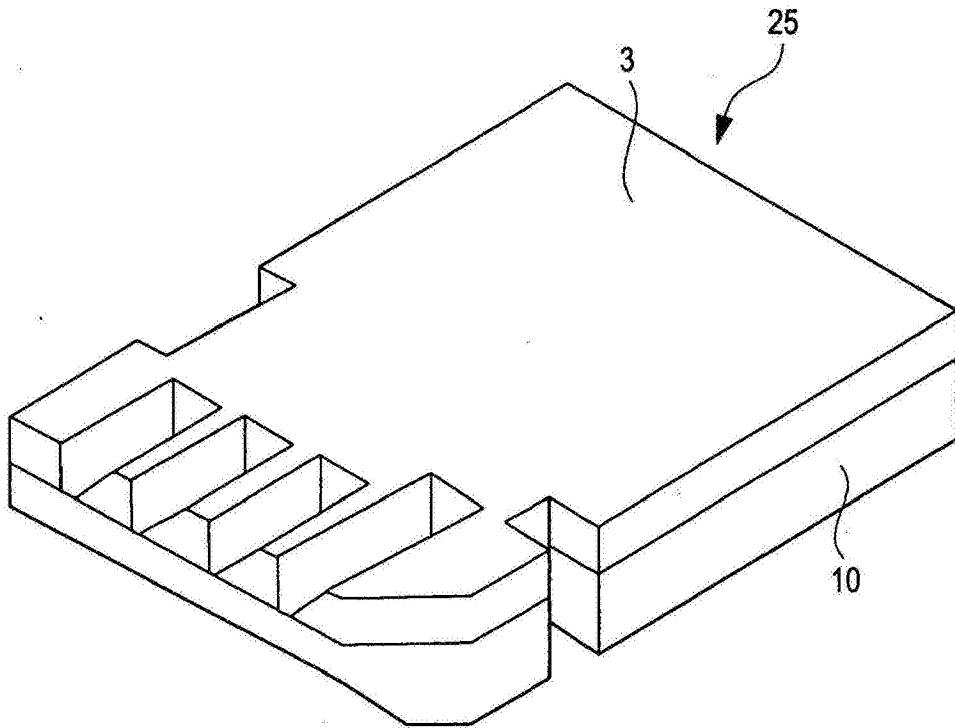


图45

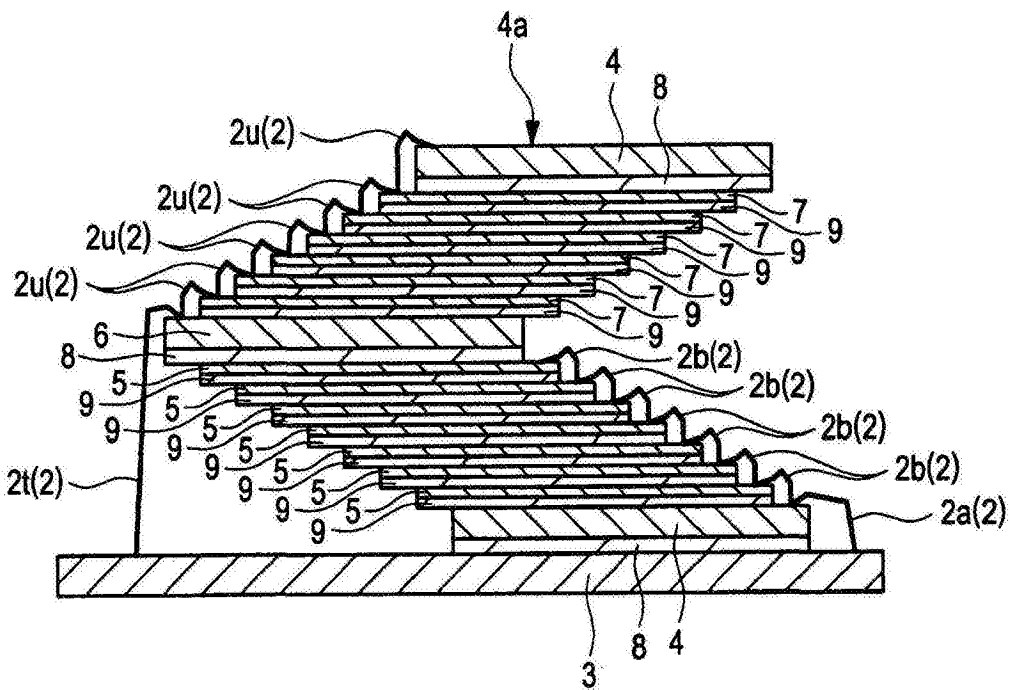


图46

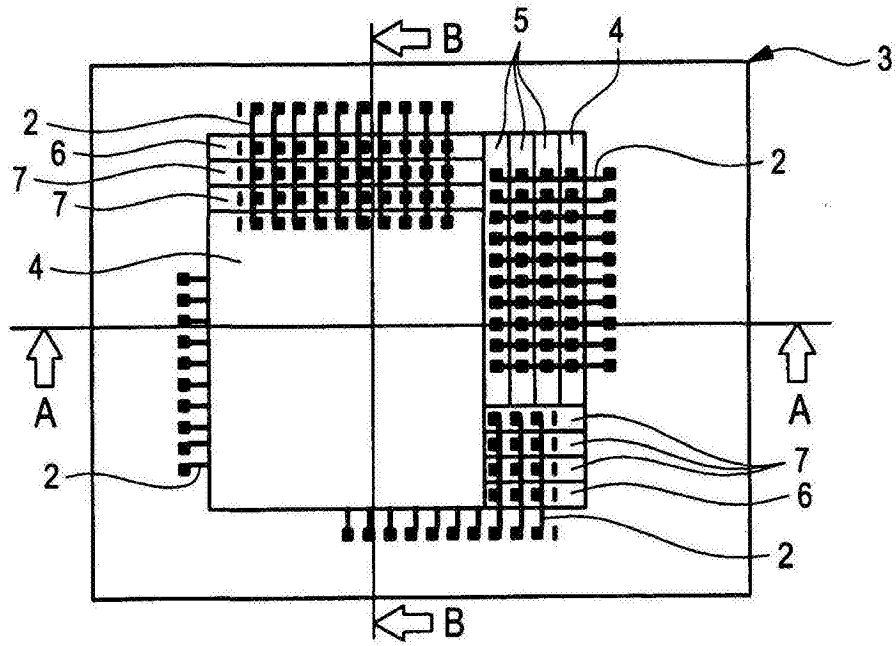


图47

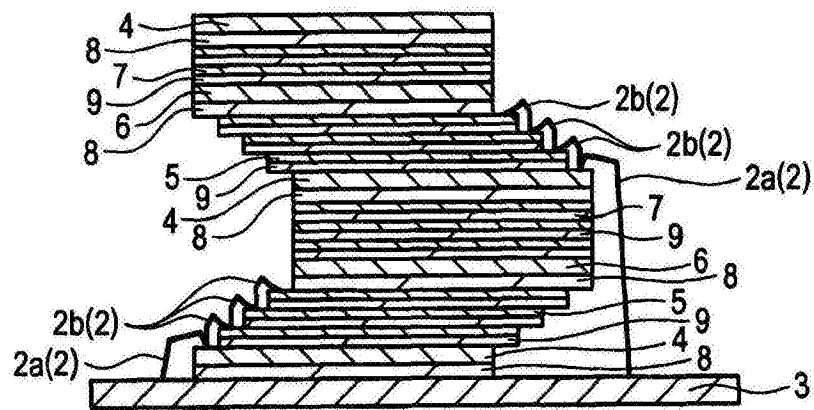


图48

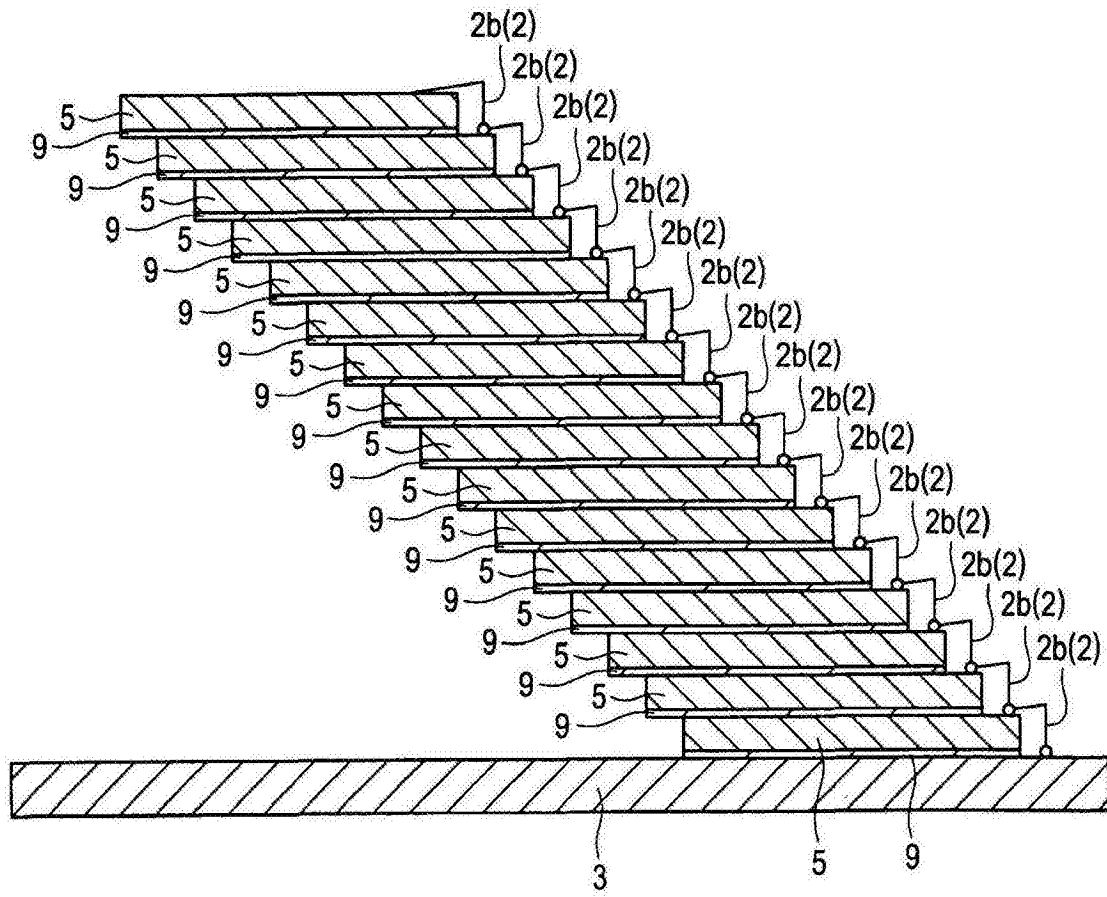


图53

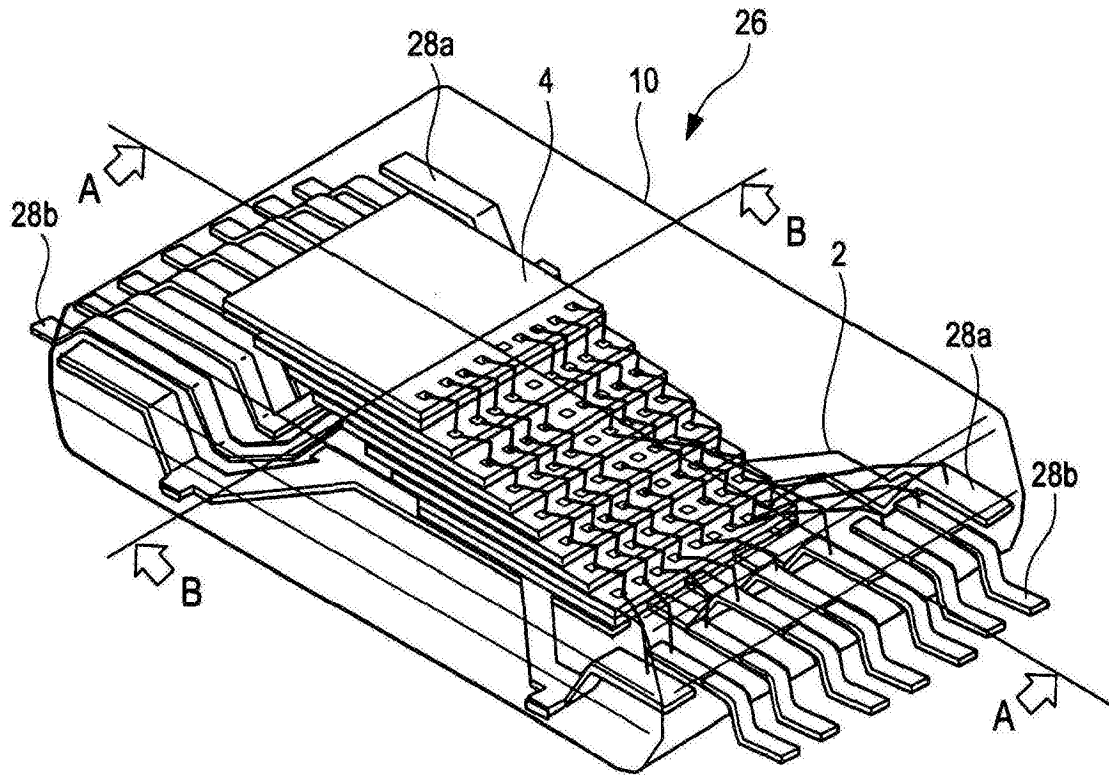


图54

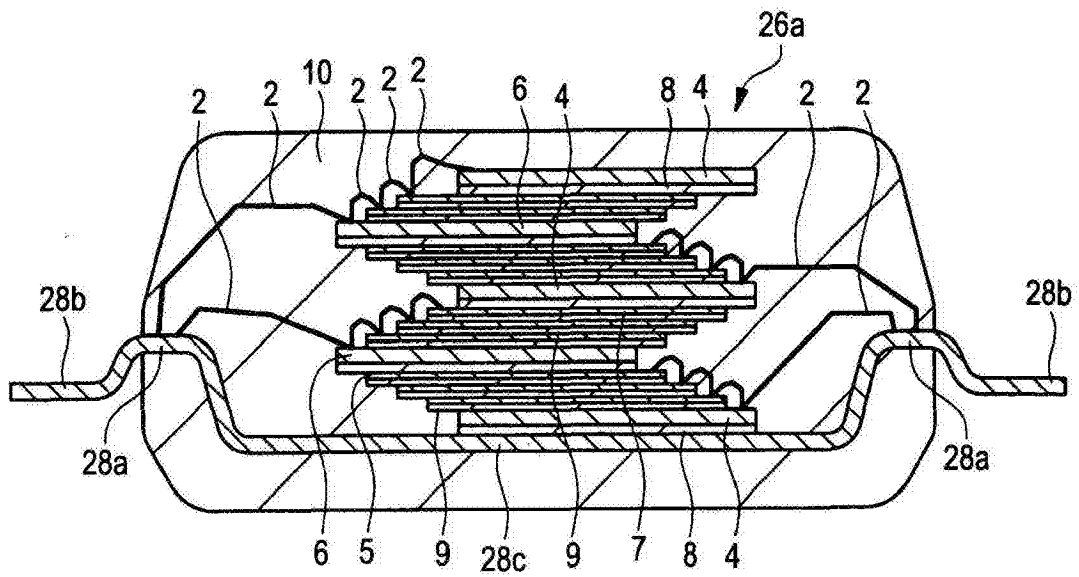


图55

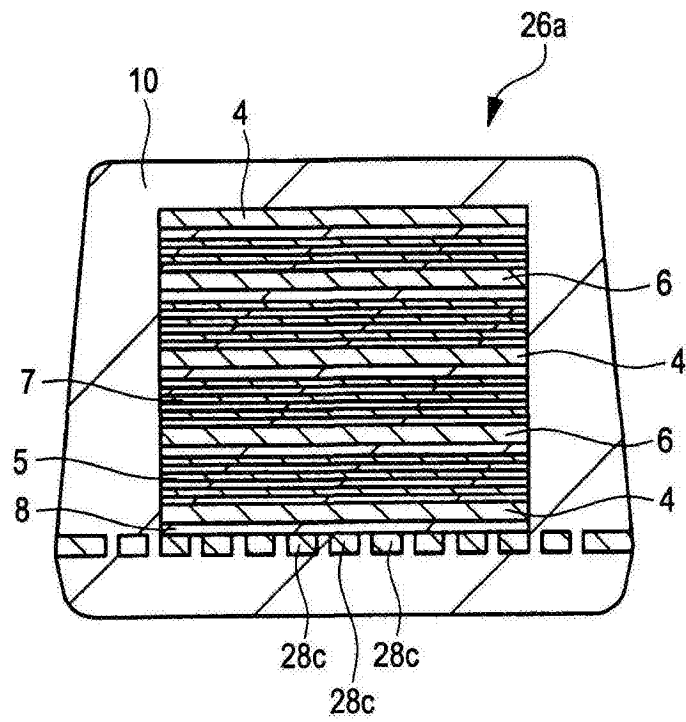


图56

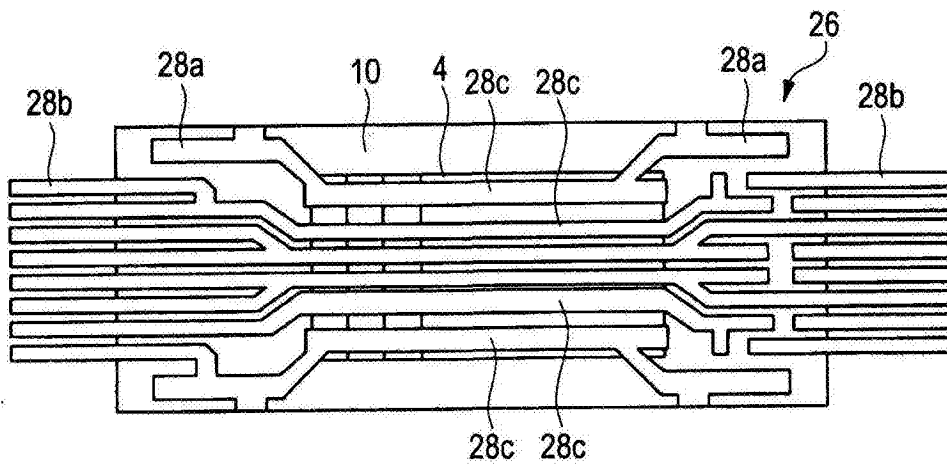


图57

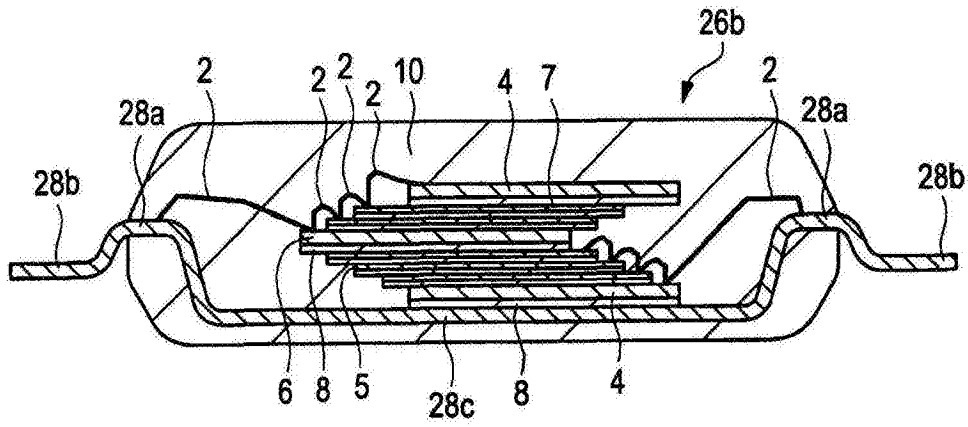


图58

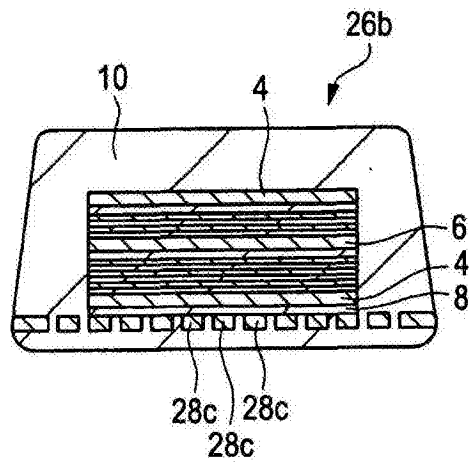


图59

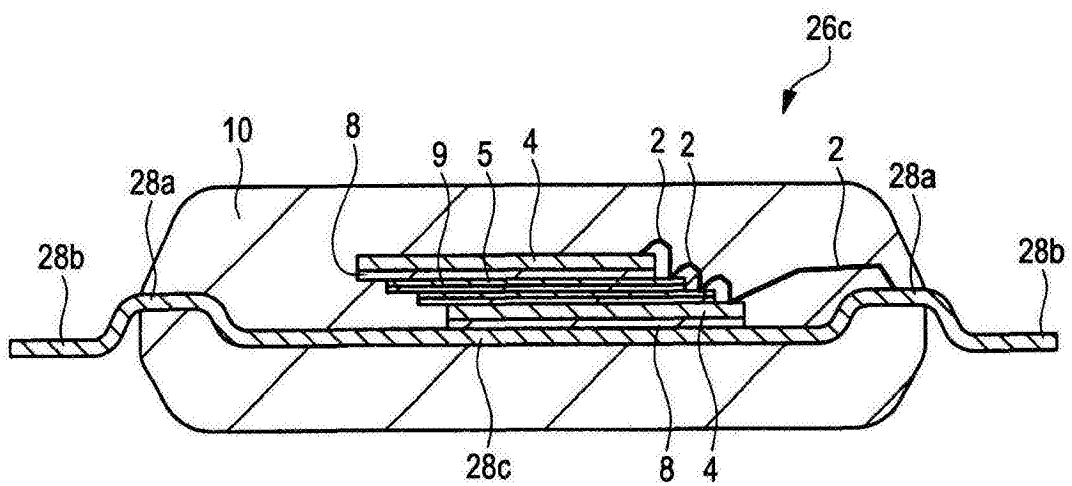


图60

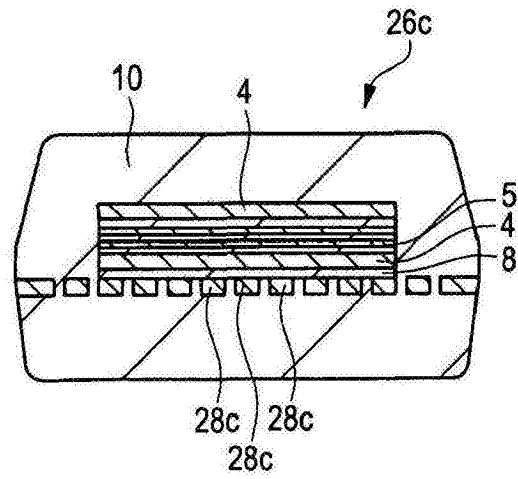


图61

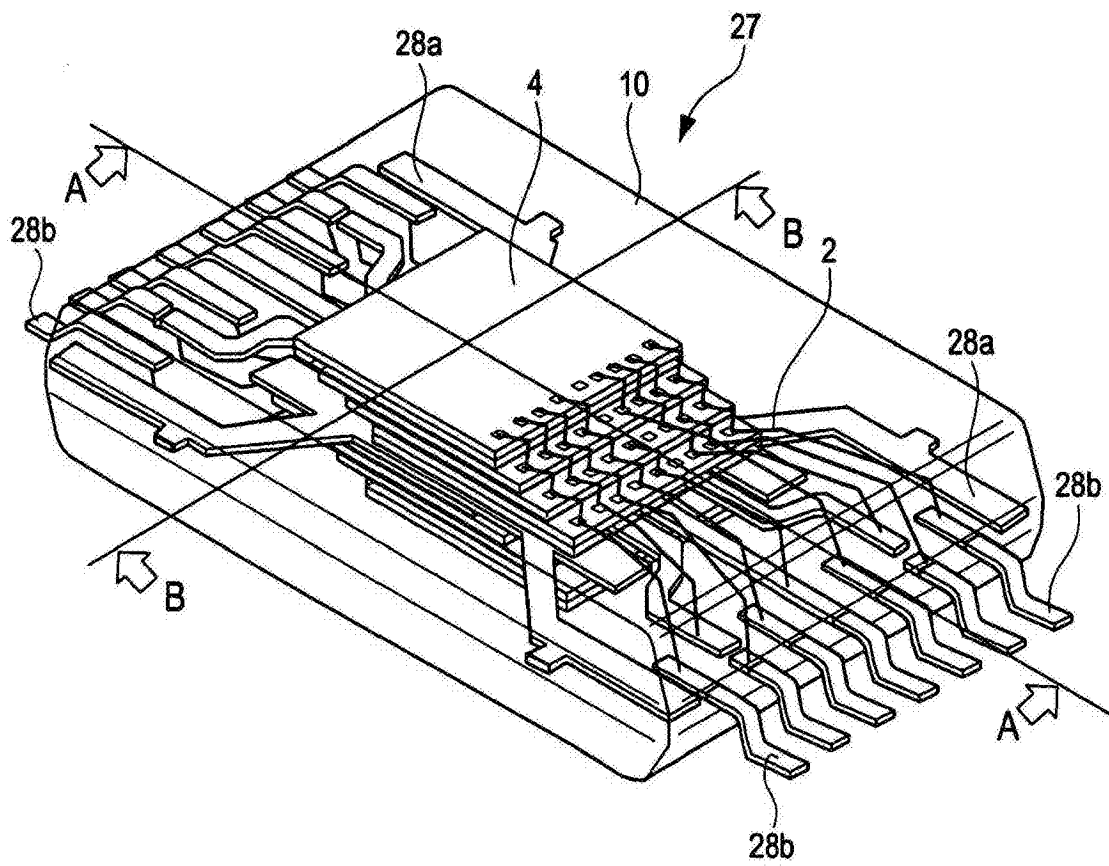


图62

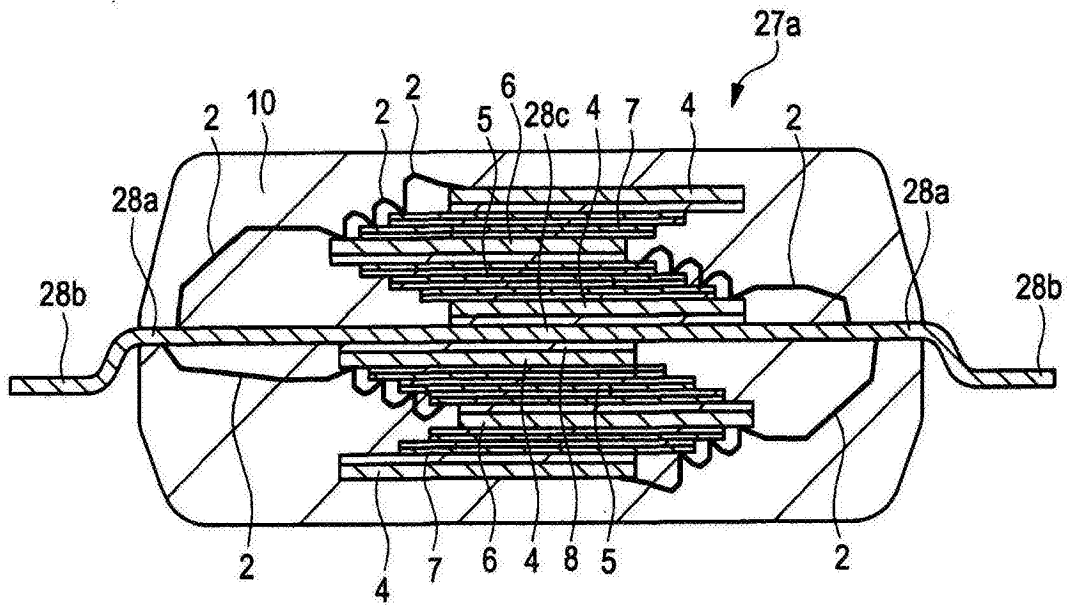


图63

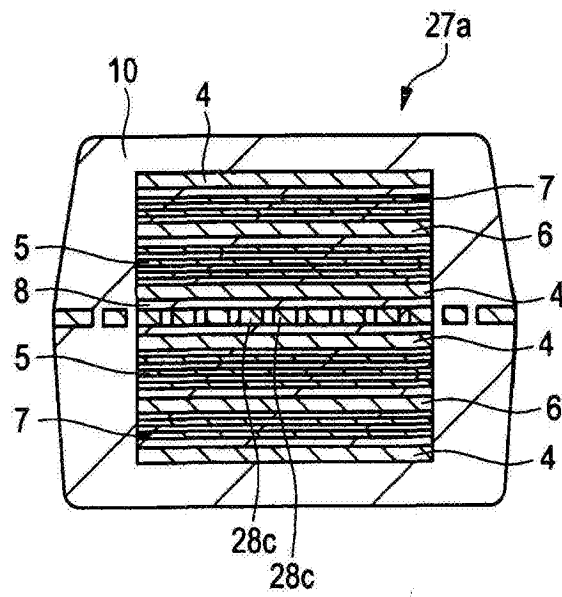


图64

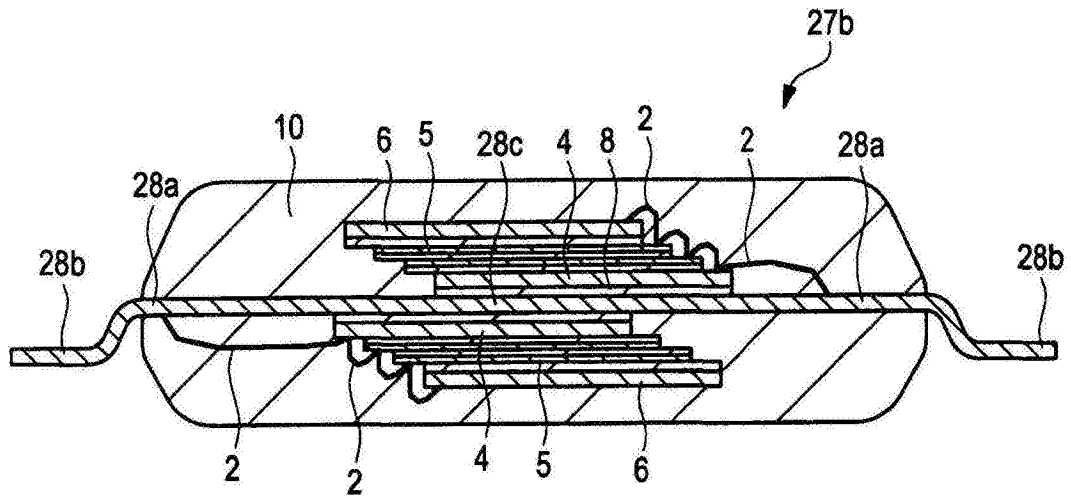


图65

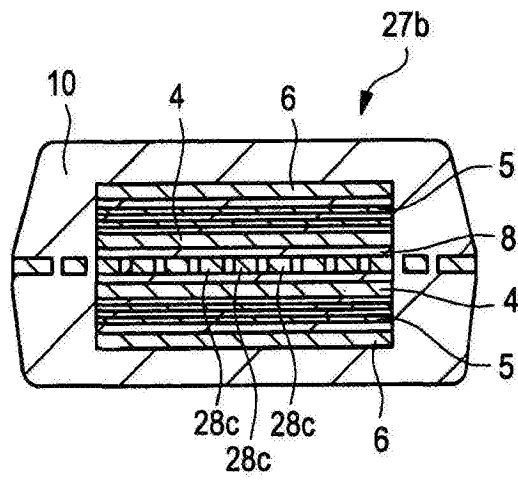


图66

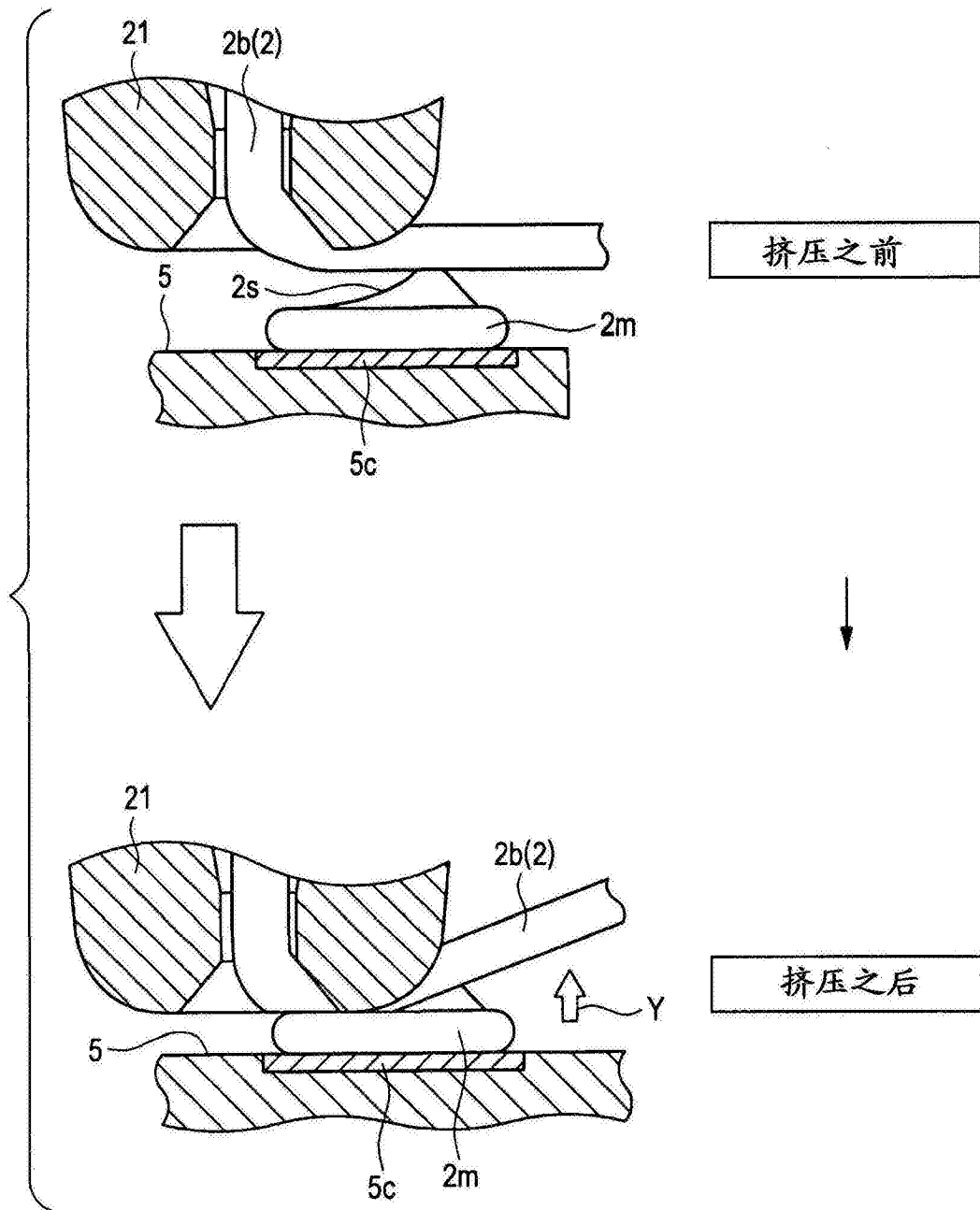


图67

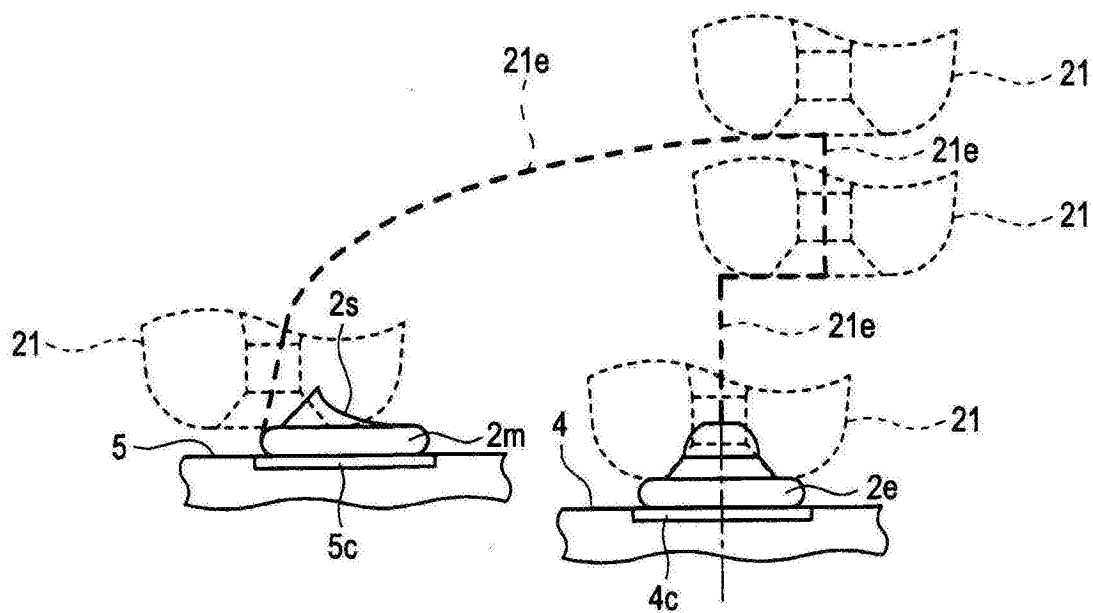


图68

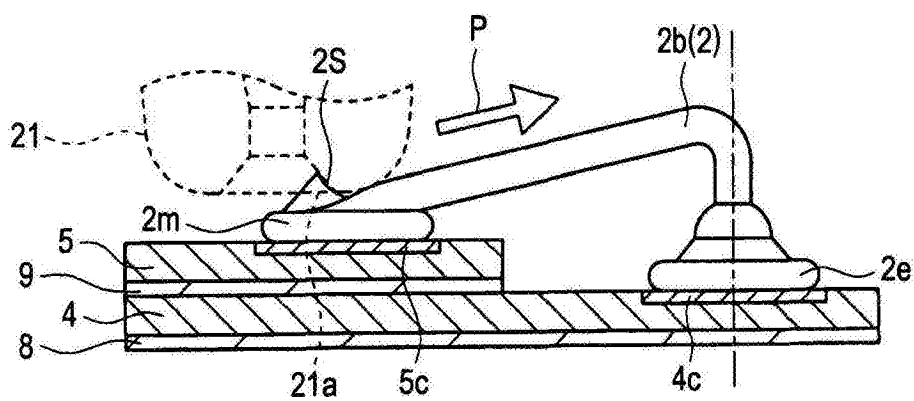


图69

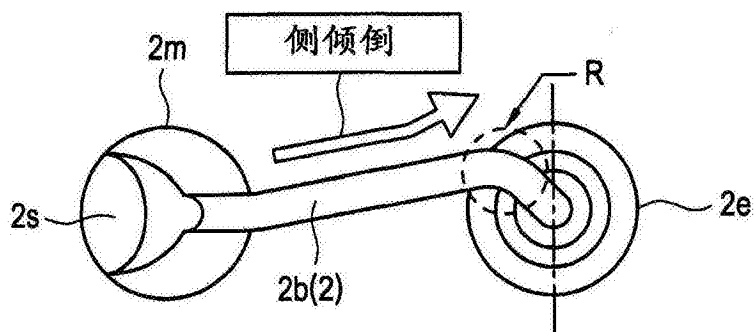


图70