(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/003717 A1

(51) 国際特許分類:
H02M 3/335 (2006.01)　*H02M 3/28* (2006.01)

(21) 国際出願番号：　PCT/JP2019/017378

(22) 国際出願日：　2019年4月24日(24.04.2019)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2018-119550　2018年6月25日(25.06.2018)　JP

(71) 出願人：ダイヤモンド電機株式会社(**DIAMOND ELECTRIC MFG.CO.,LTD.**) [JP/JP]；〒5320026 大阪府大阪市淀川区塚本１丁目１５番２７号 Osaka (JP).

(72) 発明者：中原　将吾 (**NAKAHARA Shogo**)；〒5320026 大阪府大阪市淀川区塚本１丁目１５番２７号 ダイヤモンド電機株式会社内 Osaka (JP). 中山　大禎(**NAKAYAMA Hiroyoshi**)；〒5320026 大阪府大阪市淀川区塚本１丁目１５番２７号 ダイヤモンド電機株式会社内 Osaka (JP).

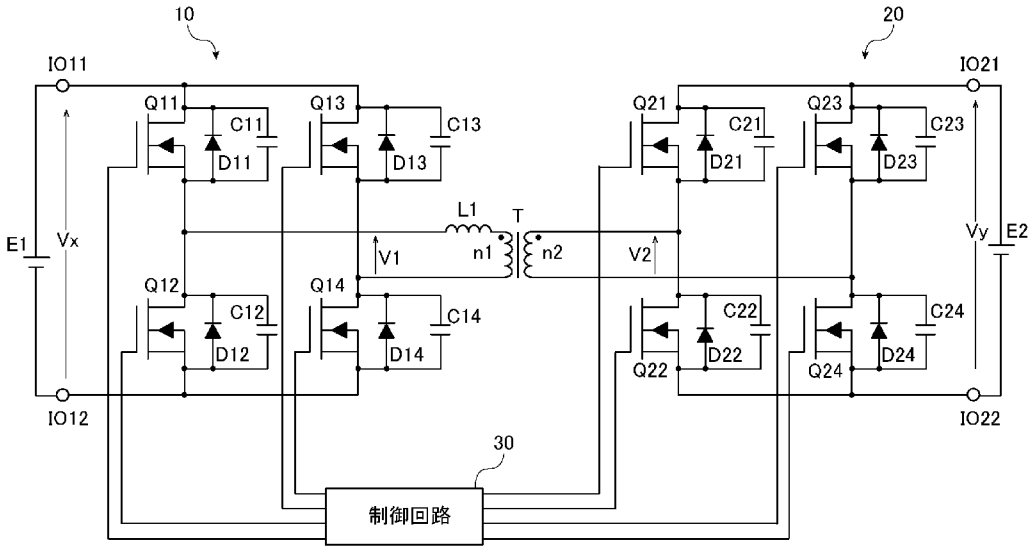
(74) 代理人：西田　隆美 (**NISHIDA Takami**)；〒5300047 大阪府大阪市北区西天満３丁目１４番１６号西天満パークビル３号館４階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** DC-DC CONVERTER

(54) 発明の名称：　ＤＣ－ＤＣコンバータ

[図1]



30　Control circuit

(57) **Abstract:** This DC-DC converter (1) has a configuration in which a first full-bridge circuit (10) and a second full-bridge circuit (20) are connected to each other through a transformer (T) and an inductor (L1). A control circuit (30) allows each switching element of the first and second full-bridge circuits (10, 20) to perform soft switching. The inductor current (I_L) flowing through the equivalent inductor of the transformer (T) and the inductor (L1) at the switching timing of the switching elements is greater than or equal to a threshold current

WO 2020/003717 A1

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(I_{ref}). The control circuit (30) fixes a switching frequency (f) to keep a polarity inversion period (τ_c) during which the output (V1) of the first full-bridge circuit (10) and the output (V2) of the second full-bridge circuit (20) are inverted in polarity constant and changes the voltage output periods (τ_1, τ_2) of the first and second full-bridge circuits (10, 20) to output a predetermined power. This allows a ZVS operation to be performed with a simple control and reduces switching loss.

(57) 要約:ＤＣ－ＤＣコンバータ（１）は、第１フルブリッジ回路（１０）と、第２フルブリッジ回路（２０）とが、トランス（Ｔ）及びインダクタ（Ｌ１）を介して接続された構成である。制御回路（３０）は、第１及び第２のフルブリッジ回路（１０、２０）の各スイッチング素子をソフトスイッチングする。スイッチング素子の切り替えタイミングで、トランス（Ｔ）及びインダクタ（Ｌ１）の等価インダクタに流れるインダクタ電流（I_L）は、閾値電流（I_{ref}）以上である。制御回路（３０）は、スイッチング周波数（ｆ）を固定にして、第１フルブリッジ回路（１０）の出力（Ｖ１）と、第２フルブリッジ回路（２０）の出力（Ｖ２）とが極性反転する極性反転期間（τ_c）を一定に保ち、第１及び第２のフルブリッジ回路（１０、２０）の電圧出力期間（τ_1、τ_2）を変更し、所定の電力を出力する。これにより、簡易な制御でＺＶＳ動作を行い、スイッチング損失を低減する。

明　細　書

発明の名称 ： ＤＣ－ＤＣコンバータ

技術分野

[0001] 本発明は、ソフトスイッチングを行うＤＣ－ＤＣコンバータに関する。

背景技術

[0002] ＤＣ－ＤＣコンバータなどの電力変換装置では、スイッチング損失を低減して、高効率で電力伝送を行うため、また、ノイズを低減して、スイッチングサージを抑えて、耐圧の低い安価な素子を用いるために、ゼロボルトスイッチング（以下、ＺＶＳと言う）が用いられている。特許文献１には、１次側直流電圧と２次側直流電圧の電圧差が大きい場合に、ＺＶＳ動作を成立させて、高効率な電力伝送を可能としたＤＣ－ＤＣコンバータが開示されている。特許文献１に記載のＤＣ－ＤＣコンバータでは、１次側および２次側それぞれで電力を検出し、それら２つの電力差が最小となるように、１次側スイッチのデューティと２次側スイッチのデューティとを増減させている。これにより、ＺＶＳ動作が成立するようにしている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１６－０１２９７０号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献１では、ＺＶＳ動作を行うために、１次側および２次側それぞれで電力の検出、および、スイッチング制御を行う必要がある。このため、回路構成、および、その制御が複雑となり、生産性の向上およびコストダウンを図ることが難しい。

[0005] そこで、本発明は、簡易な制御でＺＶＳ動作を行い、スイッチング損失を低減するＤＣ－ＤＣコンバータを提供することを目的とする。

課題を解決するための手段

[0006] 上記課題を解決するため、本願の第１発明のＤＣ－ＤＣコンバータは、寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、４つのスイッチング素子を有する第１フルブリッジ回路と、寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、４つのスイッチング素子を有する第２フルブリッジ回路と、前記第１フルブリッジ回路に接続された第１巻線と、前記第２フルブリッジ回路に接続され、前記第１巻線と磁気結合する第２巻線とを有するトランスと、前記第１巻線または前記第２巻線に直列接続されたインダクタンス成分と、前記第１フルブリッジ回路および前記第２フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、を備え、スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上であり、前記制御回路は、スイッチング周波数を固定にして、前記第１フルブリッジ回路の出力と、前記第２フルブリッジ回路の出力とが極性反転する極性反転期間を一定以上に保ちつつ、前記第１フルブリッジ回路の電圧出力期間と、前記第２フルブリッジ回路の電圧出力期間と、を変更して、所定の電力を出力する。

[0007] 本願の第２発明は、第１発明のＤＣ－ＤＣコンバータであって、前記制御回路は、前記第１フルブリッジ回路の電圧出力期間と、前記第２フルブリッジ回路の電圧出力期間と、を等しくしつつ、変更する。

[0008] 本願の第３発明は、第２発明のＤＣ－ＤＣコンバータであって、前記制御回路は、出力電力をＰ、前記第１スイッチング回路の電圧出力期間および前記第２スイッチング回路の電圧出力期間をτ、前記極性反転期間をτ_c、前記第１フルブリッジ回路の入力電圧をＶｘ、前記第２フルブリッジ回路の入力電圧をＶｙ、前記等価インダクタのインダクタンスをＬ、で表した場合、

[数1]

$$P = \frac{Vx \cdot Vy}{2\pi L\omega}\left[-3\tau^2 + 4(\tau_c + \pi) - 2\tau_c^2 - 2\pi \cdot \tau_c - \pi^2\right]$$

を満たすように制御する。なお、上記数式に記載されるτ、τ_cは、時間を表すパラメータであって、ラジアンで表記されている。

[0009] 本願の第４発明は、第１発明のＤＣ－ＤＣコンバータであって、前記制御回路は、前記第１フルブリッジ回路の電圧出力期間と、前記第２フルブリッジ回路の電圧出力期間と、を異ならせて、変更する。

[0010] 本願の第５発明は、第４発明のＤＣ－ＤＣコンバータであって、前記制御回路は、出力電力をＰ、前記第１スイッチング回路の電圧出力期間をτ_1、前記第２スイッチング回路の電圧出力期間をτ_2、前記極性反転期間をτ_c、前記第１フルブリッジ回路の入力電圧をＶｘ、前記第２フルブリッジ回路の入力電圧をＶｙ、前記等価インダクタのインダクタンスをＬ、で表した場合、

[数2]

$$P = \frac{Vx \cdot Vy}{2\pi L\omega}[\,2\tau_c^2 - 2\tau_2\tau_c - 2\tau_1\tau_c + 2\pi\tau_c + \tau_2^2 + \tau_1\tau_2 - 2\pi\tau_2 + \tau_1^2 - 2\pi\tau_1 + \pi^2\,]$$

を満たすように制御する。なお、上記数式に記載されるτ_1、τ_2、τ_cは、時間を表すパラメータであって、ラジアンで表記されている。

[0011] 本願の第６発明は、第１発明から第５発明のＤＣ－ＤＣコンバータであって、前記閾値電流は、前記等価インダクタに蓄積されるエネルギーが、２つの前記キャパシタに蓄積されるエネルギー以上となるように、設定されている。

[0012] 本願の第７発明は、第６発明のＤＣ－ＤＣコンバータであって、前記制御回路は、前記閾値電流をI_{ref}、前記第１フルブリッジ回路の入力電圧をＶｘ、前記キャパシタのキャパシタンスをＣ、前記等価インダクタのインダクタンスをＬ、補正係数をαで表した場合、$I_{ref} = \alpha \cdot Vx\sqrt{(2C/L)}$、を満たすように制御する。

発明の効果

[0013] 本願の第１発明～第７発明によれば、双方フルブリッジの電圧出力期間を適宜に制御することで、ＺＶＳ動作を容易に実施し得て、スイッチング損失

を低減することができる。また、スイッチング周波数が固定であるため、スイッチング周波数が高くなることによるスイッチング損失の増大を抑制でき、インダクタ等の電気素子の発熱を低減できる。

図面の簡単な説明

[0014] [図1]実施形態に係るＤＣ－ＤＣコンバータの回路図である。

[図2]ＤＣ－ＤＣコンバータのタイミングチャートを示す図である。

[図3]ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。

[図4]ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。

[図5]ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。

[図6]ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。

[図7]ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。

[図8]ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。

発明を実施するための形態

[0015] 以下、本発明の実施形態について、図面を参照しつつ説明する。以下では、本発明の「ＤＣ－ＤＣコンバータ」について、デュアルアクティブブリッジ（ＤＡＢ）コンバータ（以下、ＤＣ－ＤＣコンバータと称す）を例に挙げて説明する。

[0016] ＜１．ＤＣ－ＤＣコンバータの回路構成＞

図１は、本実施形態に係るＤＣ－ＤＣコンバータ１の回路図である。

[0017] ＤＣ－ＤＣコンバータ１は、一対の入出力端子ＩＯ１１および入出力端子ＩＯ１２と、一対の入出力端子ＩＯ２１および入出力端子ＩＯ２２と、を備えている。一対の入出力端子ＩＯ１１、ＩＯ１２には直流電源Ｅ１が接続されている。一対の入出力端子ＩＯ２１、ＩＯ２２には直流電源Ｅ２が接続されている。

[0018] ＤＣ－ＤＣコンバータ１は、入出力端子ＩＯ１１、ＩＯ１２から入力される直流電源Ｅ１の電源電圧を変圧し、入出力端子ＩＯ２１、ＩＯ２２から出力する。また、ＤＣ－ＤＣコンバータ１は、入出力端子ＩＯ２１、ＩＯ２２から入力される、直流電源Ｅ２の電源電圧を変圧し、入出力端子ＩＯ１１、

ＩＯ１２から出力する。つまり、ＤＣ－ＤＣコンバータ１は、双方向に電力伝送が可能なコンバータである。

[0019] ＤＣ－ＤＣコンバータ１は、第１フルブリッジ回路１０と、第２フルブリッジ回路２０と、トランスＴと、を備えている。

[0020] トランスＴは、第１巻線ｎ１と、第２巻線ｎ２とを備えている。第１巻線ｎ１と第２巻線ｎ２とは磁気結合する。第１巻線ｎ１は、第１フルブリッジ回路１０を介して、入出力端子ＩＯ１１、ＩＯ１２に接続されている。第２巻線ｎ２は、第２フルブリッジ回路２０を介して、入出力端子ＩＯ２１、ＩＯ２２に接続されている。

[0021] 第１フルブリッジ回路１０は、スイッチング素子Ｑ１１とスイッチング素子Ｑ１２とが直列接続された第１レグと、スイッチング素子Ｑ１３とスイッチング素子Ｑ１４とが直列接続された第２レグと、を有している。スイッチング素子Ｑ１１、Ｑ１２、Ｑ１３、Ｑ１４には、ダイオードＤ１１、Ｄ１２、Ｄ１３、Ｄ１４、および、キャパシタＣ１１、Ｃ１２、Ｃ１３、Ｃ１４が並列に接続されている。スイッチング素子Ｑ１１～Ｑ１４はＭＯＳ－ＦＥＴである。ただし、スイッチング素子Ｑ１１～Ｑ１４は、ＩＧＢＴまたはＪＦＥＴ等であってもよい。ダイオードＤ１１～Ｄ１４は、実素子であってもよいし、寄生ダイオードであってもよい。また、キャパシタＣ１１～Ｃ１４は、実素子、寄生容量、または、寄生容量と実素子との組み合わせであってもよい。

[0022] トランスＴの第１巻線ｎ１は、第１レグおよび第２レグそれぞれの中点に接続されている。トランスＴの第１巻線ｎ１と、第１レグの中点との間には、インダクタＬ１が設けられている。ただし、インダクタＬ１は、第１巻線ｎ１または第２巻線ｎ２に直列接続されていればよく、その配置場所は適宜変更可能である。例えば、インダクタＬ１は、第１巻線ｎ１と第２レグの中点との間に設けられていてもよい。また、インダクタＬ１は、実素子、トランスＴの漏れインダクタンス、または、実素子と漏れインダクタンスとの組み合わせであってもよい。

[0023] 第２フルブリッジ回路２０は、スイッチング素子Ｑ２１とスイッチング素子Ｑ２２とが直列接続された第３レグと、スイッチング素子Ｑ２３とスイッチング素子Ｑ２４とが直列接続された第４レグと、を有している。スイッチング素子Ｑ２１、Ｑ２２、Ｑ２３、Ｑ２４には、ダイオードＤ２１、Ｄ２２、Ｄ２３、Ｄ２４、および、キャパシタＣ２１、Ｃ２２、Ｃ２３、Ｃ２４が並列に接続されている。スイッチング素子Ｑ２１～Ｑ２４はＭＯＳ－ＦＥＴである。ただし、スイッチング素子Ｑ２１～Ｑ２４は、ＩＧＢＴまたはＪＦＥＴ等であってもよい。ダイオードＤ２１～Ｄ２４は、実素子であってもよいし、寄生ダイオードであってもよい。また、キャパシタＣ２１～Ｃ２４は、実素子、寄生容量、または、寄生容量と実素子との組み合わせであってもよい。

[0024] トランスＴの第２巻線ｎ２は、第３レグおよび第４レグそれぞれの中点に接続されている。前記のインダクタＬ１は、第２巻線ｎ２と、第３レグまたは第４レグの中点との間に設けられていてもよい。

[0025] スイッチング素子Ｑ１１～Ｑ１４およびスイッチング素子Ｑ２１～Ｑ２４それぞれのゲート端子は、制御回路３０から出力される信号を受信可能に回路配線されている。制御回路３０は、ＤＣ－ＤＣコンバータ１の出力電力が設定される目標電力となるように、スイッチング素子Ｑ１１～Ｑ１４、Ｑ２１～Ｑ２４それぞれをスイッチング制御する。本実施形態では、制御回路３０は、スイッチング損失を低減するために、スイッチング素子Ｑ１１～Ｑ１４、Ｑ２１～Ｑ２４それぞれをソフトスイッチングする。

[0026] ＜２．ソフトスイッチング動作について＞

以下に、各スイッチング素子Ｑ１１～Ｑ１４、Ｑ２１～Ｑ２４のソフトスイッチング動作について説明する。なお、本実施の形態では、３－ＬＥＶＥＬ方式のＤＡＢ制御が採用されている。

[0027] ＤＣ－ＤＣコンバータ１は、入出力端子ＩＯ１１、ＩＯ１２および入出力端子ＩＯ２１、ＩＯ２２の一方から他方、または、他方から一方への電力伝送を行う。以下では、入出力端子ＩＯ１１、ＩＯ１２を入力側（１次側）と

し、入出力端子ＩＯ２１、ＩＯ２２を出力側（２次側）として説明する。

[0028] 図２は、ＤＣ－ＤＣコンバータ１のタイミングチャートを示す図である。図３、図４、図５、図６、図７および図８は、ＤＣ－ＤＣコンバータ１の電流経路を説明するための図である。図３～図８では、第２フルブリッジ回路２０の図示は簡略し、図１のインダクタＬ１およびトランスＴは、等価的なインダクタＬで表す。

[0029] 図２では、第１フルブリッジ回路１０の各スイッチング素子Ｑ１１～Ｑ１４についてのみ、そのタイミングチャートを示す。また、図２のＶ１は、図１に示す、スイッチング素子Ｑ１１とスイッチング素子Ｑ１２との中点と、スイッチング素子Ｑ１３とスイッチング素子Ｑ１４との中点との間の電圧である。Ｖ２は、スイッチング素子Ｑ２１とスイッチング素子Ｑ２２との中点と、スイッチング素子Ｑ２３とスイッチング素子Ｑ２４との中点との間の電圧である。この例では、直流電源Ｅ１、Ｅ２それぞれが同じ電源電圧である。I_Lは、インダクタＬ（図３～図８参照）に流れるインダクタ電流である。

[0030] 制御回路３０は、位相差を設けて、第１フルブリッジ回路１０と、第２フルブリッジ回路２０とをスイッチング制御する。以下では、第１フルブリッジ回路１０と、第２フルブリッジ回路２０との位相差を、δで表す。制御回路３０は、第１フルブリッジ回路１０および第２フルブリッジ回路２０それぞれにおいて、スイッチング周波数ｆ（周期１／ｆ）で、フェーズシフトＰＷＭ制御を行う。

[0031] また、以下では、第１フルブリッジ回路１０の各スイッチング素子Ｑ１１～Ｑ１４についてのスイッチング制御について、説明する。第２フルブリッジ回路２０については、電圧Ｖ２が、図２に示す波形となるように、スイッチング制御され、その説明は、第１フルブリッジ回路１０と同様に説明することができる。したがって、図３～図８では、説明を簡易にするために、第１フルブリッジ回路１０側の電流経路についてのみ示す。なお、各図では、各スイッチング素子は簡略化した回路記号で示している。

[0032] （ｔ０～ｔ１）

ｔ０～ｔ１期間では、スイッチング素子Ｑ１１、Ｑ１４がオン、スイッチング素子Ｑ１２、Ｑ１３がオフである。

[0033] この場合、図３に示すように、直流電源Ｅ１から、スイッチング素子Ｑ１１、インダクタＬ、第２フルブリッジ回路２０、スイッチング素子Ｑ１４、直流電源Ｅ１の経路に電流が流れる。この期間の電圧Ｖ１はＨｉである。

[0034] タイミングｔ１では、スイッチング素子Ｑ１１がターンオフされた後、デッドタイムを挟んで、スイッチング素子Ｑ１２がターンオンされる。このデッドタイムでは、スイッチング素子Ｑ１１、Ｑ１２は共にオフとなる。このとき、インダクタＬには、その性質上、インダクタ電流I_Lが流れ続けるため、図４に示すように、キャパシタＣ１１およびキャパシタＣ１２それぞれから、インダクタＬに電流が流れる。そして、キャパシタＣ１１は放電し、キャパシタＣ１２は充電される。キャパシタＣ１２が充電されると、スイッチング素子Ｑ１２のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Ｑ１２をターンオンすると、ＺＶＳとなる。

[0035] （ｔ１～ｔ２）

ｔ１～ｔ２期間では、スイッチング素子Ｑ１２、Ｑ１４がオン、スイッチング素子Ｑ１１、Ｑ１３がオフである。この場合、図５に示すように、スイッチング素子Ｑ１４、スイッチング素子Ｑ１２から、インダクタＬの経路に電流が流れる。このときの電圧Ｖ１はゼロである。

[0036] タイミングｔ２では、スイッチング素子Ｑ１４がターンオフされた後、デッドタイムを挟んで、スイッチング素子Ｑ１３がターンオンされる。このデッドタイムでは、図４での説明と同様、キャパシタＣ１４は放電し、キャパシタＣ１３は充電される。キャパシタＣ１３が充電されることで、スイッチング素子Ｑ１３のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Ｑ１３をターンオンすると、ＺＶＳとなる。

[0037] （ｔ２～ｔ３）

ｔ２～ｔ３期間では、スイッチング素子Ｑ１２、Ｑ１３がオン、スイッチング素子Ｑ１１、Ｑ１４がオフである。タイミングｔ２で、スイッチング素

子Ｑ１３をターンオンした直後は、図６に示すように、直流電源Ｅ１、スイッチング素子Ｑ１２、インダクタＬ、第２フルブリッジ回路２０、スイッチング素子Ｑ１３、直流電源Ｅ１の経路に電流が流れる。この電流は、直流電源Ｅ１に逆流することになり、その結果、図７に示すように、直流電源Ｅ１、スイッチング素子Ｑ１３、第２フルブリッジ回路２０、インダクタＬ、スイッチング素子Ｑ１２、直流電源Ｅ１の経路に電流が流れるようになる。この期間の電圧Ｖ１は、ｔ０～ｔ１期間と逆極性となる。

[0038] また、タイミングｔ３では、スイッチング素子Ｑ１２がターンオフされた後、デッドタイムを挟んで、スイッチング素子Ｑ１１がターンオンされる。そして、図４での説明と同様、キャパシタＣ１２は放電し、キャパシタＣ１１は充電される。そして、キャパシタＣ１１が充電されることで、スイッチング素子Ｑ１１のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Ｑ１１をターンオンすると、ＺＶＳとなる。

[0039] （ｔ３～ｔ０）

ｔ３～ｔ０期間では、スイッチング素子Ｑ１１、Ｑ１３がオン、スイッチング素子Ｑ１２、Ｑ１４がオフである。この場合、図８に示すように、インダクタＬ、スイッチング素子Ｑ１１、スイッチング素子Ｑ１３の経路に電流が流れる。このときの電圧Ｖ１はゼロである。

[0040] タイミングｔ０では、スイッチング素子Ｑ１３がターンオフされた後、デッドタイムが設けられて、スイッチング素子Ｑ１４がターンオンされる。そして、図４での説明と同様、キャパシタＣ１３は放電し、キャパシタＣ１４は充電される。キャパシタＣ１４が充電されることで、スイッチング素子Ｑ１４のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Ｑ１４をターンオンすると、ＺＶＳとなる。そして、図３の状態に遷移する。

[0041] 上記のようにスイッチング制御することで、電圧Ｖ１は、図２に示す波形のように、遷移する。また、制御回路３０が、第２フルブリッジ回路２０をスイッチング制御することで、電圧Ｖ２は、図２に示す波形のように遷移す

る。上記のように、第１フルブリッジ回路１０と、第２フルブリッジ回路２０とは、位相差δでスイッチング制御されるため、電圧Ｖ１の立ち上がりと、電圧Ｖ２の立ち上がりとの位相差は、δである。

[0042] ＜３．ＤＣ－ＤＣコンバータの出力電力について＞

制御回路３０は、各スイッチング素子の位相を制御して、ＤＣ－ＤＣコンバータ１の出力電力を制御する。

[0043] ここで、電圧Ｖ１と電圧Ｖ２とが、互いに逆極性となる極性反転期間を、τ_cで表す。また、第１フルブリッジ回路１０の電圧出力期間を、τ_1で表す。第２フルブリッジ回路２０の電圧出力期間を、τ_2で表す。τ_1、τ_2、τ_cは、時間を角度（ラジアン）表記したものである。

[0044] 制御回路３０は、スイッチング周波数ｆと、極性反転期間τ_cとを一定に保ちつつ、電圧出力期間τ_1、τ_2を変更させることで、ＤＣ－ＤＣコンバータ１からの出力電力を制御する。τ_1は、第１フルブリッジ回路１０の各スイッチング素子の位相を制御することで、変更される。また、τ_2は、第２フルブリッジ回路２０の各スイッチング素子の位相を制御することで、変更される。

[0045] 固定値であるτ_cは、各スイッチング素子をＺＶＳできるように設定される。そのために、τ_cは、以下の式（１）の条件を満たす必要がある。

[数3]

$$\tau_c \geqq \frac{I_{ref} \cdot L}{Vx} \qquad \cdots (1)$$

[0046] 上記の式（１）において、Ｌは、図３などのインダクタＬのインダクタンスである。Ｖｘは、直流電源Ｅ１の電源電圧（図１参照）である。

[0047] また、I_{ref}は、ＺＶＳを実現するために必要なインダクタ電流I_Lの電流値である。上記のように、例えば、タイミングｔ２のデッドタイムにおいて、キャパシタＣ１４が放電し、キャパシタＣ１３が充電した後に、スイッチング素子Ｑ１３のドレイン・ソース間電圧がゼロであれば、スイッチング素子

Ｑ１３のターンオンはＺＶＳとなる。つまり、インダクタＬのエネルギーは、少なくとも、キャパシタＣ１３、Ｃ１４それぞれに蓄積されるエネルギー以上であれば、スイッチング素子Ｑ１３をＺＶＳできる。このためには、以下の式（２）が成り立つ必要がある。

[数4]

$$\frac{1}{2}LI_L^2 \geqq \frac{1}{2}\cdot 2CVx^2 \quad \cdots(2)$$

[0048] 式（２）において、I_LはインダクタＬに流れるインダクタ電流である。Ｃは、キャパシタＣ１１～Ｃ１４それぞれのキャパシタンスである。そして、式（２）は、以下の式（３）に変換される。なお、式（３）のαは補正係数であり、必要に応じて適宜値が設定される。ここでは、α＝１とする。

[数5]

$$I_L \geqq \alpha\cdot Vx\sqrt{\frac{2C}{L}} \quad \cdots(3)$$

[0049] インダクタ電流I_Lが、式（３）のα・Ｖｘ√（２Ｃ／Ｌ）以上であると、スイッチング素子のＺＶＳが可能となる。つまり、閾値電流I_{ref}は、α・Ｖｘ√（２Ｃ／Ｌ）で表すことができる。そして、スイッチング素子をターンオンする各タイミングで、$|I_L| \geqq |I_{ref}|$の条件を満たせば、各スイッチング素子のＺＶＳが可能となる。

[0050] 次に、ＤＣ－ＤＣコンバータ１の出力電力をＰで表し、$\tau_1=\tau_2=\tau$で表すと、電力Ｐは、以下の式（４）で表すことができる。

[数6]

$$P = \frac{Vx\cdot Vy}{2\pi L\omega}[-3\tau^2+4(\tau_C+\pi)-2\tau_C^2-2\pi\tau_C-\pi^2] \quad \cdots(4)$$

ここで、Ｖｙは、直流電源Ｅ２の電源電圧（図１参照）である。

[0051] 式（４）において、Ｖｘ、Ｖｙは既知である。τ_cは、上記の式（１）で表される。また、電力Ｐは、ＤＣ－ＤＣコンバータ１から出力したい目標値であり、既知である。したがって、ＤＣ－ＤＣコンバータ１から出力したい電力の目標値が与えられると、式（４）の逆関数から、τ（$=\tau_1=\tau_2$）を算出することができる。

[0052] 制御回路３０は、τ_1、τ_2が、式（４）から得られたτとなるように、第１フルブリッジ回路１０および第２フルブリッジ回路２０それぞれを、スイッチング制御する。これにより、ＤＣ－ＤＣコンバータ１からは、目標の電力Ｐが出力される。

[0053] 以上のように、本実施形態では、スイッチング周波数ｆを固定にして、ＤＣ－ＤＣコンバータ１の出力制御を行っているため、スイッチング周波数が高くなることによるスイッチング損失の増大を抑制できる。さらに、スイッチング周波数が上昇することがないため、素子、特にインダクタＬの発熱を低減できる。また、出力制御の際に変更させるτ_1、τ_2は、インダクタＬに閾値電流I_{ref}以上のインダクタ電流I_Lが流れるように設定しているため、各スイッチング素子のＺＶＳを実現できる。その結果、高効率な電力変換が実現できる。この制御は、複雑な制御を必要としないため、簡易な制御でＺＶＳ動作を行い、スイッチング損失を低減することができる。

[0054] ＜４．変形例＞

以上、本発明の一実施形態について説明したが、本発明は、上記の実施形態に限定されるものではない。

[0055] 上記の実施形態では、式（４）において、$\tau=\tau_1=\tau_2$を条件としているが、τ_1と、τ_2とが異なっていてもよい。この場合、以下の式（５）を用いて、目標の電力Ｐを出力するための、τ_1と、τ_2とを算出することができる。

[数7]

$$P = \frac{Vx \cdot Vy}{2\pi L\omega}[\,2\tau_c^2 - 2\tau_2\tau_c - 2\tau_1\tau_c + 2\pi\tau_c + \tau_2^2 + \tau_1\tau_2 - 2\pi\tau_2 + \tau_1^2 - 2\pi\tau_1 + \pi^2\,] \quad \cdots (5)$$

[0056] また、上記の実施形態では、スイッチング周波数ｆと、極性反転期間τ$_c$を一定に保っている。但し、他の例として、スイッチング周波数ｆは一定に保ち、極性反転期間τ$_c$は一定以上に保ちつつ、電圧出力期間τ$_1$、τ$_2$を変更させることで、ＤＣ－ＤＣコンバータ１からの出力電力を制御してもよい。

[0057] また、上記の実施形態では、入出力端子ＩＯ１１、ＩＯ１２を入力側とし、入出力端子ＩＯ２１、ＩＯ２２を出力側として説明した。しかしながら、ＤＣ－ＤＣコンバータ１は双方向に電力伝送可能である。したがって、入出力端子ＩＯ１１、ＩＯ１２を出力側とし、入出力端子ＩＯ２１、ＩＯ２２を入力側とすることが可能である。この場合、上記の実施形態と同様に説明することができため、その説明を省略する。なお、ＤＣ－ＤＣコンバータ１は、双方向型でなくてもよい。

[0058] また、上記の実施形態または変形例に登場した各要素を、矛盾が生じない範囲で、適宜に組み合わせてもよい。

符号の説明

[0059] １　：ＤＣ－ＤＣコンバータ

１０　：第１フルブリッジ回路

２０　：第２フルブリッジ回路

３０　：制御回路

Ｃ１１、Ｃ１２、Ｃ１３、Ｃ１４：キャパシタ

Ｃ２１、Ｃ２２、Ｃ２３、Ｃ２４：キャパシタ

Ｄ１１、Ｄ１２、Ｄ１３、Ｄ１４：ダイオード

Ｄ２１、Ｄ２２、Ｄ２３、Ｄ２４：ダイオード

Ｅ１、Ｅ２：直流電源

ＩＬ　：インダクタ電流

ＩＯ１１、ＩＯ１２：入出力端子

ＩＯ２１、ＩＯ２２：入出力端子

Ｌ　　：インダクタ

Ｌ１　　：インダクタ

Ｑ１１、Ｑ１２、Ｑ１３、Ｑ１４：スイッチング素子

Ｑ２１、Ｑ２２、Ｑ２３、Ｑ２４：スイッチング素子

Ｔ　　：トランス

Ｖ１　　：電圧

Ｖ２　　：電圧

請求の範囲

[請求項1] 寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、４つのスイッチング素子を有する第１フルブリッジ回路と、

寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、４つのスイッチング素子を有する第２フルブリッジ回路と、

前記第１フルブリッジ回路に接続された第１巻線と、前記第２フルブリッジ回路に接続され、前記第１巻線と磁気結合する第２巻線とを有するトランスと、

前記第１巻線または前記第２巻線に直列接続されたインダクタンス成分と、

前記第１フルブリッジ回路および前記第２フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、

を備え、

スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上であり、

前記制御回路は、

スイッチング周波数を固定にして、前記第１フルブリッジ回路の出力と、前記第２フルブリッジ回路の出力とが極性反転する極性反転期間を一定以上に保ちつつ、前記第１フルブリッジ回路の電圧出力期間と、前記第２フルブリッジ回路の電圧出力期間と、を変更して、所定の電力を出力する、

ＤＣ－ＤＣコンバータ。

[請求項2] 請求項１に記載のＤＣ－ＤＣコンバータであって、

前記制御回路は、

前記第１フルブリッジ回路の電圧出力期間と、前記第２フルブリッ

ジ回路の電圧出力期間と、を等しくしつつ、変更する、

ＤＣ－ＤＣコンバータ。

[請求項3] 請求項２に記載のＤＣ－ＤＣコンバータであって、

前記制御回路は、

出力電力をＰ、前記第１スイッチング回路の電圧出力期間および前記第２スイッチング回路の電圧出力期間をτ、前記極性反転期間をτ_c、前記第１フルブリッジ回路の入力電圧をＶｘ、前記第２フルブリッジ回路の入力電圧をＶｙ、前記等価インダクタのインダクタンスをＬ、で表した場合、

[数1]

$$P = \frac{Vx \cdot Vy}{2\pi L\omega}[-3\tau^2 + 4(\tau_c + \pi) - 2\tau_c^2 - 2\pi \cdot \tau_c - \pi^2]$$

を満たすように制御する、ＤＣ－ＤＣコンバータ。

なお、上記数式に記載されるτ、τ_cは、時間を表すパラメータであって、ラジアンで表記されている。

[請求項4] 請求項１に記載のＤＣ－ＤＣコンバータであって、

前記制御回路は、

前記第１フルブリッジ回路の電圧出力期間と、前記第２フルブリッジ回路の電圧出力期間と、を異ならせて、変更する、

ＤＣ－ＤＣコンバータ。

[請求項5] 請求項４に記載のＤＣ－ＤＣコンバータであって、

前記制御回路は、

出力電力をＰ、前記第１スイッチング回路の電圧出力期間をτ_1、前記第２スイッチング回路の電圧出力期間をτ_2、前記極性反転期間をτ_c、前記第１フルブリッジ回路の入力電圧をＶｘ、前記第２フルブリッジ回路の入力電圧をＶｙ、前記等価インダクタのインダクタンスをＬ、で表した場合、

[数2]

$$P = \frac{Vx \cdot Vy}{2\pi L\omega}[\,2\tau_C^2 - 2\tau_2\tau_C - 2\tau_1\tau_C + 2\pi\tau_C + \tau_2^2 + \tau_1\tau_2 - 2\pi\tau_2 + \tau_1^2 - 2\pi\tau_1 + \pi^2\,]$$

を満たすように制御する、ＤＣ－ＤＣコンバータ。

なお、上記数式に記載されるτ_1、τ_2、τ_cは、時間を表すパラメータであって、ラジアンで表記されている。

[請求項6] 請求項１から請求項５までのいずれか一つに記載のＤＣ－ＤＣコンバータであって、

前記閾値電流は、前記等価インダクタに蓄積されるエネルギーが、２つの前記キャパシタに蓄積されるエネルギー以上となるように、設定されている、

ＤＣ－ＤＣコンバータ。

[請求項7] 請求項６に記載のＤＣ－ＤＣコンバータであって、

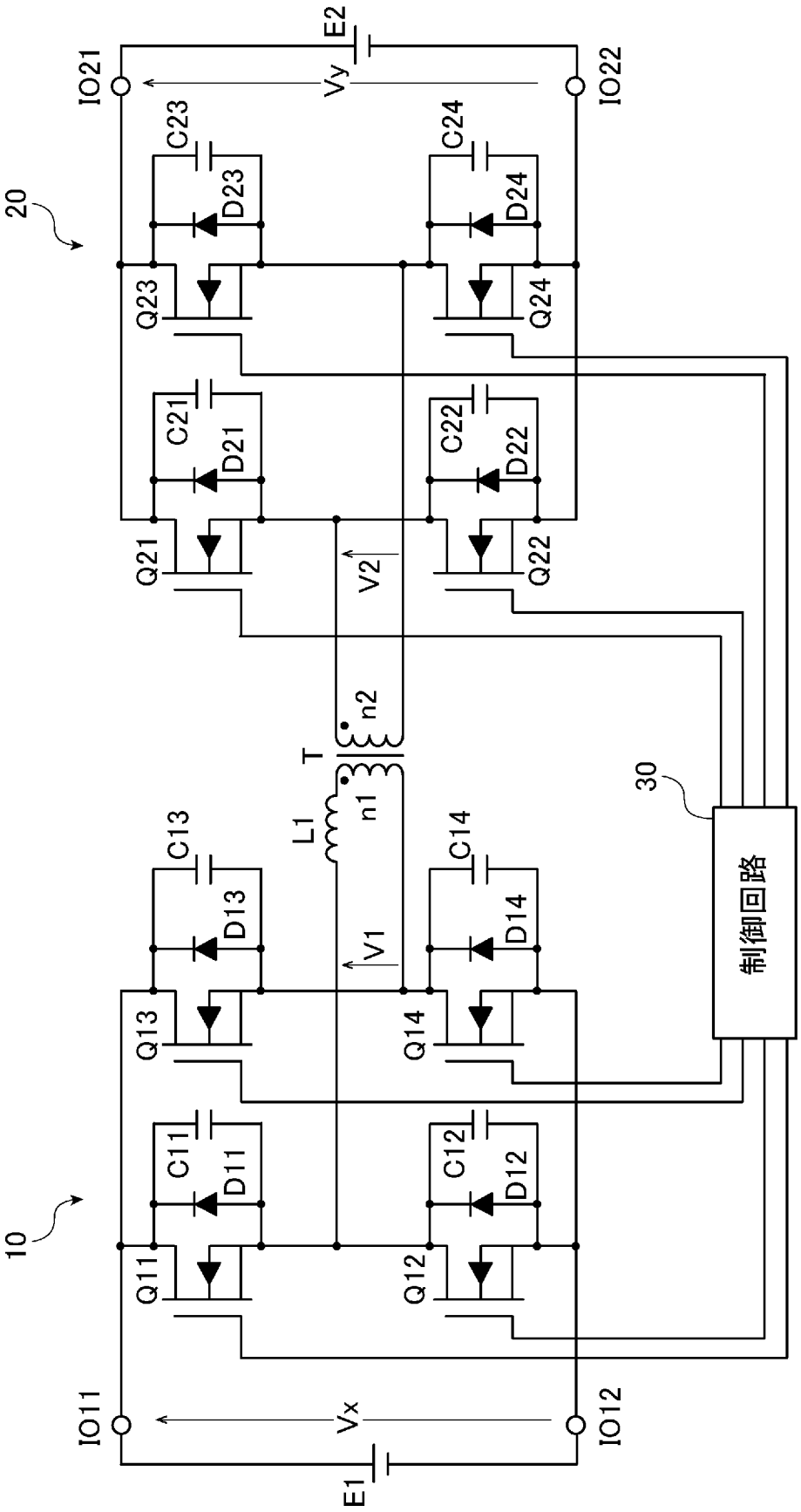
前記制御回路は、

前記閾値電流をI_{ref}、前記第１フルブリッジ回路の入力電圧をＶｘ、前記キャパシタのキャパシタンスをＣ、前記等価インダクタのインダクタンスをＬ、補正係数をαで表した場合、

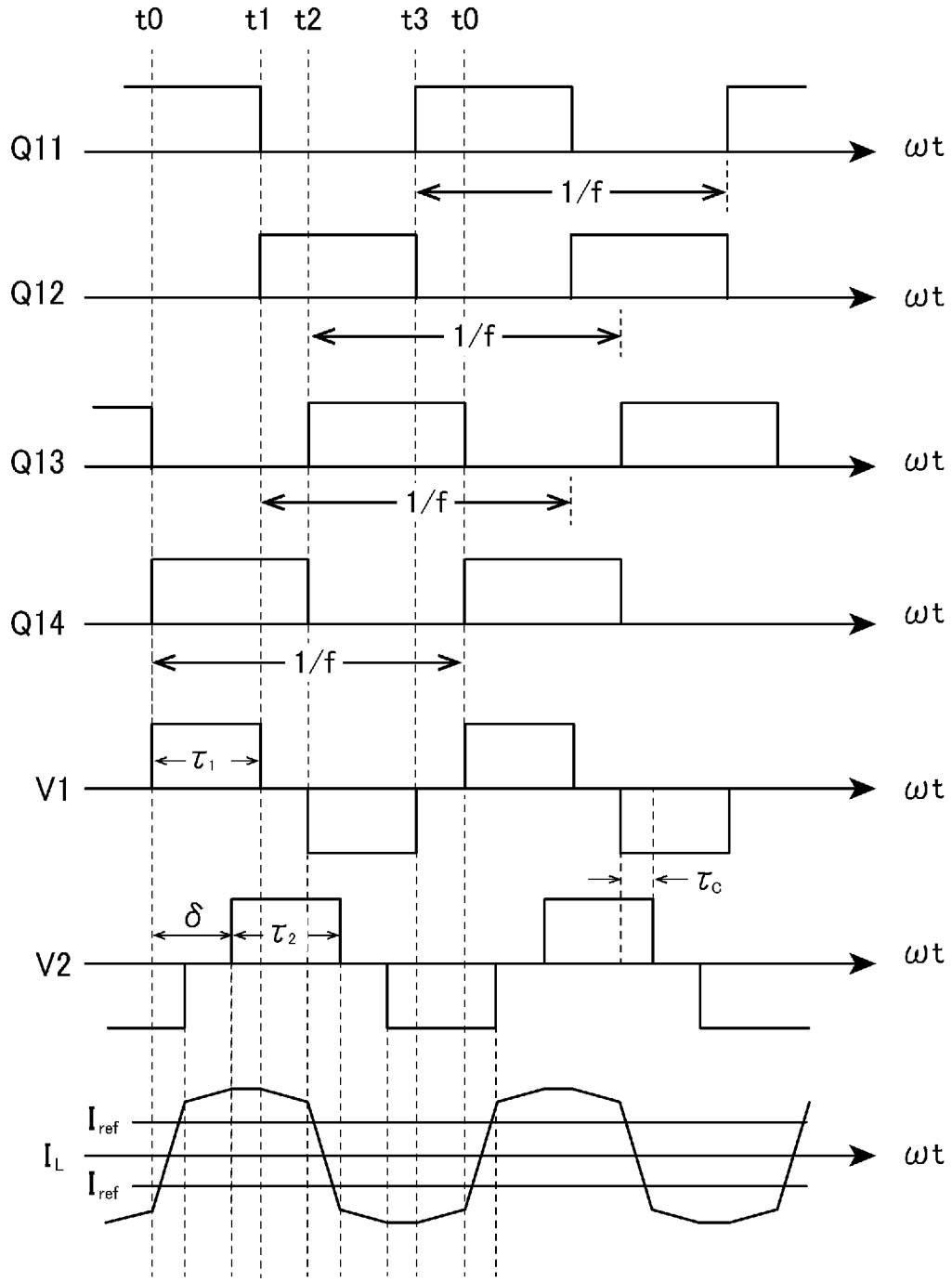
$I_{ref} = \alpha \cdot Vx\sqrt{(2C/L)}$、

を満たすように制御する、ＤＣ－ＤＣコンバータ。

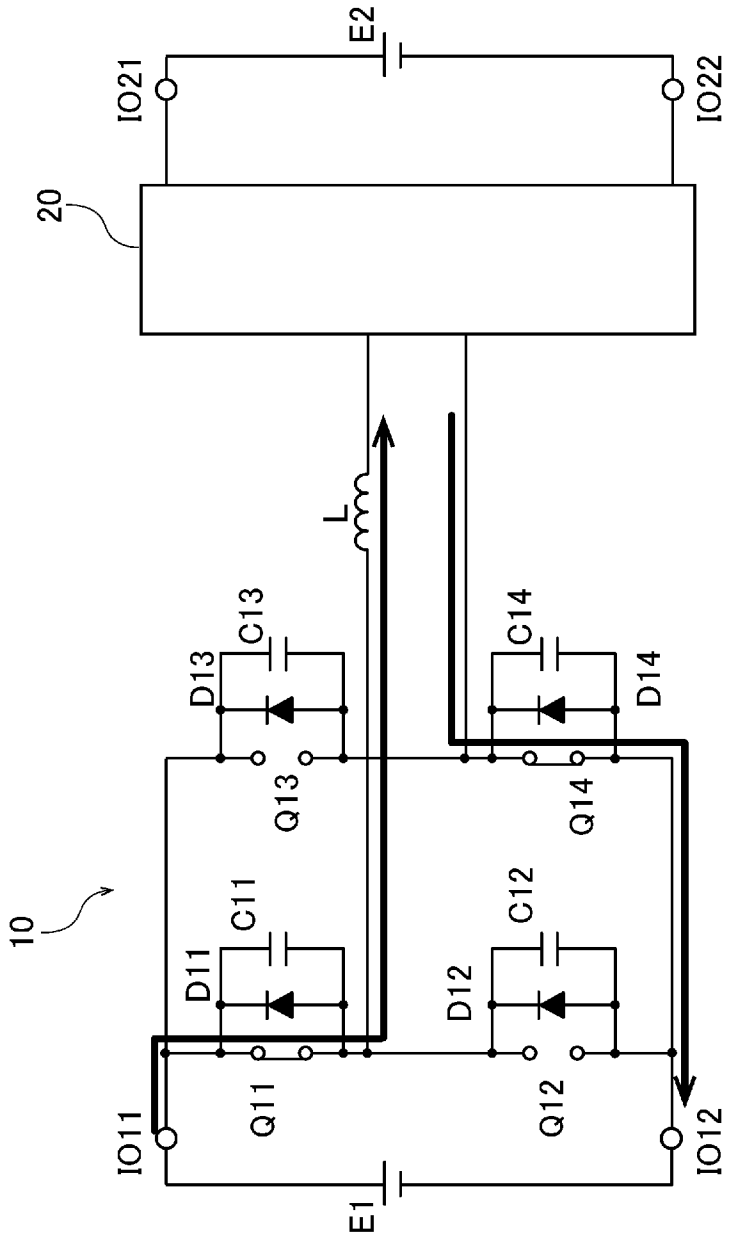
[図1]


E2
Vy
IO21
IO22
C23
C24
D23
D24
20
Q23
Q24
C21
C22
D21
D22
Q21
Q22
V2
n2
T
L1
n1
C13
C14
D13
D14
V1
30
制御回路
Q13
Q14
C11
C12
D11
D12
10
Q11
Q12
IO11
IO12
Vx
E1

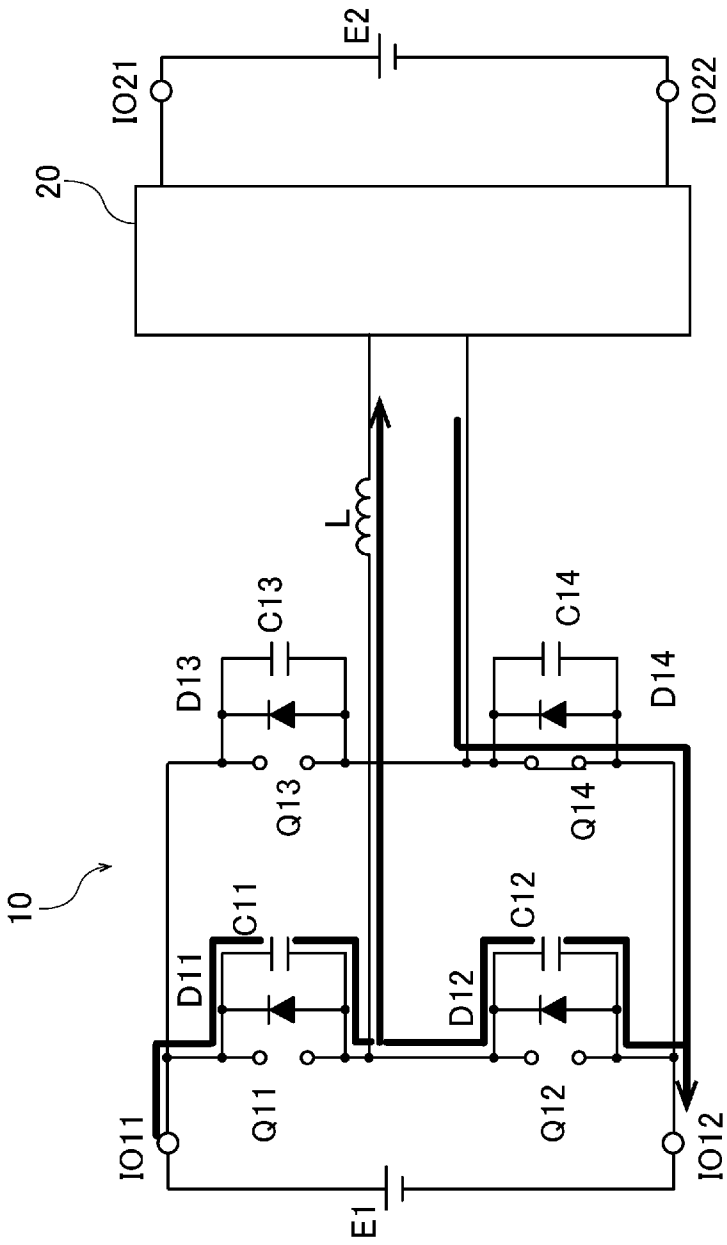
[図2]


t0
t1
t2
t3
t0
Q11
ωt
1/f
Q12
ωt
1/f
Q13
ωt
1/f
Q14
ωt
1/f
V1
ωt
τ1
τc
V2
ωt
δ
τ2
IL
Iref
Iref
ωt

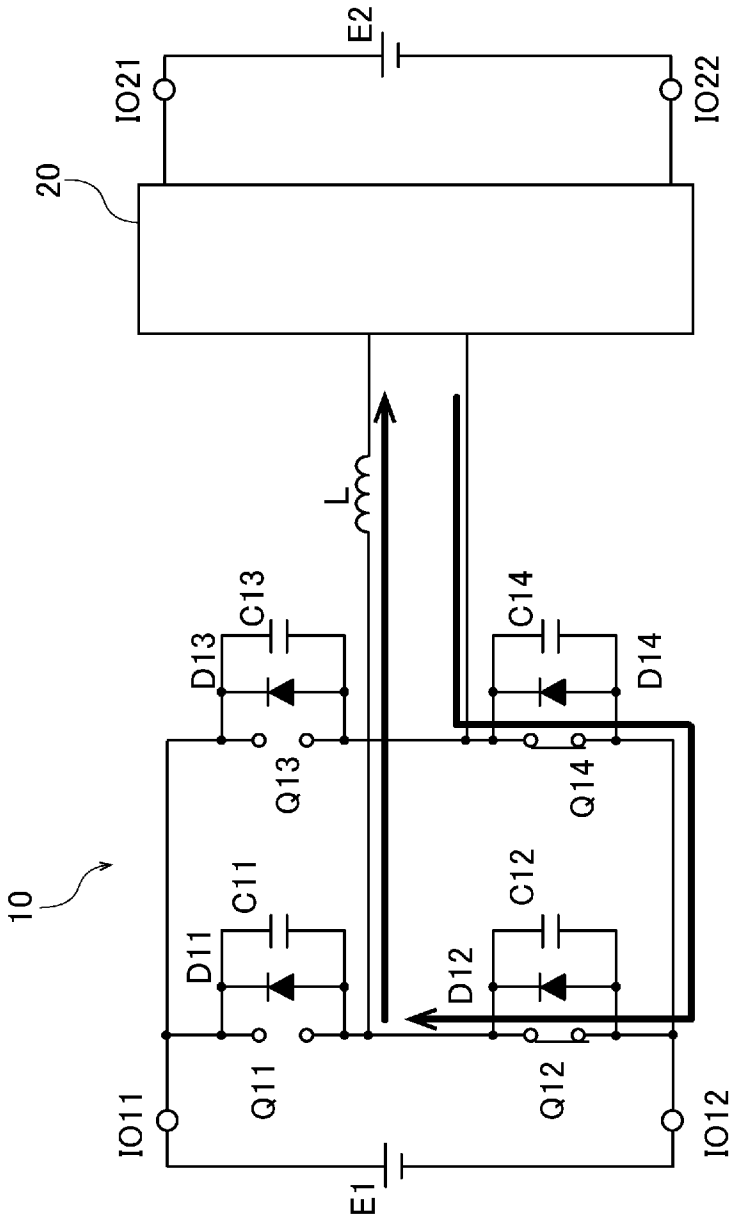
[図3]


E2
IO21
IO22
20
L
C13
D13
C14
D14
Q13
Q14
10
C11
D11
C12
D12
Q11
Q12
IO11
IO12
E1

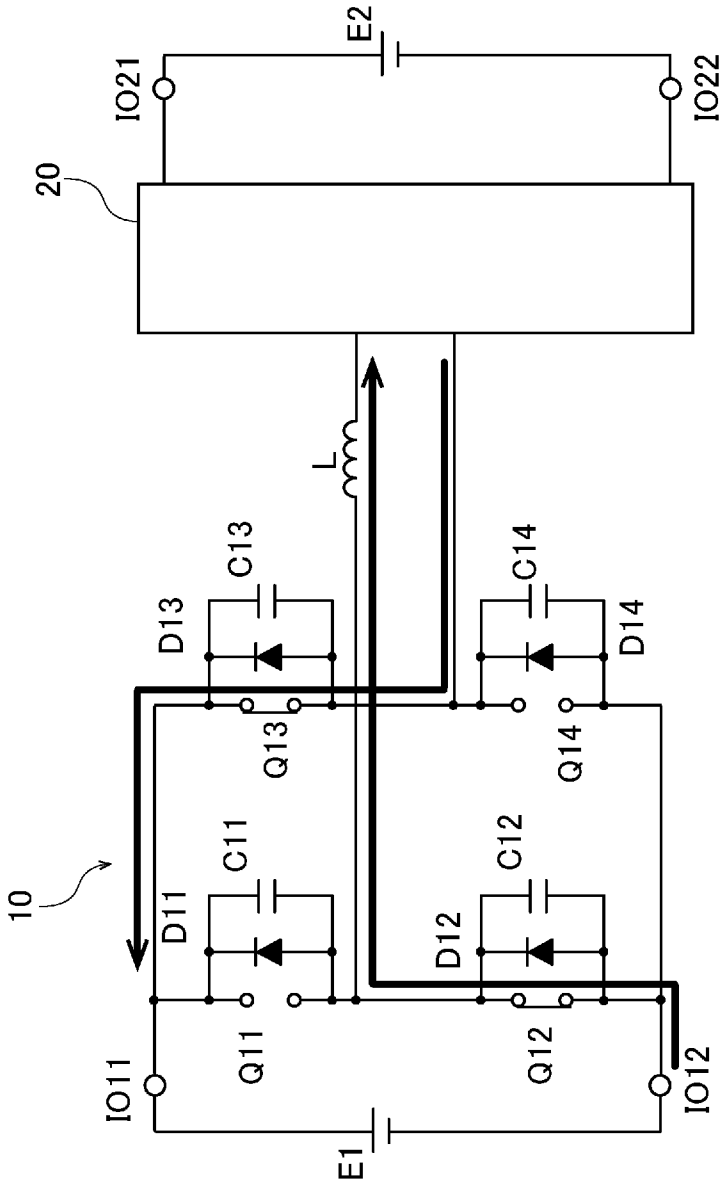
[図4]


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

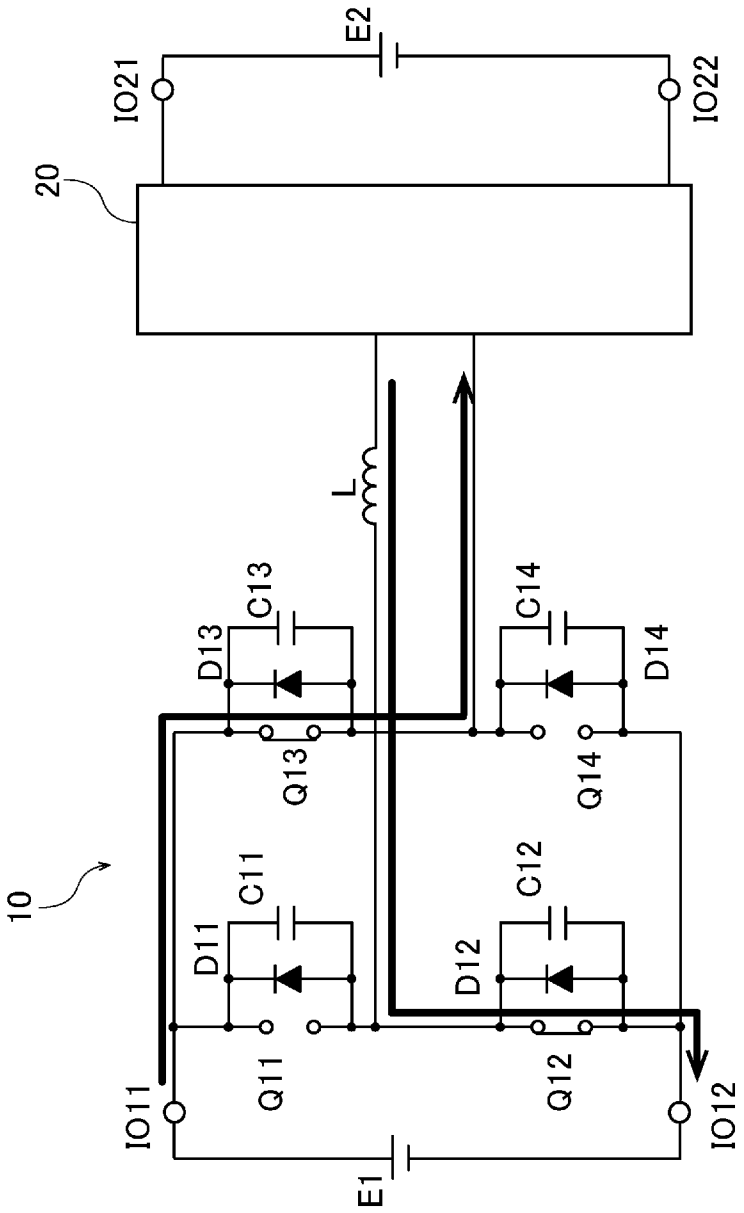
[図5]


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

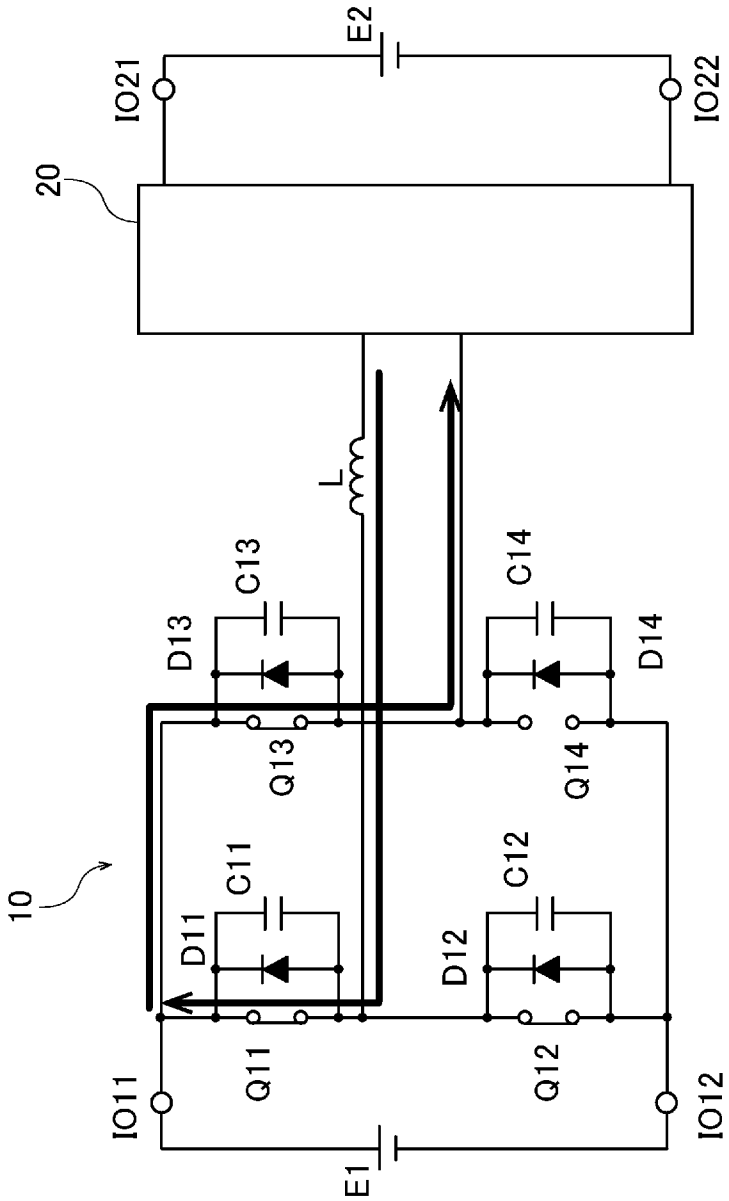
[図6]


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

[図7]


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

[図8]


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/017378

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H02M3/335(2006.01)i, H02M3/28(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H02M3/335, H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KRISMER, Florian et al., "Efficiency-Optimized High-Current Dual Active Bridge Converter for Automotive Applications", IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, vol. 59, no. 7, IEEE, July 2012, pp. 2745-2760	1-7
A	US 2011/0249472 A1 (PEREGRINE POWER LLC) 13 October 2011, paragraphs [0026], [0041], [0044], fig. 2, 5A (Family: none)	1-7
A	JP 2013-027201 A (IHI CORP.) 04 February 2013, paragraphs [0024], [0053], fig. 1, 2 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10.06.2019	18.06.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０１７３７８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/335(2006.01)i, H02M3/28(2006.01)n

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/335, H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	KRISMER, Florian et al., “Efficiency-Optimized High-Current Dual Active Bridge Converter for Automotive Applications”, IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, Vol. 59, No.7, IEEE, 2012.07, p.2745-2760	1-7
A	US 2011/0249472 A1 (PEREGRINE POWER LLC) 2011.10.13, 段落[0026], [0041], [0044], 図2, 5A（ファミリーなし）	1-7

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１０．０６．２０１９	１８．０６．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｇ　３４４９
小林　秀和
電話番号　０３－３５８１－１１０１　内線　３５２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	JP 2013-027201 A（株式会社ＩＨＩ）2013.02.04, 段落[0024], [0053], 図 1-2（ファミリーなし）	1-7