



(12)发明专利

(10)授权公告号 CN 103095143 B

(45)授权公告日 2016.08.03

(21)申请号 201210430094.7

63,73-74段,图1-4.

(22)申请日 2012.11.01

JP 特开2006-20444 A,2006.01.19,说明书第67-76段,图11.

(30)优先权数据

2011-240585 2011.11.01 JP

审查员 周权

(73)专利权人 佳能株式会社

地址 日本东京

(72)发明人 林崎实

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 罗银燕

(51)Int.Cl.

H02M 3/335(2006.01)

H02M 7/217(2006.01)

(56)对比文件

CN 102104338 A,2011.06.22,说明书第24-

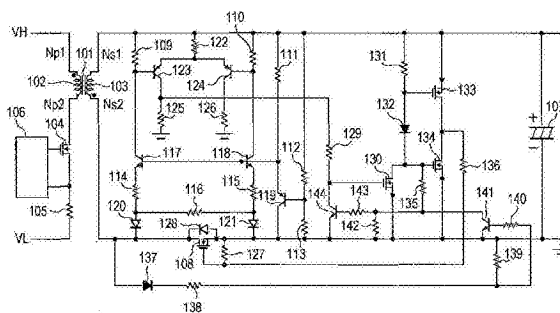
权利要求书2页 说明书8页 附图9页

(54)发明名称

电源和图像形成装置

(57)摘要

本发明涉及电源和图像形成装置。在电源中,同步整流开关对脉冲电压进行整流,并且电流-电压转换单元将同步整流开关的电压输入侧的电流转换成第一电压并将同步整流开关的电压输出侧的电流转换成第二电压。切换单元基于通过电流-电压转换单元转换的第一电压与第二电压之间的比较结果,切换同步整流开关的操作状态。状态保持单元在同步整流开关通过切换单元被关断之后保持关断状态。



1. 一种电源,包括:

变压器,包含一次绕组和二次绕组;

第一切换元件,连接至变压器的一次绕组,并被配置为切换输入到一次绕组的电压;

第二切换元件,连接至变压器的二次绕组,并被配置为切换在变压器的二次绕组中产生的电压;

第一电流-电压转换单元,被配置为将第二切换元件连接至二次绕组侧的电流转换成第一电压;

第二电流-电压转换单元,被配置为将第二切换元件电压输出侧的电流转换成第二电压;

比较单元,被配置为在第一切换元件关断的情况下比较第一电压和第二电压;

切断单元,被配置为根据来自比较单元的信号关断第二切换元件;以及

状态保持单元,连接至切断单元和第二切换元件的电压输出侧,并被配置为保持通过切断单元来关断第二切换元件的关断状态直到第一切换元件接通。

2. 根据权利要求1的电源,其中,响应于第二切换元件的连接至二次绕组侧的电压的上升,由状态保持单元保持的第二切换元件的关断状态被解除。

3. 根据权利要求1的电源,其中,第一电流-电压转换单元和第二电流-电压转换单元各自包含恒流电路。

4. 根据权利要求1的电源,还包括:电容器,连接至变压器的二次绕组,并被配置为在第二切换元件被接通的时段中使二次绕组中产生的电压平滑化。

5. 一种图像形成装置,包括:

图像形成单元,被配置为在记录材料上形成图像;

控制单元,被配置为控制图像形成单元的操作;以及

电源,被配置为给控制单元供给DC电压,

所述电源包含:

变压器,包含一次绕组和二次绕组,

第一切换元件,连接至变压器的一次绕组,并被配置为切换输入到一次绕组的电压;

第二切换元件,连接至变压器的二次绕组,并被配置为切换在变压器的二次绕组中产生的电压,

第一电流-电压转换单元,被配置为将第二切换元件连接至二次绕组侧的电流转换成第一电压,

第二电流-电压转换单元,被配置为将第二切换元件电压输出侧的电流转换成第二电压,

比较单元,被配置为在第一切换元件关断的情况下比较第一电压和第二电压,

切断单元,被配置为根据来自比较单元的信号关断第二切换元件,以及

状态保持单元,连接至切断单元和第二切换元件的电压输出侧,并被配置为保持通过切断单元来关断第二切换元件的关断状态直到第一切换元件接通。

6. 根据权利要求5的图像形成装置,其中,响应于第二切换元件的连接至二次绕组侧的电压的上升,由状态保持单元保持的第二切换元件的关断状态被解除。

7. 根据权利要求5的图像形成装置,其中,第一电流-电压转换单元和第二电流-电压转

换单元各自包含恒流电路。

8. 根据权利要求5的图像形成装置,其中,所述电源还包含:电容器,连接至变压器的二次绕组,并被配置为在第二切换元件被接通的时段中使二次绕组中产生的电压平滑化。

电源和图像形成装置

技术领域

[0001] 本发明涉及同步整流型的开关电源(switching power supply)装置。

背景技术

[0002] 如图6所示,根据现有技术的同步整流型的开关电源的例子通过使用比较器配置电路。例如,日本专利公开No.07-007928公开了被配置为使得比较器检测同步整流FET两端的电压并驱动同步整流FET的电路。在图6中,1001表示变压器,1002表示DC电源,1003表示一次侧(primary-side)MOSFET(以下,称为一次侧FET),1004表示二次侧(secondary-side)电解电容器,1005表示负载,1006表示开关控制电路,1007表示同步整流FET,并且1008表示比较器。当一次侧FET 1003接通时,能量被存储于变压器中。之后,如果一次侧FET 1003关断,那么同步整流FET 1007的源极电压上升,并且比较器1008的“+”端子电压变得比“-”端子电压高。结果,同步整流FET 1007接通,并且电流开始流动。之后,当电流变为0A并且电流开始从电容器1004的正输入端子向变压器1001反向流动时,同步整流FET 1007的负输入端子电压变得比“+”输入端子电压高,并且同步整流FET 1007的栅极电压下降。结果,同步整流FET 1007关断。因此,可以通过包含以上述方式配置的少量组件的电路控制同步整流FET。在上述的电路中,比较器可如图7所示被包含PNP晶体管和NPN晶体管的电路替代。在图7所示的电路中,同步整流FET被PNP晶体管替代。

[0003] 作为直接检测电流的替代,可像例如在日本专利No.4126558或日本专利No.4158054中公开的那样基于变压器的ET积配置电路。图8示出在日本专利No.4126558中公开的电路配置。在图8中,1201表示变压器,1202表示电源,1203表示一次侧FET,1204表示同步整流FET,1205表示二次侧电解电容器,1206表示负载,1207表示第一恒流源,1208表示电容器,1209表示第二恒流源,1210表示基准电压,1211表示比较器,并且1212和1213分别表示电阻器。恒流源1207被配置为产生与一次侧FET 1203处于接通状态的时段期间的变压器1201的电压成比例的电流。在一次侧FET 1203处于接通状态的时段期间,关于在变压器1201上出现的电压的电压-时间积被存储为电容器两端的电压。第二电流源1209被配置为产生与一次侧FET1203处于关断状态的时段期间的变压器1201的电压成比例的电流。当一次侧FET 1203关断时,开关接通并且存储于电容器1208中的电压被放电(discharge)。当电容器1208两端的电压下降到由基准电压1210确定的值时,比较器1211操作。作为响应,逻辑电路反转并且同步整流FET 1204关断。图9示出在日本专利No.4158054中公开的电路配置,其是图8所示的电路的简化版。在该电路配置中,恒流源被电阻器替代,使得电路以与日本专利No.4126558中公开的方式类似的方式操作。

[0004] 其它的已知的电路配置包含基准电压源与比较器的输入端子串联连接的配置、用作阈值的多个基准电压被设置以由此提供特性滞后的配置、以及检测从电流源流动的电流的切换(switchover)的配置。

[0005] 但是,在日本专利公开No.07-007928中公开的电路配置中,如果同步整流FET具有小的导通电阻并且其漏极-源极电压小,那么电路不正确地操作。

[0006] 特别地,当开关电源如在临界模式或不连续模式中那样以低负载操作时,流过变压器的二次侧的同步整流FET的电流下降到几乎等于0A(安培)的值,并且同步整流FET的漏极-源极电压变低。因此,如果使用的同步整流FET具有低的导通电阻,那么难以实现正确的操作。

[0007] 可通过采用具有高的导通电阻的同步整流FET避免以上的问题。但是,这种具有高的导通电阻的同步整流FET不在同步整流操作中提供高的效率。此外,具有低的导通电阻的同步整流FET成本低,这提供了以低成本制造电路的优点。近来的趋势是:通过进一步减小同步整流FET的导通电阻,增加电源的操作效率并降低成本。这意味着上述的问题将变得更严重。

[0008] 另一方面,在日本专利No.4126558和日本专利No.4158054中公开的电路配置中,不直接检测电流,因此,操作可靠性不依赖于同步整流FET的导通电阻。并且,由于电路基于积分操作,因此,电路基本上没有误操作并且电路的配置简单。但是,另一方面,必须进行阈值的设定和调整,使得同步整流FET在电流变为0A时关断。然而,在可例如在紧接着开始操作之后的短时段中出现的输出电压出现大的变化的情况下,或者,在负载出现大的变化的情况下,对电容器充电和放电的平均时间变动,因此,在同步整流FET的关断定时和0电流定时之间出现偏离。

[0009] 在日本专利No.4126558和日本专利No.4158054中公开的电路配置中的该问题是由如下事实导致的:同步整流FET的操作不是基于电流的直接检测而是基于预测被控制的,因此,操作定时必须具有余量(margin),即,必须稍早地关断同步整流FET。即,在具有这种余量的操作中,同步整流FET需要较长的体二极管(body diode)处于接通状态的时段,这导致操作效率的降低。

[0010] 并且,在同步整流FET的接通时段期间出现体二极管的正向电压。该正向电压比当电流为0A时检测到的电压大得多。因此,在通过使用比较器检测同步整流FET两端的电压的电路配置中,同步整流FET在电流变为0A之前被关断,这可导致误操作。

[0011] 鉴于以上的情况,本发明提供如下同步整流型的开关电源:所述同步整流型的开关电源能够通过使用具有低的导通电阻的开关元件正确地操作,而不导致效率的降低。

发明内容

[0012] 在一个方面中,本发明提供一种电源装置,包括:同步整流开关,被配置为对输入的脉冲电压进行整流;电流-电压转换单元,被配置为将同步整流开关的电压输入侧的电流转换成第一电压,并且将同步整流开关的电压输出侧的电流转换成第二电压;切换单元,被配置为基于通过电流-电压转换单元转换的第一电压与第二电压之间的比较结果,切换同步整流开关的操作状态;以及状态保持单元,被配置为在同步整流开关通过切换单元被关断之后保持关断状态。

[0013] 在一个方面中,本发明提供一种图像形成装置,包括:图像形成单元,被配置为在记录材料上形成图像;控制单元,被配置为控制图像形成单元的操作;以及电源,被配置为给控制单元供给DC电压,所述电源包含:同步整流开关,被配置为对输入的脉冲电压进行整流;电流-电压转换单元,被配置为将同步整流开关的电压输入侧的电流转换成第一电压,并且将同步整流开关的电压输出侧的电流转换成第二电压;切换单元,被配置为基于通过

电流-电压转换单元转换的第一电压与第二电压之间的比较结果,切换同步整流开关的操作状态;以及状态保持单元,被配置为在同步整流开关通过切换单元被关断之后保持关断状态。

[0014] 从参照附图对示例性实施例的以下描述,本发明的进一步的特征将变得明显。

附图说明

[0015] 图1是根据第一实施例的同步整流型的开关电源的电路图。

[0016] 图2是示出根据第一实施例的同步整流型的开关电源的操作波形的示图。

[0017] 图3是示出根据第一实施例的同步整流型的开关电源的操作波形的示图。

[0018] 图4是根据第二实施例的同步整流型的开关电源的电路图。

[0019] 图5是根据第三实施例的同步整流型的开关电源的电路图。

[0020] 图6是示出根据现有技术的同步整流型的开关电源的配置的示图。

[0021] 图7是根据现有技术的同步整流型的开关电源的电路图。

[0022] 图8是示出根据现有技术的同步整流型的开关电源的配置的示图。

[0023] 图9是示出根据现有技术的同步整流型的开关电源的配置的示图。

[0024] 图10A和图10B是示出开关电源的应用例子的示图。

具体实施方式

[0025] 以下描述实施例的配置和操作。注意,以下作为例子而不是限制描述实施例,即,本发明不限于实施例的细节。

[0026] 以下结合附图参照实施例详细描述本发明。

[0027] 以下描述第一实施例。

[0028] 图1示出根据第一实施例的开关电源的电路配置。在图1中,101表示变压器,102表示变压器的一次绕组(winding),103表示变压器的二次绕组,104表示设置在变压器101的一次侧的开关元件(例如,MOSFET),105表示电流检测电阻器,106表示电源控制IC(集成电路),107表示设置在变压器101的二次侧的电解电容器,并且108表示用作同步整流开关的同步整流FET。在本例子中,使用N沟道型的FET作为同步整流FET。同步整流FET 108的源极端子与二次侧电解电容器107的“-”端子连接,并且漏极端子与二次绕组103连接。注意,109、110、111、112、113、114、115、116、122、125、126、127、129、131和138分别表示电阻器,117和118表示NPN晶体管,并且119表示PNP晶体管。并且,120、121、132和137分别表示二极管。体二极管128是可与同步整流FET 108一体化形成或者可与同步整流FET 108分开设置的二极管。在本例子的电路中,在变压器的二次绕组两端产生的脉冲电压被同步整流FET 108整流并进一步被平滑化,并且得到的整流和平滑化的电压作为DC电压被输出。

[0029] 图2示出在开关电源的操作期间出现的各种部分的操作波形。当一次侧FET 104接通并且给一次绕组102施加电压时,电流开始沿从变压器101的一次绕组102到一次侧FET 104的漏极并进一步到源极的方向流动。在图2中,波形201表示一次侧FET 104的栅极与源极之间的电压波形,并且波形202表示一次侧FET 104的漏极电流 I_d 。一次侧FET 104在时段I期间处于接通状态。在该状态中,在变压器101的一次绕组102两端施加电压,使得如图2中的波形203所示,一次绕组102的端子 N_{p1} 具有比另一端子 N_{p2} 高的电势。图2中的波形203表

示变压器101的一次绕组102两端出现的电压,即 N_{p1} 与 N_{p2} 之间的电压。作为响应,在二次绕组103两端产生电压,使得端子 N_{s2} 具有比端子 N_{s1} 高的电势。作为电势差 $=E \times n_2/n_1$ 给出图2中的波形204的电势差(二次绕组103两端的电压),这里, n_1 表示一次绕组的圈数(number of turns),并且 n_2 表示二次绕组的圈数。

[0030] 在该时段I期间,同步整流FET 108的体二极管(或肖特基二极管)128防止电流流过二次侧电解电容器107。在图2中,波形205表示流过二次绕组103的电流。流过变压器101的一次绕组102的电流在一次侧FET 104处于接通状态的时段期间随时间增大。一次绕组102的电流 I_{lp} 由 $I_{lp}=E \times t_{on}/L_p$ 给出,这里, L_p 表示一次绕组102的电感(inductance),并且 t_{on} (在图2中示出)表示自一次侧FET 104的接通起经过的时间。结果, $1/2 \times L_p \times I_{lp}^2$ 的能量被存储于变压器101中。

[0031] 当已经过 t_{on} 时,一次侧FET 104关断,这导致从二次绕组103释放存储于变压器101中的能量(二次绕组103两端的电压由图2中的波形204表示)。图2中的时段II是一次侧FET 104关断并且变压器101的能量被释放到变压器101的二次侧的时段。在该时段II期间,在二次绕组103两端出现电压,使得其极性与当一次侧FET 104处于接通状态时出现的电压的极性相反。即,电压在端子 N_{s1} 处比在端子 N_{s2} 处高。结果,同步整流FET 108的体二极管(或肖特基二极管)128接通。

[0032] 二次侧电解电容器107通过如下电流被充电:所述电流流过从变压器101的二次绕组103的端子 N_{s1} 开始、并通过二次侧电解电容器107的“+”端子和“-”端子以及同步整流FET 108的源极和漏极、并返回二次绕组103的端子 N_{s2} 的路径。随着存储于变压器101中的能量被释放,流过二次侧的路径的电流 I_s 减小,直到当存储于变压器101中的所有能量已被释放时,电流 I_s 变得等于0A(时段III)。使 t (在图2中示出)表示流过变压器的二次侧的路径的电流变为0A的时间, I_{lp} 表示紧接着一次侧FET 104关断之前的电流的值, L_s 表示二次绕组的电感,并且 V_o 表示变压器的二次侧的电压,则 $V_o \times t = I_s \times L_s$,这里 $I_s = n_1/n_2 \times I_{lp}$ 。

[0033] 当已经过时间 t 时,流过二次绕组103和同步整流FET 108的电流变为0A。之后,如果同步整流FET 108进一步保持在接通状态,那么电流流过从二次侧电解电容器107的“+”端子开始、并通过二次绕组103的端子 N_{s1} 和端子 N_{s2} 以及同步整流FET 108的漏极和源极、并返回二次侧电解电容器107的“-”端子的路径。

[0034] 结果,二次侧电解电容器107的电压被施加到二次绕组103,并且一次绕组102两端的电压也用于维持回扫(flyback)电压。即,当二次侧电解电容器107两端的电压由 V_o 表示时,在一次绕组102两端出现的电压由 $V_o \times n_2/n_1$ 给出。因此,一次侧FET 104的漏极和源极之间的电压由 $E + V_o \times n_2/n_1$ 给出。

[0035] 在一次侧FET 104处于接通状态并且同步整流FET 108处于关断状态的时段中,同步整流FET 108的漏极电压为高并且源极电压为低。当一次侧FET 104关断并且沿使得二次侧电解电容器107被充电的方向在二次绕组103中产生电压和电流时,同步整流FET 108的体二极管128接通。在这种状态下,施加给同步整流FET 108的电压等于由图2中的波形206表示的变压器的二次绕组103的端子 N_{s2} 处的电压。在图3中示出时段IV中的波形206的细节。图2中的波形206与图3中的波形301对应。

[0036] 二极管121的阴极端子和二极管120的阴极端子分别与同步整流FET 108的源极和漏极连接。因此,当电流流过同步整流FET 108时,同步整流FET 108两端的电压降带来阴极

电压的变化。二极管120与包含电阻器114和晶体管117的恒流源连接,并且二极管121与包含电阻器115和晶体管118的恒流源连接。该两个恒流源电路提供由包含电阻器111、112和113与晶体管119的恒压源电路以及各二极管120和121的阴极电压确定的电流。各电流通过各电阻器110和109被转换成电压。电阻器109用作将同步整流FET 108的脉冲电压输入侧的电流转换成第一电压的电流-电压转换电路,并且电阻器110用作将同步整流FET 108的脉冲电压输出侧的电流转换成第二电压的电流-电压转换电路。第一电压从电阻器109被供给到晶体管123,并且第二电压从电阻器110被供给到晶体管124。晶体管123和124形成比较从电阻器109和电阻器110供给的电压的比较器。

[0037] 同步整流FET 108两端的电压提供体二极管128的正向电压(V_f),并且同步整流FET 108响应于包含晶体管123和124的比较器的操作而接通。当同步整流FET 108接通并且其漏极-源极电压变得等于导通电阻 $\times I_s$ 时,漏极和源极之间的电压如图3中的电压波形302所示。在这种状态下,如电流波形303所示,电流流过同步整流FET108。波形303的极性被限定,使得当电流沿从同步整流FET 108的源极到漏极的方向流动时电流为正。如从波形303可以看出的那样,电流 I_s 随时间接近0A。结果,同步整流FET 108的漏极-源极电压接近0V。例如,当同步整流FET 108的导通电阻为 $10\text{m}\Omega$ 并且某时间的电流为1.0A时,该某时间的同步整流FET 108两端的电压为接近于比较器的偏移电压(offset voltage)的 10mV 。在比较器在 $\pm 10\text{mV}$ 的范围外(偏移电压)操作的情况下,如图3中的波形304所示,同步整流FET 108在电流值处于 $I_{\text{soff}1}$ 至 $I_{\text{soff}2}$ 的范围中的时段中关断。即,同步整流FET 108在图3中的波形304的时段 t_a 中关断。在比较器在波形304中的时间 a 处以 $I_{\text{soff}1}$ 的电流操作的情况下,同步整流FET 108的体二极管128在时间 a 之后的时间接通。

[0038] 作为响应,同步整流FET 108两端的电压增大,直到它变得等于体二极管128的正向电压。结果,比较器的输入电压增大直至接近于当同步整流FET 108接通时比较器具有的先前值的电压。即,二极管121的阴极电压变得比二极管120的阴极电压低约1V。在这种状态下,流过电阻器114的电流变得比流过电阻器115的电流大,并且电阻器109两端的电压变得比电阻器110两端的电压小。结果,晶体管123的基极电压变得比晶体管124的基极电压低,并且FET 130的栅极电压上升,因此,FET 130接通,FET 133接通,并且FET 134关断。因此,同步整流FET 108接通。这使得同步整流FET 108两端的电压再次下降,并且比较器关断同步整流FET 108。上述的操作被重复,因此,同步整流FET 108不以正确的方式操作。

[0039] 为了防止不正确的操作,在本实施例中,设置附加的电阻器135、142和143与附加的晶体管144,以与FET 130一起形成状态保持电路。

[0040] 如果FET 130关断,那么FET 133和134接通并且同步整流FET108因此接通。在该操作中,FET 130的关断使得晶体管144接通。晶体管144的集电极与FET 130的栅极端子连接,使得当FET 130一旦关断时,所得到的状态被维持。这使得一旦FET 130关断可以维持关断状态,并因此变得即使当同步整流FET 108两端的电压响应于同步整流FET 108的关断增大到等于体二极管128的正向电压的值时,也可以防止同步整流FET 108再次接通。

[0041] 在本实施例中,晶体管144的基极端子与晶体管141的集电极端子连接,使得晶体管141响应于变压器101的二次绕组103的端子 N_{s2} 处的电压的上升而接通。同步整流FET 108需要在变压器101的二次绕组103的端子 N_{s2} 处的电压在上述的上升之后下降时接通。为了满足以上的要求,晶体管144在端子 N_{s2} 处的电压上升时关断,由此解除同步整流FET 108

的关断状态的保持。

[0042] 即,切换电路被设置,以切换同步整流FET 108通过状态保持电路被维持在关断状态的模式和同步整流FET 108响应于变压器的二次绕组103的端子Ns2处的电压的增大而被接通的模式。即,切换电路被配置为响应于一次侧FET 104的接通而将状态保持电路复位,并且在紧接着一次侧FET 104关断之后接通同步整流FET 108。

[0043] 在本实施例中,晶体管117与118之间的基极-发射极电压(V_{be})的差异以及二极管120和121之间的正向电压的差异可影响电流检测精度,由此,晶体管117和118要在特性上相互高度类似,并且二极管120和121要在特性上相互高度类似。通过在单个集成电路芯片上制作晶体管和二极管,可以将上述的差异减小到可忽略的小的水平。

[0044] 在本实施例中,如上所述,即使当同步整流FET具有低的导通电阻时,也可以正确地驱动同步整流FET而没有误操作。

[0045] 以下描述第二实施例。

[0046] 图4示出根据第二实施例的电路配置。以下的解释关注于与第一实施例的差异,并且与根据第一实施例的部分类似的部分的描述被省略(即,关于比较器、用于切换同步整流FET的接通/关断状态的电路、以及与根据第一实施例的电路类似的其它电路未给出描述)。

[0047] 图4所示的电路包含同步整流FET 108和被配置为控制同步整流FET 108的操作的控制电路。注意,以与根据第一实施例的方式类似的方式配置电流检测单元。即,通过使用晶体管417、电阻器414和逆流(backflow)防止二极管420配置恒流源电路,其中,晶体管417的集电极与电阻器409连接。设置包含被连接为使得电阻器415和二极管421与晶体管418的发射极串联连接的晶体管418、电阻器415和二极管421的类似的恒流源电路,其中,电阻器415被连接在地与二极管421的阴极之间。晶体管418的集电极与电阻器410连接。晶体管417和418的基极与晶体管419的发射极连接在一起,使得给晶体管417和418的基极提供恒定的电压。晶体管419的集电极接地,并且晶体管419的基极被供给通过用电阻器412和413将电源电压分压所给出的偏置电压。

[0048] 在图4中,当同步整流FET 108处于关断状态时,如果变压器的二次绕组103的端子Ns2处的电压上升,那么通过二极管439、电阻器440和电阻器441分压的电压被施加到晶体管442的基极端子。结果,晶体管442接通。这使得晶体管435的基极电压经由电阻器436下降,其使得晶体管435不能接通。在这种状态下,由于同步整流FET108处于关断状态并且体二极管(或外部肖特基二极管)128被反向偏置,因此,同步整流FET 108不接通。当一次侧FET 104(在图1中示出)关断时,二次绕组103的端子Ns2处的电压下降为低于接地电压。当该电压变得低于同步整流FET 108的体二极管(或肖特基二极管)128的正向电压时,体二极管128接通并且电流流过其中。并且,二极管420也接通并且电流流过电阻器414。由于晶体管417处于共基极配置中,因此,当出现流过电阻器414的电流的增大时,发生迅速的响应,使得基本上相等的电流流过电阻器409。流过电阻器409的电流的该变化使得晶体管430经由电阻器431接通,并且同步整流FET 108因此立即接通。

[0049] 作为同步整流FET 108的接通的结果,存储于变压器中的电流被释放,并且同步整流FET 108的漏极电流因此向着0A线性减小。作为响应,包含晶体管423和424的比较器操作并且晶体管435因此被接通。

[0050] 结果,晶体管434的基极电压下降,这使得晶体管434接通,其依次使得基极电流流

动以接通晶体管435。因此,不管来自比较器的输入如何,晶体管435都保持在接通状态中。

[0051] 一旦同步整流FET 108以上述的方式关断,除非在一次侧FET104中出现下一操作,否则同步整流FET 108就保持在关断状态中。换句话说,同步整流FET 108保持在关断状态中,直到通过一次侧FET104的操作解除同步整流FET 108的关断状态。

[0052] 在本实施例中,如上所述,即使当同步整流FET具有低的导通电阻时,也可以正确地驱动同步整流FET而没有误操作。并且,由于状态的保持在一次侧FET 104的接通时段中被复位,因此,同步整流FET响应于主FET的关断迅速接通。

[0053] 以下描述第三实施例。

[0054] 图5示出根据第三实施例的电路配置。以下的解释关注于与第一实施例的差异,并且与根据第一实施例的部分类似的部分的描述被省略(即,关于比较器、用于切换同步整流FET的接通/关断状态的电路、以及与根据第一实施例的电路类似的其它电路未给出描述)。

[0055] 在图5中,比较器522被设置为比较电阻器509的电压和电阻器510的电压。通过用当一次侧FET 104(在图1中示出)接通时在二次绕组103的端子Ns2处出现的电压通过二极管525将电容器526充电,供给用于比较器522的电源电压。当一次侧FET 104接通时,在二次绕组103的端子Ns2处出现比接地端子处的电压高的电压,并且该电压通过二极管525被整流,由此将电容器526充电。在该操作中,晶体管527关断,并且同步整流FET 108、体二极管128和齐纳二极管520处于关断状态中。在该状态中,由于流过二极管537和电阻器538的电流,因此比较器522的“+”输入端子的电压比“-”输入端子的电压高,并且比较器的输出处于开状态(open state)中。但是,由于晶体管527处于关断状态中,因此没有电力被供给到晶体管532和533,并且同步整流FET 108因此保持在关断状态中。当一次侧FET104关断时,在二次绕组103的端子Ns2处产生的电压即同步整流FET108的漏极电压变得比接地端子的电压低。结果,电流流过电阻器524且晶体管527的基极电压下降,并且晶体管532和533关断。因此,同步整流FET 108接通。比接地端子电压低等于体二极管128的正向电压的值的电压被施加到同步整流FET 108的漏极端子,直到同步整流FET 108接通。在该时段期间,偏置电流经由齐纳二极管520和电阻器514流向晶体管517。这导致与电阻器509连接的比较器522的“-”端子电压的降低,并且因此比较器522的输出端子保持在开放状态中且同步整流FET 108保持在接通状态中。当同步整流FET 108处于接通状态中时,同步整流FET 108两端的电压等于其导通电阻和漏极电流的积,因此,虽然同步整流FET 108两端的电压下降,但是,同步整流FET 108的漏极电压保持低于接地端子电压。同步整流FET108两端的电压的变化通过由包含电阻器514和晶体管517的恒流源电路以及与晶体管517的集电极连接的电阻器509的组合所提供的放大功能被放大几倍,并且所得到的放大的电压被输入到比较器522。因此,比较器522在同步整流FET 108的漏极-源极电压几乎等于0V时接通。如果比较器522接通,那么二极管530接通,这导致晶体管532的基极电压以及晶体管533的基极电压的降低。结果,晶体管532关断并且晶体管533接通。因此,同步整流FET 108关断。同时,晶体管535接通并且晶体管541接通。这使得比较器522的“+”端子下降到低的电平。结果,比较器522的输出被锁定(latch)在低的电平。在该操作时段中,晶体管527仍处于接通状态中,并且晶体管527的输出用作状态保持电路的电源电压,由此状态保持电路继续操作而不解除状态的保持,直到一次侧FET再次接通。通过采用上述的配置,变得可以实现没有误操作的高度可靠的同步整流操作。

[0056] 在根据本实施例的电路中,电容器526的“-”端子与二次绕组的端子Ns1连接。作为替代方案,在从二次侧电解电容器107放电的量小的情况下,电容器526的“-”端子可与接地端子连接。

[0057] 在本实施例中,如上所述,即使当同步整流FET具有低的导通电阻时,也可以正确地驱动同步整流FET而没有误操作。并且,由于从二次绕组以专用的方式供给用于驱动同步整流FET的电力,因此使得用于驱动同步整流FET的电压即使在电源的输出电压低时也被维持为充分高。在该电路配置中,允许采用具有低的导通电阻的通用FET。

[0058] 以下描述开关电源的应用。

[0059] 根据以上描述的实施例之一的开关电源可被例如用作低压电源,所述低压电源用于给用作装置的驱动部分的马达或用作装置的控制单元的控制器(包含CPU、存储器等)供给电力。这种低压电源可被例如用作被配置为在记录材料上形成图像的图像形成装置中的电源。以下描述在图像形成装置中使用的低压电源的例子。

[0060] 图10A示出作为图像形成装置的例子激光束打印机的结构。激光束打印机10包括位于图像形成单元11中并用作其上形成潜像的图像承载部件的感光鼓12、以及被配置为用调色剂将在感光鼓上形成的潜像显影的显影单元13。在感光鼓12上显影的调色剂图像被转印到从盒子14馈送的使用作存储介质的片材(未示出)。在转印到片材的调色剂图像通过定影单元15被定影之后,片材被排出到托盘16上。图10B示出电力供给线,经由所述电力供给线给用作图像形成装置的控制单元的控制器17和用作图像形成装置的驱动单元的马达18a和18b供给电力。上述的电流谐振电源可被用于给控制器17供给电力并且还给用作图像形成装置的驱动单元的马达18a和18b供给电力的低压电源,所述控制器17包含控制图像形成装置的操作的CPU 17a。更具体而言,例如,3.3V被供给到控制器17,并且24V被供给到马达18a和18b。例如,马达18a用于驱动用于传输片材的传输辊,并且马达18b用于驱动定影单元15。并且,在使用上述的同步整流电路的电源被用作图像形成装置的低压电源的情况下,具有低的导通电阻的开关器件(同步整流FET)可被用于实现能够以高效率正确地操作的同步整流型的开关电源。

[0061] 除了图像形成装置以外,根据上述的任何实施例的电源还可被用在各种各样的装置中。

[0062] 虽然已参照示例性实施例描述了本发明,但要理解,本发明不限于公开的示例性实施例。以下的权利要求的范围要被赋予最宽的解释,以包含所有这样的修改以及等同的结构和功能。

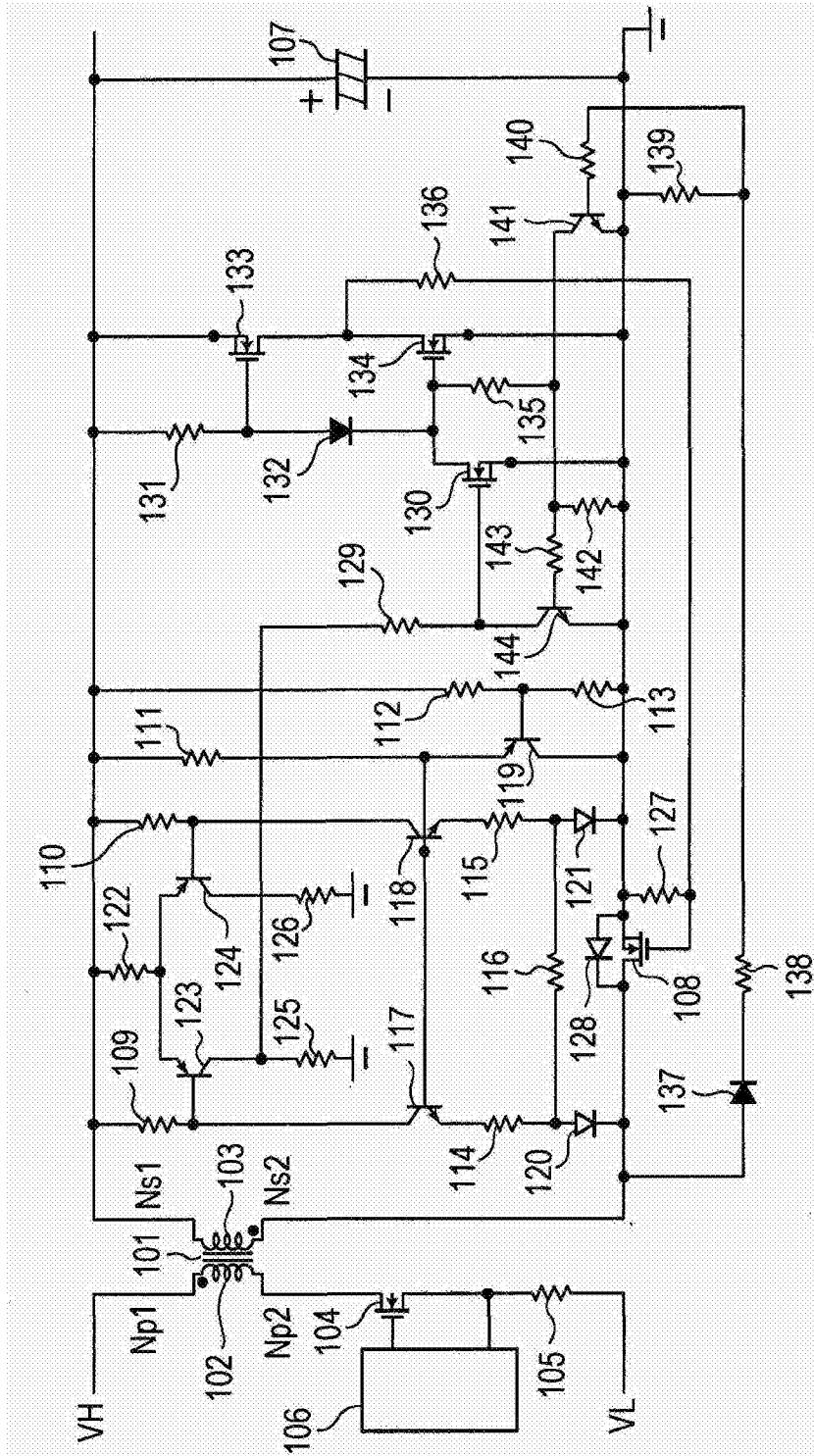


图1

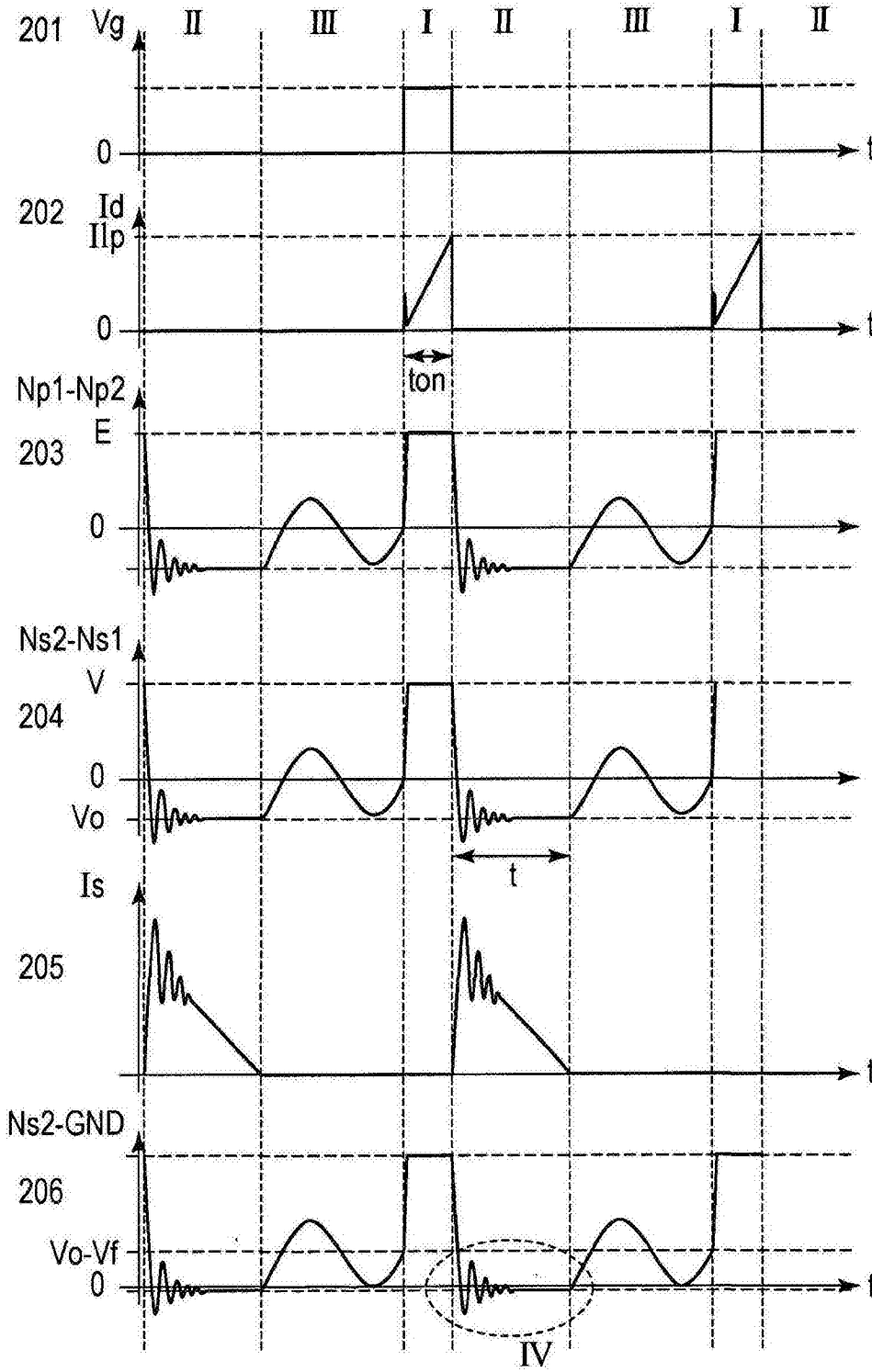


图2

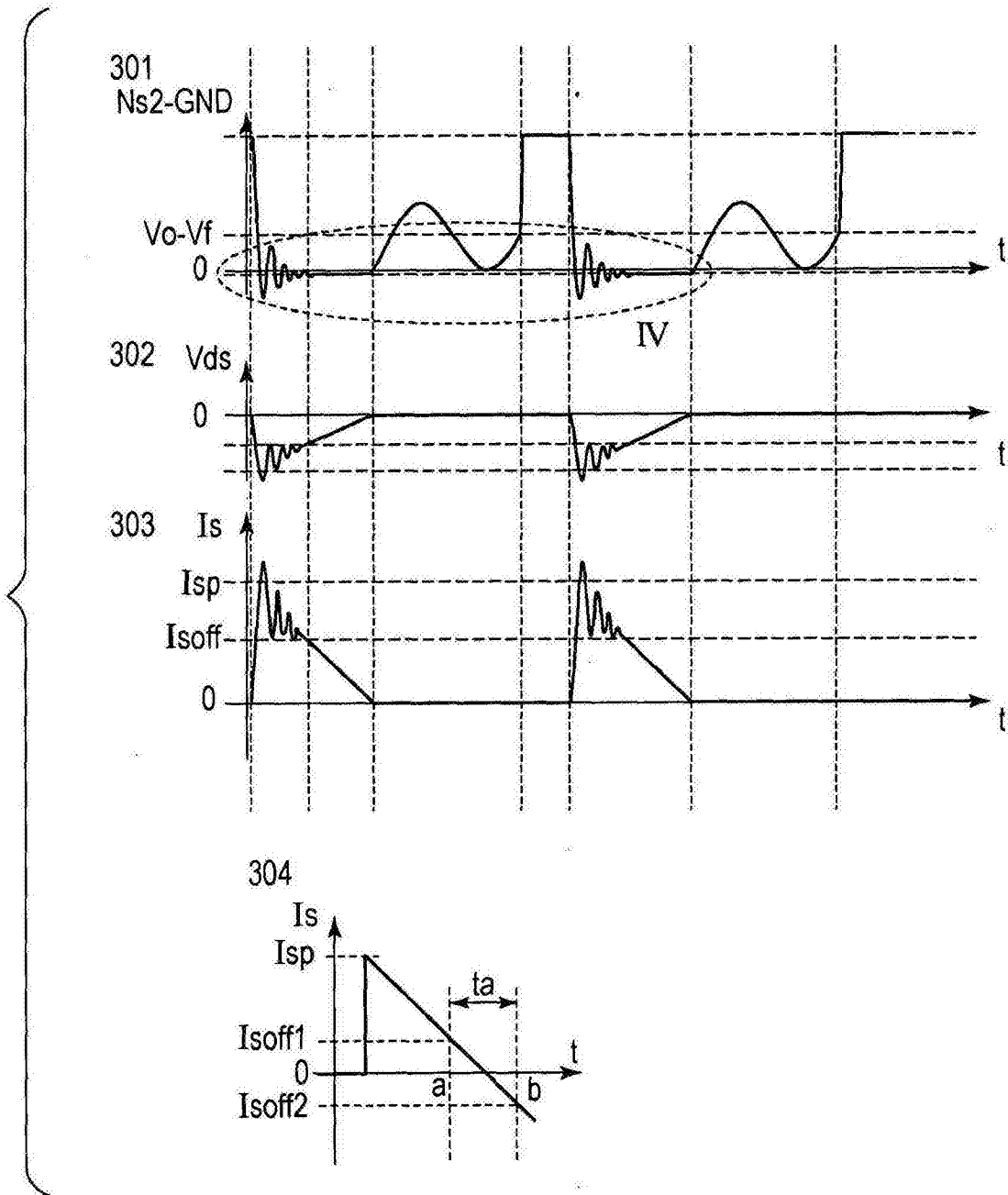


图3

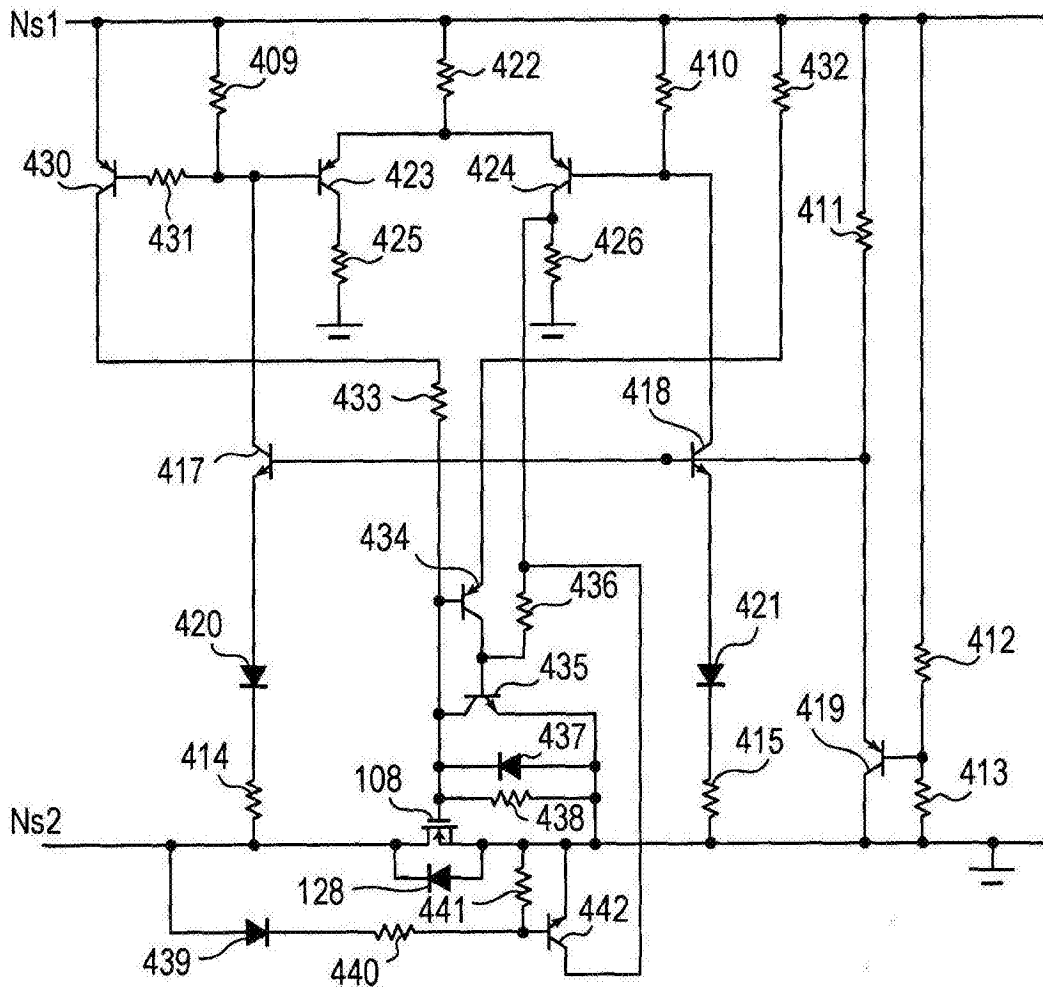


图4

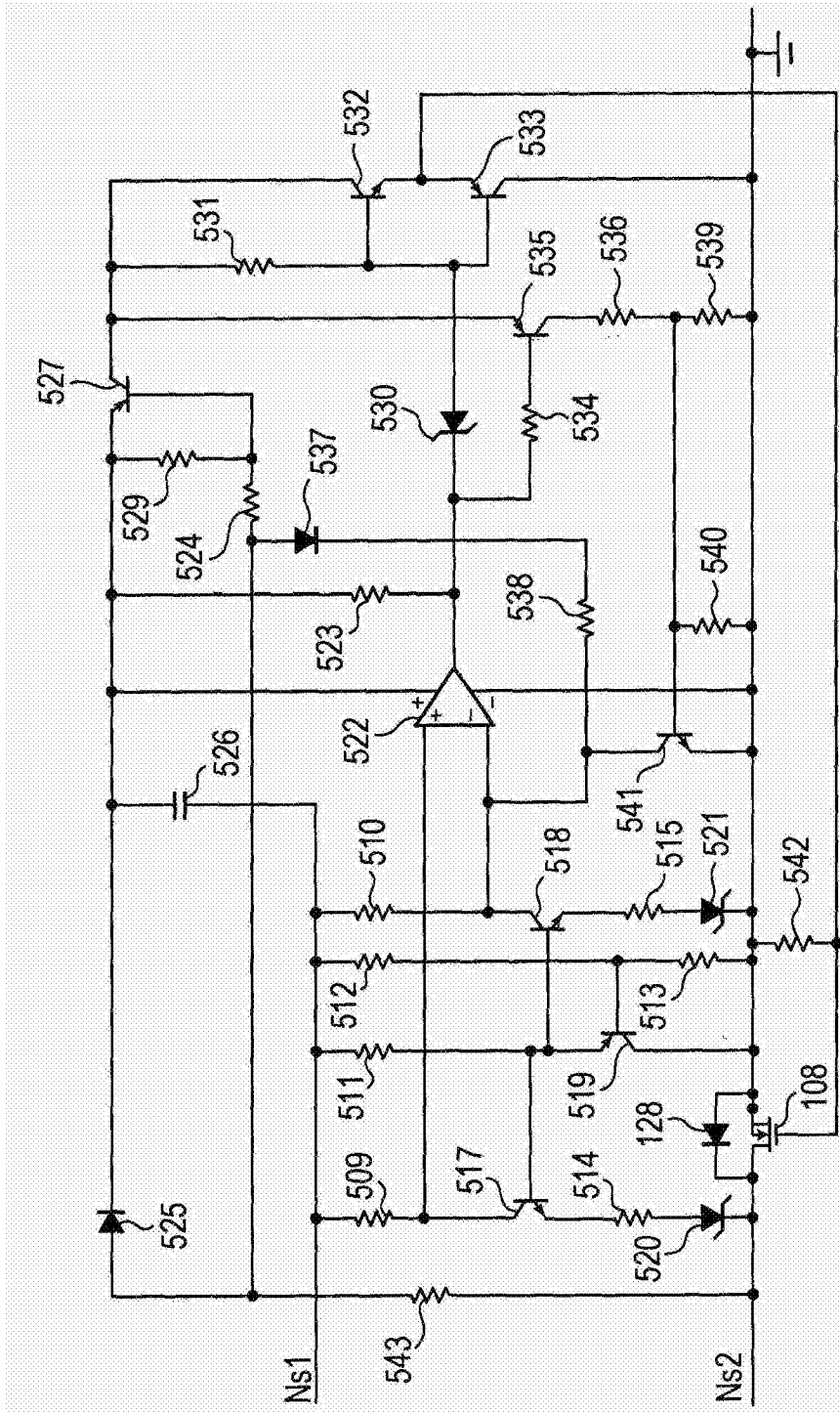


图5

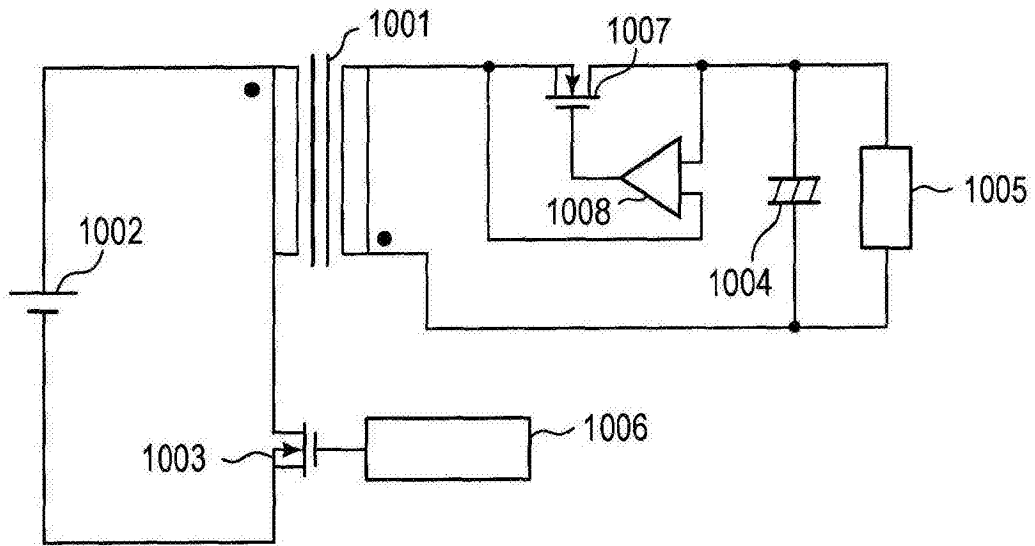


图6

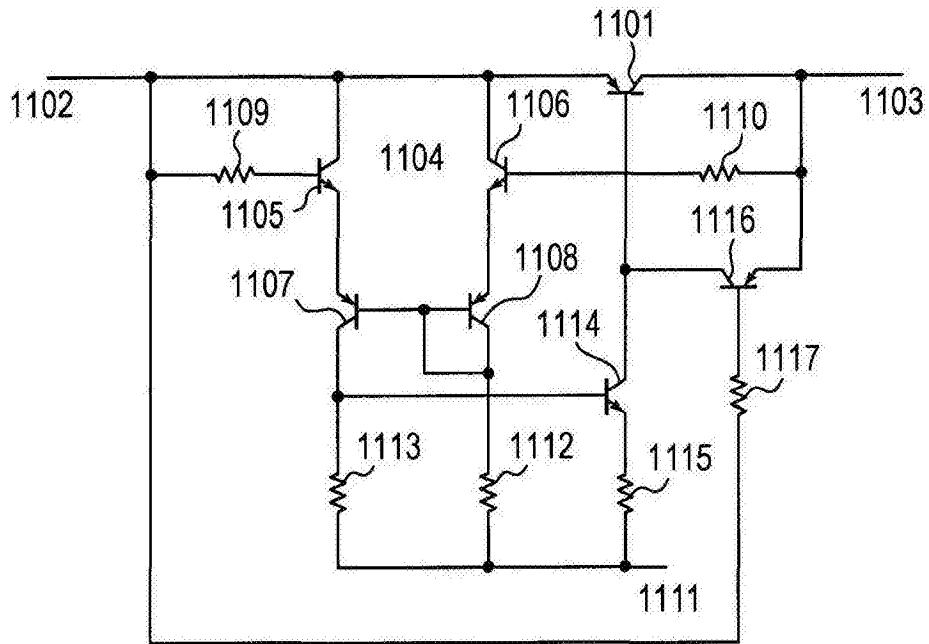


图7

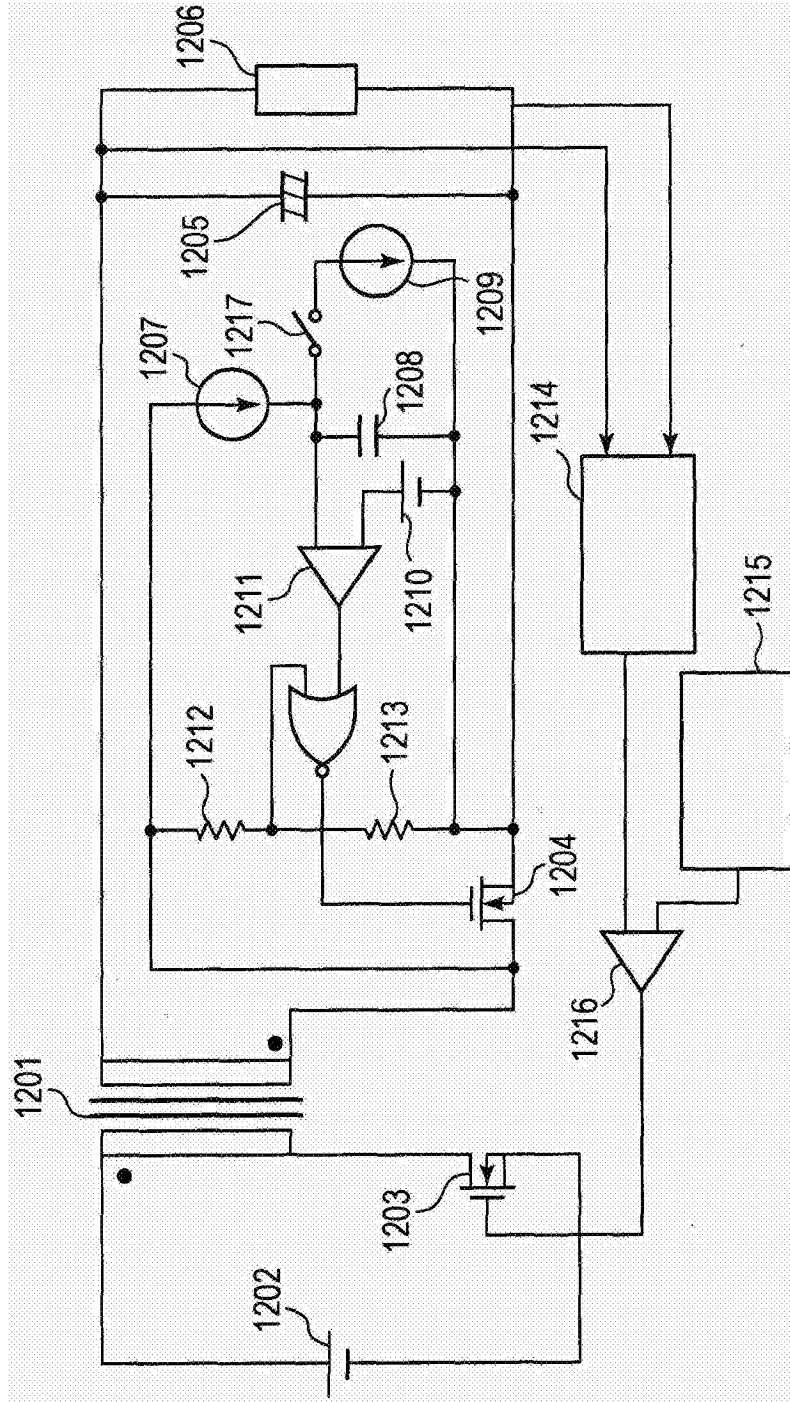


图8

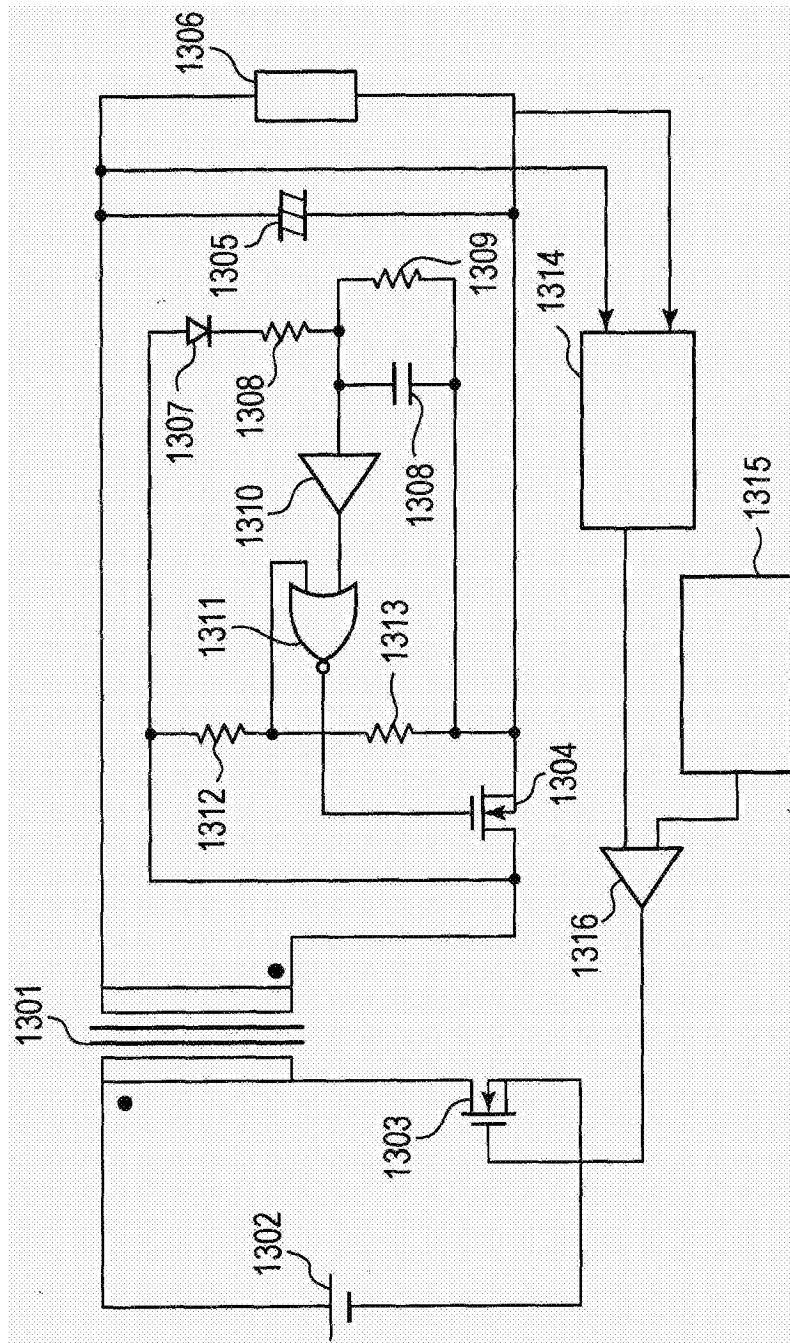


图9

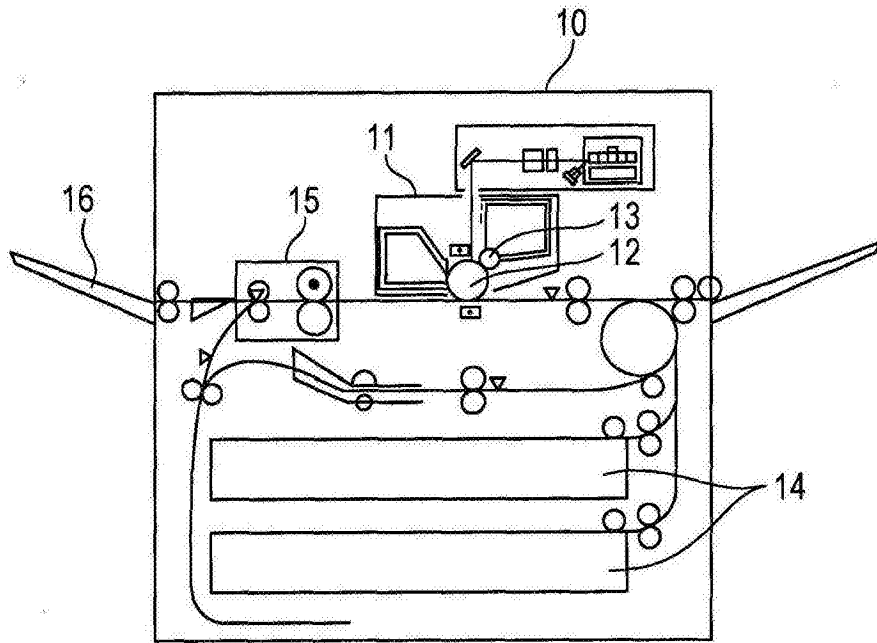


图10A

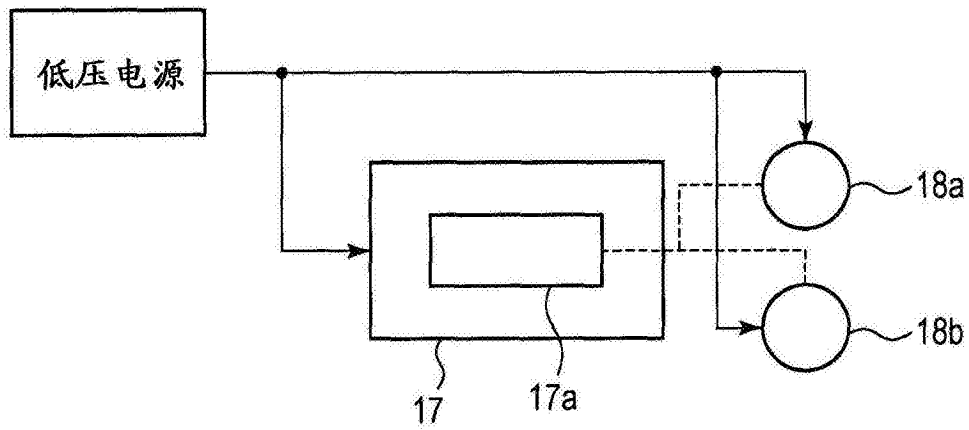


图10B