



(12) 发明专利申请

(10) 申请公布号 CN 103311117 A

(43) 申请公布日 2013. 09. 18

(21) 申请号 201310172441. 5

(22) 申请日 2013. 05. 10

(71) 申请人 中国科学院物理研究所

地址 100190 北京市海淀区中关村南三街 8 号

(72) 发明人 丁伟 郭红莲 甘霖 李志远

(74) 专利代理机构 北京泛华伟业知识产权代理有限公司 11280

代理人 王勇

(51) Int. Cl.

H01L 21/306 (2006. 01)

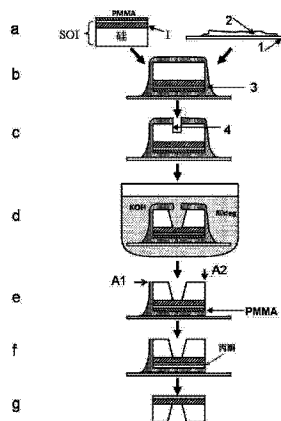
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种湿法腐蚀样品的 Si 衬底的方法

(57) 摘要

本发明提供一种湿法腐蚀 Si 衬底的方法, 包括: 1) 在与 Si 衬底相反一侧的功能层上涂覆光刻胶层, 并使其干燥; 2) 在 Si 衬底及功能层外周形成环氧树脂包裹层; 3) 在 Si 衬底侧的包裹层中形成开口, 暴露硅衬底; 4) 利用刻蚀剂对暴露的硅衬底进行腐蚀; 5) 暴露出涂覆在功能层上的光刻胶层, 使该光刻胶层溶解; 6) 使所述环氧树脂包裹层脱落。



1. 一种湿法腐蚀 Si 衬底的方法,包括:
  - 1) 在与 Si 衬底相反一侧的功能层上涂覆光刻胶层,并使其干燥;
  - 2) 在 Si 衬底及功能层外周形成环氧树脂包裹层;
  - 3) 在 Si 衬底侧的包裹层中形成开口,暴露硅衬底;
  - 4) 利用刻蚀剂对暴露的硅衬底进行腐蚀;
  - 5) 暴露出涂覆在功能层上的光刻胶层,使该光刻胶层溶解;
  - 6) 使所述环氧树脂包裹层脱落。
2. 根据权利要求 1 所述的方法,其中所述光刻胶为 PMMA。
3. 根据权利要求 1 所述的方法,其中所述光刻胶干燥后的热膨胀系数小于  $10 \times 10^{-5}/^{\circ}\text{C}$ 。
4. 根据权利要求 1 所述的方法,其中所述光刻胶为 S1813 型光刻胶。
5. 根据权利要求 1 所述的方法,其中采用机械方法在 Si 衬底侧的包裹层中形成开口。
6. 根据权利要求 1 所述的方法,其中在所述包裹层中的所述开口的深度到达 Si 衬底中。
7. 根据权利要求 1 所述的方法,其中步骤 2)中,还包括将包裹有环氧树脂包裹层的 Si 衬底和功能层粘附在载体上,且使功能层一侧朝向该载体。
8. 根据权利要求 1 所述的方法,其中步骤 5)中,通过去掉所述包裹层的至少一部分而暴露出所述光刻胶层。
9. 根据权利要求 1 所述的方法,其中该方法腐蚀的对象为硅基层状晶片。
10. 根据权利要求 1 所述的方法,其中该方法腐蚀的对象为绝缘体上锗、绝缘体上碳化硅、绝缘体上氮化硅或绝缘体上硅。

## 一种湿法腐蚀样品的 Si 衬底的方法

### 技术领域

[0001] 本发明涉及一种湿法腐蚀样品的 Si 衬底的方法,尤其涉及一种在 SOI 晶片的背面湿法腐蚀 Si 以形成开口的方法。

### 背景技术

[0002] 硅的单晶片(Silicon Wafer)是半导体工业最重要的原料,是制作集成电路(IC, Integrated Circuit)芯片的母板。硅单晶片可以被加工成层状结构的晶片(Engineered Wafer),以获得特殊的电学/光学性能。在所有的层状硅晶片中,最著名的就是绝缘体上硅晶片(SOI, Silicon On Insulator)。它由顶层的单晶硅(几百纳米至几微米),中间层的绝缘体氧化硅(2-4 微米)和底层的衬底单晶硅(几百微米)组成。利用氧化硅绝缘层隔断顶层与衬底之间的电气耦合,基于绝缘体上硅晶片的集成电路具有漏电流小、功耗低、驱动电压低、寄生电容小、响应速度快、击穿电压高、耐高温、抗辐射等一系列优点,是新一代集成电路芯片的主流技术。

[0003] 绝缘体上硅晶片的另一项重要应用是制作集成光路(PIC, Photonic Integrated Circuit)芯片。利用顶层高折射率介质与中间层低折射率介质形成的光波导,人们可以制作出与集成电路类似的集成光路芯片。集成光路用光波承载信息,能够克服集成电路中电子瓶颈效应对信号处理速度的限制,是未来高速集成信息处理的重要技术。绝缘体上硅晶片与目前以硅为基础的半导体 CMOS 工艺完全兼容,大大降低了集成光路芯片工业化实现的成本。因此,绝缘体上硅晶片是所有集成光路技术中最受瞩目的一种。

[0004] 绝缘体上硅晶片的制作方法大致有如下三种:

[0005] (1)注氧隔离法(SIMOX, Separation by Implantation of Oxygen),如图 1 所示,将高能的氧离子直接注入硅晶片表面下一定深度,形成氧化硅层,经过高温退火将注入的氧离子分布均匀。注氧隔离法是目前最为成熟的绝缘体上硅制作方法。

[0006] (2)键合和背面腐蚀法(BESOI, Bonding-Etchback SOI),如图 2 所示,在一块单晶硅片的表面形成氧化硅,将其与另一块单晶硅高温键合,然后进行反面腐蚀和抛光,消耗两块硅片生成一块绝缘体上硅晶片。

[0007] (3)智能剥离法(Smart Cut),如图 3 所示,在一块单晶硅的表面形成氧化膜,将高能氢离子注入氧化膜下方一定深度,将这块硅片与另一块目标单晶硅片键合起来,利用热效应在氢离子注入处形成剥落,剥落下来的部分经过抛光形成层状的绝缘体上硅晶片,而另一部分则继续进行“氧化-氢离子注入-键合-剥落”处理,制作下一块绝缘体上硅晶片。

[0008] 由上可知,所有的绝缘体上硅晶片都包含一层几微米厚的氧化硅和其下方几百微米厚的单晶硅衬底。在集成光路的设计中,硅衬底是不起作用的,不构成光波导的任何部分。可是,对硅基 CMOS 工艺而言,这层衬底保证了绝缘体上硅晶片可以被现有的工业标准兼容。而且,衬底提供了芯片所需的机械强度。目前最厚的氧化硅绝缘层只有 4 微米,氧化层材料的致密性也不是太好,光靠氧化硅绝缘层是无法为光波导回路提供机械支撑的。

[0009] 然而,在某些特殊设计的集成光路中,人们希望在芯片的某些区域除掉衬底,以免阻挡光波导层中的器件向下方辐射,如图 4 中所示。这样一个经过“开窗”处理的绝缘体上硅晶片为立体式的集成光路布局提供了可能,从而可能打破现有集成光路技术局限于二维平面的限制,为高密度集成光路芯片设计提供了新的思路。同时,还希望经过处理后的芯片的主体材料仍然是硅,这样,可以与现有 CMOS 工业标准兼容。

[0010] 为了除去硅衬底,常用的方法有干法刻蚀和湿法腐蚀。干法刻蚀的缺点是需要使用价格昂贵的微加工设备,刻蚀选择比小(小于 150),处理过程产生大量有害气体( $Cl_2$ , HBr, HCl 等),刻蚀过程无法实时监控。

[0011] 湿法腐蚀在设备和时间成本等方面较干法刻蚀有较大优势。湿法腐蚀的刻蚀速度约 2-4 微米/分钟(沿单晶硅 $\langle 100 \rangle$ 方向,即垂直于绝缘体上硅晶片的方向),对硅和氧化硅的腐蚀选择比为 1000:1,腐蚀过程不产生有害气体,而且可以进行实时监控。现有的半导体工艺中常用强碱作为硅薄膜材料的腐蚀剂。由于 SOI 晶片背面的硅衬底的厚度远大于半导体工艺中常用的硅薄膜的厚度,因此需要提高腐蚀剂的温度来加快腐蚀速度以降低时间成本,但腐蚀硅时常用的抗蚀剂材料,如光刻胶等,难以耐得住高温下的强碱,因此现有的半导体工艺中常用的湿法腐蚀工艺难以用到对 SOI 晶片的腐蚀中。而且当绝缘体上硅晶片的 Si 衬底被腐蚀掉以后,晶片顶端的“硅-氧化硅”形成非常薄的薄膜(几微米厚),极易损坏。

## 发明内容

[0012] 本发明提出一种腐蚀方法,可用于腐蚀绝缘体上硅晶片背面的硅衬底,可利用高温下的强碱作为腐蚀剂以提高腐蚀速度,且同时能够避免对晶片顶端的“硅-氧化硅”层的损坏。

[0013] 本发明提供一种湿法腐蚀 Si 衬底的方法,包括:

[0014] 1) 在与 Si 衬底相反一侧的功能层上涂覆光刻胶层,并使其干燥;

[0015] 2) 在 Si 衬底及功能层外周形成环氧树脂包裹层;

[0016] 3) 在 Si 衬底侧的包裹层中形成开口,暴露硅衬底;

[0017] 4) 利用刻蚀剂对暴露的硅衬底进行腐蚀;

[0018] 5) 暴露出涂覆在功能层上的光刻胶层,使该光刻胶层溶解;

[0019] 6) 使所述环氧树脂包裹层脱落。

[0020] 根据本发明提供的方法,其中所述光刻胶为 PMMA。

[0021] 根据本发明提供的方法,其中所述光刻胶干燥后的热膨胀系数小于  $10 \times 10^{-5}/^{\circ}C$ 。

[0022] 根据本发明提供的方法,其中所述光刻胶为 S1813 型光刻胶。

[0023] 根据本发明提供的方法,其中采用机械方法在 Si 衬底侧的包裹层中形成开口。

[0024] 根据本发明提供的方法,其中在所述包裹层中的所述开口的深度到达 Si 衬底中。

[0025] 根据本发明提供的方法,其中步骤 2) 中,还包括将包裹有环氧树脂包裹层的 Si 衬底和功能层粘附在载体上,且使功能层一侧朝向该载体。

[0026] 根据本发明提供的方法,其中步骤 5) 中,通过去掉所述包裹层的至少一部分而暴露出所述光刻胶层。

[0027] 根据本发明提供的方法,其中该方法腐蚀的对象为硅基层状晶片。

[0028] 根据本发明提供的方法,其中该方法腐蚀的对象为绝缘体上锗、绝缘体上碳化硅、绝缘体上氮化硅或绝缘体上硅。

[0029] 本发明提供的湿法腐蚀样品的 Si 衬底的方法,可利用高温下的强碱作为腐蚀剂以提高腐蚀速度,且同时能够避免对晶片顶端的“硅-氧化硅”层的损坏。

[0030] 本发明提供的方法所加工后的 SOI 晶片,具有更为优异的光子学性能,可以为设计和制造高密度集成光电子回路提供新的可能。

#### 附图说明

[0031] 以下参照附图对本发明实施例作进一步说明,其中:

[0032] 图 1 为注氧隔离法的工艺流程示意图;

[0033] 图 2 为键合和背面腐蚀法的工艺流程示意图;

[0034] 图 3 为智能剥离法的工艺流程示意图;

[0035] 图 4 为集成光路的结构示意图;

[0036] 图 5 为根据本发明的实施例提供的方法的工艺流程示意图;

图 6a-6c 分别为 SOI 晶片的光学照片、透射和反射显微图像。

#### 具体实施方式

[0037] 为了使本发明的目的、技术方案及优点更加清楚明白,以下结合具体实施例,对本发明进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0038] 本实施例提供一种湿法腐蚀 SOI 晶片背面的 Si 衬底的方法,该 SOI 晶片包括硅衬底及其上的“硅-氧化硅”层,其流程如图 5 所示,包括:

[0039] 1) 用丙酮、乙醇、去离子水依次清洗绝缘体上硅(SOI)晶片表面,然后用氮气吹干;

[0040] 2) 在 SOI 晶片顶面(距离氧化硅层 I 较近的一面)涂覆一层 1 微米厚的 PMMA 电子束光刻胶,匀胶机的转速约 2000 转/分钟,时间 20 秒,将涂胶后的 SOI 晶片在热盘上烘干,温度 180 摄氏度,时间 60 秒,去除光刻胶中残留的溶剂,如图 5-a 中左图所示;

[0041] 3) 如图 5-a 中右图所示,在一块载玻片 1 上涂覆环氧树脂胶 2,将 SOI 晶片放在环氧树脂胶 2 上,且使 SOI 晶片的顶面面对载玻片 1,然后继续在 SOI 晶片的背面涂覆环氧树脂,使 SOI 晶片包裹在环氧树脂中,5 到 10 分钟后,环氧树脂固化,形成严密的半透明状的环氧树脂包裹层 3,如图 5-b 所示;

[0042] 4) 用机械钻在 SOI 晶片背面(距离氧化硅层 I 较远的一面)的环氧树脂包裹层 3 中钻出孔 4,该孔 4 穿过环氧树脂包裹层 3 并达到 SOI 晶片背面的硅衬底中,如图 5-c 所示;

[0043] 5) 将步骤 4) 得到的样品放入 80 摄氏度质量浓度 26% 的氢氧化钾水溶液中,该强碱溶液穿过包裹层 3 中的孔 4 沿着<100>晶向(即垂直方向)对硅衬底进行腐蚀,反应产生大量氢气,不断搅动溶液以促进排气(也可以在该强碱溶液中加入异丙醇,减小氢气气泡的大小,以便于气体的排出),约 2-3 个小时后,硅衬底被腐蚀掉,氧化硅绝缘层 I 成为腐蚀停止层,露出半透明的“硅-氧化硅”薄膜,如图 5-d 所示;

[0044] 6) 用刀沿 A1 方向切去 SOI 晶片背面的环氧树脂,再用刀沿 A2 方向切去 SOI 晶片

周围的一部分环氧树脂,以使得之前涂覆在 SOI 晶片顶面的 PMMA 从环氧树脂包裹层 3 中露出来,如图 5-e 所示;

[0045] 7)将步骤 6)得到的样品浸入丙酮溶液,约 2-3 小时后 PMMA 被完全溶去,SOI 晶片的顶面与环氧树脂包裹层 3 之间形成一层空隙,如图 5-f 所示;

[0046] 8)将步骤 7)得到的样品浸入环氧树脂脱落剂中,使环氧树脂包裹层 3 被粉末化,从而使 SOI 晶片从环氧树脂包裹层 3 中剥离出来,如图 5-g 所示,清洗干净后即可得到背面被腐蚀有图案的 SOI 晶片。

[0047] 本实施例的方法得到的 SOI 晶片样品的光学照片如图 6a 所示,中央的亮点即为腐蚀掉硅衬底后露出的半透明的“硅-氧化硅”薄膜层。图 6b 和 6c 是样品在光学显微镜下的透射和反射照片。如图 6b 所示,在  $1 \times 1$  平方毫米的区域内样品的硅衬底被彻底除掉,顶面上 2-3 微米厚的“硅-氧化硅”薄膜层没有任何损伤。

[0048] 本实施例提供的方法中,通过使用环氧树脂替代现有技术中的光刻胶等,充当湿法腐蚀的抗蚀剂,从而可利用高温下的强碱作为腐蚀剂,进而提高腐蚀速度。另外,利用环氧树脂作为抗蚀剂,并结合载玻片的机械强度增强作用,还可以防止对顶面上的“硅-氧化硅”薄膜层造成损伤。这是由于环氧树脂的固化收缩率低(0.1-0.3%),热膨胀系数小( $6.0 \times 10^{-5}/^{\circ}\text{C}$ ),在温度变化后,不但可以与 SOI 晶片样品紧密包裹,不留缝隙,还能够使施加到“硅-氧化硅”薄膜层的应力更小。另外,环氧树脂呈半透明状,操作者可以透过包裹层对样品的腐蚀过程进行实时监控,很容易判断硅衬底是否已经去除干净,以及 SOI 晶片顶层的“硅-氧化硅”薄膜是否被损伤。

[0049] 为了在腐蚀结束后安全除去包裹层,需要保护好硅晶片顶部极薄的“硅-氧化硅”薄膜(几微米厚)。如前所述,受绝缘体上硅晶片制作方法的限制,这层薄膜的机械强度并不好。失去了硅衬底的保护,它可能被附着在上面的环氧树脂直接粘走,也可能被封存在包裹层中微量的膨胀热空气压破。为此,不能让环氧树脂直接与绝缘体上硅晶片的顶面接触,也不能让隔在环氧树脂包裹层与硅晶片之间的填充材料发生热膨胀,同时这种填充材料还必须比较容易除去。本实施例提供的方法中,利用除去了溶剂后的电子束光刻胶 PMMA(聚甲基丙烯酸甲酯)作为环氧树脂包裹层与硅晶片顶面之间的填充材料。除去了溶剂后的光刻胶的热膨胀系数大幅下降(烘干后的 PMMA 的热膨胀系数约  $8.5 \times 10^{-5}/^{\circ}\text{C}$ ),再加上填充物的厚度很薄(一般小于 1 微米),在温度升高后(至  $90^{\circ}\text{C}$ ),包裹层内不会产生膨胀压力,从而避免了绝缘体上硅晶片顶层的“硅-氧化硅”薄膜的破损。另一方面,PMMA 很容易被丙酮溶解。在腐蚀结束后,这层光刻胶可以在环氧树脂包裹层与硅晶片顶面之间形成一层空隙,为安全剥除环氧树脂包裹层创造条件。

[0050] 根据本发明的一个实施例,其中环氧树脂包裹层与硅晶片顶面之间的填充材料不限于 PMMA,例如还可以为 S1813 型光刻胶,干燥后的 S1813 型光刻胶的热膨胀系数约为  $3-7.6 \times 10^{-6}/^{\circ}\text{C}$ ,也可以为其他型号的光刻胶,通过干燥使其热膨胀系数较低,从而防止“硅-氧化硅”薄膜的破损。本发明提供的方法中,优选使用干燥后热膨胀系数小于  $10 \times 10^{-5}/^{\circ}\text{C}$  的光刻胶。另外,用于溶解环氧树脂包裹层与硅晶片顶面之间的填充材料的溶剂不限于丙酮,只要是能够溶解该填充材料的溶剂均可以用于本发明。

[0051] 根据本发明的一个实施例,其中在 SOI 晶片上涂覆光刻胶的具体工艺参数为本领域公知常识,本领域技术人员可以根据涂覆光刻胶的具体厚度等参数灵活地选择各种工艺

参数的组合。

[0052] 根据本发明的一个实施例,其中上述载玻片也可以替换为其他的载体,以防止“硅-二氧化硅”薄膜层受到损坏,该载体优选由透明且具有一定机械强度的材料构成。

[0053] 根据本发明的一个实施例,上述步骤4)中,用机械钻钻出的孔4至少穿透环氧树脂包裹层3,并且在不到达“硅-二氧化硅”薄膜层的前提下,优选为尽可能的深,从而缩短湿法腐蚀的时间。另外,在其他实施例中,在SOI晶片中形成开口不限于上述孔4的形状,可根据实际需要设计多种图案化开口,例如线状等,并利用机械的方法在环氧树脂包裹层3中形成相应形状的开口,进而通过湿法腐蚀在硅衬底中形成相应形状的开口。

[0054] 根据本发明的一个实施例,其中利用机械的方法在环氧树脂包裹层3中形成各种形状的开口是本领域公知常识,例如可通过将SOI晶片固定到可移动样品台上,并借助钻机在SOI晶片的背面刻画出任意形状的开口。

[0055] 根据本发明的一个实施例,其中在环氧树脂包裹层3中形成开口的方法不限于机械的方法,也可以为其他的物理的或化学的方法等。

[0056] 本发明提供的方法中,用廉价快速的湿法腐蚀替代使用昂贵设备的干法刻蚀,大大降低了对绝缘体上硅晶片进行衬底去除处理的成本,为批量化生产具有特殊光学性能的绝缘体上硅晶片提供了可行方案。且只在绝缘体上硅晶片的部分区域去除衬底,整个芯片仍旧保留了硅基底,因而可以与CMOS工业标准匹配,这与将整个衬底替换为其他材料的石英体上硅技术完全不同。

[0057] 本发明提供的方法还可以应用到其他的硅基层状晶片中去,比如绝缘体上锗(GeOI, Germanium On Insulator),绝缘体上碳化硅(SiCOI, Silicon Carbide On Insulator),绝缘体上氮化硅( $\text{Si}_3\text{N}_4$ )等等,用于从背面腐蚀掉Si衬底而露出Si衬底顶面的功能层。

[0058] 最后所应说明的是,以上实施例仅用以说明本发明的技术方案而非限制。尽管参照实施例对本发明进行了详细说明,本领域的普通技术人员应当理解,对本发明的技术方案进行修改或者等同替换,都不脱离本发明技术方案的精神和范围,其均应涵盖在本发明的权利要求范围当中。

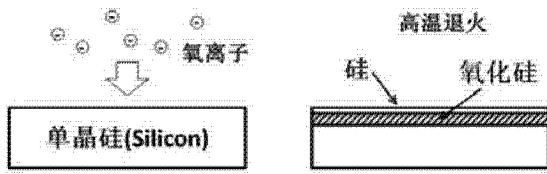


图 1

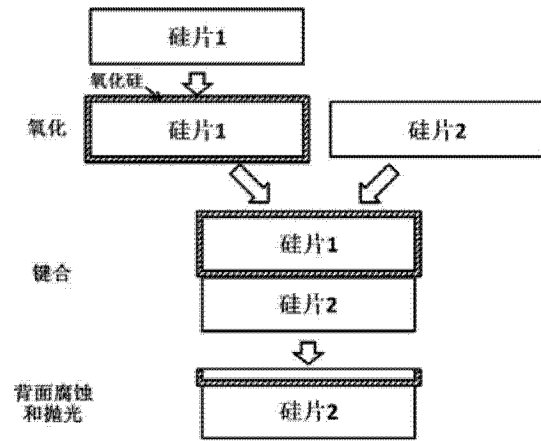


图 2

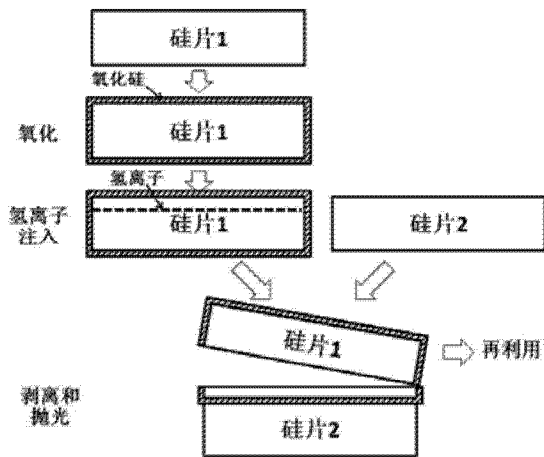


图 3

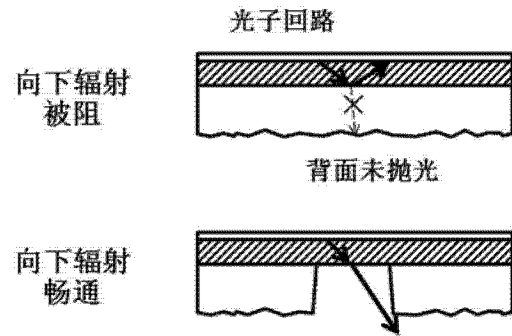


图 4



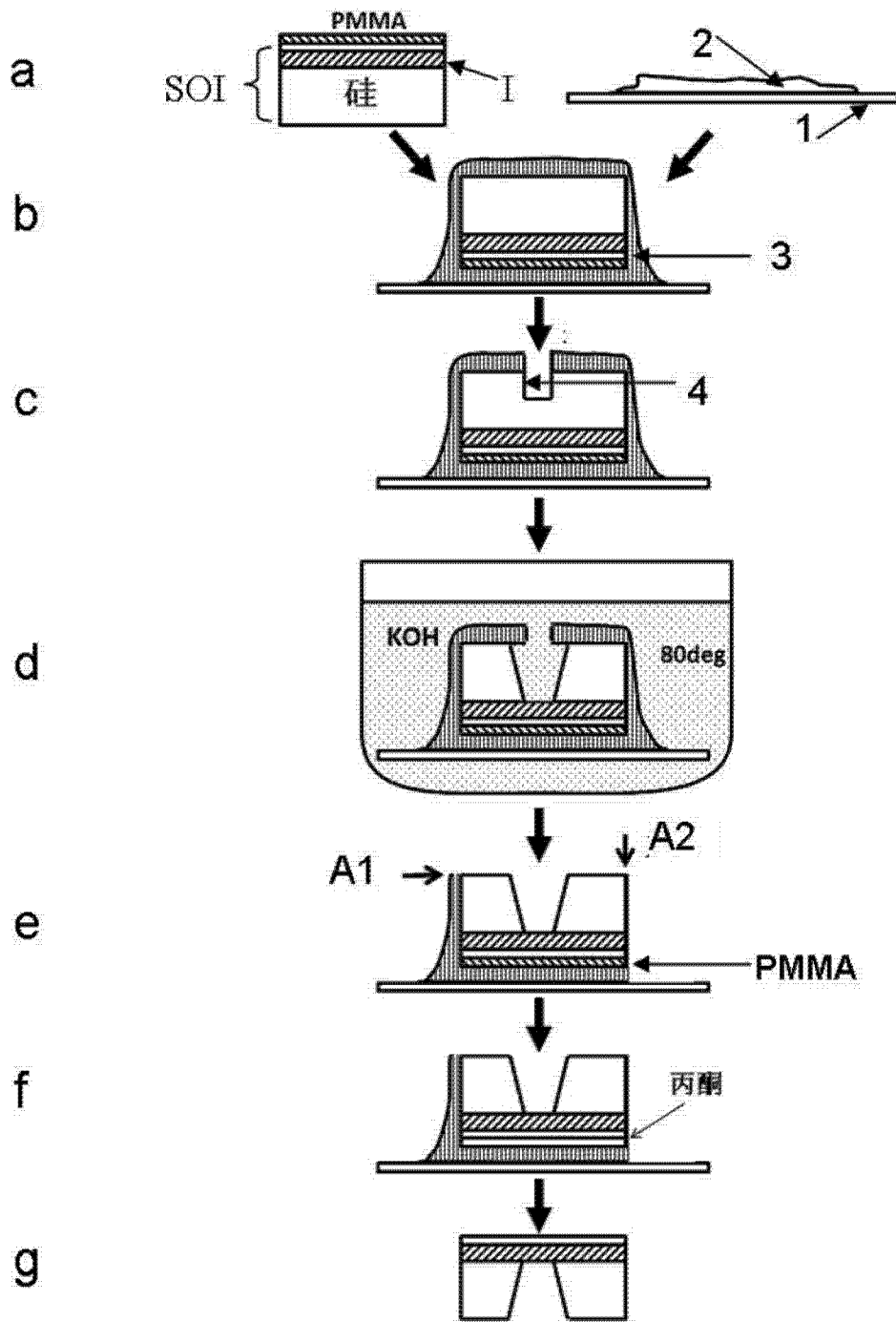


图 5

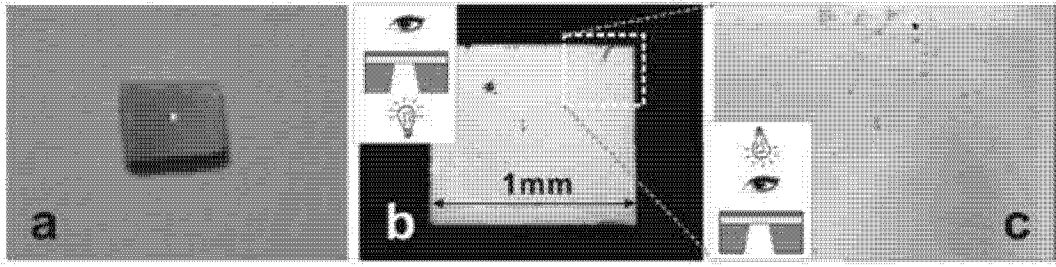


图 6