



(12) 发明专利申请

(10) 申请公布号 CN 117882199 A

(43) 申请公布日 2024. 04. 12

(21) 申请号 202280058021.1

(22) 申请日 2022.08.15

(30) 优先权数据

2021-144038 2021.09.03 JP

(85) PCT国际申请进入国家阶段日

2024.02.26

(86) PCT国际申请的申请数据

PCT/JP2022/030909 2022.08.15

(87) PCT国际申请的公布数据

W02023/032653 JA 2023.03.09

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 吉田一树 片冈肇

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 金成哲 郑毅

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 21/3205 (2006.01)

H01L 21/60 (2006.01)

H01L 21/768 (2006.01)

H01L 23/522 (2006.01)

H01L 29/06 (2006.01)

H01L 29/41 (2006.01)

H01L 29/739 (2006.01)

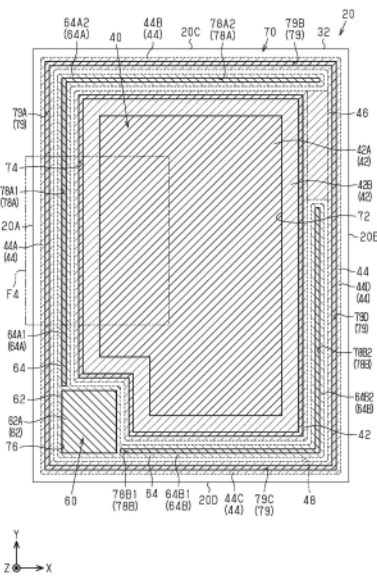
权利要求书3页 说明书20页 附图10页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置具备半导体元件(20)和导电部件。半导体元件(20)包括：与导电部件连接的源极电极部(42)；从源极电极部(42)隔开间隔并且至少局部地包围源极电极部(42)的栅极电极层(60)；以及覆盖源极电极部(42)及栅极电极层(60)的钝化层(70)。钝化层(70)包括：使源极电极部(42)的一部分作为导电部件的连接区域而露出的源极焊盘开口(72)；位于源极焊盘开口(72)与栅极电极层(60)之间且使源极电极部(42)的一部分露出的源极电极露出狭缝(74)；以及使栅极电极层(60)的一部分露出的第一及第二栅极指露出狭缝(78A、78B)。



1. 一种半导体装置,其特征在于,
具备半导体元件和导电部件,
上述半导体元件包括:
第一配线部,其与上述导电部件连接;
第二配线部,其从上述第一配线部隔开间隔,并且至少局部地包围上述第一配线部;以及
钝化层,其覆盖上述第一配线部及上述第二配线部,
上述钝化层包括:
第一开口,其使上述第一配线部的一部分作为上述导电部件的连接区域而露出;
第一狭缝,其位于上述第一开口与上述第二配线部之间,且使上述第一配线部的一部分露出;以及
第二狭缝,其使上述第二配线部的一部分露出。
2. 根据权利要求1所述的半导体装置,其特征在于,
上述钝化层的厚度比上述第一配线部的厚度以及上述第二配线部的厚度小。
3. 根据权利要求1或2所述的半导体装置,其特征在于,
上述钝化层至少局部地进入上述第一配线部与上述第二配线部之间的隔离区域,在上述隔离区域的位置形成为台阶状。
4. 根据权利要求3所述的半导体装置,其特征在于,
上述第一配线部包括第一面、以及与上述第一配线部的第一面连续且划定上述隔离区域的第二面,
上述第二配线部包括第一面、以及与上述第二配线部的第一面连续且划定上述隔离区域的第二面,
上述钝化层包括:
第一包覆部分,其覆盖上述第一配线部的第一面及上述第二配线部的第一面;以及
第二包覆部分,其位于上述隔离区域,且覆盖上述第一配线部的第二面及上述第二配线部的第二面,
上述钝化层包括由上述第一包覆部分和上述第二包覆部分形成的台阶,
上述第一开口、上述第一狭缝以及上述第二狭缝形成于上述第一包覆部分。
5. 根据权利要求1~4中任一项所述的半导体装置,其特征在于,
上述第一配线部包括:
源极焊盘,其作为上述连接区域而从上述第一开口露出;以及
源极焊盘周边部,其位于上述源极焊盘的周边,且形成上述第一配线部的外周部分,
上述第一狭缝位于上述源极焊盘周边部上。
6. 根据权利要求5所述的半导体装置,其特征在于,
上述源极焊盘周边部在俯视时具有包括角部的外形形状,
上述第一狭缝位于上述源极焊盘周边部的上述角部上。
7. 根据权利要求1~6中任一项所述的半导体装置,其特征在于,
上述第一狭缝形成为环状。
8. 根据权利要求7所述的半导体装置,其特征在于,

上述第一狭缝形成成为闭合的环状。

9. 根据权利要求1~8中任一项所述的半导体装置,其特征在于,

上述第二配线部包括栅极指,该栅极指从上述第一配线部隔开间隔并且沿上述第一配线部延伸,

上述第二狭缝位于上述栅极指上。

10. 根据权利要求9所述的半导体装置,其特征在于,

上述栅极指包括角部,

上述第二狭缝位于上述栅极指的上述角部上。

11. 根据权利要求9或10所述的半导体装置,其特征在于,

上述第二配线部还包括栅极电极部,

上述栅极指以环状地包围上述第一配线部的周围的方式从上述栅极电极部延伸,

上述第二狭缝遍及上述栅极指的全长而位于上述栅极指上。

12. 根据权利要求1~11中任一项所述的半导体装置,其特征在于,

上述半导体元件还包括第三配线部,该第三配线部从上述第二配线部隔开间隔并且至少局部地包围上述第二配线部,

上述钝化层还覆盖上述第三配线部,

上述钝化层还包括使上述第三配线部的一部分露出的第三狭缝。

13. 根据权利要求12所述的半导体装置,其特征在于,

上述第三配线部包括源极指,该源极指从上述第二配线部隔开间隔并且沿上述第二配线部延伸,

上述第三狭缝位于上述源极指上。

14. 根据权利要求13所述的半导体装置,其特征在于,

上述源极指包括角部,

上述第三狭缝位于上述源极指的上述角部上。

15. 根据权利要求13或14所述的半导体装置,其特征在于,

上述源极指以环状包围上述第二配线部的周围,

上述第三狭缝形成成为环状。

16. 根据权利要求15所述的半导体装置,其特征在于,

上述第三狭缝形成成为闭合的环状。

17. 根据权利要求1~16中任一项所述的半导体装置,其特征在于,

上述第一狭缝的宽度与上述第二狭缝的宽度相同。

18. 根据权利要求1~17中任一项所述的半导体装置,其特征在于,

上述半导体元件是具有形成于半导体元件区域的分离栅极构造的晶体管,

上述第一狭缝以及上述第二狭缝配置于在俯视时与上述半导体元件区域重叠的位置。

19. 根据权利要求1~18中任一项所述的半导体装置,其特征在于,

还具备与上述半导体元件相邻地配置的导电端子,

上述导电部件跨越上述第二配线部并将上述第一配线部与上述导电端子连接,

上述第二狭缝使在俯视时与上述导电部件重叠的上述第二配线部的部分露出。

20. 根据权利要求1~19中任一项所述的半导体装置,其特征在于,

上述导电部件包括各自平板状的第一端部及第二端部、以及位于上述第一端部与上述第二端部之间且以台阶状折曲的中间部,是具有桥形状的卡夹。

半导体装置

技术领域

[0001] 本公开涉及半导体装置。

背景技术

[0002] 晶体管等半导体元件具备保护半导体元件的钝化层(或者钝化膜)。专利文献1公开了一种半导体装置,该半导体装置具备包覆晶体管的表面电极膜的钝化膜。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2020—136472号公报

发明内容

[0006] 发明所要解决的课题

[0007] 若对钝化层施加应力,则可在钝化层产生裂纹。尤其是在配线部的存在台阶的部位应力集中而比较容易产生裂纹。这样的钝化裂纹会导致例如水分或者树脂的可动离子等向半导体元件区域侵入引起的元件特性的变动。

[0008] 用于解决课题的方案

[0009] 本公开的一个方案的半导体装置具备半导体元件和导电部件。上述半导体元件包括:第一配线部,其与上述导电部件连接;第二配线部,其从上述第一配线部隔开间隔,并且至少局部地包围上述第一配线部;以及钝化层,其覆盖上述第一配线部及上述第二配线部。上述钝化层包括:第一开口,其使上述第一配线部的一部分作为上述导电部件的连接区域而露出;第一狭缝,其位于上述第一开口与上述第二配线部之间,且使上述第一配线部的一部分露出;以及第二狭缝,其使上述第二配线部的一部分露出。

[0010] 发明的效果

[0011] 根据本公开的半导体装置,能够抑制钝化裂纹的产生。

附图说明

[0012] 图1是一个实施方式的例示的半导体装置的概略立体图。

[0013] 图2是拆下导电部件后的状态的半导体装置的概略俯视图。

[0014] 图3是例示的半导体元件的概略俯视图。

[0015] 图4是由图3所示的双点划线包围的部分的半导体元件的概略放大俯视图。

[0016] 图5是沿图4所示的F5—F5线的半导体元件的概略剖视图。

[0017] 图6是沿图4所示的F6—F6线的半导体元件的概略剖视图。

[0018] 图7是图6的局部放大剖视图。

[0019] 图8是变更例的例示的半导体元件的概略俯视图。

[0020] 图9是用图8所示的双点划线包围的部分的半导体元件的概略放大俯视图。

[0021] 图10是沿图9所示的F10—F10线的概略剖视图。

具体实施方式

[0022] 以下,参照附图对本公开的半导体装置的几个实施方式进行说明。此外,附图所示的构成要素有时为了易于清楚以及明了而局部地放大,而且未必以一定的比例尺描绘。另外,为了容易理解,有时在剖视图中省略了阴影线。附图只不过例示本公开的实施方式,不应视为限制本公开。

[0023] 以下的详细的记载包括将本公开的例示的实施方式具体化的装置、系统、以及方法。该详细的记载原本只不过是用于说明的记载,并非意在限定本公开的实施方式或者这样的实施方式的应用以及使用。

[0024] 此外,对于在本公开中使用的“俯视”这样的用语,只要没有明确指出的特别的记载,则是指在相互正交的XYZ轴(例如参照图1)的Z方向上观察对象物(半导体装置或者构成部件)。

[0025] 图1是一个实施方式的例示的半导体装置10的概略立体图。如图1所示,半导体装置10例如具有长方体状。半导体装置10例如也可以为俯视时呈矩形形状。半导体装置10的尺寸没有特别限定。

[0026] 半导体装置10例如也可以具有引线框构造。在图1的例子中,半导体装置10包括导电板12、第一导电端子14、第二导电端子16、以及半导体元件20。半导体元件20安装于导电板12。另外,在图1的例子中,半导体装置10包括将半导体元件20连接于第一导电端子14的第一导电部件22、以及将半导体元件20连接于第二导电端子16的第二导电部件24。半导体装置10包括封固半导体元件20的封固部件26。

[0027] 半导体元件20通过导电性接合材料18而与导电板12接合。导电性接合材料18例如能够使用焊锡或者导电性糊料。焊锡既可以是例如锡(Sn) — 银(Ag) — 铜(Cu) 系等的无铅(Pb) 焊料、或者也可以是例如Sn — Pb — Ag系等的有铅焊料。导电性糊料的一例是Ag糊料。导电板12、第一及第二导电端子14、16、以及第一及第二导电部件22、24例如由Cu或者铝(Al) 等金属材料形成。

[0028] 半导体装置10例如能够设为表面安装型的封装件。虽然省略了详细的图示,但导电板12以及第一及第二导电端子14、16分别具有从封固部件26向半导体装置10的背面局部地露出的外部连接面。上述导电板12以及第一及第二导电端子14、16的外部连接面在半导体装置10安装在未图示的安装基板上时与安装基板电连接。

[0029] 导电板12以及第一及第二导电端子14、16可具有任意的形状(外形) 以及厚度。此外,厚度是指Z方向的尺寸(长度)。在图1的例子中,导电板12以及第一及第二导电端子14、16分别是平板状,第一及第二导电端子14、16在导电板12的一边(在图1中为沿X方向的边) 相邻地配置。

[0030] 导电板12包含经由导电性接合材料18而与半导体元件20接合的接合面12S。第一导电端子14包含经由未图示的导电性接合材料(例如焊锡等) 而与第一导电部件22接合的接合面14S。同样,第二导电端子16包含经由未图示的导电性接合材料(例如焊锡等) 而与第二导电部件24接合的接合面16S。

[0031] 第一及第二导电端子14、16的接合面14S、16S也可以在Z方向上设置在比导电板12的接合面12S高的位置(即更上方)。例如,第一及第二导电端子14、16也可以至少局部地形成比导电板12厚。在该结构中,能够缩短连接半导体元件20和第一导电端子14的第一导

电部件22的长度(连接距离)以及连接半导体元件20和第二导电端子16的第二导电部件24的长度(连接距离)。

[0032] 第一及第二导电部件22、24可具有任意的形状(外形)以及厚度。在图1的例子中,第一及第二导电部件22、24分别具有桥形状。第一及第二导电部件22、24等具有这种桥形状的导电部件可称为卡夹。例如由Cu形成的卡夹可称为Cu卡夹。

[0033] 第一导电部件22包括第一端部22F、第二端部22R、以及位于上述第一端部22F与第二端部22R之间的中间部22M。第一端部22F是平板部。在图1的例子中,第一端部22F是具有俯视大致L字形状的外形形状的平板部,通过未图示的导电性接合材料(例如,焊锡等)而与半导体元件20接合。第二端部22R是平板部。在图1的例子中,第二端部22R是俯视时呈矩形形状的平板部,通过未图示的导电性接合材料而与第一导电端子14的接合面14S接合。中间部22M以台阶状折曲,将第一端部22F与第二端部22R连接成桥形状。

[0034] 同样,第二导电部件24包括第一端部24F、第二端部24R、以及位于上述第一端部24F与第二端部24R之间的中间部24M。第一端部24F是平板部。在图1的例子中,第一端部24F是俯视时呈矩形形状的平板部,通过图示的导电性接合材料(例如焊锡等)而与半导体元件20接合。第二端部24R是平板部。在图1的例子中,第二端部24R是俯视时呈矩形形状的平板部,通过未图示的导电性接合材料而与第二导电端子16的接合面16S接合。在俯视时,第二端部24R可以以比第一端部24F大的尺寸形成。中间部24M以台阶状折曲,将第一端部24F与第二端部24R连接成桥形状。

[0035] 封固部件26可划定半导体装置10的封装外形。封固部件26与半导体元件20一起对导电板12、第一导电端子14的一部分、第二导电端子16的一部分、第一导电部件22、以及第二导电部件24进行封固。封固部件26例如由黑色的环氧树脂等绝缘性树脂材料形成。

[0036] 半导体元件20也可以是晶体管等的开关元件。例如,半导体元件20可以是MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属绝缘体半导体场效应晶体管)。但是,半导体元件20并不限定于MISFET,例如也可以是IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)或者其它晶体管。

[0037] 接着,参照图2~图7,对半导体元件20的一个构成例进行说明。

[0038] 图2是拆下了第一及第二导电部件22、24后的状态的半导体装置10的概略俯视图。图3是半导体元件20的概略俯视图。此外,为了避免图示的复杂化,在图2中简化地示出图3的半导体元件20的俯视图。

[0039] 图4是用图3所示的双点划线F4包围的部分的半导体元件20的概略放大俯视图。图5是沿图4所示的F5—F5线的概略剖视图,图6是沿图4所示的F6—F6线的概略剖视图。图7是图6的局部放大剖视图。

[0040] 在一例中,半导体元件20作为具有分离栅极构造的晶体管而构成。如图3所示,半导体元件20俯视时呈矩形形状,包括划定半导体元件20的外缘的第一~第四边20A、20B、20C、20D。第一及第二边20A、20B在俯视时在第一方向(Y方向)上延伸。第三及第四边20C、20D在俯视时在与第一方向正交的第二方向(X方向)上延伸。此外,在以下的说明中,有时将Y方向称为第一方向、将X方向称为第二方向。

[0041] 在图3的例子中,第一及第二边20A、20B为相同的长度,第三及第四边20C、20D为相同的长度。第三及第四边20C、20D比第一及第二边20A、20B短。但是,在别的例子中,第三及

第四边20C、20D也可以是与第一及第二边20A、20B相同的长度、或者也可以比第一及第二边20A、20B长。

[0042] 如图5以及图6所示,半导体元件20包括半导体基板32、半导体层34、以及绝缘层36。半导体基板32例如是硅(Si)基板。半导体基板32是包括与第一~第四边20A、20B、20C、20D(参照图3)对应的四边的俯视时呈矩形形状的基板。半导体基板32包括第一面32A(在图5以及图6中为上表面);以及位于与第一面32A相反的一侧的第二面32B(在图5以及图6为下表面)。

[0043] 半导体层34设置在半导体基板32的第一面32A上。半导体层34包括第一面34A(在图5以及图6中为上表面)、以及位于与第一面34A相反的一侧的第二面34B(在图5以及图6为下表面)。在图5以及图6的例子中,半导体层34的第二面34B与半导体基板32的第一面32A相接。半导体层34的第二面34B例如以覆盖半导体基板32的第一面32A的整面的方式形成。半导体层34例如可由Si外延层形成。

[0044] 绝缘层36设置在半导体层34的第一面34A上。在图5以及图6的例子中,绝缘层36以单层示出,但可包括多个层。例如,绝缘层36可包括氧化硅(SiO_2)层以及氮化硅(SiN)层的至少一个。或者,例如绝缘层36也可以具有不包含杂质的USG(Undoped Silicate Glass,未掺杂的硅酸盐玻璃)层和包含覆盖USG层的硼以及磷的杂质的BPSG(Boron-Phosphorus Silicate Glass,含有硼磷的硅玻璃)层这两层构造。绝缘层36也称为层间绝缘膜(Inter-layer dielectric:ILD)。

[0045] 如图3、图5以及图6所示,半导体元件20包括源极电极层40、漏极电极层50、栅极电极层60、以及钝化层70。源极电极层40和栅极电极层60设置在绝缘层36上。漏极电极层50设置在半导体基板32的第二面32B上。漏极电极层50以覆盖半导体基板32的第二面32B的整面的方式形成。

[0046] 钝化层70覆盖源极电极层40以及栅极电极层60。在图3的例子中,钝化层70具有在俯视时与半导体基板32(半导体元件20)相同的形状。钝化层70形成为使源极电极层40局部地露出并且使栅极电极层60局部地露出。此外,在图3中,为了容易理解,用右高左边低斜线的影线示出源极电极层40,并且用左高右低斜线的影线示出栅极电极层60。另外,用实线示出从钝化层70露出的源极电极层40以及栅极电极层60的部分,用虚线示出由钝化层70覆盖的源极电极层40以及栅极电极层60的部分。

[0047] 如图3所示,源极电极层40可包含源极电极部42、源极指44、以及连接部46。源极指44通过连接部46与源极电极部42连接。源极电极部42和源极指44与连接部46连续地一体地形成。

[0048] 源极电极部42可形成覆盖半导体元件20的有源区域。在图3的例子中,源极电极部42在俯视时具有例如大致L字形状。此外,有源区域是主要配置有有助于晶体管(半导体元件20)的运动的晶体管构造的半导体元件区域,但有源区域的整体不需要是晶体管构造。例如,可以在有源区域的一部分配置晶体管构造以外的构造,或者也可以在有源区域的外侧配置晶体管构造的一部分。

[0049] 源极电极部42包括源极焊盘42A、以及位于源极焊盘42A的周边且形成源极电极部42的外周部分的源极焊盘周边部42B。源极焊盘周边部42B与源极焊盘42A连续地一体地形成。源极电极部42与第一配线部对应。源极焊盘42A与连接区域对应。

[0050] 源极焊盘42A例如在俯视时具有大致L字形状,并具有比源极电极部42小一圈的尺寸。钝化层70包括使源极电极部42的源极焊盘42A露出的源极焊盘开口72。源极焊盘开口72与第一开口对应。

[0051] 在从源极焊盘开口72露出的源极焊盘42A接合有上述的第一导电部件22的第一端部22F(参照图1)。因此,源极焊盘42A(源极焊盘开口72)在俯视时形成为与第一导电部件22的第一端部22F相同的大小、或者比之稍大。

[0052] 钝化层70包括使源极焊盘周边部42B的一部分露出的源极电极露出狭缝74。源极电极露出狭缝74与第一狭缝对应。

[0053] 源极电极露出狭缝74可在俯视时与源极焊盘周边部42B重叠的钝化层70的部分形成为环状。在图3的例子中,源极电极露出狭缝74形成为闭合的环状。因此,源极电极露出狭缝74遍及源极焊盘周边部42B(源极电极部42的外周部分)的整周地形成。即,源极电极露出狭缝74遍及源极焊盘周边部42B的整周使源极焊盘周边部42B的一部分露出。

[0054] 此外,对于本公开中使用的“环状”这样的用语,不仅指形成无端的连续的形状即环的任意的构造、而且还指例如具有C字形状等那样的裂缝(缝隙)的大体环形状的构造。因此,在明确地称为“闭合的环状”的情况下,是指形成无端的连续的形状即环的任意的构造,另一方面,在明确地称为“打开的环状”的情况下,是指具有有裂缝的大体环形状的构造。这样的“环状”的形状不仅包括椭圆圆形,而且可包括任意的形状,该任意的形状包括具有直角的角部或者带有圆形的角部的多个角部。

[0055] 栅极电极层60设为从源极电极部42隔开间隔,并且至少局部地包围源极电极部42。栅极电极层60与第二配线部对应。在图3的例子中,在栅极电极层60与源极电极层40之间形成有隔离区域48。隔离区域48在俯视时可形成为包围栅极电极层60的整周的环状(闭合的环状)。在该隔离区域48未形成电极层,钝化层70至少局部地进入(参照图6)。因此,栅极电极层60与源极电极层40通过钝化层70而相互绝缘。此外,栅极电极层60与源极电极层40之间的隔离距离例如可考虑耐压等而适当决定。

[0056] 栅极电极层60可包括栅极电极部62和栅极指64。在图3的例子中,栅极电极部62具有俯视矩形形状。栅极指64从源极电极部42隔开间隔,并且沿源极电极部42延伸。栅极指64以环状地包围源极电极部42的周围的方式从栅极电极部62延伸。在图3的例子中,栅极指64包括从栅极电极部62延伸的第一及第二栅极指部64A、64B。第一及第二栅极指部64A、64B与栅极电极部62连续地一体地形成。

[0057] 栅极电极部62包括栅极焊盘62A。在图3的例子中,栅极焊盘62A具有俯视矩形形状。栅极焊盘62A具有比栅极电极部62小一圈的尺寸。钝化层70包括使栅极电极部62的栅极焊盘62A露出的栅极焊盘开口76。

[0058] 在从栅极焊盘开口76露出的栅极焊盘62A接合有上述的第二导电部件24的第一端部24F(参照图1)。因此,栅极焊盘62A(栅极焊盘开口76)在俯视时形成为与第二导电部件24的第一端部24F相同的大小、或者比之稍大。

[0059] 栅极电极部62和第一及第二栅极指部64A、64B除了源极电极层40的连接部46的区域以外还包围源极电极部42的周边。因此,栅极电极层60形成打开的环状。

[0060] 在图3的例子中,第一栅极指部64A包括沿第一边20A(在图3中为左边)从栅极电极部62以直线状延伸的第一部分64A1、以及沿第三边20C(在图3中为上边)从第一部分64A1以

直线状延伸的第二部分64A2。因此,第一栅极指部64A在俯视时具有L字形状。

[0061] 第二栅极指部64B包括沿第四边20D(在图3中为下边)从栅极电极部62以直线状延伸的第一部分64B1、以及沿第二边20B(在图3中为右边)从第一部分64B1以直线状延伸的第二部分64B2。因此,第二栅极指部64B在俯视时具有L字形状。

[0062] 第一栅极指部64A的第二部分64A2的前端隔着与源极电极层40的连接部46对应的开放区域而与第二栅极指部64B的第二部分64B2的前端对置。因此,第一栅极指部64A、栅极电极部62以及第二栅极指部64B相互连续地形成环状,但栅极电极层60作为整体形成打开的环状。

[0063] 钝化层70包括使第一栅极指部64A的一部分露出的第一栅极指露出狭缝78A、以及使第二栅极指部64B的一部分露出的第二栅极指露出狭缝78B。第一及第二栅极指露出狭缝78A、78B分别与第二狭缝对应。

[0064] 第一栅极指露出狭缝78A可在俯视时与第一栅极指部64A重叠的钝化层70的部分形成L字形状。在图3的例子中,第一栅极指露出狭缝78A包括在第一栅极指部64A的第一部分64A1上以直线状延伸的第一狭缝部分78A1、以及在第一栅极指部64A的第二部分64A2上以直线状延伸的第二狭缝部分78A2。

[0065] 例如,第一狭缝部分78A1遍及第一栅极指部64A的第一部分64A1的全长而使该第一部分64A1的中央附近露出。同样,第二狭缝部分78A2遍及第一栅极指部64A的第二部分64A2的全长而使该第二部分64A2的中央附近露出。第一狭缝部分78A1与第二狭缝部分78A2连续。第一狭缝部分78A1与第二狭缝部分78A2的连接部分位于第一栅极指部64A的角部上。这样,通过第一狭缝部分78A1和第二狭缝部分78A2,第一栅极指露出狭缝78A与第一栅极指部64A同样地形成L字形状。

[0066] 此外,对在本公开中使用的“全长”这样的用语,不仅包括与从部件的一端至另一端的长度完全相等的情况,而且还包括比从部件的一端至另一端的长度稍短(即实质上相同的)的情况。

[0067] 第二栅极指露出狭缝78B可在俯视时与第二栅极指部64B重叠的钝化层70的部分形成L字形状。在图3的例子中,第二栅极指露出狭缝78B包括在第二栅极指部64B的第一部分64B1上以直线状延伸的第一狭缝部分78B1、以及在第二栅极指部64B的第二部分64B2上以直线状延伸的第二狭缝部分78B2。

[0068] 例如,第一狭缝部分78B1遍及第二栅极指部64B的第一部分64B1的全长而使该第一部分64B1的中央附近露出。同样,第二狭缝部分78B2遍及第二栅极指部64B的第二部分64B2的全长而使该第二部分64B2的中央附近露出。第一狭缝部分78B1与第二狭缝部分78B2连续。第一狭缝部分78B1与第二狭缝部分78B2的连接部分位于第二栅极指部64B的角部上。这样,通过第一狭缝部分78B1和第二狭缝部分78B2,第二栅极指露出狭缝78B与第二栅极指部64B同样地形成L字形状。

[0069] 源极指44经由上述的隔离区域48而从栅极电极层60隔开间隔,并且至少局部地包围栅极电极层60。源极指44与第三配线部对应。例如,源极指44形成包围栅极电极层60的周边的闭合的环状。源极指44与源极电极层40的连接部46连接。

[0070] 在图3的例子中,源极指44包括形成闭合的环状的四个部分、即第一~第四部分44A、44B、44C、44D。源极指44的第一部分44A沿第一边20A(在图3中为左边)、即沿栅极电极

部62以及第一栅极指部64A的第一部分64A1以直线状延伸。源极指44的第二部分44B沿第三边20C(在图3中为上边)、即沿第一栅极指部64A的第二部分64A2以直线状延伸。源极指44的第三部分44C沿第四边20D(在图3中为下边)、即沿第二栅极指部64B的第一部分64B1以直线状延伸。源极指44的第四部分44D沿第二边20B(在图3中为右边)、即沿第二栅极指部64B的第二部分64B2以及源极电极层40的连接部46以直线状延伸。

[0071] 源极指44的第四部分44D与源极电极层40的连接部46连续地一体地形成。另外,源极指44的第一~第四部分44A、44B、44C、44D相互连续地一体地形成。因此,源极指44由第一~第四部分44A、44B、44C、44D形成为闭合的环状。

[0072] 钝化层70包括使源极指44的一部分露出的源极指露出狭缝79。源极指露出狭缝79与第三狭缝对应。

[0073] 源极指露出狭缝79可在俯视时与源极指44重叠的钝化层70的部分形成为环状。在图3的例子中,源极指露出狭缝79形成为闭合的环状。因此,源极指露出狭缝79遍及源极指44的整周地形成。即、源极指露出狭缝79遍及源极指44的整周而使源极指44的一部分露出。

[0074] 在图3的例子中,源极指露出狭缝79包括形成闭合的环状的四个狭缝部分、即第一~第四狭缝部分79A、79B、79C、79D。第一狭缝部分79A在源极指44的第一部分44A上以直线状延伸。同样,第二~第四狭缝部分79B、79C、79D分别在源极指44的第二~第四部分44B、44C、44D上以直线状延伸。

[0075] 例如,第一狭缝部分79A遍及源极指44的第一部分44A的全长而使该第一部分44A的中央附近露出。同样,第二~第四狭缝部分79B、79C、79D遍及源极指44的第二~第四部分44B、44C、44D的全长而使上述第二~第四部分44B、44C、44D的中央附近分别露出。

[0076] 源极指露出狭缝79的第一~第四狭缝部分79A、79B、79C、79D相互连续。第一及第二狭缝部分79A、79B的连接部分、第一以及第三狭缝部分79A、79C的连接部分、第二及第四狭缝部分79B、79D的连接部分、以及第三及第四狭缝部分79C、79D的连接部分位于源极指44的四个角部上。这样,源极指露出狭缝79与源极指44同样地,由第一~第四狭缝部分79A、79B、79C、79D形成为闭合的环状。

[0077] 以下,接续参照图4~图6,对一例的晶体管构造进行详细说明。

[0078] 在图5中,设有漏极电极层50的半导体基板32作为晶体管(MISFET)的漏极区域发挥功能。半导体层34包括:形成在半导体基板(漏极区域)32上的漂移区域82;形成在漂移区域82上的主体区域84;以及形成在主体区域84上的源极区域86。

[0079] 例如,相当于漏极区域的半导体基板32作为包含n型杂质的n型区域而形成。漂移区域82作为包含浓度比半导体基板(漏极区域)32低的n型杂质的n型区域而形成。主体区域84作为包含p型杂质的p型区域而形成。源极区域86作为包含浓度比漂移区域82高的n型杂质的n型区域而形成。作为n型杂质的例子,可列举磷(P)以及砷(As)等。作为p型杂质的例子,可列举硼(B)以及铝(Al)等。

[0080] 如图4以及图5所示,半导体元件20可包含形成于半导体层34的第一面34A的多个栅极沟槽90。这些多个栅极沟槽90中的至少几个可等间隔且相互平行地配置。在图4的例子中,多个栅极沟槽90沿第一栅极指部64A的第一部分64A1以及源极指44的第一部分44A在第一方向(Y方向)等间隔且相互平行地配置。这些多个栅极沟槽90在俯视时从源极电极部42沿第二方向(X方向)延伸至源极指44的第一部分44A,并与第一栅极指部64A的第一部分

64A1交叉。

[0081] 此外,图4仅示出用图3的双点划线F4包围的半导体元件20的部分,但在半导体元件20的其它部分的半导体层34也可与图4的栅极沟槽90同样地形成有多个栅极沟槽。

[0082] 例如,在图3中,几个栅极沟槽可沿第一栅极指部64A的第二部分64A2以及源极指44的第二部分44B在第二方向(X方向)上等间隔且相互平行地配置。这些栅极沟槽在俯视时从源极电极部42沿第一方向(Y方向)延伸至源极指44的第二部分44B,并与第一栅极指部64A的第二部分64A2交叉。

[0083] 另外,几个栅极沟槽可沿第二栅极指部64B的第一部分64B1以及源极指44的第三部分44C在第二方向(X方向)上等间隔且相互平行地配置。这些栅极沟槽在俯视时从源极电极部42沿第一方向(Y方向)延伸至源极指44的第三部分44C,并与第二栅极指部64B的第一部分64B1交叉。

[0084] 另外,几个栅极沟槽可沿第二栅极指部64B的第二部分64B2以及源极指44的第四部分44D在第一方向(Y方向)上等间隔且相互平行地配置。这些栅极沟槽在俯视时从源极电极部42沿第二方向(X方向)延伸至源极指44的第四部分44D,并与第二栅极指部64B的第二部分64B2交叉。

[0085] 此外,以下,以图4所示的半导体元件20的部分的结构为中心进行说明,但对于其它部分的结构也同样,以下的说明同样地也可适用于其它部分的结构。

[0086] 如图4以及图6所示,半导体元件20可包括形成于半导体层34的第一面34A的周边沟槽92。周边沟槽92与多个栅极沟槽90连通。在图4的例子中,周边沟槽92包括第一周边沟槽部92A,该第一周边沟槽部92A在俯视时形成于与源极指44重叠的位置,并且在第一方向(Y方向)上延伸。另外,周边沟槽92包括第二周边沟槽部92B,该第二周边沟槽部92B在俯视时形成于与源极电极部42重叠的位置,并且在第一方向(Y方向)上延伸。如图6所示,第一及第二周边沟槽部92A、92B与栅极沟槽90连通。此外,周边沟槽92也可以形成为在俯视时包围多个栅极沟槽90的周围。

[0087] 如图5所示,在各栅极沟槽90配置有场板电极94、埋入栅极电极96、以及沟槽绝缘层98。此外,以下对一个栅极沟槽90以及与之相关的结构进行说明,但以下的说明对于其它栅极沟槽90以及其相关结构也可同样地适用。

[0088] 如图5以及图6所示,场板电极94以及埋入栅极电极96由沟槽绝缘层98相互分离。沟槽绝缘层98覆盖栅极沟槽90的侧壁90A以及底壁90B,并填充栅极沟槽90。此外,周边沟槽92也由沟槽绝缘层98填充。埋入栅极电极96在栅极沟槽90内配置在比场板电极94靠上方。能够将分离的两个电极(场板电极94以及埋入栅极电极96)埋入于栅极沟槽90的这种构造称为分离栅极构造。

[0089] 半导体元件20包含多个栅极沟槽90,因此可包含与栅极沟槽90相同数量的场板电极94、以及与栅极沟槽90相同数量的埋入栅极电极96。场板电极94以及埋入栅极电极96例如可由导电性多晶硅形成。沟槽绝缘层98例如可由 SiO_2 形成。

[0090] 场板电极94的周围被沟槽绝缘层98包围。通过对场板电极94施加源极电压,从而能够缓和栅极沟槽90内的电场集中并提高半导体元件20的耐压。因此,场板电极94可被控制为与源极区域86同电位。

[0091] 沟槽绝缘层98介于埋入栅极电极96与半导体层34之间。换言之,埋入栅极电极96

与半导体层34由沟槽绝缘层98(在图5中为沿Y方向)相互隔开间隔。若对埋入栅极电极96施加预定的电压,则在主体区域84(p型区域)内形成通道。通过该通道,能够控制源极区域86(n型区域)与漂移区域82(n型区域)之间的(在图5中为Z方向的)电子的流动。

[0092] 形成于半导体层34的第一面34A上的绝缘层36覆盖埋入到栅极沟槽90的埋入栅极电极96以及沟槽绝缘层98。在绝缘层36形成有接触沟槽37。接触沟槽37贯通绝缘层36以及源极区域86并到达主体区域84。在接触沟槽37的底部形成有接触区域38。例如,接触区域38作为包含浓度比主体区域84高的p型杂质的p型区域而形成。

[0093] 如图4以及图5所示,在接触沟槽37填充有源极接触部39。填充在接触沟槽37及其内部的源极接触部39可在俯视时与栅极沟槽90平行地(在图4中为沿X方向)延伸。各栅极沟槽90在俯视时位于两个相邻的源极接触部39之间。源极接触部39与形成在绝缘层36上的源极电极部42(源极电极层40)连接。因此,接触区域38经由源极接触部39而与源极电极部42电连接。

[0094] 如图6所示,埋入栅极电极96可通过形成于绝缘层36的栅极接触部102来与第一栅极指部64A(栅极电极层60)连接。栅极接触部102填充在贯通绝缘层36的接触通孔104内。如图4所示,接触通孔104及填充在其内部的栅极接触部102在俯视时设置在与第一栅极指部64A(在图4的例子中为第一部分64A1)重叠的位置。即,各栅极沟槽90内的埋入栅极电极96以在俯视时与第一栅极指部64A交叉的方式(在图4中沿X方向)延伸,在该交叉的位置,通过栅极接触部102而与第一栅极指部64A电连接(参照图6)。

[0095] 如图6所示,场板电极94可通过形成于绝缘层36的第一场板接触部106A和设置在其正下方的第一导电部件110A而与源极指44(源极电极层40)连接。另外,场板电极94可通过形成于绝缘层36的第二场板接触部106B和设置在其正下方的第二导电部件110B而与源极电极部42(源极电极层40)连接。第一及第二场板接触部106A、106B分别填充在贯通绝缘层36的第一及第二接触沟槽108A、108B内。例如,第一导电部件110A设置在第一周边沟槽部92A内,第二导电部件110B设置在第二周边沟槽部92B内。第一及第二导电部件110A、110B例如可由导电性多晶硅形成。

[0096] 如图4所示,第一接触沟槽108A及填充在其内部的第一场板接触部106A设置于在俯视时与源极指44(在图4的例子中为第一部分44A)和第一周边沟槽部92A重叠的位置。上述第一接触沟槽108A以及第一场板接触部106A沿第一周边沟槽部92A(在图4中为沿Y方向)延伸。另外,虽然省略了详细的图示,但第一导电部件110A例如沿第一场板接触部106A在第一周边沟槽部92A内(在图4中为沿Y方向)延伸。第一导电部件110A与在第一周边沟槽部92A中连通的多个栅极沟槽90内的场板电极94连接。因此,多个场板电极94通过第一导电部件110A以及第一场板接触部106A而与源极指44(源极电极层40)电连接(参照图6)。

[0097] 第二接触沟槽108B及填充在其内部的第二场板接触部106B设置于在俯视时与源极电极部42及第二周边沟槽部92B重叠的位置。上述第二接触沟槽108B以及第二场板接触部106B沿第二周边沟槽部92B(在图4中为沿Y方向)延伸。另外,虽然省略了详细的图示,但第二导电部件110B例如沿第二场板接触部106B在第二周边沟槽部92B内(在图4中为沿Y方向)延伸。第二导电部件110B与在第二周边沟槽部92B中连通的多个栅极沟槽90内的场板电极94连接。因此,多个场板电极94通过第二导电部件110B以及第二场板接触部106B而与源极电极部42(源极电极层40)电连接(参照图6)。

[0098] 这样,场板电极94的一端与源极指44(源极电极层40)连接,场板电极94的另一端与源极电极部42(源极电极层40)连接。因此,各场板电极94的两端与源极电极层40连接。该结构例如与仅各场板电极94的一端与源极电极层40连接的结构(例如源极电极层40不包括源极指44的结构)相比,能够降低场板电极94的电阻。另外,能够抑制晶体管动作时的场板电极94的电位上升而使晶体管动作稳定。

[0099] 如图6所示,钝化层70覆盖源极电极层40和栅极电极层60。如上所述,在源极电极层40与栅极电极层60之间形成有环状(在图3的例子中为闭合的环状)的隔离区域48。钝化层70通过局部地进入该隔离区域48从而也形成在绝缘层36上。因此,钝化层70覆盖源极电极层40的第一面(在图7中为上表面)以及第二面(在图7中为侧面)和栅极电极层60的第一面(在图7中为上表面)以及第二面(在图7中为侧面)。

[0100] 在此,源极电极层40的第一面定义为通过钝化层70的源极焊盘开口72、源极电极露出狭缝74、以及源极指露出狭缝79(参照图3)而露出的源极电极层40的面。另外,源极电极层40的第二面定义为与源极电极层40的第一面连续且划定隔离区域48的源极电极层40的面。以下,为了易于理解,将源极电极层40的第一面称为源极电极层40的上表面,将源极电极层40的第二面称为源极电极层40的侧面。

[0101] 同样,栅极电极层60的第一面定义为通过钝化层70的栅极焊盘开口76(参照图3)、第一栅极指露出狭缝78A、以及第二栅极指露出狭缝78B(参照图3)而露出的栅极电极层60的面。另外,栅极电极层60的第二面定义为与栅极电极层60的第一面连续且划定隔离区域48的栅极电极层60的面。以下,为了易于理解,将栅极电极层60的第一面称为栅极电极层60的上表面、将栅极电极层60的第二面称为栅极电极层60的侧面。

[0102] 如图7所示,源极电极层40以及栅极电极层60能以厚度T1形成。即,源极电极层40以及栅极电极层60也可以为相同的厚度。但是,源极电极层40以及栅极电极层60也可以为不同的厚度。钝化层70可以比源极电极层40的厚度T1以及栅极电极层60的厚度T1小的厚度T2形成。厚度T2例如也可以为厚度T1的1/2以下。在一例中,源极电极层40以及栅极电极层60的厚度T1是4.2 μm 左右,钝化层70的厚度T2是1.6 μm 左右。

[0103] 钝化层70包括:第一包覆部分71A,其覆盖源极电极层40的上表面及栅极电极层60的上表面;以及第二包覆部分71B,其位于隔离区域48,覆盖源极电极层40的侧面及栅极电极层60的侧面。另外,钝化层70包括第三包覆部分71C,该第三包覆部分71C位于隔离区域48,且位于绝缘层36上。

[0104] 根据隔离区域48的存在,在源极焊盘周边部42B(即、源极电极部42)与第一栅极指部64A之间、以及源极指44与第一栅极指部64A之间产生台阶。另外,虽然省略了图示,但在源极焊盘周边部42B与第二栅极指部64B之间、以及源极焊盘周边部42B与栅极电极部62之间也产生台阶。另外,虽然省略了图示,但在源极指44与第二栅极指部64B之间、以及源极指44与栅极电极部62之间也产生台阶。

[0105] 因此,钝化层70在隔离区域48的位置形成为台阶状。即,钝化层70包括由第一包覆部分71A和第二包覆部分71B形成的台阶,该第一包覆部分71A覆盖源极电极层40的上表面以及栅极电极层60的上表面,该第二包覆部分71B位于隔离区域48且覆盖源极电极层40的侧面以及栅极电极层60的侧面。第三包覆部分71C将覆盖源极电极层40的侧面的第二包覆部分71B和覆盖栅极电极层60的侧面的第二包覆部分71B连接。第一包覆部分71A是与第三

包覆部分71C相同的厚度(即、厚度T2)。但是,在隔离区域48中,第三包覆部分71C也可以比第一包覆部分71A厚。

[0106] 另外,在覆盖源极电极层40的侧面的第二包覆部分71B与覆盖栅极电极层60的侧面的第二包覆部分71B之间可存在隙间80。此外,在图7中,夸张了隙间80的大小(宽度),但该隙间80也可以是在隔离区域48内稍微存在的程度的大小。或者,该隙间80实质上也可以埋在隔离区域48内。

[0107] 钝化层70的源极焊盘开口72、源极电极露出狭缝74、以及源极指露出狭缝79形成于第一包覆部分71A。另外,钝化层70的栅极焊盘开口76(参照图3)、第一栅极指露出狭缝78A、以及第二栅极指露出狭缝78B(参照图3)也形成于第一包覆部分71A。

[0108] 源极电极露出狭缝74具有狭缝宽度 w_1 ,第一及第二栅极指露出狭缝78A、78B具有狭缝宽度 w_2 ,源极指露出狭缝79具有狭缝宽度 w_3 。这些狭缝宽度 w_1 、 w_2 、 w_3 也可以是相同的值。

[0109] 或者,狭缝宽度 w_1 、 w_2 、 w_3 也可以是不同的值。例如,第一及第二栅极指露出狭缝78A、78B的各个狭缝宽度 w_2 也可以是比源极电极露出狭缝74的狭缝宽度 w_1 小的值(或者大的值)。或者,源极指露出狭缝79的狭缝宽度 w_3 也可以是比源极电极露出狭缝74的狭缝宽度 w_1 小的值(或者大的值)。

[0110] 参照图3~图6的例子,如上所述,栅极沟槽90从源极电极部42沿第一方向(Y方向)或者第二方向(X方向)延伸至源极指44,并与第一栅极指部64A或者第二栅极指部64B交叉。并且,各埋入栅极电极96在栅极沟槽90内从源极电极部42延伸至第一栅极指部64A(例如参照图6)或者第二栅极指部64B。另外,各场板电极94在栅极沟槽90内从俯视时与源极指44重叠的位置(第一导电部件110A)延伸至在俯视时与源极电极部42重叠的位置(第二导电部件110B)。

[0111] 在这样的构造中,不仅源极电极部42的正下方的区域、而且栅极指64(第一及第二栅极指部64A、64B)的正下方的区域以及源极指44的正下方的区域也能够被视为有助于晶体管(半导体元件20)的运动的实质上的有源区域(半导体元件区域)。因此,源极电极露出狭缝74、第一栅极指露出狭缝78A、第二栅极指露出狭缝78B(参照图3)、以及源极指露出狭缝79配置于在俯视时与有源区域(半导体元件区域)重叠的位置。

[0112] 以下,对半导体装置10的作用进行说明。

[0113] 半导体元件20包括覆盖源极电极层40和栅极电极层60的钝化层70。源极电极层40包括源极电极部42以及源极指44。栅极电极层60包括栅极电极部62以及栅极指64。栅极指64至少局部地包围源极电极部42的周围。源极指44至少局部地包围栅极电极层60的周围。

[0114] 钝化层70包括使源极电极部42的源极焊盘42A露出的源极焊盘开口72。在该源极焊盘42A连接有第一导电部件22。在该结构中,利用从与源极焊盘开口72的缘接触的第一导电部件22施加于钝化层70的力对钝化层70施加应力。

[0115] 钝化层70包括使源极焊盘周边部42B的一部分露出的源极电极露出狭缝74。因此,能够通过源极电极露出狭缝74缓和从与源极焊盘42A连接的第一导电部件22施加于钝化层70的应力、尤其是施加于源极焊盘周边部42B上的钝化层70的部分的应力。由此,能够抑制钝化裂纹的产生。

[0116] 另外,源极电极露出狭缝74形成为环状(闭合的环状)。由此,能够遍及源极焊盘周

边部42B的整周而有效地缓和施加于钝化层70的应力。

[0117] 另外,钝化层70包括使栅极指64(第一及第二栅极指部64A、64B)的一部分露出的第一及第二栅极指露出狭缝78A、78B。因此,能够由第一及第二栅极指露出狭缝78A、78B缓和从与源极焊盘42A连接的第一导电部件22施加于钝化层70的应力、尤其是施加于栅极指64上的钝化层70的部分的应力。由此,能够抑制钝化裂纹的产生。

[0118] 另外,第一及第二栅极指露出狭缝78A、78B遍及第一及第二栅极指部64A、64B的全长而形成。由此,能够遍及第一及第二栅极指部64A、64B的全长而有效地缓和施加于钝化层70的应力。

[0119] 并且,钝化层70包括使源极指44的一部分露出的源极指露出狭缝79。因此,能够由源极指露出狭缝79缓和从与源极焊盘42A连接的第一导电部件22施加于钝化层70的应力、尤其是施加于源极指44上的钝化层70的部分的应力。由此,能够抑制钝化裂纹的产生。

[0120] 另外,源极指露出狭缝79形成环状(闭合的环状)。即,源极指露出狭缝79遍及源极指44的全长而形成。由此,能够遍及源极指44的整周而有效地缓和施加于钝化层70的应力。

[0121] 源极电极层40与栅极电极层60隔着隔离区域48而相互隔开间隔,钝化层70在隔离区域48的位置形成为台阶状。应力容易集中于这种台阶的位置。在这方面,钝化层70在产生台阶的隔离区域48的近旁包括源极电极露出狭缝74、第一及第二栅极指露出狭缝78A、78B、以及源极指露出狭缝79。由此,能够缓和施加于钝化层70的应力,抑制钝化裂纹的产生。

[0122] 另外,源极电极露出狭缝74、第一及第二栅极指露出狭缝78A、78B、以及源极指露出狭缝79配置在俯视时与有助于半导体元件20的动作用的半导体元件区域重叠的位置。因此,能够抑制在俯视时与半导体元件区域重叠的位置上的钝化层70的部分产生裂纹并提高半导体元件20的可靠性。

[0123] 半导体装置10具有以下优点。

[0124] (1-1) 钝化层70包括使源极焊盘周边部42B(源极电极部42的外周部分)的一部分露出的源极电极露出狭缝74。因此,从与源极焊盘42A连接的第一导电部件22施加于钝化层70的应力、尤其是施加于源极焊盘周边部42B上的钝化层70的部分的应力由源极电极露出狭缝74缓和。由此,能够抑制钝化裂纹的产生。

[0125] (1-2) 钝化层70还包括使栅极指64(第一及第二栅极指部64A、64B)的一部分露出的第一及第二栅极指露出狭缝78A、78B。栅极指64以包围源极电极部42的方式配置。因此,从第一导电部件22施加于钝化层70的应力、尤其是施加于栅极指64上的钝化层70的部分的应力由第一及第二栅极指露出狭缝78A、78B进一步缓和。其结果,通过形成源极电极露出狭缝74和第一及第二栅极指露出狭缝78A、78B,能够进一步抑制钝化裂纹的产生。

[0126] (1-3) 钝化层70还包括使源极指44的一部分露出的源极指露出狭缝79。源极指44以包围栅极指64(栅极电极层60)的方式配置。因此,从第一导电部件22施加于钝化层70的应力、尤其是施加于源极指44上的钝化层70的部分的应力由源极指露出狭缝79进一步缓和。其结果,通过形成源极电极露出狭缝74、第一及第二栅极指露出狭缝78A、78B、以及源极指露出狭缝79,能够进一步抑制钝化裂纹的产生。

[0127] (1-4) 钝化层70的厚度T2比源极电极层40的厚度T1以及栅极电极层60的厚度T1小。即,钝化层70比源极电极层40以及栅极电极层60薄。由此,能够抑制产生于钝化层70的

应力的增大,并抑制钝化裂纹的产生。

[0128] (1—5) 钝化层70至少局部地进入源极电极层40与栅极电极层60之间的隔离区域48,在隔离区域48的位置形成为台阶状。因此,覆盖源极电极层40和栅极电极层60的钝化层70不是平坦的。在钝化层70具有台阶的情况下,与钝化层70为平坦的情况相比,在台阶的位置应力容易集中于钝化层70。在这方面,钝化层70在产生台阶的隔离区域48的附近包括源极电极露出狭缝74、第一及第二栅极指露出狭缝78A、78B、以及源极指露出狭缝79。由此,能够缓和施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0129] (1—6) 钝化层70包括覆盖源极电极层40的上表面以及栅极电极层60的上表面的第一包覆部分71A。另外,钝化层70包括在隔离区域48的位置覆盖源极电极层40的侧面以及栅极电极层60的侧面的第二包覆部分71B。钝化层70的台阶由第一包覆部分71A和第二包覆部分71B形成。源极电极露出狭缝74、第一及第二栅极指露出狭缝78A、78B、以及源极指露出狭缝79形成于包括源极焊盘开口72的第一包覆部分71A(即、钝化层70的上表面)。由此,能够缓和从与源极焊盘42A连接的第一导电部件22施加于钝化层70的第一包覆部分71A的应力,并抑制第一包覆部分71A中的裂纹的产生。

[0130] (1—7) 源极焊盘周边部42B(源极电极部42)在俯视时具有包括角部的外形形状(在图3的例子中,俯视大致L形状)。应力比较容易集中在与源极焊盘周边部42B的角部对应的钝化层70的部分。因此,能够由源极电极露出狭缝74缓和在源极焊盘周边部42B的角部上施加于钝化层70的应力,并能够抑制钝化裂纹的产生。

[0131] (1—8) 源极电极露出狭缝74形成为环状。由此,能够由源极电极露出狭缝74缓和在源极焊盘周边部42B的外周上施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0132] (1—9) 源极电极露出狭缝74形成为闭合的环状。由此,能够由源极电极露出狭缝74缓和在源极焊盘周边部42B的外周整周上施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0133] (1—10) 栅极指64(第一及第二栅极指部64A、64B)包括角部。应力比较容易集中在与栅极指64的角部对应的钝化层70的部分。因此,能够由第一及第二栅极指露出狭缝78A、78B缓和在栅极指64的角部上施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0134] (1—11) 栅极电极层60包括栅极电极部62,栅极指64(第一及第二栅极指部64A、64B)以环状地包围源极电极部42的周围的方式从栅极电极部62延伸。第一及第二栅极指露出狭缝78A、78B遍及栅极指64(第一及第二栅极指部64A、64B)的全长而位于栅极指64上。由此,能够由第一及第二栅极指露出狭缝78A、78B缓和遍及环状地包围源极电极部42的周围的栅极指64的全长而施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0135] (1—12) 源极指44包括角部。应力比较容易集中在与源极指44的角部对应的钝化层70的部分。因此,能够由源极指露出狭缝79缓和在源极指44的角部上施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0136] (1—13) 源极指露出狭缝79形成为环状。由此,能够由源极指露出狭缝79缓和在源极指44上施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0137] (1—14) 源极指露出狭缝79形成为闭合的环状。由此,能够由源极指露出狭缝79缓和和源极指44的整周上施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0138] (1—15) 源极电极露出狭缝74的狭缝宽度 w_1 与第一及第二栅极指露出狭缝78A、

78B的狭缝宽度 w_2 相同。即,使源极焊盘周边部42B露出的源极电极露出狭缝74与使栅极指64露出的第一及第二栅极指露出狭缝78A、78B以相同的宽度形成。另外,狭缝宽度 w_1 与源极指露出狭缝79的狭缝宽度 w_3 也相同,源极电极露出狭缝74与使源极指44露出的源极指露出狭缝79也以相同的宽度形成。这样,通过形成于源极焊盘周边部42B(源极电极部42)上的狭缝以极小的宽度形成,从而能够适当地维持钝化层70的功能。

[0139] (1—16) 半导体元件20是具有形成于半导体元件区域(有源区域)的分离栅极构造的晶体管。源极电极露出狭缝74、第一及第二栅极指露出狭缝78A、78B、以及源极指露出狭缝79配置在俯视时与有助于晶体管(半导体元件20)的运动的半导体元件区域重叠的位置。因此,能够适当地抑制在俯视时与半导体元件区域重叠的位置上的钝化层70的部分产生裂纹,并提高半导体元件20的可靠性。

[0140] (1—17) 第一导电部件22跨越栅极指64(在图3的例子中,第一栅极指部64A)以及源极指44并将源极焊盘42A(源极电极部42)与第一导电端子14电连接。在这样的结构中,应力比较容易集中于在俯视时与第一导电部件22重叠的栅极指64的部分(在图3的例子中为第一部分64A1)以及源极指44的部分(在图3的例子中为第一部分44A)。第一栅极指露出狭缝78A以及源极指露出狭缝79分别使栅极指64以及源极指44的这些部分露出。因此,能够缓和施加于钝化层70的应力,并抑制钝化裂纹的产生。

[0141] (1—18) 第一导电部件22是具有比称为卡夹的桥形状的部件。通过使用本公开的钝化层70,从而能够在使用了这样的卡夹(第一导电部件22)的半导体装置10中缓和施加于钝化层70的应力,抑制钝化裂纹的产生。

[0142] [变更例]

[0143] 上述各实施方式能够如下变更并实施。另外,上述各实施方式以及以下的各变更例能够在技术上不矛盾的范围内相互组合并实施。

[0144] • 图8是变更例的例示的半导体元件20的概略俯视图。如图8所示,源极电极层40也可以不包括源极指44(参照图3以及图4)。该情况下,源极电极层40也不具有连接部46。即、在图8中,源极电极层40也可以仅包括源极电极部42(源极焊盘42A以及源极焊盘周边部42B)。此外,在该情况下,栅极电极层60也可以包括与栅极电极部62(栅极焊盘62A)环状地连接的栅极指64。在这样的结构中,钝化层70也可以包含遍及栅极指64的全长而使栅极指64的一部分露出的栅极指露出狭缝78。

[0145] 图9是用图8所示的双点划线F9包围的部分的半导体元件20的概略放大俯视图。图10是沿图9所示的F10—F10线的概略剖视图。如图9所示,在不包括源极指44的图8的半导体元件20中,在第一周边沟槽部92A不具有第一场板接触部106A(参照图4)。在第二周边沟槽部92B设有第二场板接触部106B。在这样的结构中,如图10所示,场板电极94可仅通过第二导电部件110B而与源极电极层40连接。钝化层70可包括源极焊盘开口72、源极电极露出狭缝74、以及栅极指露出狭缝78。在这样的变形例的结构中,也能得到与参照图3~图7说明的上述实施方式同样的优点。

[0146] • 半导体装置10不限于于引线框构造的封装,也可以具有其它封装构造。

[0147] • 半导体元件20不限于于上述说明的晶体管。源极电极(源极电极层40)不过是第一驱动电极的一例,漏极电极(漏极电极层50)不过是第二驱动电极的一例,栅极电极(栅极电极层60)不过是控制电极的一例。半导体元件20可以作为包括第一驱动电极、第二驱动电

极、以及控制电极的任意的晶体管而构成。

[0148] • 半导体元件20不限于晶体管等的开关元件。半导体元件只要包括第一配线部、从第一配线部隔开间隔且至少局部地包围第一配线部的第二配线部、以及覆盖第一配线部及第二配线部的钝化层,就能够对这样的半导体元件应用本公开的构造。该情况下,根据本公开的构造,通过形成使第一配线部的一部分露出的第一狭缝、以及使第二配线部的一部分露出的第二狭缝,从而能够抑制钝化裂纹的产生。

[0149] • 本公开的构造中使用的导电部件不限于卡夹(具有桥形状的导电部件)。例如,也可以代替第一导电部件22,而使用导线将半导体元件20连接于第一导电端子14。同样,也可以代替第二导电部件24,而使用导线将半导体元件20连接于第二导电端子16。因此,导电部件也可以是导线。即,在钝化层70具有台阶的情况下,可产生应力引起的钝化裂纹。本公开的钝化层70即使在导电部件是导线的情况下也能够采用。

[0150] • 在图3~图7所示的实施方式中,钝化层70也可以不具有使源极指44的一部分露出的源极指露出狭缝79。即,钝化层70也可以完全覆盖源极指44。该情况下,能够通过源极电极露出狭缝74、第一栅极指露出狭缝78A、以及第二栅极指露出狭缝78B来抑制钝化层70的裂纹。

[0151] • 在图3~图7所示的实施方式中,钝化层70也可以不具有使栅极指64的一部分露出的第一及第二栅极指露出狭缝78A、78B。即,钝化层70也可以完全覆盖栅极指64。该情况下,能够通过源极电极露出狭缝74以及源极指露出狭缝79来抑制钝化层70的裂纹。

[0152] • 在图3~图7所示的实施方式中,也可以省略第一及第二栅极指露出狭缝78A、78B中的任一方。

[0153] • 源极电极露出狭缝74不限于闭合的环状,也可以形成为打开的环状。例如,源极电极露出狭缝74也可以在与源极电极层40的连接部46相邻的部分或者其它部分不连续。

[0154] • 源极电极露出狭缝74不限于环状。例如,源极电极露出狭缝74也可包括在与源极焊盘周边部42B的角部(在图3的例子中为六个角部)对应的钝化层70的部分局部地形成的六个狭缝部分。即,源极电极露出狭缝74可以使源极电极部42的外周部分中的至少角部露出。该情况下,各狭缝部分例如也可以具有L形状。应力比较容易集中在与源极电极部42的外周部分的角部对应的钝化层70的部分。因此,即使在该变形例的结构中,也能够抑制钝化裂纹的产生。

[0155] • 第一栅极指露出狭缝78A也可以仅形成在与第一栅极指部64A的角部对应的钝化层70的部分。例如,在图3中,第一栅极指露出狭缝78A也可以仅使第一栅极指部64A的第一部分64A1与第二部分64A2的连接部分局部地露出。应力比较容易集中在与第一栅极指部64A的角部对应的钝化层70的部分。因此,即使在该变形例的结构中,也能够抑制钝化裂纹的产生。

[0156] • 第二栅极指露出狭缝78B也可以仅形成在与第二栅极指部64B的角部对应的钝化层70的部分。例如,在图3中,第二栅极指露出狭缝78B也可以仅使第二栅极指部64B的第一部分64B1与第二部分64B2的连接部分局部地露出。应力比较容易集中在与第二栅极指部64B的角部对应的钝化层70的部分。因此,即使在该变形例的结构中,也能够抑制钝化裂纹的产生。

[0157] • 源极指露出狭缝79不限于闭合的环状,也可以形成为打开的环状。例如,源极

指露出狭缝79也可以在与源极电极层40的连接部46相邻的部分或者其它部分不连续。

[0158] • 源极指露出狭缝79不限于环状。例如,在图3中,源极指露出狭缝79也可以包括在与源极指44的四个角部对应的钝化层70的部分局部地形成的四个狭缝部分。即,源极指露出狭缝79也可以使源极指44的至少角部露出。该情况下,各狭缝部分例如也可以具有L字形形状。应力比较集中在与源极指44的角部对应的钝化层70的部分。因此,即使在该变形例的结构中,也能够抑制钝化裂纹的产生。

[0159] • 源极电极部42(源极焊盘周边部42B的外形形状)以及源极焊盘42A不限于俯视大致L字形形状,也可以是在俯视时具有包括角部的外形形状。因此,第一导电部件22的第一端部22F不限于俯视大致L字形形状,也可以与源极焊盘42A的形状一致,在俯视时具有包括角部的外形形状。

[0160] • 对于在本公开中使用的“在~上”这样的用语只要不是根据上下文明确地表示并不是这样,则包括“在~上”和“在~的上方”的意思。因此,“第一层形成在第二层上”这样的表述意在,在某些实施方式中,第一层可与第二层接触地直接配置在第二层上,但在其它实施方式中,第一层可不与第二层接触地配置在第二层的上方。即,“在~上”这样的用语不排除在第一层与第二层之间形成有其它层的构造。

[0161] • 在本公开中使用的Z轴方向不需要必须是铅垂方向,也不需要与铅垂方向完全一致。因此,本公开的各种构造(例如,图1所示的构造)不限于在本说明书中说明的Z轴方向的“上”以及“下”为铅垂方向的“上”以及“下”。例如,X轴方向也可以为铅垂方向、或者Y轴方向也可以为铅垂方向。

[0162] • 本公开中使用的表示“垂直”、“水平”、“上方”、“下方”、“上”、“下”、“前方”、“后方”、“横”、“左”、“右”、“前”、“后”等方向的用语取决于说明以及图示的装置的特定的方向。在本公开中,能够设想各种代替的方向,因此,表示这些方向的用语不应被狭义地解释。

[0163] [附记]

[0164] 以下记载能够从上述各实施方式以及各变更例把握的技术的思想。此外,表示与各附记所记载的构成要素对应的实施方式的构成要素的符号。符号是为了帮助理解而作为例子示出的,各附记所记载的构成要素不应限定为用符号示出的构成要素。

[0165] (附记A1)

[0166] 一种半导体装置10,其具备半导体元件20和导电部件22,

[0167] 上述半导体元件20包括:

[0168] 第一配线部42,其与上述导电部件22连接;

[0169] 第二配线部60,其从上述第一配线部42隔开间隔并且至少局部地包围上述第一配线部42;以及

[0170] 钝化层70,其覆盖上述第一配线部42及上述第二配线部60,

[0171] 上述钝化层70包括:

[0172] 第一开口72,其使上述第一配线部42的一部分作为上述导电部件22的连接区域42A而露出;

[0173] 第一狭缝74,其位于上述第一开口72与上述第二配线部60之间,且使上述第一配线部42的一部分露出;以及

[0174] 第二狭缝78、78A、78B,其使上述第二配线部60的一部分露出。

[0175] (附记A2)

[0176] 根据附记A1所记载的半导体装置10,

[0177] 上述钝化层70的厚度T2比上述第一配线部42的厚度T1以及上述第二配线部60的厚度T1小。

[0178] (附记A3)

[0179] 根据附记A1或A2所记载的半导体装置10,

[0180] 上述钝化层70至少局部地进入上述第一配线部42与上述第二配线部60之间的隔离区域48,在上述隔离区域48的位置形成为台阶状。

[0181] (附记A4)

[0182] 根据附记A3所记载的半导体装置10,

[0183] 上述第一配线部42包括第一面、以及与上述第一配线部的第一面连续且划定上述隔离区域48的第二面,

[0184] 上述第二配线部60包括第一面、以及与上述第二配线部的第一面连续且划定上述隔离区域48的第二面,

[0185] 上述钝化层70包括:

[0186] 第一包覆部分71A,其覆盖上述第一配线部42的第一面及上述第二配线部60的第一面;以及

[0187] 第二包覆部分71B,其位于上述隔离区域48,且覆盖上述第一配线部42的第二面及上述第二配线部60的第二面,

[0188] 上述钝化层70包括由上述第一包覆部分71A和上述第二包覆部分71B形成的台阶,

[0189] 上述第一开口72、上述第一狭缝74、以及上述第二狭缝78A、78B形成于上述第一包覆部分71A。

[0190] (附记A5)

[0191] 根据附记A1~A4中任一项所记载的半导体装置10,

[0192] 上述第一配线部42包括:

[0193] 源极焊盘42A,其作为上述连接区域从上述第一开口72露出;以及

[0194] 源极焊盘周边部42B,其位于上述源极焊盘42A的周边,且形成上述第一配线部42的外周部分,

[0195] 上述第一狭缝74位于上述源极焊盘周边部42B上。

[0196] (附记A6)

[0197] 根据附记A5所记载的半导体装置10,

[0198] 上述源极焊盘周边部42B在俯视时具有包括角部的外形形状,

[0199] 上述第一狭缝74位于上述源极焊盘周边部42B的上述角部上。

[0200] (附记A7)

[0201] 根据附记A1~A6中任一项所记载的半导体装置10,

[0202] 上述第一狭缝74形成为环状。

[0203] (附记A8)

[0204] 根据附记A7所记载的半导体装置10,

[0205] 上述第一狭缝74形成为闭合的环状。

- [0206] (附记A9)
- [0207] 根据附记A1 ~ A8中任一项所记载的半导体装置10,
- [0208] 上述第二配线部60包括栅极指64,该栅极指64从上述第一配线部42隔开间隔并且沿上述第一配线部42延伸,
- [0209] 上述第二狭缝78A、78B位于上述栅极指64上。
- [0210] (附记A10)
- [0211] 根据附记A9所记载的半导体装置10,
- [0212] 上述栅极指64包括角部,
- [0213] 上述第二狭缝78A、78B位于上述栅极指64的上述角部上。
- [0214] (附记A11)
- [0215] 根据附记A9或者A10所记载的半导体装置10,
- [0216] 上述第二配线部60还包括栅极电极部62,
- [0217] 上述栅极指64以环状地包围上述第一配线部42的周围的方式从上述栅极电极部62延伸,
- [0218] 上述第二狭缝78A、78B遍及上述栅极指64的全长而位于上述栅极指64上。
- [0219] (附记A12)
- [0220] 根据附记A1 ~ A11中任一项所记载的半导体装置10,
- [0221] 上述半导体元件20还包括第三配线部44,该第三配线部44从上述第二配线部60隔开间隔并且至少局部地包围上述第二配线部60,
- [0222] 上述钝化层70还覆盖上述第三配线部44,
- [0223] 上述钝化层70还包括使上述第三配线部44的一部分露出的第三狭缝79。
- [0224] (附记A13)
- [0225] 根据附记A12所记载的半导体装置10,
- [0226] 上述第三配线部44包括源极指44,该源极指从上述第二配线部60隔开间隔并且沿上述第二配线部42延伸,
- [0227] 上述第三狭缝79位于上述源极指44上。
- [0228] (附记A14)
- [0229] 根据附记A13所记载的半导体装置10,
- [0230] 上述源极指44包括角部,
- [0231] 上述第三狭缝79位于上述源极指44的上述角部上。
- [0232] (附记A15)
- [0233] 根据附记A13或者A14所记载的半导体装置10,
- [0234] 上述源极指44以环状包围上述第二配线部60的周围,
- [0235] 上述第三狭缝79形成为环状。
- [0236] (附记A16)
- [0237] 根据附记A15所记载的半导体装置10,
- [0238] 上述第三狭缝79形成为闭合的环状。
- [0239] (附记A17)
- [0240] 根据附记A1 ~ A16中任一项所记载的半导体装置10,

- [0241] 上述第一狭缝的宽度W1与上述第二狭缝W2的宽度相同。
- [0242] (附记A18)
- [0243] 根据附记A1 ~ A17中任一项所记载的半导体装置10,
- [0244] 上述半导体元件20是具有形成于半导体元件区域的分离栅极构造的晶体管,
- [0245] 上述第一狭缝74以及上述第二狭缝78A、78B配置于在俯视时与上述半导体元件区域重叠的位置。
- [0246] (附记A19)
- [0247] 根据附记A1 ~ A18中任一项所记载的半导体装置10,
- [0248] 还具备与上述半导体元件20相邻地配置的导电端子14,
- [0249] 上述导电部件22跨越上述第二配线部60并将上述第一配线部42与上述导电端子14连接,
- [0250] 上述第二狭缝78A、78B使在俯视时与上述导电部件22重叠的上述第二配线部60的部分露出。
- [0251] (附记A20)
- [0252] 根据附记A1 ~ A19中任一项所记载的半导体装置10,
- [0253] 上述导电部件22包括各自平板状的第一端部及第二端部、以及位于上述第一端部与上述第二端部之间且以台阶状折曲的中间部,是具有桥形状的卡夹。
- [0254] (附记B1)
- [0255] 一种半导体装置10,其具备半导体元件20和导电部件22,
- [0256] 上述半导体元件20包括:
- [0257] 第一配线部42,其与上述导电部件22连接;
- [0258] 第二配线部60,其从上述第一配线部42隔离并且至少局部地包围上述第一配线部42;
- [0259] 第三配线部44,其从上述第二配线部60隔离并且至少局部地包围上述第二配线部60;以及
- [0260] 钝化层70,其覆盖上述第一配线部42、上述第二配线部60、以及上述第三配线部44,
- [0261] 上述钝化层70包括:
- [0262] 第一开口72,其使上述第一配线部42的一部分作为上述导电部件22的连接区域42A而露出;
- [0263] 内周侧狭缝74,其位于上述第一开口72与上述第二配线部60之间,且使上述第一配线部42的一部分露出;以及
- [0264] 至少一个外周侧狭缝78、78A、78B、79,其使上述第二配线部60的一部分以及上述第三配线部44的一部分中的至少一方露出。
- [0265] (附记C1)
- [0266] 一种半导体元件20,其具备:
- [0267] 第一配线部42;
- [0268] 第二配线部60,其从上述第一配线部42隔离并且至少局部地包围上述第一配线部42;以及

[0269] 钝化层70,其覆盖上述第一配线部42以及上述第二配线部60,

[0270] 上述钝化层70包括:

[0271] 第一开口72,其使上述第一配线部42的一部分露出;

[0272] 第一狭缝74,其位于上述第一开口72与上述第二配线部60之间,使上述第一配线部42的一部分露出;以及

[0273] 第二狭缝78、78A、78B,其使上述第二配线部60的一部分露出。

[0274] 以上的说明仅为例示。本领域人员可认识到,除了为了对本公开的技术进行说明的目的而列举的构成要素以及方法(制造工艺)以外,还能够进行更多的考虑的组合以及置换。本公开意在包含在包括权利要求的本公开的范围内所含的全部的代替、变形、以及变更。

[0275] 符号说明

[0276] 10—半导体装置,12—导电板,14—第一导电端子,16—第二导电端子,20—半导体元件,22—第一导电部件,24—第二导电部件,40—源极电极层,42—源极电极部(第一配线部),42A—源极焊盘(连接区域),42B—源极焊盘周边部,44—源极指,48—隔离区域,60—栅极电极层(第二配线部),62—栅极电极部,62A—栅极焊盘,64—栅极指,64A—第一栅极指部,64B—第二栅极指部,70—钝化层,71A—第一包覆部分,71B—第二包覆部分,71C—第三包覆部分,72—源极焊盘开口(第一开口),74—源极电极露出狭缝(第一狭缝),76—栅极焊盘开口,78—栅极指露出狭缝,78A—第一栅极指露出狭缝(第二狭缝),78B—第二栅极指露出狭缝(第二狭缝),79—源极指露出狭缝(第三狭缝),T1、T2—厚度,W1、W2、W3—宽度(狭缝宽度)。

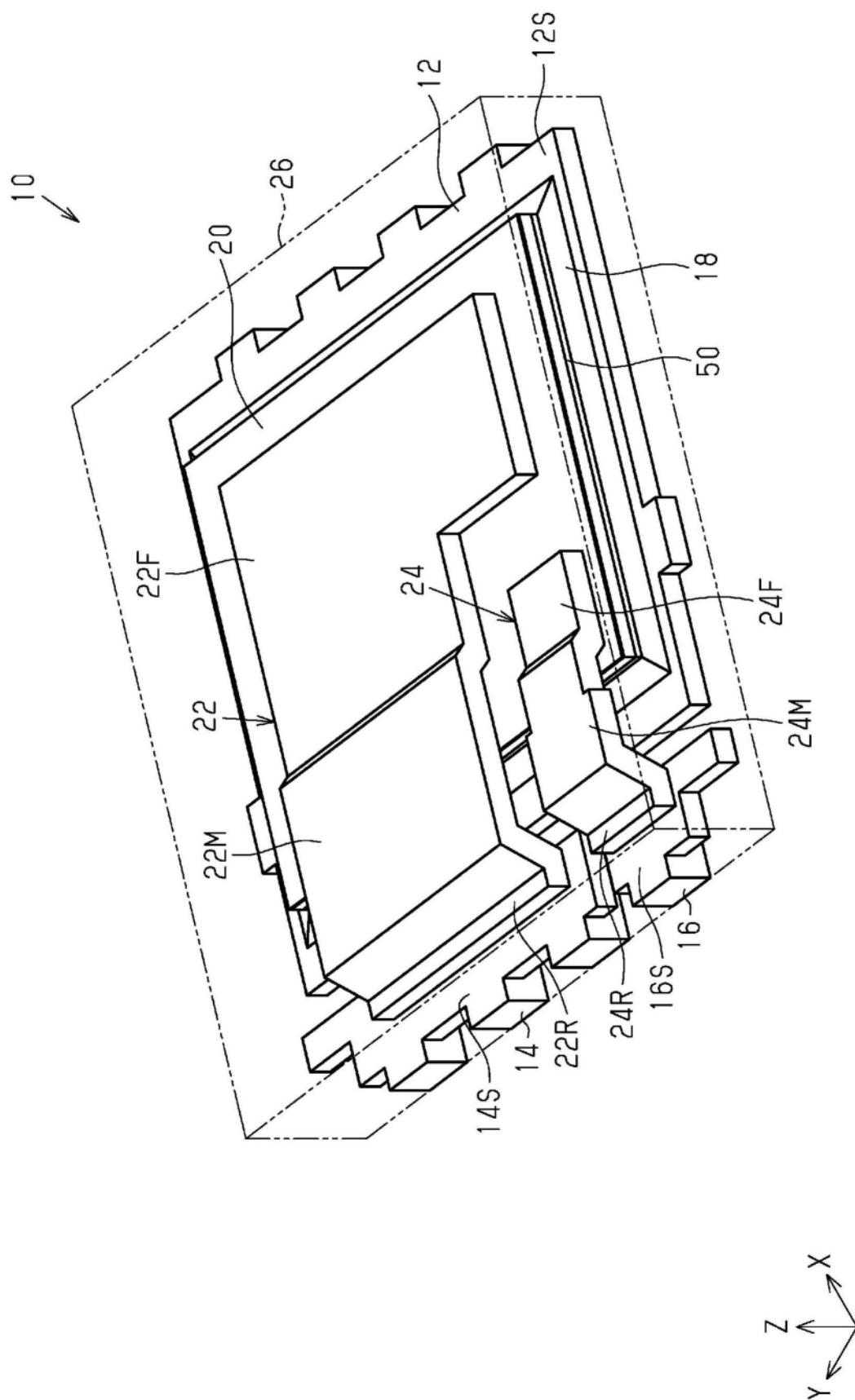


图1

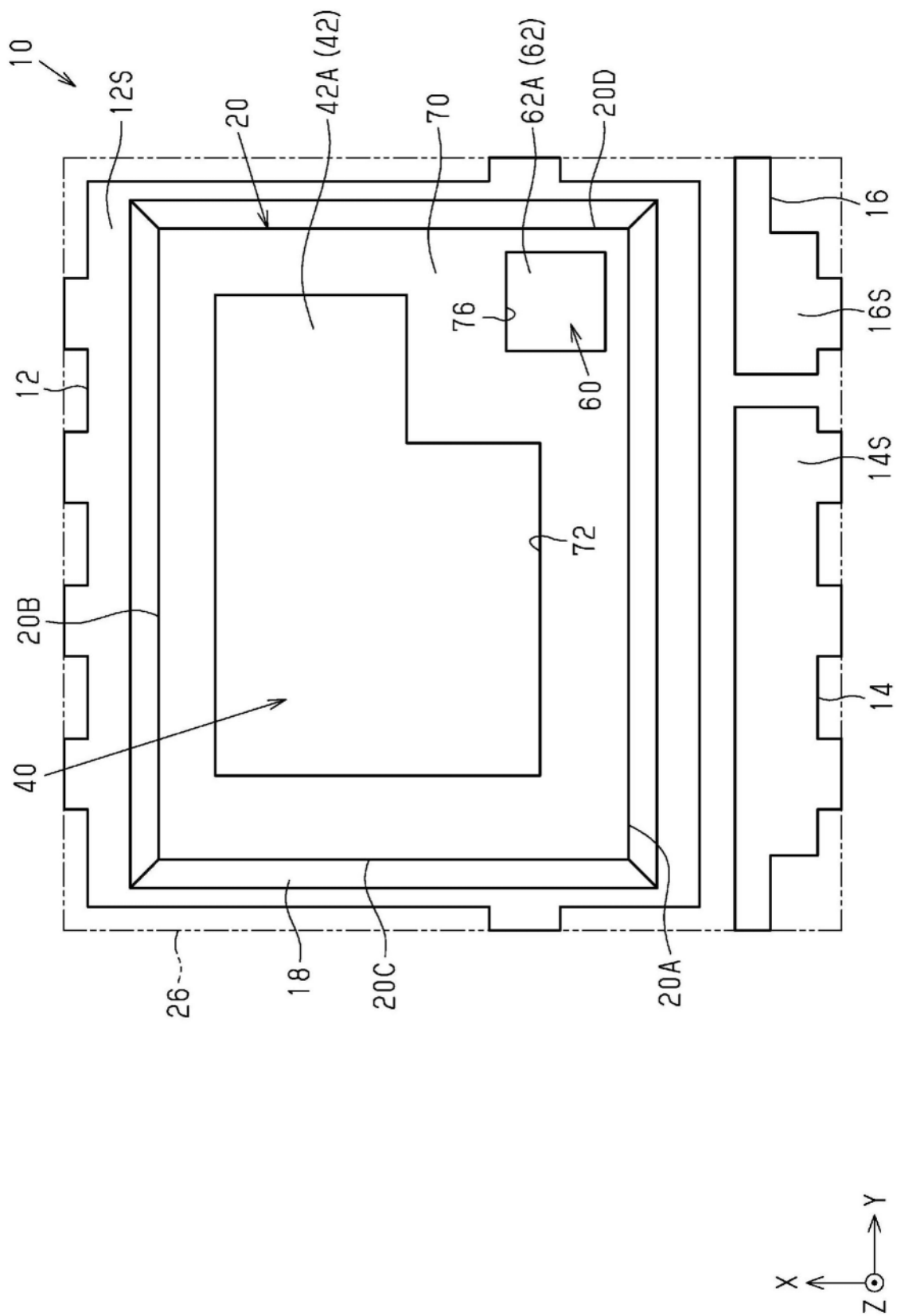


图2

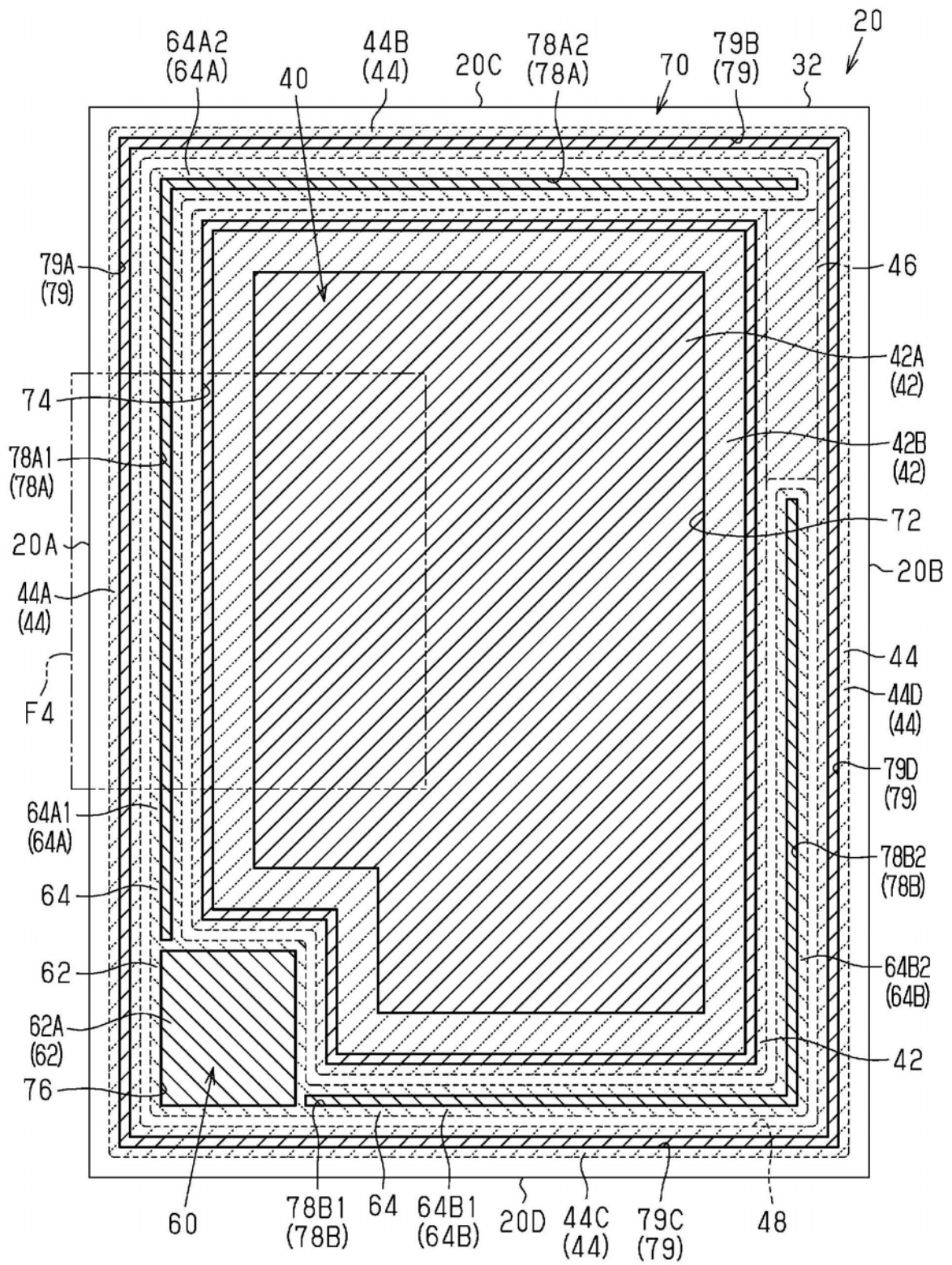


图3

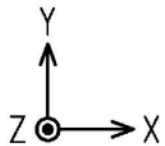
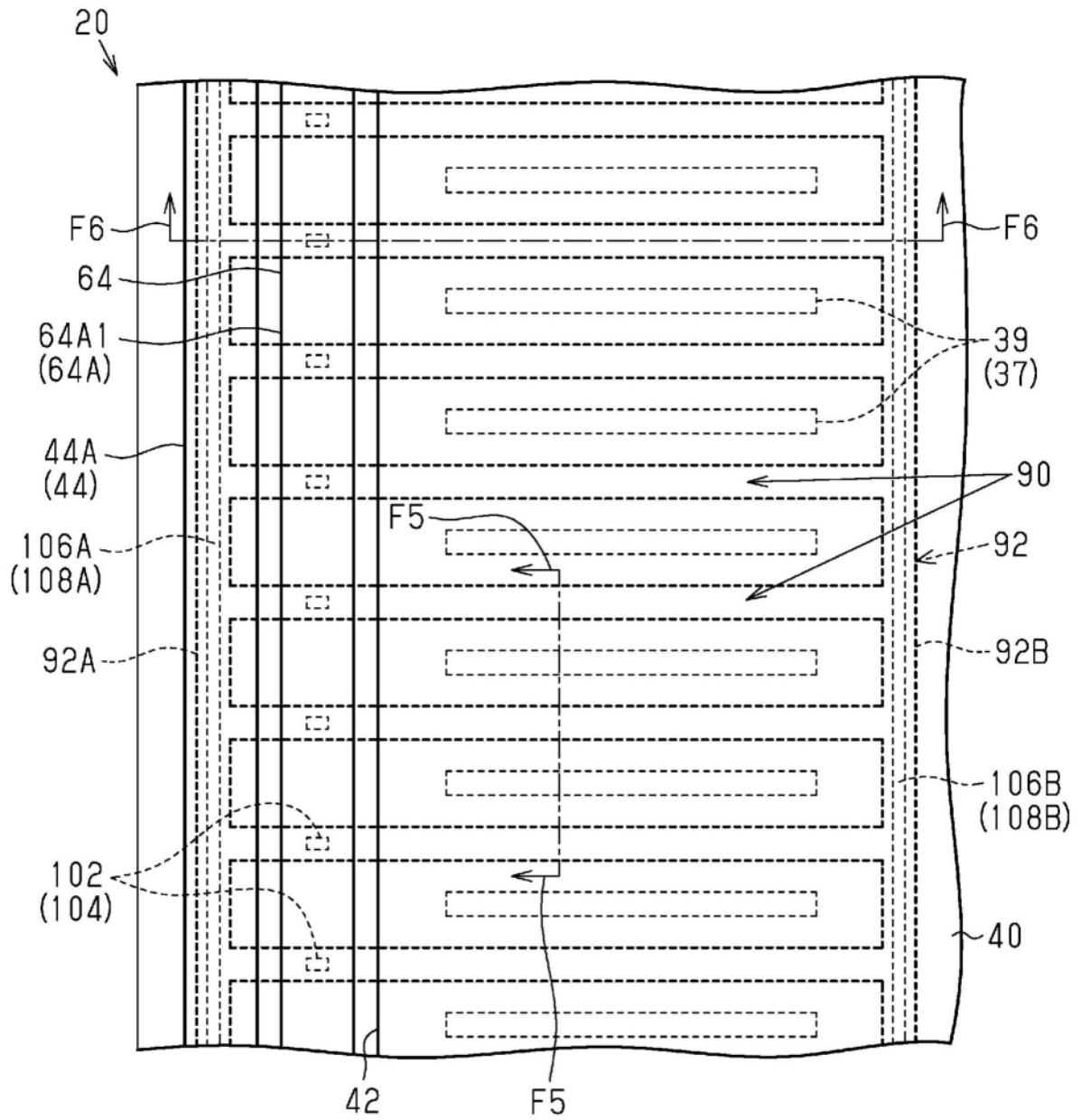


图4

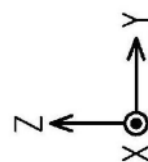
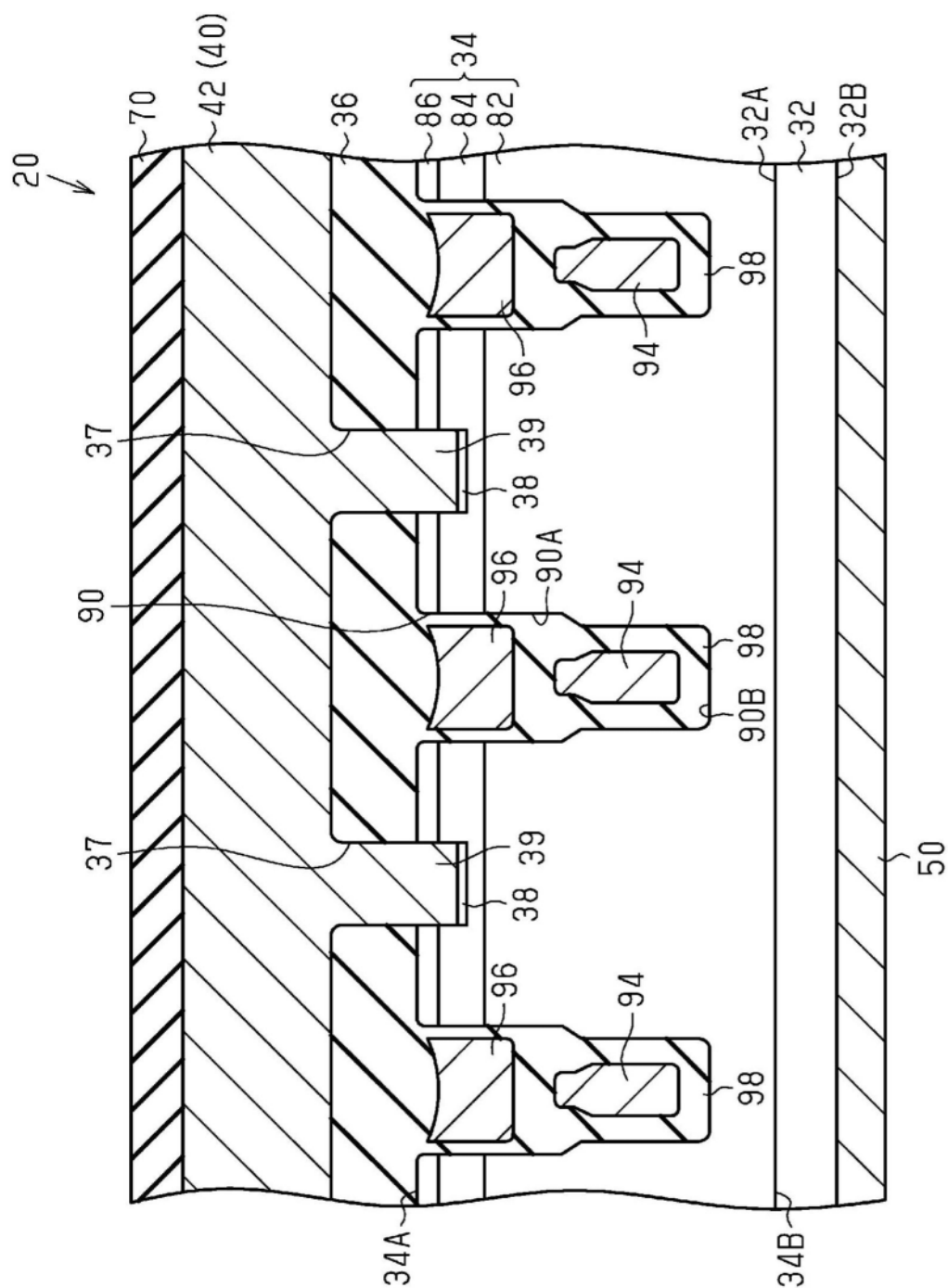


图5

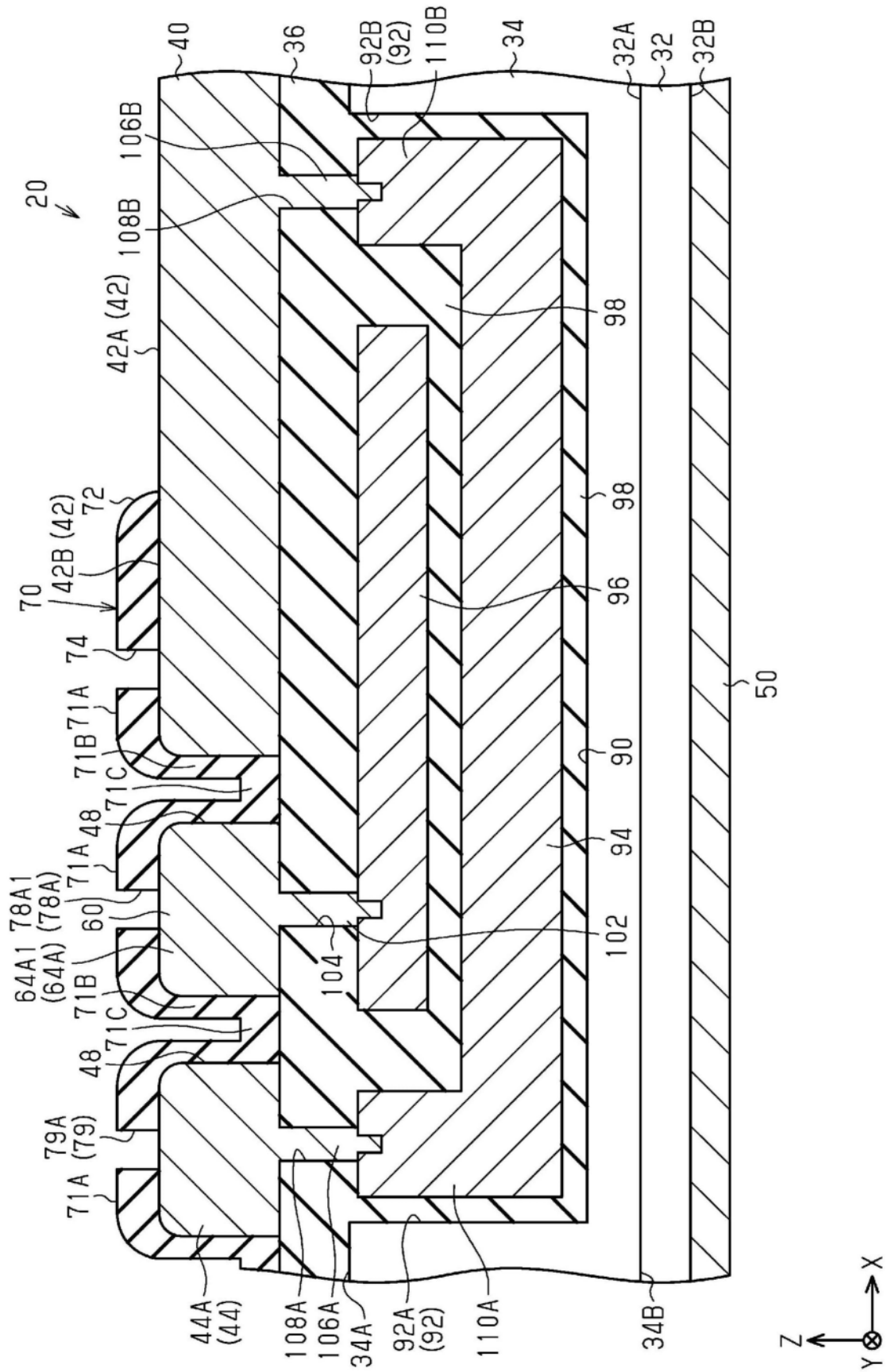


图6

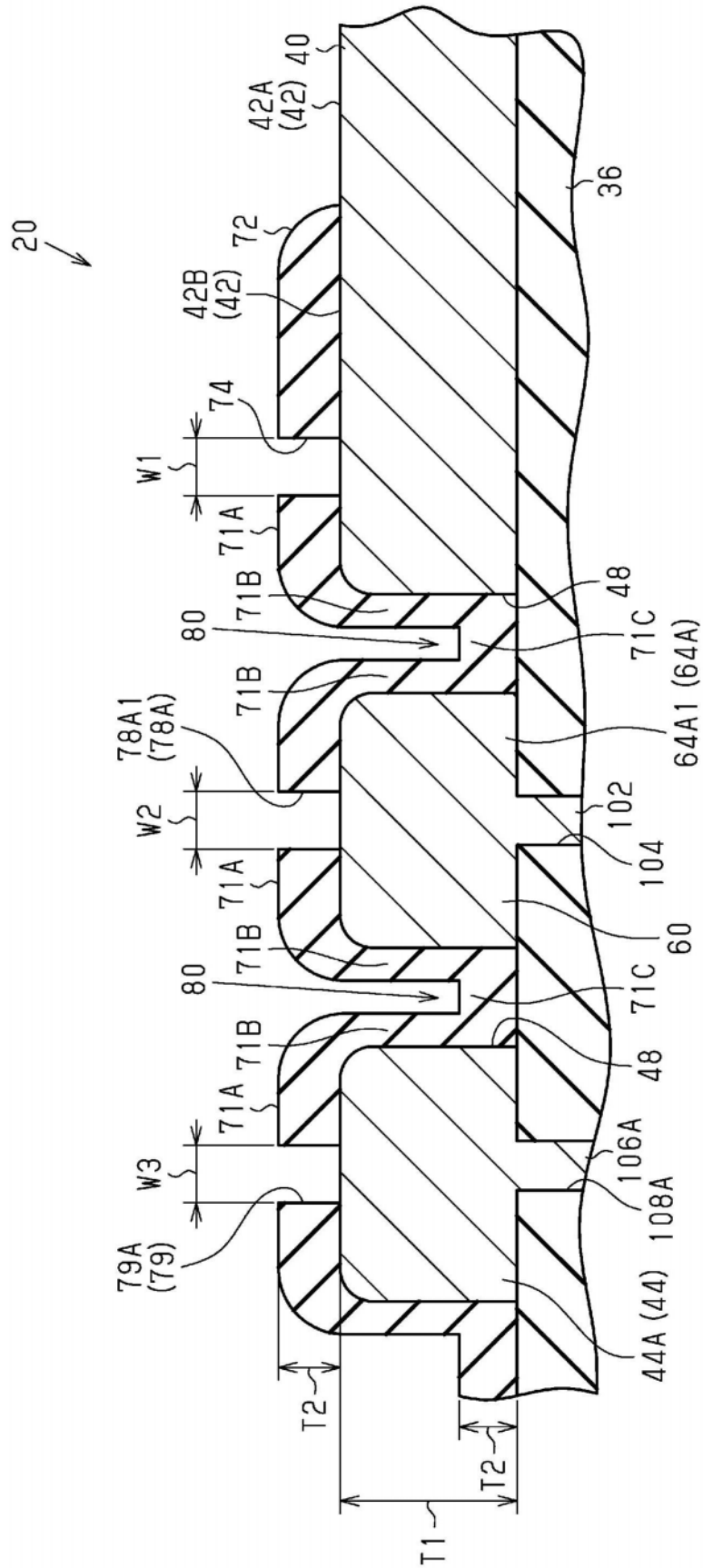


图7

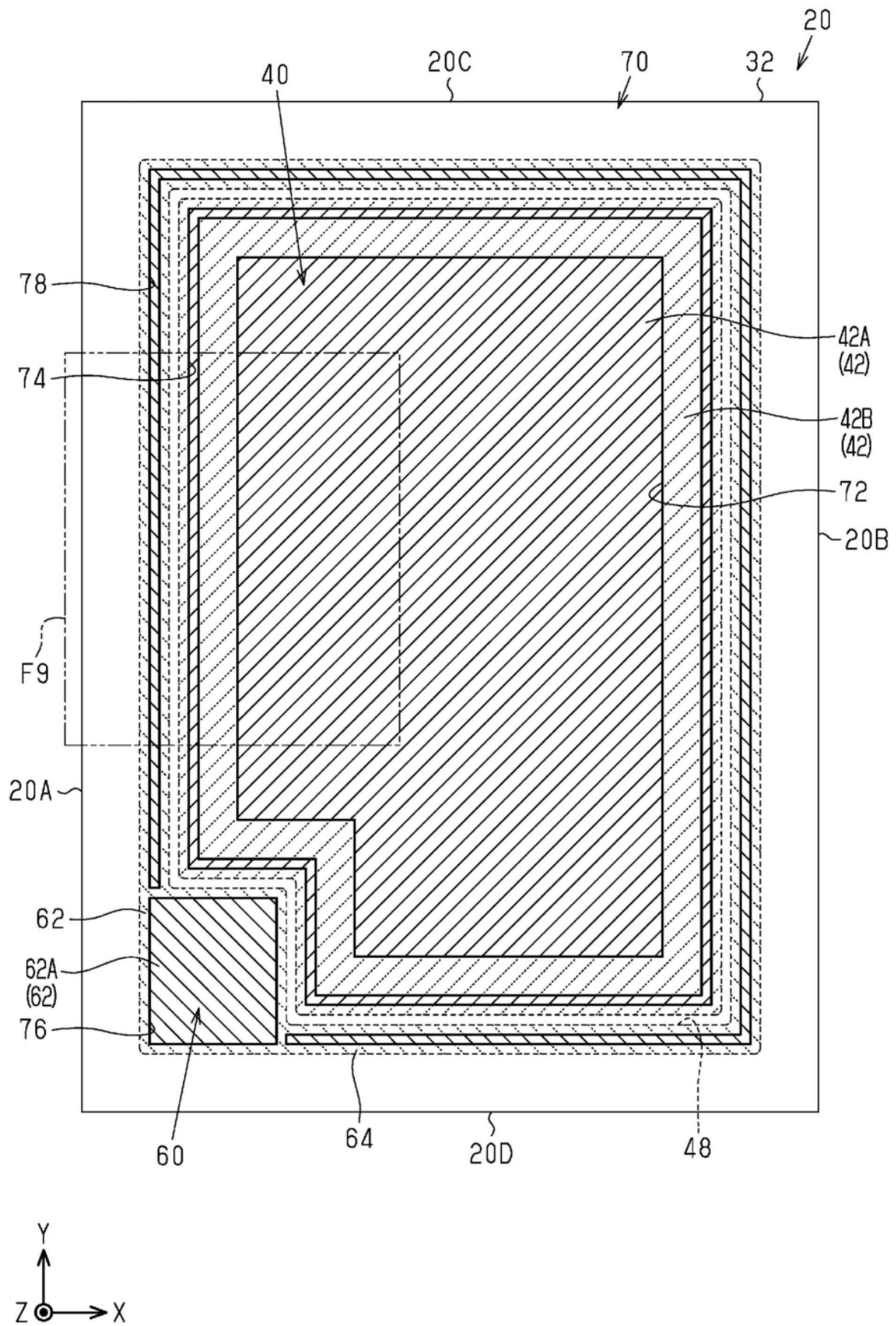


图8

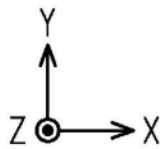
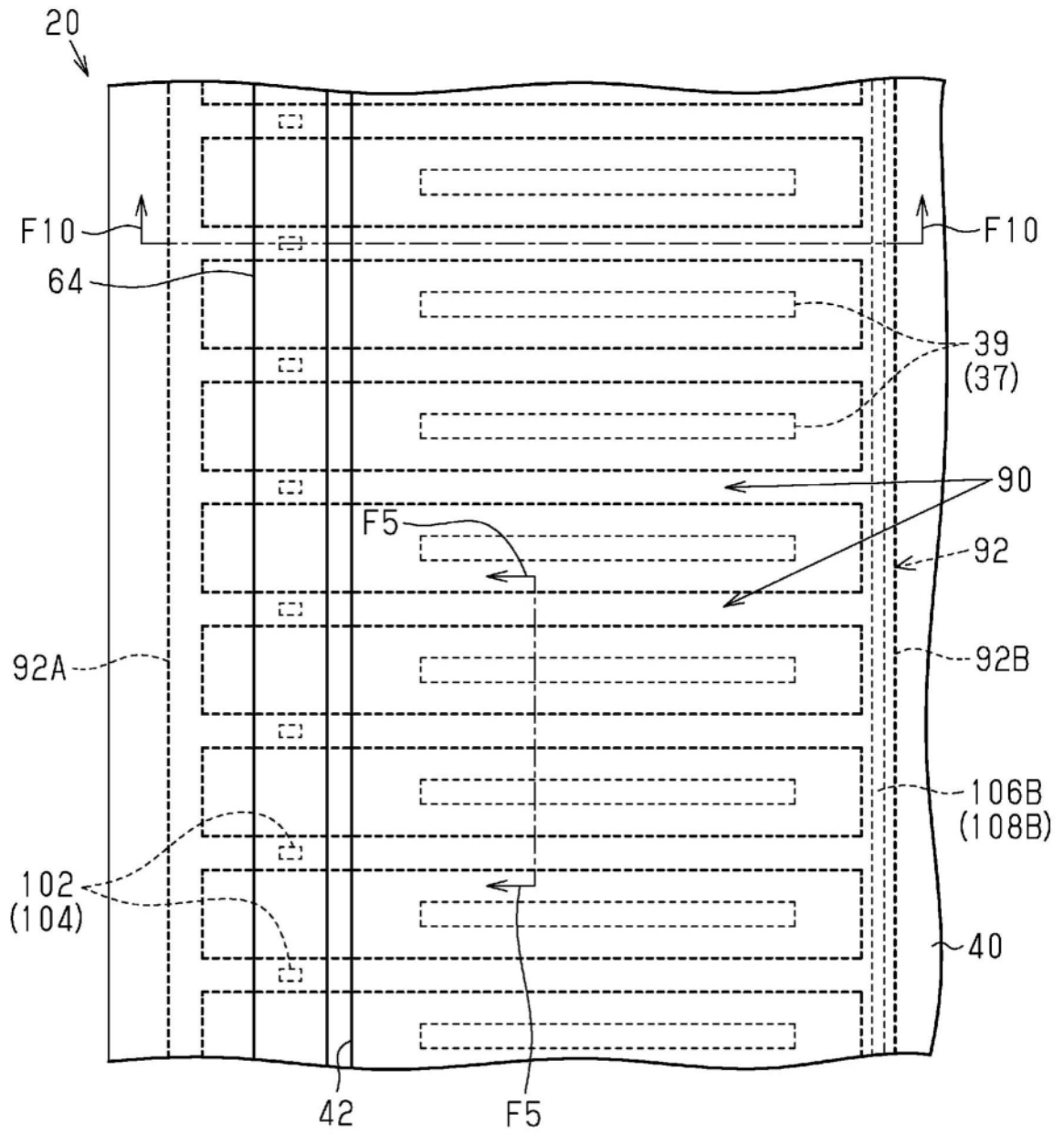


图9

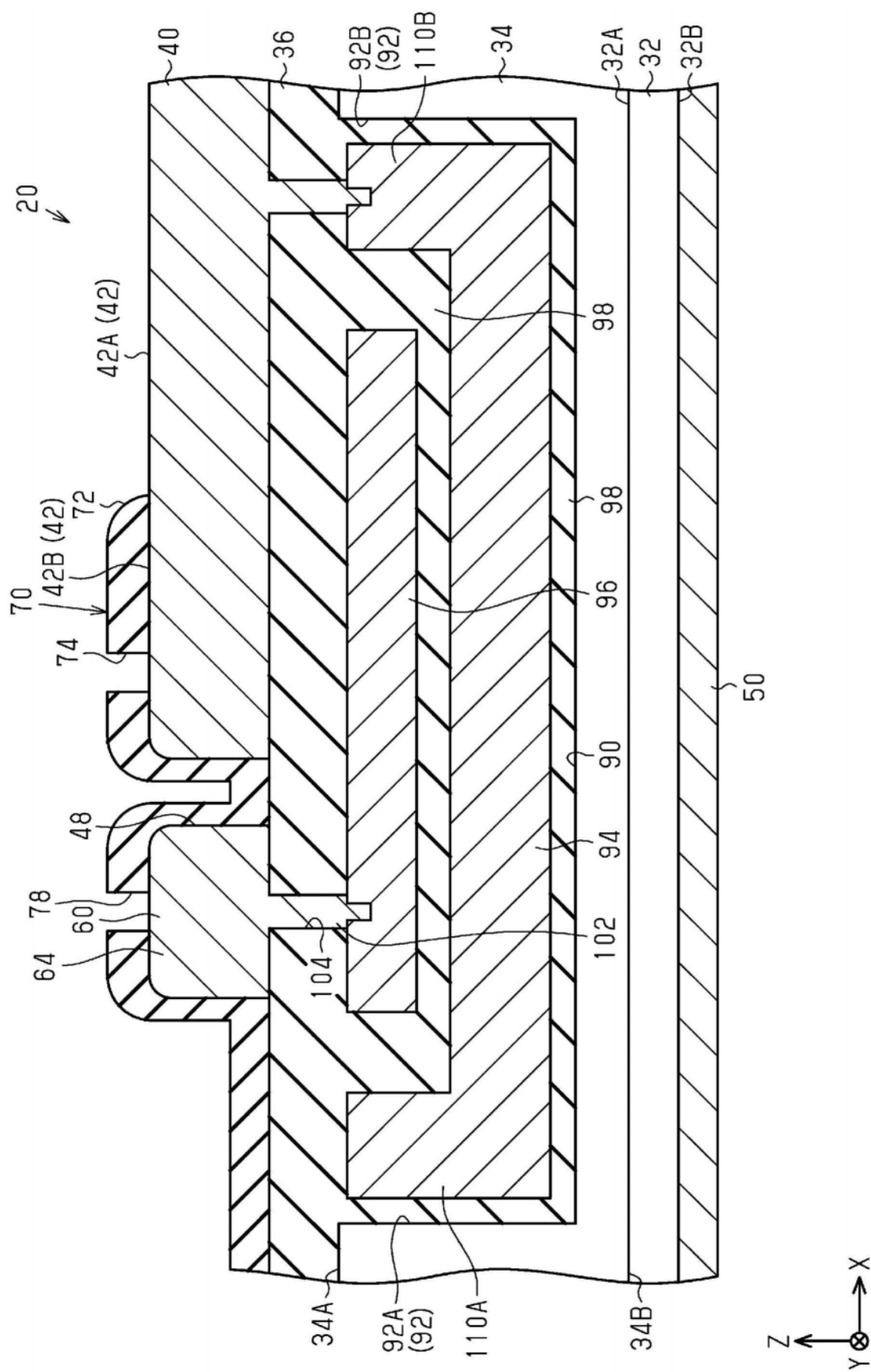


图10