



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년11월15일

(11) 등록번호 10-2730633

(24) 등록일자 2024년11월12일

(51) 국제특허분류(Int. Cl.)

H01F 1/40 (2006.01) H10N 50/01 (2023.01)

H10N 50/80 (2023.01)

(52) CPC특허분류

H01F 1/40 (2013.01)

H10N 50/01 (2023.02)

(21) 출원번호 10-2023-0156886

(22) 출원일자 2023년11월14일

심사청구일자 2023년11월14일

(56) 선행기술조사문헌

KR1020170119145 A

KR100851982 B1

KR1020110082055 A

(73) 특허권자

국립한밭대학교 산학협력단

대전광역시 유성구 동서대로 125 (덕명동)

부산대학교 산학협력단

부산광역시 금정구 부산대학로63번길 2 (장전동, 부산대학교)

(72) 발명자

김정환

대전광역시 서구 둔산남로 127, 목련아파트 204동 705호

이승훈

경기도 안성시 공도읍 진건중길 15-13, 101동 204호

박성균

부산광역시 동래구 충렬사로 39

(74) 대리인

특허법인 플러스

전체 청구항 수 : 총 12 항

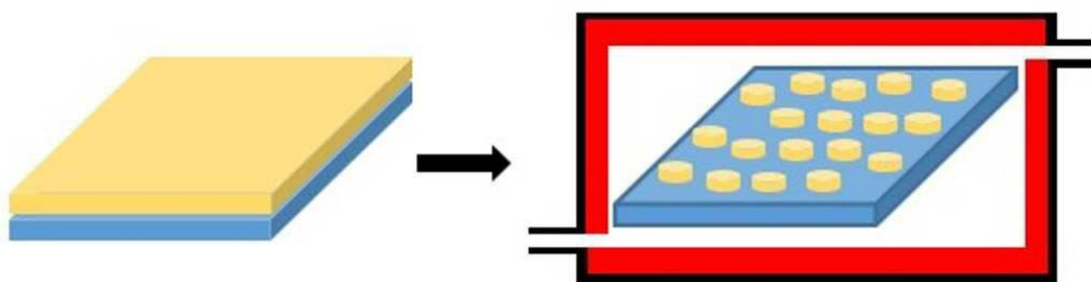
심사관 : 정용택

(54) 발명의 명칭 투명 자성 반도체 소재 및 이의 제조방법

(57) 요약

본 발명은 기재; 상기 기재의 표면에 증착된 반도체 박막; 상기 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층;을 포함하는 자성 반도체 소재 및 이의 제조방법에 관한 것이다. 구체적으로, 상기 반도체 박막은 투명한 반도체 박막인 것으로, 본 발명의 자성 반도체 소재는 상온에서 자성 및 반도체성을 유지함과 동시에 투명성을 현저하게 향상시킬 수 있어 차세대 투명 전자 소자의 재료로 매우 유용하게 사용 가능하다.

대표도 - 도1



(52) CPC특허분류

H10N 50/80 (2023.02)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711194102
과제번호	2022M3H4A1A04071154
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노소재기술개발
연구과제명	원자수준 제어 신개념 투명 반도체 스핀 소재 및 소자 개발
기 여 율	1/2
과제수행기관명	한국표준과학연구원
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1415187471
과제번호	00235609
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	민관공동투자반도체고급인력양성사업(R&D)
연구과제명	수직 적층형 cell 트랜지스터 공정 개발을 통한 3차원 DRAM 개발 방향 제시
기 여 율	1/2
과제수행기관명	고려대학교세종산학협력단
연구기간	2023.04.01 ~ 2027.12.31

명세서

청구범위

청구항 1

기재;

상기 기재의 표면에 증착된 투명 반도체 박막; 및

상기 투명 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층;을 포함하는 자성 반도체 소재.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 반도체 박막은 1 내지 500 nm의 두께인, 자성 반도체 소재.

청구항 4

제 1항에 있어서,

상기 자성 물질이 나노도트 형태로 증착된 층은 철, 코발트, 니켈 및 산화 망가니즈로 이루어진 군에서 선택되는 어느 하나 이상을 포함하는, 자성 반도체 소재.

청구항 5

제 1항에 있어서,

상기 자성 물질이 나노도트 형태로 증착된 층은 도트의 직경이 100 내지 500 nm인, 자성 반도체 소재.

청구항 6

제 1항에 있어서,

상기 자성 물질이 나노도트 형태로 증착된 층은 층의 두께가 5 내지 100 nm인, 자성 반도체 소재.

청구항 7

제 1항에 있어서,

상기 자성 물질이 나노도트 형태로 증착된 층의 또 다른 일면에 증착된 반도체 박막을 포함하는, 자성 반도체 소재.

청구항 8

제 7항에 있어서,

상기 반도체 박막은 투명 반도체 박막인, 자성 반도체 소재.

청구항 9

제 1항 및 제 3항 내지 제 8항에서 선택되는 어느 한 항에 따른 자성 반도체 소재를 포함하는, 자성 반도체 소자.

청구항 10

기재;

상기 기재의 표면에 투명 반도체 박막을 증착하는 단계;

상기 투명 반도체 박막 상에 자성 물질을 증착하여 층을 형성하는 단계; 및

상기 형성된 층을 500 내지 1500 ℃의 온도로 열처리하는 단계;를 포함하는 자성 물질이 나노도트 형태로 증착된 층을 갖는 자성 반도체 소재의 제조방법.

청구항 11

삭제

청구항 12

제 10항에 있어서,

상기 자성 물질은 철, 코발트, 니켈 및 산화 망가니즈로 이루어진 군에서 선택되는 어느 하나 이상을 포함하는, 자성 반도체 소재의 제조방법.

청구항 13

제 10항에 있어서,

상기 형성된 층의 또 다른 일면에 반도체 박막을 증착하는 단계를 더 포함하는, 자성 반도체 소재의 제조방법.

청구항 14

제 13항에 있어서,

상기 반도체 박막은 투명 반도체 박막인, 자성 반도체 소재의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 기재; 상기 기재의 표면에 증착된 반도체 박막; 상기 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층;을 포함하는 자성 반도체 소재 및 이의 제조방법에 관한 것이다. 구체적으로, 상기 제조방법은 기재; 상기 기재의 표면에 반도체 박막을 증착하는 단계; 상기 반도체 박막 상에 자성 물질을 증착하여 층을 형성하는 단계; 및 상기 형성된 층을 열처리하여 자성 물질을 도트형태로 응집하는 단계;를 포함한다.

배경 기술

[0002] 자성 반도체란 자기적으로는 자성을 특성을 띄면서 전기적으로는 반도체의 특성을 갖는 물질을 의미한다. 자성 반도체는 전하와 스핀을 전기장 및 자기장을 사용하여 동시에 혹은 각각 제어할 수 있어 활발한 연구가 진행되어 왔다. 특히, 이를 디스플레이 및 태양전지와 같은 투명 전자 소자에 적용시키기 위해서는 반도체 특성 및 자기적 특성과 동시에 투명성을 유지할 수 있는 소재를 필요로 한다.

[0003] 종래에는 투명 산화물 반도체 소재에 자성 소재를 혼합하거나, 자성 소재에 반도체 소재 및 투명 산화물 소재를 혼합하는 기술이 주로 사용되었으며, 대표적으로 반도체 소재에 Fe, Mn, Co 등의 자기 원자를 희석하여 혼합한 DMS(Diluted Magnetic Semiconductor)를 예로 들 수 있다. 하지만 DMS는 상온 이하의 온도 범위에서 자성을 띄고 자기 원자가 랜덤하게 도핑되어 특성을 조절하기 어려워 대면적 공정에 적합하지 않고, 대부분의 자성 원자는 불투명성을 띄어 높은 투명성과 자성을 동시에 유지하기 힘든 한계점이 있었다. 따라서, 이러한 문제점을 해소하기 위한 상온에서도 충분한 자성을 띄면서 투명성과 반도체성을 유지할 수 있는 새로운 소재의 개발이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 기재; 상기 기재의 표면에 증착된 반도체 박막; 상기 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층;을 포함하는 자성 반도체 소재를 제공하는 것이다.

[0005] 상세하게, 본 발명의 자성 반도체 소재는 투명 반도체 박막을 포함하여 상온에서 우수한 자성 및 반도체성을 유지함과 동시에 투명성이 현저하게 향상된 자성 반도체 소재를 제공하는 것을 목적으로 한다.

[0006] 또한, 본 발명은 상술된 자성 반도체 소재를 제조하는 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명은 기재; 상기 기재의 표면에 증착된 반도체 박막; 및 상기 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층;을 포함하는 자성 반도체 소재를 제공한다.

[0008] 본 발명의 일 양태에 따른 자성 반도체 소재의 반도체 박막은 투명 반도체 박막일 수 있다.

[0009] 본 발명의 일 양태에 따른 자성 반도체 소재의 박막은 1 내지 500 nm의 두께일 수 있다.

[0010] 본 발명의 일 양태에 따른 자성 반도체 소재의 자성 물질이 나노도트 형태로 증착된 층은 철, 코발트, 니켈, 산화 망가니즈 등으로 이루어진 군에서 선택되는 어느 하나 이상을 포함할 수 있다.

[0011] 본 발명의 일 양태에 따른 자성 반도체 소재의 자성 물질이 나노도트 형태로 증착된 층은 도트의 직경이 100 내지 500 nm일 수 있다.

[0012] 본 발명의 일 양태에 따른 자성 반도체 소재의 자성 물질이 나노도트 형태로 증착된 층은 층의 두께가 5 내지 100 nm일 수 있다.

[0013] 또한, 본 발명은 상기 자성 물질이 나노도트 형태로 증착된 층의 또 다른 일면에 증착된 반도체 박막을 포함하는 자성 반도체 소재를 제공한다.

[0014] 본 발명의 일 양태에 따른 자성 반도체 소재의 반도체 박막은 투명 반도체 박막일 수 있다.

[0015] 본 발명은 상술된 자성 반도체 소재를 포함하는 반도체 소자를 제공한다.

[0016] 또한, 본 발명은 기재; 상기 기재의 표면에 반도체 박막을 증착하는 단계; 상기 반도체 박막 상에 자성 물질을 증착하여 층을 형성하는 단계; 및 상기 형성된 층을 500 내지 1500 °C의 온도로 열처리하는 단계;를 포함하는 자성 물질이 나노도트 형태로 증착된 층을 갖는 자성 반도체 소재의 제조방법을 제공한다.

[0017] 본 발명은 기재; 상기 기재의 표면에 증착된 반도체 박막; 및 상기 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층;을 포함하는 자성 반도체 소재를 제공한다.

[0018] 본 발명의 일 양태에 따른 자성 반도체 소재의 반도체 박막은 투명 반도체 박막일 수 있다.

[0019] 본 발명의 일 양태에 따른 자성 반도체 소재의 박막은 1 내지 500 nm의 두께일 수 있다.

[0020] 본 발명의 일 양태에 따른 자성 반도체 소재의 자성 물질이 나노도트 형태로 증착된 층은 철, 코발트, 니켈, 산화 망가니즈 등으로 이루어진 군에서 선택되는 어느 하나 이상을 포함할 수 있다.

[0021] 본 발명의 일 양태에 따른 자성 반도체 소재의 자성 물질이 나노도트 형태로 증착된 층은 도트의 직경이 100 내지 500 nm일 수 있다.

[0022] 본 발명의 일 양태에 따른 자성 반도체 소재의 자성 물질이 나노도트 형태로 증착된 층은 층의 두께가 5 내지 100 nm일 수 있다.

[0023] 또한, 본 발명은 상기 자성 물질이 나노도트 형태로 증착된 층의 또 다른 일면에 증착된 반도체 박막을 포함하는 자성 반도체 소재를 제공한다.

[0024] 본 발명의 일 양태에 따른 자성 반도체 소재의 반도체 박막은 투명 반도체 박막일 수 있다.

[0025] 본 발명은 상술된 자성 반도체 소재를 포함하는 반도체 소자를 제공한다.

[0026] 또한, 본 발명은 기재; 상기 기재의 표면에 반도체 박막을 증착하는 단계; 상기 반도체 박막 상에 자성 물질을 증착하여 층을 형성하는 단계; 및 상기 형성된 층을 500 내지 1500 °C의 온도로 열처리하는 단계;를 포함하는 자성 물질이 나노도트 형태로 증착된 층을 갖는 자성 반도체 소재의 제조방법을 제공한다.

발명의 효과

[0027] 본 발명에 따른 반도체 박막 및 나노도트 형태로 증착된 자성 층을 포함하는 자성 반도체 소재는 상기 반도체

박막이 투명 반도체 박막일 경우, 상온에서 우수한 자성 및 반도체성을 유지함과 동시에 투명성이 현저하게 향상될 수 있다.

[0028] 또한, 본 발명의 자성 반도체 소재의 제조방법은 자성 물질을 균일하게 분산시킬 수 있어 대면적 공정에 적합할 뿐만 아니라, 이를 통해 제조된 반도체 소자는 우수한 품질을 나타낼 수 있다.

[0029] 본 발명에 따른 반도체 박막 및 나노도트 형태로 증착된 자성 층을 포함하는 자성 반도체 소재는 상기 반도체 박막이 투명 반도체 박막일 경우, 상온에서 우수한 자성 및 반도체성을 유지함과 동시에 투명성이 현저하게 향상될 수 있다.

[0030] 또한, 본 발명의 자성 반도체 소재의 제조방법은 자성 물질을 균일하게 분산시킬 수 있어 대면적 공정에 적합할 뿐만 아니라, 이를 통해 제조된 반도체 소자는 우수한 품질을 나타낼 수 있다.

도면의 간단한 설명

[0031] 도 1은 본 발명에 따른 자성 반도체 소재의 모식도를 나타낸 것이다.

도 2은 실시예 1에서 제조된 자성 반도체 소재의 주사전자현미경(SEM) 이미지를 나타낸 것이다.

도 3은 실시예 1에서 제조된 자성 반도체 소재 단면의 주사전자현미경(SEM) 이미지를 나타낸 것이다.

도 4은 실시예 1에서 제조된 자성 반도체 소재의 에너지 분사 X선 분광기(EDS) 측정 결과 스펙트럼을 나타낸 것이다.

도 5은 실시예 2 및 비교예 1에서 제조된 자성 반도체 소재의 진동 자력계 (VSM, Vibrating Sample Magnetometer)로 측정한 자기모멘트 결과 스펙트럼을 나타낸 것이다.

도 6은 실시예 2 및 비교예 1에서 제조된 자성 반도체 소재의 자외선-가시광(UV-Vis) 분광법으로 측정한 투과도 결과 스펙트럼을 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하 본 개시에 따른 자성 반도체 소재 및 이의 제조방법에 대하여 상세히 설명한다.

[0033] 이때 달리 정의되지 않는 한, 모든 기술적 용어 및 과학적 용어는 본 발명이 속하는 당업자 중 하나에 의해 일반적으로 이해되는 의미와 동일한 의미를 갖는다. 본 발명에서 설명에 사용되는 용어는 단지 특정 구체예를 효과적으로 기술하기 위함이고 본 발명을 제한하는 것으로 의도되지 않는다. 또한 명세서에서 특별히 기재하지 않은 첨가물의 단위는 중량부일 수 있다.

[0034] 또한 명세서 및 첨부된 청구범위에서 사용되는 단수 형태는 문맥에서 특별한 지시가 없는 한 복수 형태도 포함하는 것으로 의도할 수 있다.

[0035] 본 명세서 전체에서 어떤 구성요소를 "포함한다", "구비한다", "함유한다", 또는 "가진다"는 것은 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미하며, 추가로 열거되어 있지 않은 요소, 재료 또는 공정을 배제하지 않는다.

[0036] 본 명세서에서 사용되는 수치 범위는 하한치와 상한치와 그 범위 내에서의 모든 값, 정의되는 범위의 형태와 폭에서 논리적으로 유도되는 증분, 이중 한정된 모든 값 및 서로 다른 형태로 한정된 수치 범위의 상한 및 하한의 모든 가능한 조합을 포함한다. 본 명세서에서 특별한 정의가 없는 한 실험 오차 또는 값의 반올림으로 인해 발생할 가능성이 있는 수치범위 외의 값 역시 정의된 수치범위에 포함된다.

[0037] 본 발명자들은 상온에서도 충분한 자성을 띄면서 투명성과 반도체성을 유지할 수 있는 새로운 소재에 대한 연구를 심화한 결과, 투명 반도체 박막 상에 자성 물질을 열처리하여 나노도트 형태로 응집함으로써 상온에서 우수한 자성, 반도체성 및 투명성을 동시에 나타낼 수 있음을 발견하고 본 발명을 완성하였다.

[0038] 본 개시의 일 양태에 따른 자성 반도체 소재는 기재; 상기 기재의 표면에 증착된 반도체 박막; 및 상기 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층;을 포함하는 것일 수 있다.

[0039] 일 양태에 따른 자성 반도체 소재는 자성 물질이 반도체 박막 상에 증착됨으로써 균일하게 분산되어 반도체 박막과 상호 작용을 증가시킬 수 있어, 전자의 스핀 방향에 따라 변하는 자기적 및 전기적 특성 간의 효율적인 조절을 가능하게 한다.

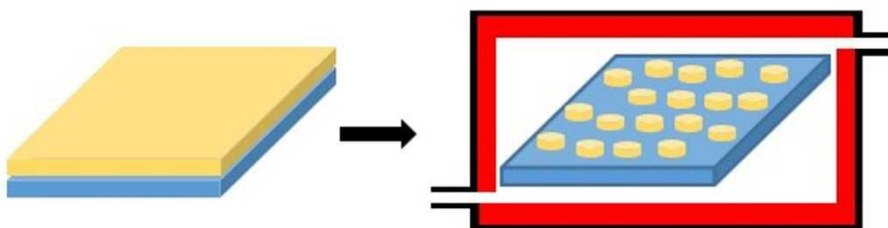
- [0040] 일 양태에 따른 자성 반도체 소재에서, 상기 반도체 박막은 Si, SiC, GaAs, GaN, CdS, CdSe, ZnO, In₂O₃, SnO₂, TiO₂, V₂O₅ 및 Cu₂O로 이루어진 군에서 선택되는 것일 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0041] 일 양태로, 상기 자성 반도체 소재의 반도체 박막은 투명 반도체 박막일 수 있다.
- [0042] 상기 투명 반도체 박막은 본 개시에 따른 자성 반도체 박막의 투명도를 향상시키기 위한 것으로, 높은 투명도 및 안정성을 갖는 것을 더욱 선호하며, 또한 전도도가 높은 것으로도 사용할 수 있으며 일례로 α -Si(amorphous Silicon), poly-Si, GaAs, GaN, CdS, CdSe, ZnO, In₂O₃, SnO, SnO₂, Ga₂O₅, CuO, Cu₂O, CuAlO₂, CuGaO₂, LaCuOSe, NiO, SrCu₂O₂, ZnRh₂O₄, SrTiO₃, Ta₂O₅, TiO₂, NiO, CuLiO 및 La₂O₂Te으로 이루어진 군에서 선택되는 어느 하나 이상일 수 있다.
- [0043] 일 양태에 따른 자성 반도체 소재에서, 상기 반도체 박막은 본 발명의 목적을 달성하는 한에서는 특별히 제한하지 않지만, 1 내지 500 nm의 두께인 것일 수 있다. 총께는 5 내지 300 nm, 더 총께는 1 내지 150 nm일 수 있다.
- [0044] 일 양태에 따른 자성 반도체 소재에서, 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층은 철, 코발트, 니켈, 산화 바나듐, 산화 갈륨, 산화 망가니즈 등으로 이루어진 군에서 선택되는 어느 하나 이상을 포함하는 것일 수 있으나, 당업자가 인식 가능한 것이라면 제한없이 사용가능하며 바람직하게는 코발트일 수 있다.
- [0045] 상기 철은 일례로 Fe, Fe₂O₃, Fe₃C 또는 Fe₃O₄일 수 있으며, 산화 망가니즈는 MnO, Mn₂O₃, MnO₂, Mn₃O₄일 수 있으며, 산화 바나듐은 VO₂, 산화 갈륨은 Ga₂O₃, Ga₂O₂일 수 있다.
- [0046] 상기 자성 물질은 본 개시에 따른 자성 반도체 소재의 자성을 향상시키기 위한 것으로, 강자성을 띄는 물질을 더욱 선호하며, 적용되는 반도체 소자의 특성에 따라 적절하게 선택될 수 있다.
- [0047] 일 양태에 따른 자성 반도체 소재에서, 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층의 나노도트는 직경이 100 내지 500 nm인 것일 수 있다. 구체적으로는 150 내지 300 nm 범위의 것이 본 발명이 목적을 달성하기 용이하여 선호된다. 또한, 나노도트의 형태는 특별히 한정하지 않으며, 예를 들면, 원형, 각형, 타원형, 랜덤형 또는 이들의 혼합된 형태 모두를 포함할 수 있다.
- [0048] 일 양태에 따른 자성 반도체 소재는 자성 물질이 상기 나노도트 형태를 가짐에 따라, 투명 반도체 박막에 증착될 경우 자성 물질이 연속적으로 증착되어 있지 않아 반도체의 투명성을 현저하게 향상시킬 수 있다.
- [0049] 일 양태에 따른 자성 반도체 소재에서, 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층은 층의 두께가 5 내지 100 nm인 것일 수 있으며, 구체적으로 10 내지 60 nm일 수 있다.
- [0050] 일 양태에 따른 자성 반도체 소재에서, 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층의 또 다른 일면에 증착된 반도체 박막을 더 포함할 수 있다.
- [0051] 일 양태에 따른 자성 반도체 소재에서, 상기 기제는 일례로 유리 기제, 세라믹 기제, 석영 기제, 단결정 기제, 다결정 기제 또는 기제 상에 반도체 소자가 포함된 것에서 선택되는 어느 하나 이상일 수 있으나, 이에 한정하는 것은 아니다.
- [0052] 일 양태로, 상기 반도체 박막 상에 자성 물질이 나노도트 형태로 증착된 층의 또 다른 일면에 증착된 반도체 박막은 투명 반도체 박막일 수 있다.
- [0053] 상기 구조를 포함하는 자성 반도체 소재는 반도체 박막 사이에 자성 물질이 나노도트 형태로 증착된 구조로, 자성 물질의 산화를 최소화할 수 있어 상온에서 반도체성 및 자성을 안정적으로 유지할 수 있다.
- [0054] 또한, 본 개시는 상술된 자성 반도체 소재를 포함하는 반도체 소자를 제공한다. 일례로, 상기 반도체 소자는 투명 메모리 반도체, 태양전지, 투명 디스플레이, 터치패널 등이 있지만 반드시 이에 한정하는 것은 아니다.
- [0055] 본 개시의 또 다른 양태는 기제; 상기 기제의 표면에 반도체 박막을 증착하는 단계; 상기 반도체 박막 상에 자성 물질을 증착하여 층을 형성하는 단계; 및 상기 형성된 층을 500 내지 1500 °C의 온도로 열처리하는 단계;를 포함하는 자성 물질이 나노도트 형태로 증착된 층을 갖는 자성 반도체 소재의 제조방법을 제공한다.
- [0056] 본 개시의 일 양태에 따른 자성 반도체 소재는, 기제의 표면에 반도체 박막을 증착한 후 자성 물질을 증착하여 열처리를 통해 자성 물질을 나노도트 형태로 응집하여 형성된 것일 수 있다.

- [0057] 일 양태에 따른 자성 반도체 소재의 제조방법에서, 상기 반도체 박막은 Si, SiC, GaAs, GaN, CdS, CdSe, ZnO, In₂O₃, SnO₂, TiO₂, V₂O₅ 및 Cu₂O으로 이루어진 군에서 선택되는 것일 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0058] 일 양태로, 상기 자성 반도체 소재의 반도체 박막은 투명 반도체 박막일 수 있다.
- [0059] 상기 투명 반도체 박막은 일례로 α -Si(amorphous Silicon), poly-Si, GaAs, GaN, CdS, CdSe, ZnO, In₂O₃, SnO, SnO₂, Ga₂O₅, CuO, Cu₂O, CuAlO₂, CuGaO₂, LaCuOSe, NiO, SrCu₂O₂, ZnRh₂O₄, SrTiO₃, Ta₂O₅, TiO₂, NiO, CuLiO 및 La₂O₂Te으로 이루어진 군에서 선택되는 어느 하나 이상일 수 있다. 일 양태에 따른 자성 반도체 소재의 제조방법에서, 상기 반도체 박막은 투명 반도체 박막일 수 있다.
- [0060] 상기 투명 반도체 박막은 본 개시에 따른 자성 반도체 박막의 투명도를 향상시키기 위한 것으로, 높은 투명도 및 안정성을 갖는 것을 더욱 선호하며, 또한 전도도가 높은 것으로도 사용할 수 있다.
- [0061] 일 양태에 따른 자성 반도체 소재의 제조방법에서, 상기 반도체 박막 상에 자성 물질을 증착하여 층을 형성하는 단계의 자성 물질은 철, 코발트, 니켈, 산화 망가니즈로 이루어진 군에서 선택되는 어느 하나 이상을 포함하는 것일 수 있으나, 당업자가 인식 가능한 것이라면 제한없이 사용가능하며 바람직하게는 코발트일 수 있다.
- [0062] 상기 철은 일례로 Fe₂O₃, Fe₃C 또는 Fe₃O₄일 수 있으며, 상기 산화 망가니즈는 MnO, Mn₂O₃, MnO₂, Mn₃O₄일 수 있다.
- [0063] 상기 자성 물질은 본 개시에 따른 자성 반도체 소재의 자성을 향상시키기 위한 것으로, 강자성을 띄는 물질을 더욱 선호하며, 적용되는 반도체 소자의 특성에 따라 적절하게 선택될 수 있다.
- [0064] 일 양태에 따른 자성 반도체 소재의 제조방법에서, 상기 반도체 박막 상에 자성 물질을 증착하여 층을 형성하는 단계는 바람직하게 불활성 기체 분위기에서 수행될 수 있으며, 상기 불활성 기체는 일례로 아르곤, 질소 및 헬륨에서 선택되는 하나 또는 둘 이상일 수 있으나, 이에 한정되는 것은 아니다.
- [0065] 일 양태에 따른 자성 반도체 소재의 제조방법에서, 상기 기체의 표면에 반도체 박막을 증착하는 단계 및 상기 반도체 박막 상에 자성 물질을 증착하여 층을 형성하는 단계는 당업자가 인식할 수 있는 범위 내에서 가능한 방법이라면 모두 가능하며, 구체적으로 스퍼터링(Sputtering), 물리 기상 증착법(PVD), 졸겔법(Sol-gel), 원자층 증착법(ALD), 화학 기상 증착법(CVD), 유기금속화학기상 증착법(MOCVD), 저압 기상 증착법(LPCVD), 플라즈마 강화 기상 증착법(PECVD) 또는 플라즈마 강화 원자층 증착법(PEALD)으로 수행될 수 있다.
- [0066] 일 양태에 따른 자성 반도체 소재의 제조방법에서, 500 내지 1500 ℃의 온도로 열처리하는 단계는 구체적으로 700 내지 1000 ℃의 온도에서 수행될 수 있다. 더욱 구체적으로는 700 내지 1000 ℃의 온도에서 30초 내지 5시간 동안 수행될 수 있으며, 종게는 30초 내지 90초 동안 수행될 수 있으며, 상기 열처리하는 단계를 통해 자성 물질을 나노도트 형태로 응집할 수 있다.
- [0067] 상기 범위의 온도에서 열처리하는 경우, 본 개시에 따른 자성 반도체 소재의 자성 물질의 도트의 직경 및 배열은 온도에 따라 바뀔 수 있어, 이를 통해 자성 특성의 조절이 용이하므로 적용되는 반도체 소자에 따라 적절하게 사용 가능하다.
- [0068] 일 양태에 따른 자성 반도체 소재의 제조방법에서, 500 내지 1500 ℃의 온도로 열처리하는 단계는 바람직하게 환원성 기체 분위기에서 수행될 수 있으며, 상기 환원성 기체는 수소 및 질소에서 선택되는 하나 또는 둘 이상의 혼합물일 수 있다.
- [0069] 일 양태에 따른 자성 반도체 소재의 제조방법에서, 상기 열처리 단계는 당업자가 인식가능한 것이라면 특별히 제한되는 것은 아니지만, 바람직하게는 빠르게 온도를 높이고 짧은시간동안 열처리하는 방법인 RTP(Rapid Thermal Process)를 통해 수행될 수 있으며, 자성 물질을 짧은시간 동안 열처리함으로써 원치않는 분산을 방지하고 자성 특성의 손상을 방지할 수 있어 선호된다.
- [0070] 일 양태에 따른 자성 반도체 소재의 제조방법에서, 반도체 박막 상에 자성 물질을 증착하여 형성된 층의 또 다른 일면에 증착된 반도체 박막을 더 포함할 수 있다.
- [0071] 일 양태로, 상기 반도체 박막 상에 자성 물질을 증착하여 형성된 층의 또 다른 일면에 증착된 반도체 박막은 투명 반도체 박막일 수 있다.

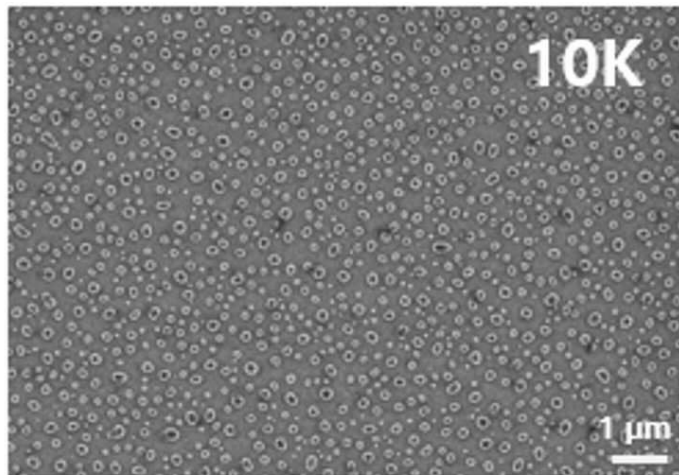
- [0072] 이하 실시예 및 비교예를 바탕으로 본 개시를 더욱 상세히 설명한다. 다만 하기 실시예 및 비교예는 본 개시를 더욱 상세히 설명하기 위한 하나의 예시일 뿐, 본 개시가 하기 실시예 및 비교예에 의해 제한되는 것은 아니다.
- [0073] [실시예 1] 자성 반도체 소재의 제조
- [0074] 초음파 세척기를 이용하여 Si / SiO₂ (100 nm) 및 식영 기판을 아세톤에서 3분, 에탄올에서 3분, 증류수에서 5분 동안 세척하였다.
- [0075] 상기 기재는 금속 코발트(99.95%)의 3 inch 원형 타겟을 이용하였다.
- [0076] 상기 증착된 반도체 박막을 포함하는 기재에 공지된 RF 파워 (Radio Frequency power)을 이용하여 통상적인 스퍼터링 장치에서 아르곤 기체 30sccm의 유량으로 10 mTorr 압력 하에 자성 층의 증착을 진행하였다. 50W의 파워로 약 5분동안 진행하여 10 nm두께의 자성 층을 증착하였다.
- [0077] 상기 증착 공정을 마친 기재를 통상적인 RTP(Rapid Thermal Process) 장비에 장착하고 5 mTorr 이하의 압력을 10분동안 유지하여 챔버 내 불순물을 제거하였다. 이후, 수소와 질소의 혼합가스를 주입하여 환원성 분위기를 형성하고 100Torr의 압력을 유지하였다. 챔버의 온도를 상온 25℃에서 승온 온도를 82℃/초로 하여 1000 ℃에서 60초 동안 열처리하여 자성 물질의 응집 공정을 진행하였다. 이후, 100℃까지 진공에서 냉각하여 자성 반도체 소재를 제조하였다.
- [0078] [실시예 2]
- [0079] GaAs를 반도체 박막의 전구체로 사용한 것을 제외하고 실시예 1과 동일하게 자성 반도체 소재를 제조하였다.
- [0080] [비교예 1]
- [0081] RTP 공정을 수행하지 않은 것을 제외하고, 실시예 2와 동일하게 자성 반도체 소재를 제조하였다.
- [0082] 실시예 1에서 제조된 투명 자성 반도체 소재의 SEM 표면 이미지를 도 2에, 단면 이미지를 도 3에 나타내었으며, 이를 통해 자성물질이 나노도트 형태로 응집된 것을 확인할 수 있었다.
- [0083] 또한, 실시예 1에서 제조된 투명 자성 반도체 소재의 EDS 분석 결과를 도 4에 나타내었으며, 이를 통해 표면에 실리콘(반도체 박막) 및 코발트(자성 물질)의 존재를 확인할 수 있었다.
- [0084] 또한, 도 5에 실시예 2 및 비교예 1에서 제조된 투명 자성 반도체 소재의 자성모멘트를 VSM(Vibrating Sample Magnetometer)를 통해 측정한 결과를 나타내었으며, 도 6에 UV-Vis 분광법으로 측정한 투과도를 나타내었다. 이를 통해 실시예 2는 비교예 1에 비해 상온에서 자기모멘트가 약 2배 증가하였고 투과도는 가시광선에서 약 40% 증가한 것을 확인할 수 있었다.
- [0085] 따라서, 본 발명의 자성 반도체 소재는 상온에서 자성 및 반도체성을 유지하면서 우수한 투명도를 나타내어 차세대 투명 전자 소자의 재료로 매우 유용하게 사용 가능한 것을 알 수 있다.
- [0086] 이상으로 본 발명의 내용의 특정한 부분을 상세히 기술하였는바, 당업계의 통상의 지식을 가진 자에게 있어서, 이러한 구체적 기술은 단지 바람직한 실시양태일 뿐이며, 이에 의해 본 발명의 범위가 제한되는 것이 아닌 점은 명백할 것이다. 따라서, 본 발명의 실질적인 범위는 첨부된 청구항들과 그것들의 등가물에 의하여 정의된다고 할 것이다.

도면

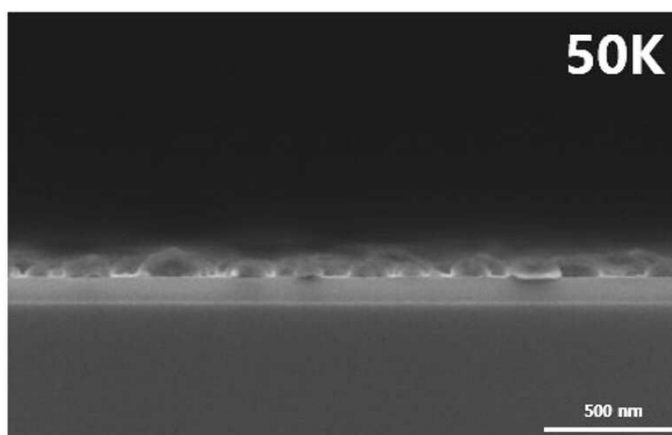
도면1



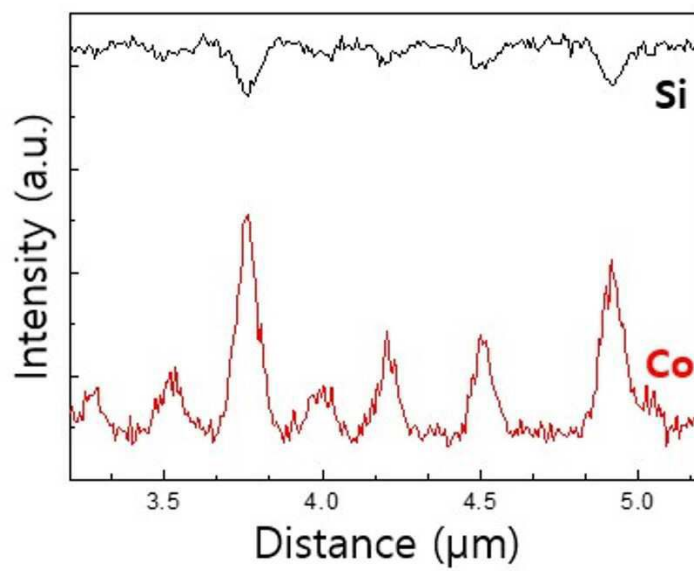
도면2



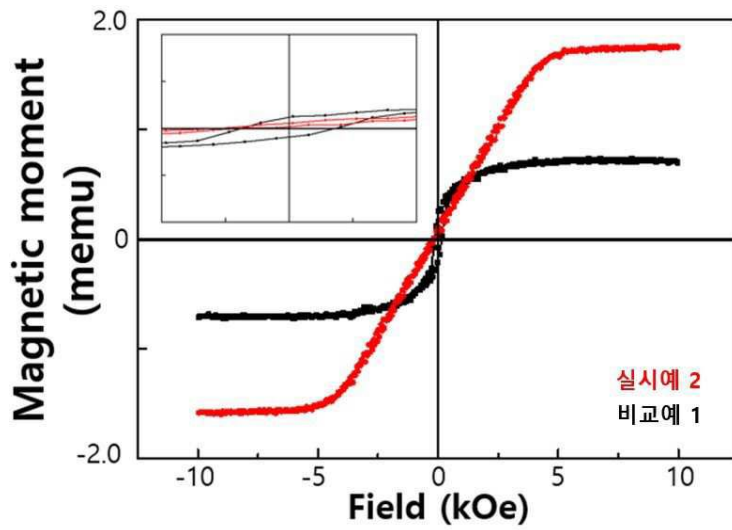
도면3



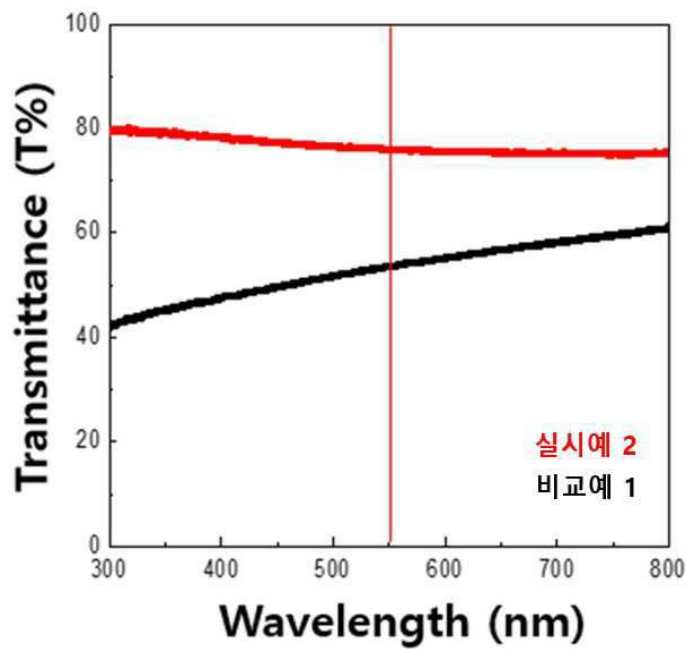
도면4



도면5



도면6



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 9

【변경전】

제 1항 및 제 3항 내지 제 8항에서 선택되는 어느 한 항에 따른 자성 반도체 소재를 포함하는, 반도체 소자.

【변경후】

제 1항 및 제 3항 내지 제 8항에서 선택되는 어느 한 항에 따른 자성 반도체 소재를 포함하는, 자성 반도체 소자.