(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118176329 A
(43)申请公布日 2024.06.11

(21)申请号 202280067121.0

(22)申请日 2022.08.25

(30)优先权数据
2021-164648 2021.10.06 JP

(85)PCT国际申请进入国家阶段日
2024.04.02

(86)PCT国际申请的申请数据
PCT/JP2022/032016 2022.08.25

(87)PCT国际申请的公布数据
WO2023/058355 JA 2023.04.13

(71)申请人 信越半导体株式会社
地址 日本东京都

(72)发明人 大槻刚 萩本和德 石崎顺也
阿部达夫 铃木温 松原寿树

(74)专利代理机构 北京路浩知识产权代理有限公司 11002
专利代理师 李琴 陈玉净

(51)Int.Cl.
C30B 29/62(2006.01)
C23C 16/02(2006.01)
C23C 16/42(2006.01)
C23C 16/56(2006.01)
C30B 25/02(2006.01)
C30B 33/00(2006.01)
H01L 21/205(2006.01)

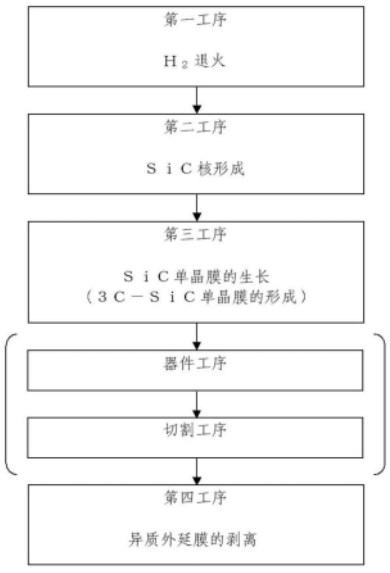
权利要求书2页 说明书11页 附图5页

(54)发明名称

异质外延膜的制作方法

(57)摘要

本发明为一种异质外延膜的制作方法,其为使3C-SiC单晶膜在单晶Si基板上异质外延生长后将其剥离的异质外延膜的制作方法,该制作方法包括:使用减压CVD装置,通过氢焙去除单晶硅基板的表面的自然氧化膜的第一工序;一边供给包含碳与硅的源气体,一边在1333Pa以下、300~950℃以下的条件下进行SiC的核形成的第二工序;在1333Pa以下、800℃以上且小于1200℃的条件下形成3C-SiC单晶膜并且在3C-SiC单晶膜正下方形成空位的第三工序;及利用空位剥离3C-SiC单晶膜从而制作异质外延膜的第四工序。由此,提供一种对器件造成的损伤少且减少材料的损失而效率良好地得到薄膜状的异质外延膜的方法。



CN 118176329 A

1.一种异质外延膜的制作方法,其包括使3C-SiC单晶膜在单晶硅基板上异质外延生长后,将所述3C-SiC单晶膜从所述单晶硅基板上剥离的工序,所述异质外延膜的制作方法的特征在于,包括以下工序:

使用减压CVD装置,通过氢焙去除所述单晶硅基板的表面的自然氧化膜的第一工序;

一边将包含碳与硅的源气体供给至所述减压CVD装置内,一边在压力为1333Pa以下、温度为300℃以上且950℃以下的条件下在所述单晶硅基板上进行SiC的核形成的第二工序;

在压力为1333Pa以下、温度为800℃以上且小于1200℃的条件下使SiC单晶生长,形成3C-SiC单晶膜并且在该3C-SiC单晶膜正下方形成空位的第三工序;及

利用所述空位将所述3C-SiC单晶膜从所述单晶硅基板上分离并剥离,由此制作所述异质外延膜的第四工序。

2.根据权利要求1所述的异质外延膜的制作方法,其特征在于,使用单甲基硅烷或三甲基硅烷作为所述源气体。

3.根据权利要求1或2所述的异质外延膜的制作方法,其特征在于,在温度为1000℃以上且1200℃以下的条件下进行所述第一工序。

4.根据权利要求1～3中任一项所述的异质外延膜的制作方法,其特征在于,在压力为133Pa以下的条件下进行所述第三工序。

5.根据权利要求1～4中任一项所述的异质外延膜的制作方法,其特征在于,相较于所述第二工序的条件,提高压力与温度中的一种以上来进行所述第三工序。

6.根据权利要求5所述的异质外延膜的制作方法,其特征在于,在温度为1000℃以上且小于1200℃的条件下进行所述第三工序。

7.根据权利要求1～6中任一项所述的异质外延膜的制作方法,其特征在于,在所述第三工序中提高压力与温度中的一种以上。

8.根据权利要求7所述的异质外延膜的制作方法,其特征在于,通过在将温度从300℃以上且950℃以下的范围缓缓升温至1000℃以上且小于1200℃的范围的条件下进行所述第二工序、所述第三工序,

连续地进行所述SiC的核形成与紧接着该SiC的核形成的所述3C-SiC单晶膜的形成。

9.根据权利要求8所述的异质外延膜的制作方法,其特征在于,以0.5℃/秒以上且2℃/秒以下的升温速度进行所述升温。

10.根据权利要求1～9中任一项所述的异质外延膜的制作方法,其特征在于,在所述第三工序后且所述第四工序前,进一步使GaN在所形成的所述3C-SiC单晶膜的表面生长,从而形成GaN层。

11.根据权利要求1～9中任一项所述的异质外延膜的制作方法,其特征在于,在所述第三工序后且所述第四工序前,进一步使Si在所形成的所述3C-SiC单晶膜的表面生长,从而形成Si层。

12.根据权利要求1～11中任一项所述的异质外延膜的制作方法,其特征在于,在所述第三工序后,在所形成的所述3C-SiC单晶膜上形成保护膜,然后进行所述第四工序。

13.根据权利要求1～11中任一项所述的异质外延膜的制作方法,其特征在于,在所述第三工序后,在所形成的所述3C-SiC单晶膜上形成器件并形成保护膜,然后进行所述第四工序。

14.根据权利要求1～11中任一项所述的异质外延膜的制作方法,其特征在于,在所述第三工序后,在所形成的所述3C-SiC单晶膜上形成器件并沿着该器件的刻划线切取器件后形成保护膜,然后进行所述第四工序。

异质外延膜的制作方法

技术领域

[0001] 本发明涉及一种异质外延膜的制作方法。

背景技术

[0002] 尖端CMOS(Complementary Metal Oxide Silicon,互补金属氧化物半导体)和IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)等形成于硅基板上的器件大多不以维持初始的硅基板厚度的状态使用,多数情况下通过研磨等方法来进行薄膜化后使用。其原因在于,若硅基板较厚,则基板会成为电阻而产生阻碍。另一方面,从最初开始就较薄的硅基板会在工艺中翘曲而无法通过器件工艺,故需要有厚度。另一方面,最近的器件除了以往的微细化以外,还开始逐渐采用利用晶圆上芯片(Chip on Wafer)等方法进行的集成化,该晶圆上芯片是将切取后的元件贴附在已预先实施金属布线的晶圆。此时,切取的元件也会进行薄片化而将硅基板的大部分去除。

[0003] 并且,器件已逐渐积极地利用硅以外的材料,这有助于高性能化。其中,相较于Si的1.1eV,SiC具有2.2～3.3eV这样的宽广的带隙,因此具有高介电击穿强度,并且导热系数也大,故而是一种作为用于功率器件和高频用器件等各种半导体器件的半导体材料而备受期待的材料。

[0004] 因此,考虑到这些情况,例如专利文献1、2及3中已提出一种对SiC和硅预先实施氢等的离子注入,并从该注入层剥离基板的技术。若为上述方法,则在剥离后薄膜侧会作为器件,厚膜侧能够再次作为基板加以利用(虽然需要进行表面研磨),故而为优点大的方法。然而,上述方法通过像氢这样的离子注入来在其中制作脆弱层进而进行剥离,由于需要离子注入装置这一点(如果为直径大的基板则会特别昂贵)与形成脆弱层的时机极为困难(如果在工艺初期形成脆弱层,则有在工艺中的热工序中发生破裂的可能性;另一方面,如果在工艺后半形成脆弱层,则在此之前所形成的器件会因离子注入而被破坏),故而在实用化上有障碍。

现有技术文献

专利文献

[0005] 专利文献1:日本特开2010-251724号公报

专利文献2:日本特开2011-223011号公报

专利文献3:日本特表2010-502023号公报

发明内容

本发明要解决的技术问题

[0006] 本发明是为了解决上述问题而完成的,并且对器件造成的损伤少且减少材料的损失而效率良好地得到薄膜状的异质外延膜。

解决技术问题的技术手段

[0007] 为了实现上述目的,本发明提供一种异质外延膜的制作方法,其包括使3C-SiC单

晶膜在单晶硅基板上异质外延生长后,将所述3C-SiC单晶膜从所述单晶硅基板上剥离的工序,所述异质外延膜的制作方法的特征在于,包括以下工序:

使用减压CVD装置,通过氢焙(hydrogen bake)去除所述单晶硅基板的表面的自然氧化膜的第一工序;

一边将包含碳与硅的源气体供给至所述减压CVD装置内,一边在压力为1333Pa以下、温度为300℃以上且950℃以下的条件下在所述单晶硅基板上进行SiC的核形成的第二工序;

在压力为1333Pa以下、温度为800℃以上且小于1200℃的条件下使SiC单晶生长,从而形成3C-SiC单晶膜并且于该3C-SiC单晶膜正下方形成空位的第三工序;及

利用所述空位将所述3C-SiC单晶膜从所述单晶硅基板上分离并剥离,由此制作所述异质外延膜的第四工序。

[0008] 如此,通过在第一工序中去除单晶硅基板表面的自然氧化膜,能够在第二工序中进行SiC的核形成。

此外,通过将容易进行第二工序的SiC的核形成的压力及温度条件与第三工序的SiC单晶容易生长的压力及温度条件组合,能够效率良好地制造一种具有优质的3C-SiC单晶膜的异质外延片。

此外,通过将压力设为1333Pa(10Torr)以下,能够防止发生反应活性物种在气相中与原料气体进行反应等二次或更加高次的反应,因此能够确保异质外延生长。由此,能够防止3C-SiC多晶化。而且,能够一边使3C-SiC单晶膜生长,一边在该3C-SiC单晶膜的正下方的硅层(单晶硅基板)(以下也称为3C-SiC/硅界面)形成空位。通过使该空位存在,不仅能够减缓3C-SiC与硅的晶格失配,还能够使外延层整体的应力松弛,因此即使为厚膜的3C-SiC单晶膜,也能够更确实地形成无晶体缺陷的3C-SiC单晶膜。

[0009] 如上所述,通过将容易进行SiC的核形成的压力及温度条件与SiC单晶容易生长且会于SiC/硅界面形成空位的压力及温度条件组合,能够效率良好地获得一种具有3C-SiC单晶膜的异质外延片。进一步通过在第四工序中利用3C-SiC/硅界面的空位进行分离并剥离,能够效率良好地获得一种异质外延膜,其包含目标的3C-SiC单晶膜。

此外,由于在3C-SiC/硅界面剥离,因此能够在单晶硅基板的损失也较少的情况下分离。换言之,能够在分离后获得更厚的单晶硅基板,在再利用方面有效。

此外,例如即使在于3C-SiC单晶膜上形成器件后进行剥离,对器件造成的损伤仍少。

[0010] 此时,能够使用单甲基硅烷或三甲基硅烷作为所述源气体。

[0011] 若为这样的原料气体,则能够利用单一气体来同时供给Si和C,因此也不需要现有方法中进行的被称为3C-SiC单晶膜生长前的碳化处理的工序,能够在非常简单的条件下进行3C-SiC单晶膜的形成,所述工序中,通过包含碳源前驱物的气体使碳原子附着在单晶硅基板表面来进行核形成。

此外,与现有方法相比,更容易控制气相中的反应活性物种,能够进一步确保异质外延生长,且也更容易在3C-SiC单晶膜的生长不会停止的情况下进行厚膜的3C-SiC单晶膜的形成,所述现有方法最初通过包含碳源前驱物的气体来使碳原子附着在单晶硅基板表面从而进行核形成后,利用包含碳源前驱物的气体与包含硅源前驱物的气体来形成3C-SiC单

晶膜。

[0012] 此外,所述第一工序能够在温度为1000℃以上且1200℃以下的条件下进行。

[0013] 通过设为这样的温度条件,能够更效率良好地去除单晶硅基板表面的自然氧化膜,能够更确实地进行3C-SiC单晶膜的形成。此外,能够防止滑移位错发生。

[0014] 此外,所述第三工序能够在压力为133Pa以下的条件下进行。

[0015] 如此,通过在第三工序中将压力设为133Pa(1Torr)以下,能够一边使3C-SiC单晶膜生长,一边更确实地于3C-SiC/硅界面形成空位,且能够在第四工序中更确实地剥离3C-SiC单晶膜(异质外延膜)。

[0016] 此外,相较于所述第二工序的条件,能够提高压力与温度之中的一种以上来进行所述第三工序。

[0017] 虽也能够在与第二工序的条件相同的条件下进行第三工序的条件,但若以上述方式进行,则能够在第三工序中更加加快3C-SiC单晶膜的生长速度,因此即使形成厚膜的3C-SiC单晶膜,仍能够有效率地进行。

[0018] 此时,所述第三工序能够在温度为1000℃以上且小于1200℃的条件下进行。

[0019] 若为该生长条件,则能够将异质外延生长设为供给气体的输送速度瓶颈,而不会受到像下述这样的限制:为了进一步减少其他现有方法中产生的硅与SiC的晶格失配而限定单晶硅基板的面取向。也无须通过离子注入来形成像氢这样的脆弱层,能够更确实地使3C-SiC单晶膜生长。并且,能够更容易地在例如直径300mm这样的直径大的单晶硅的基板上形成3C-SiC单晶膜。

[0020] 此外,能够在所述第三工序中提高压力与温度中的一种以上。

[0021] 若为该方法,则也能够在第三工序的初始阶段中例如将压力设为133Pa(1Torr)以下的条件后提高压力来加快成膜速度。同样地,温度也能够从中途设为更高的温度来加快成膜速度。

[0022] 此时,能够在温度从300℃以上且950℃以下的范围缓缓升温至1000℃以上且小于1200℃的范围的条件下进行所述第二工序、所述第三工序,

由此连续地进行所述SiC的核形成与紧接着该SiC的核形成的所述3C-SiC单晶膜的形成。

[0023] 若以此方式进行,则能够将异质外延生长设为供给气体的输送速度瓶颈,不会受到单晶硅基板的面取向的限制。此外,在直径大的单晶硅基板上的3C-SiC单晶膜的形成更容易进行。

[0024] 而且,所述升温能够以0.5℃/秒以上且2℃/秒以下的升温速度进行。

[0025] 若为这样的升温速度,则能够更确实地进行温度控制。此外,能够进行均匀的SiC的核形成,且能够有效地防止异质外延生长时的缺陷产生。

[0026] 此外,也能够在所述第三工序后且所述第四工序前,使GaN在所形成的所述3C-SiC单晶膜的表面进一步生长来形成GaN层,或者也能够在所述第三工序后且所述第四工序前,使Si在所形成的所述3C-SiC单晶膜的表面进一步生长来形成Si层。

[0027] 以上述方式生长而成的3C-SiC单晶膜由于表面平坦,因此能够进一步使GaN层和Si层在该3C-SiC单晶膜的表面异质外延生长。

[0028] 此外,在所述第三工序后,在所形成的所述3C-SiC单晶膜上形成保护膜,然后进行

所述第四工序。或者,在所述第三工序后,在所形成的所述3C-SiC单晶膜上形成器件并形成保护膜,然后进行所述第四工序。或者,在所述第三工序后,在所形成的所述3C-SiC单晶膜上形成器件并沿着该器件的刻划线(scribe line)切取器件后形成保护膜,然后进行所述第四工序。

[0029] 如此,能够在维持3C-SiC单晶膜的状态下剥离,且也能够在形成器件后剥离。

发明效果

[0030] 通过本发明的异质外延膜的制作方法,能够在单晶硅基板上效率良好地进行一边维持优质的3C-SiC单晶性一边在硅基板(3C-SiC/硅界面)中产生空位的3C-SiC单晶膜的异质外延生长,通过使用该空位将3C-SiC单晶膜从硅基板上剥离,能够效率良好地得到薄膜状的异质外延膜。此外,在对器件造成的损伤和材料的损失方面极为有效。并且,若为这样的异质外延膜,则由于将SiC作为衬底,因此能够活用宽带隙的特征来实现基于绝缘性的器件分离和基于高导热系数的冷却效率提升。

附图说明

[0031] 图1为示出本发明的异质外延膜的制作方法的一个实例的流程图。

图2为示出第一实施方案的第一工序至第三工序中的生长序列(growth sequence)的一个实例的图表。

图3为示出通过将3C-SiC单晶膜从单晶硅基板上剥离来制作异质外延膜时的状态的一个实例的流程图。

图4为示出通过将3C-SiC单晶膜从单晶硅基板上剥离来制作异质外延膜时的状态的另一实例的流程图。

图5为示出第二实施方案的第一工序至第三工序中的生长序列的一个实例的图表。

图6为示出第三实施方案的第一工序至第三工序中的生长序列的一个实例的图表。

图7为示出在实施例1(第一实施方案)中生长而成的硅(111)上碳化硅(SiC on Si(111))的平面内(In plane)XRD分析的结果的图表。

图8为示出实施例1(第一实施方案)的硅上碳化硅的剖面TEM影像的测定图。

图9为示出实施例2(第二实施方案)的硅上碳化硅的剖面TEM影像的测定图。

具体实施方式

[0032] 以下参照说明书附图来说明本发明的实施方案,但本发明并不限定于此。

如上所述,一直以来在寻求效率良好地得到异质外延膜(3C-SiC单晶膜)的方法。因此,本申请的发明人进行了深入研究,结果发现下述事实而完成了本发明:使用减压CVD装置,进行去除单晶硅基板表面的自然氧化膜的氢焙(第一工序),在此基础上一边供给源气体(包含碳与硅),一边针对压力/温度,组合容易进行SiC的核形成的规定条件[压力:1333Pa以下、温度:300℃以上且950℃以下](第二工序)与SiC单晶容易生长且会于3C-SiC/硅界面形成空位的规定条件[压力:1333Pa以下、温度:800℃以上且小于1200℃](第三工序),由此能够效率良好地形成高质量的3C-SiC单晶膜;若进一步利用该空位将3C-SiC单晶

膜从单晶硅基板上分离并剥离(第四工序),则能够效率良好地得到异质外延膜。

[0033] 以下列举各工序的各种具体例来进行说明。

图1为示出本发明的异质外延膜的制作方法的一个实例的流程图。此处,依次进行氢焙(以下也称为H_2退火)的第一工序、SiC的核形成工序的第二工序、SiC单晶的生长工序(3C-SiC单晶膜的形成工序)的第三工序、根据需要的器件工序和切割工序、以及将异质外延膜(3C-SiC单晶膜)剥离的第四工序。

[0034] (第一实施方案)

图2示出第一实施方案的第一工序至第三工序中的生长序列的一个实例。以下对各工序进行说明。

<第一工序>

首先,将单晶硅基板配置于减压CVD装置(以下也称为RP-CVD装置)中并导入氢气,通过H_2退火来去除表面的自然氧化膜。若残留有氧化膜,则无法在单晶硅基板上进行SiC的核形成。此时,H_2退火优选设为例如温度为1000℃以上且1200℃以下的条件。通过将温度设为1000℃以上,能够防止用以防止自然氧化膜残留的处理时间成为长时间,而较有效率。此外,若设为1200℃以下,则能够有效地防止因高温而发生滑移位错。然而,此时的H_2退火的压力和时间只要能够将自然氧化膜去除即可,无特别限制。

在图2所示的实例中,在1080℃下进行1分钟的H_2退火。此外,氢气的导入能够在该第一工序后进行,也能够在第二、第三工序中继续进行(载气)。

[0035] <第二工序>

然后,将单晶硅基板设定成规定的压力与温度后,将包含碳与硅的源气体作为SiC的原料气体导入RP-CVD装置内来进行SiC的核形成。作为源气体,能够导入例如单甲基硅烷或三甲基硅烷(TMS)。相较于使用多种气体的情况,更简单且也更容易控制,能够更确实地进行3C-SiC单晶膜的形成。另外,与Si相比,C原子更小且更容易汽化,因此考虑到原料效率时,三甲基硅烷更容易进行条件设定。

这样的源气体的导入在该第二工序及随后的第三工序中进行。

[0036] 此外,该SiC的核形成只要压力为1333Pa(10Torr)以下、温度为300℃以上且950℃以下,则能够在单晶硅基板的表面进行。

在SiC的核形成工序中,若为温度较950℃更高的条件,则会进行单晶硅基板与原料气体的反应,无法在单晶硅基板的表面进行SiC的核形成。此外,当温度小于300℃时,温度会过低而无法效率良好地进行SiC的核形成。

另外,若此处也一并考虑随后说明的第三工序,则在进行第三工序时,若温度低于800℃,则SiC的异质外延生长不会进行。因此,例如能够从第二工序开始将该SiC的核形成的温度设定成优选为800℃以上且950℃以下、更优选为850℃以上且900℃以下。如此,通过将第二工序的温度设为800℃以上且950℃以下,能够使SiC的核形成工序(第二工序)与随后的3C-SiC单晶膜形成的第三工序中应设定的温度范围重叠,尤其是能够在同一温度条件下进行上述第二、第三工序。

此外,由于将压力设为1333Pa(10Torr)以下,因此能够防止发生反应活性物种在气相中与原料气体进行反应等二次或更加高次的反应,故而较有效率。压力的下限值没有特别限定,能够设为例如13Pa(0.1Torr)。另外,压力能够与温度同样地,在第二、第三工序

中设为相同条件。

在图2所示的实例中,该第二工序及随后的第三工序为同一条件,设为相同的压力、相同的保持温度(900℃)。

[0037] ＜第三工序＞

此外,第三工序即3C-SiC单晶膜形成工序在压力为1333Pa(10Torr)以下、温度为800℃以上且小于1200℃的条件下进行。通过这样的条件,能够效率良好地使SiC单晶生长而形成3C-SiC单晶膜。

另外,本发明中,由于在该第三工序中将压力设为1333Pa(10Torr)以下,因此能够防止所形成的3C-SiC多晶化,且如上所述,在气相中能够抑制二次或更加高次的反应,能够确实且效率良好地形成3C-SiC单晶膜。同时,会于3C-SiC单晶膜正下方形成空位,能够获得使异质外延层整体的应力松弛的效果。而且,能够设为优选为133Pa(1Torr)以下,由此能够更确实地形成上述空位,能够更确实地获得使上述应力松弛的效果。压力的下限值没有特别限定,能够设为例如13Pa(0.1Torr)。

此外,关于温度,若小于800℃,则如上所述,SiC单晶的生长不会进行,若为1200℃以上,则可能会发生滑移位错。因此,如上所述设为800℃以上且小于1200℃。

在图2所示的实例中,如上所述,第二、第三工序为同一条件,且连续地进行SiC的核形成与3C-SiC单晶膜的形成。

[0038] 此时的膜厚取决于压力与温度,因此能够根据以成为目标膜厚的方式设定的压力与温度条件来适当设定成膜时间。

此时,能够在例如从2nm左右的薄膜至数μm的厚膜的范围内形成3C-SiC单晶膜的膜厚。

[0039] 另外,图2所示的二维生长模式下的层状生长是指逐层(layer by layer)的外延生长。

[0040] 若使GaN在以此方式生长而成的3C-SiC单晶膜上生长,则能够得到具有高质量的GaN层的异质外延片。

此时的GaN生长是通过MOCVD来进行成膜而使GaN生长3μm左右,该MOCVD使用像三甲基镓与三甲基铵这样的有机金属材料。

[0041] 并且,若使Si在以此方式生长而成的3C-SiC单晶膜上生长,则能够得到具有高质量的Si外延层的基板。若为本结构,则当为例如像IGBT这样的功率器件时,该3C-SiC单晶膜会成为IGBT上的耐压保持层。硅的介电击穿场强为0.3MV/cm,另一方面,3C-SiC的介电击穿场强为3MV/cm而比3C-SiC大10倍。即,能够以以往的硅IGBT的耐压保持层的厚度的1/10获得同等的性能。当然,此时无须仅以3C-SiC单晶膜形成耐压保持层,即使将SiC与Si组合也足够充分。使Si外延层在以此方式生长至规定厚度的SiC上生长。以往的SiC器件使用SiC形成栅极绝缘膜,故而可靠性有问题,但本结构由于是使硅生长且使用该硅来使栅极绝缘膜生长,因此能够确保与以往的硅IGBT相同的栅极可靠性。此外,此时的硅层厚度只要比需要的栅极结构厚即可,能够任意设定。

[0042] ＜第四工序＞

然后,作为第四工序,利用空位将所形成的3C-SiC单晶膜从单晶硅基板上分离并剥离,由此制作异质外延膜。

图3示出通过将3C-SiC单晶膜从单晶硅基板上剥离来制作异质外延膜时的状态的一个实例。如图3的上段所示,已通过至今为止的工序在单晶硅基板1上形成了异质外延膜3。另外,异质外延膜3至少包含3C-SiC单晶膜,例如可列举出:只有3C-SiC单晶膜的情况、从单晶硅基板侧依次具有3C-SiC膜及GaN膜的情况、从单晶硅基板侧依次具有3C-SiC膜及Si膜的情况等。而且,单晶硅基板1与异质外延膜3之间(更具体而言为单晶硅基板1与异质外延膜3中的3C-SiC膜之间)形成有空位区域2(为3C-SiC/硅界面的形成有空位的区域,也称为空位形成部)。

[0043] 然后,如图3的中段所示,在3C-SiC单晶膜上(换言之,在异质外延膜3的表面)形成保护膜4。作为该保护膜4的材质,例如可列举出聚酰亚胺等树脂、通过CVD沉积得到的氧化膜等。

然后,如图3的下段所示,作为第四工序,能够以空位区域2为分界,将具有3C-SiC单晶膜的异质外延膜3从单晶硅基板1上分离并剥离,从而得到该具有3C-SiC单晶膜的异质外延膜3。

[0044] 此外,图4中示出制作异质外延膜的状态的另一实例。图4的实例中,在3C-SiC单晶膜上(在异质外延膜3的表面)形成器件(图1的<器件工序>:器件形成后的异质外延膜3’),并例如使用切割装置5来进行切割(图1的<切割工序>),作为第四工序,利用空位区域2将异质外延膜3’分离并剥离。此时,通过剥离得到的异质外延膜3’为芯片状(芯片6)。上述剥离中能够使用例如剪裁器(clipper)或拾取器等,能够由此从单晶硅基板1简便地移除。然后,能够贴附在其他晶圆或其他材质的基板来制作元件。

另外,也能够进行刻划来代替切割。

[0045] 另外,作为另一实例,也能够在于3C-SiC单晶膜上形成器件后形成保护膜,然后进行第四工序。此外,也可在3C-SiC单晶膜上形成器件并沿着该器件的刻划线来切取器件后形成保护膜,然后进行第四工序。并且,也能够在有保护膜或无保护膜的状态下利用粘合剂粘合在保持台(例如各种基板)后进行第四工序。

如此,能够根据所需的异质外延膜的形态,在第三工序与第四工序之间适当进行必要处理。

[0046] 若为这样的本发明的异质外延膜的制作方法,则能够以带有空位的形式效率良好地形成异质外延膜,并且通过在空位区域的分离/剥离,即使已形成器件,对该器件造成的损伤也少,能够效率良好且简便地得到异质外延膜。而且,由于能够在3C-SiC单晶膜与单晶硅基板的界面分离,因此能够极度减少在剥离后得到的单晶硅基板的损失,且能够再次利用于随后的异质外延膜的制作。

[0047] (第二实施方案)

图5示出第二实施方案的第一工序至第三工序中的生长序列的一个实例。

<第一工序>

首先,将单晶硅基板配置于RP-CVD装置中,并通过H_2退火去除表面的自然氧化膜。能够以与第一实施方案相同的方式进行。

[0048] <第二工序>

然后,作为SiC的核形成工序,将单晶硅基板设定为300℃以上且950℃以下、优选为800℃以上且950℃以下、更优选为850℃以上且900℃以下的温度,并导入作为SiC的原料

气体的单甲基硅烷或三甲基硅烷。核形成时间能够设为例如5分钟。

[0049] ＜第三工序＞

然后，作为3C-SiC单晶膜的形成工序，将单晶硅基板温度加热至1000℃以上且小于1200℃的温度，同时导入作为SiC的原料气体的单甲基硅烷或三甲基硅烷。

[0050] 在该3C-SiC单晶膜的形成工序即第三工序中，将压力与温度中的一种以上提升至高于SiC的核形成工序的第二工序，由此容易进行高速生长（工序彼此间的变更）。此外，在第三工序中将压力与温度中的一种以上提高，由此也能够容易地进行高速生长（工序中的变更）。也能够只进行上述的工序彼此间的变更与工序中的变更中的一种，还能够进行这两种变更。

然后，能够将第三工序中的温度设为1000℃以上且小于1200℃。此时，能够将异质外延生长设为供给气体的输送速度瓶颈。不会受到单晶硅基板的面取向的限制，并且也容易适应直径300㎜这样的大直径的基板。

[0051] 图5为仅进行工序彼此间的变更的实例，保持在900℃进行第二工序，且保持在1190℃进行第三工序（关于压力，例如第二、第三工序相同）。然而并不限定于此，也能够例如：保持在900℃进行第二工序，暂时停止三甲基硅烷的导入后，作为第三工序，重新开始三甲基硅烷的导入并在900℃、或高于900℃且低于1190℃的温度条件下保持规定时间，然后升温至1190℃并保持。

[0052] 另外，图5中在较第一实施方案（900℃）更高的温度（1190℃）下进行生长，认为在这样的条件下也能够进行异质外延生长是提高温度时通入的H_2所带来的效果；或是生长模式因在生长过程中（也就是在从第二工序转移至第三工序时）改变温度而发生改变所带来的效果等。如图5所示，以图5的序列也会在核形成后进行二维生长。

[0053] 此外，特别是在SiC的核形成工序及3C-SiC单晶膜的形成工序的初始阶段中，将压力设为1333Pa（10Torr）以下、优选设为133Pa（1Torr）以下来在3C-SiC单晶膜正下方形成空位，然后在1333Pa（10Torr）以下的范围内将压力变更为高于初始阶段的条件，由此能够兼顾异质外延层整体的应力松弛与有效率的3C-SiC单晶膜的形成。

[0054] 然后，若使GaN或Si在以上述方式生长而成的3C-SiC单晶膜上生长，则能够得到具有高质量的GaN外延层或Si外延层的基板。

[0055] ＜第四工序＞

利用空位将所形成的3C-SiC单晶膜从单晶硅基板上分离并剥离，由此制作异质外延膜。能够以与第一实施方案相同的方式进行。

[0056] （第三实施方案）

图6示出第三实施方案的生长序列的一个实例。

＜第一工序＞

首先，将单晶硅基板配置于RP-CVD装置中，并在与第一实施方案相同的条件下进行H_2退火来去除表面的自然氧化膜。

[0057] ＜第二工序、第三工序＞

然后，为了在单晶硅基板表面连续地进行SiC的核形成与紧接着该SiC的核形成的3C-SiC单晶膜的形成，一边导入作为原料气体的单甲基硅烷或三甲基硅烷，一边从300℃以上且950℃以下的范围的温度缓缓升温至1000℃以上且小于1200℃的范围的温度。如此，能

够在逐渐升温的过程中连续地进行第二工序与第三工序。

升温速度优选设为例如0.5℃/秒以上且2℃/秒以下。若为该等级的升温速度,则也并非过快的升温速度,因此能够有效防止设定温度与实际温度发生偏离,能够适当进行温度控制。此外,由于也并非过慢的升温速度,因此能够抑制SiC的核形成温度带的通过时间变长而导致容易发生不均匀的核形成、或者是容易在异质外延生长中发生缺陷形成。

[0058] 此时,可在升温至已预先设定在1000℃以上且小于1200℃的范围内的规定温度后在此停止生长,也可在保持在该温度的状态下使其持续生长至成为规定膜厚。或者,即使在虽达到1000℃以上但未达到上述规定温度的情况下,若在升温过程中达到规定膜厚,则也可在此停止生长。通过一边改变温度一边进行生长,可连续改变生长模式且同时使其生长(从核形成变成二维生长),由此使成膜速度缓缓高速化。

图6中,以1℃/秒的升温速度从300℃升温至1130℃,并在维持此状态的情况下在1130℃保持规定时间。

[0059] 此外,特别是在SiC的核形成工序与3C-SiC单晶膜的形成工序的初始阶段中,将压力设为1333Pa(10Torr)以下、优选设为133Pa(1Torr)以下来在3C-SiC单晶膜正下方形成空位,然后在1333Pa(10Torr)以下的范围内将压力变更为高于初始阶段的条件,由此能够兼顾异质外延层整体的应力松弛与有效率的3C-SiC单晶膜的形成。

[0060] 然后,若使GaN或Si在以上述方式生长而成的3C-SiC单晶膜上生长,则能够得到具有高质量的GaN外延层或Si外延层的基板。

[0061] ＜第四工序＞

利用空位将所形成的3C-SiC单晶膜从单晶硅基板上分离并剥离,由此制作异质外延膜。能够以与第一实施方案相同的方式进行。

实施例

[0062] 以下示出本发明的实施例及比较例来更具体地说明本发明,但本发明并不限定于此。

(实施例1)

准备直径300mm、面取向(111)、已掺杂硼的高电阻率单晶硅基板,将晶圆配置于RP-CVD装置的反应炉内的感受器上,并在1080℃进行1分钟的H_2退火(第一工序)。

然后,将生长温度设为900℃、将生长压力设为133Pa(1Torr),并导入三甲基硅烷气体,进行SiC的核形成工序(第二工序)与3C-SiC单晶膜的生长(第三工序)。进行5分钟的生长,结果膜厚成为13nm。

[0063] 然后,以平面内配置来确认XRD(X射线衍射)光谱,结果如图7的XRD分析结果的图表所示,能够确认到与Si(220)平行的3C-SiC(220)的峰,确认到了单晶的3C-SiC膜已生长。

此外,将其剖面TEM影像示于图8。结果确认到,在3C-SiC单晶膜(异质外延膜3)的正下方形成有空位(空位形成部2)。另外,附图标记10表示剖面TEM摄影用的表面保护膜。

[0064] 然后,将粘合剂涂布于3C-SiC单晶膜上的保护膜的表面并贴附于石英基板。然后,将该基板以被夹持的状态剥离,结果能够从3C-SiC/硅界面的空位形成部进行3C-SiC单晶膜(异质外延膜)的分离/剥离(第四工序)。

此外,作为另一剥离方法,将已使3C-SiC单晶膜生长的基板从3C-SiC单晶膜侧切割成1mm×1mm的大小后(切割深度为较3C-SiC单晶膜的厚度略深的程度),使用剪裁器吸附

表面,并利用空位形成部剥离3C-SiC单晶膜来作为芯片。

[0065] (实施例2)

准备直径300mm、面取向(111)、已掺杂硼的高电阻率单晶硅基板,将晶圆配置于RP-CVD装置的反应炉内的感受器上,并在1080℃进行1分钟的H_2退火(第一工序)。

然后,作为第二工序(SiC的核形成工序),在900℃的生长温度下导入三甲基硅烷气体5分钟。

接着,作为第三工序(3C-SiC单晶膜形成工序),使生长温度升温至1190℃并导入三甲基硅烷气体,进行3C-SiC单晶膜的生长。此时的生长压力一律设为133Pa(1Torr)。进行1分钟的生长,结果膜厚成为30nm左右。

[0066] 在成膜后,以平面内配置来确认XRD光谱,结果与实施例1同样地能够确认到与Si(220)平行的3C-SiC(220)的峰,确认到了单晶的3C-SiC膜已生长。

此外,将其剖面TEM影像示于图9。结果确认到在3C-SiC单晶膜的正下方形成有空位。

[0067] 然后,使用粘合剂与石英基板,以与实施例1相同的方式进行第四工序,结果能够从3C-SiC/硅界面的空位形成部进行3C-SiC单晶膜的剥离。

此外,关于另一剥离方法,也以与实施例1相同的方式进行,结果能够利用空位形成部剥离3C-SiC单晶膜剥离来作为芯片。

[0068] (实施例3)

除了将第二工序、第三工序的生长压力设为1333Pa(10Torr)、将生长温度设为950℃以外,在与实施例1相同的条件下进行3C-SiC单晶膜的形成。结果膜厚成为20nm左右。

然后,以平面内配置来确认XRD光谱,结果能够确认到与Si(220)平行的3C-SiC(220)的峰,确认到了单晶的3C-SiC膜已生长。此外,能够确认到在3C-SiC单晶膜的正下方形成有空位。

并且,使用粘合剂与石英基板,以与实施例1相同的方式进行第四工序,结果能够从3C-SiC/硅界面的空位形成部进行3C-SiC单晶膜的剥离。

[0069] (实施例4)

除了将第二工序、第三工序的生长温度分别设为300℃、800℃以外,在与实施例2相同的条件下进行3C-SiC单晶膜的形成。结果膜厚成为12nm左右。

然后,以平面内配置来确认XRD光谱,结果能够确认到与Si(220)平行的3C-SiC(220)的峰,确认到了单晶的3C-SiC膜已生长。此外,能够确认到在3C-SiC单晶膜的正下方形成有空位。

并且,使用粘合剂与石英基板,以与实施例2相同的方式进行第四工序,结果能够从3C-SiC/硅界面的空位形成部进行3C-SiC单晶膜的剥离。

[0070] (比较例1)

除了将第二工序、第三工序的生长压力设为3999Pa(30Torr)以外,在与实施例2相同的条件下进行3C-SiC单晶膜的形成。结果膜厚成为33nm左右。

然后,以平面内配置来确认XRD光谱,结果能够确认到与Si(220)平行的3C-SiC(220)的峰,确认到了单晶的3C-SiC膜已生长。然而,未确认到在3C-SiC单晶膜的正下方形成有空位。

并且,虽尝试使用粘合剂与石英基板并以与实施例2相同的方式进行3C-SiC单晶膜的剥离,但无法剥离。认为其原因在于未形成上述空位。

[0071] (比较例2)

除了将第二工序的生长温度设为200℃或1000℃以外,在与实施例2相同的条件下进行3C-SiC单晶膜的形成。结果膜厚分别成为2nm、4nm左右。

以上述方式形成的膜厚相较于实施例2极薄,效率显著不良。认为其原因在于:由于第二工序的温度过低或过高,因此无法充分进行SiC的核形成,故而在第三工序中几乎未进行异质外延生长。

[0072] (比较例3)

除了将第三工序的生长温度设为700℃或1250℃以外,在与实施例2相同的条件下进行3C-SiC单晶膜的形成。结果膜厚分别成为7nm、50nm左右。

如上所述,当为700℃时,所形成的膜厚相较于实施例2极薄,效率显著不良。此外,当为1250℃时,发生滑移位错。

[0073] 另外,本发明并不限定于上述实施方案。上述实施方案为例示,任何具有与本发明的权利要求书所记载的技术构思实质相同的构成、发挥相同的作用效果的技术方案均包含在本发明的技术范围内。

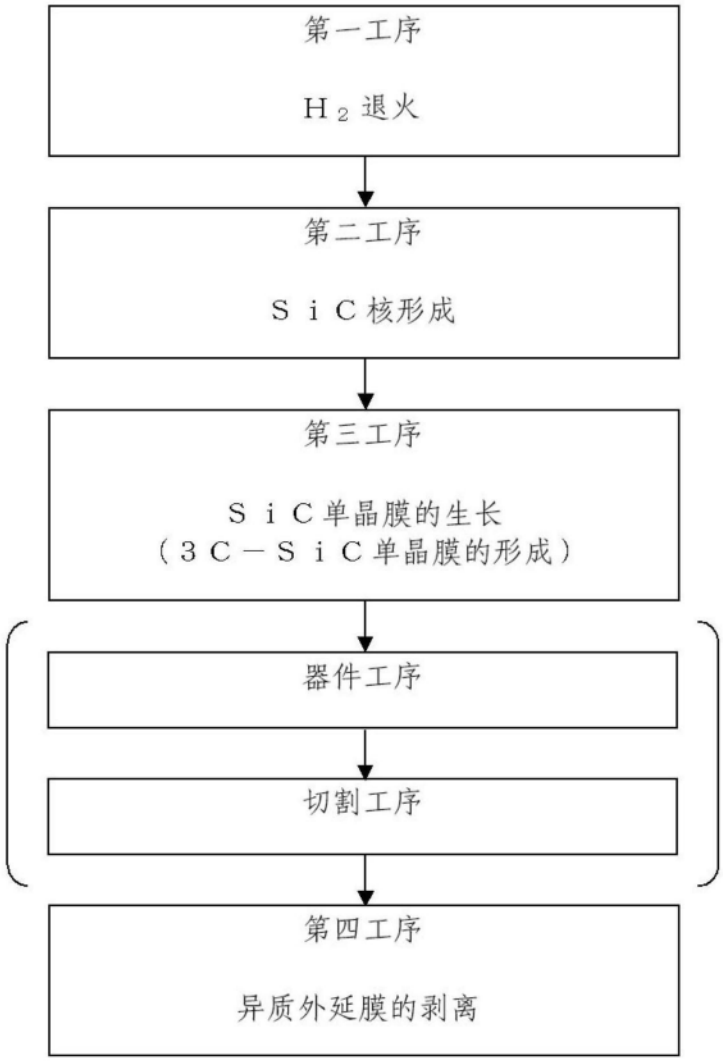

第一工序
H_2 退火
第二工序
SiC核形成
第三工序
SiC单晶膜的生长
（3C－SiC单晶膜的形成）
器件工序
切割工序
第四工序
异质外延膜的剥离

图1

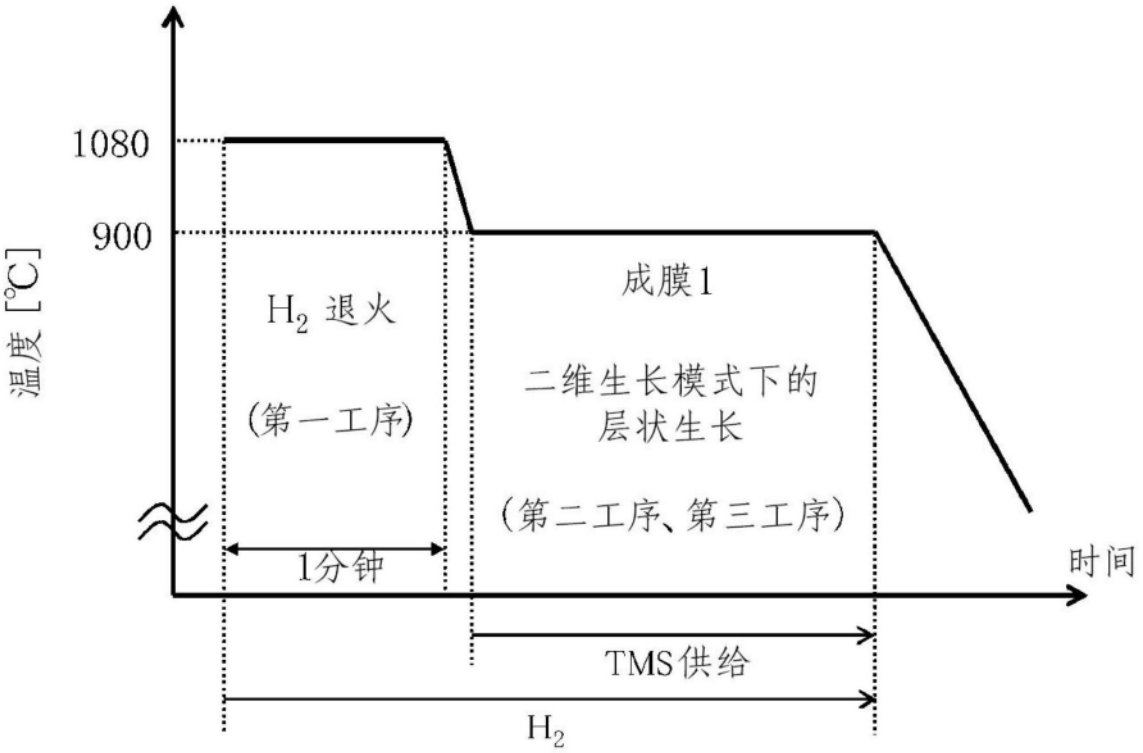

1080
900
温度 [℃]
H_2 退火
(第一工序)
1分钟
成膜1
二维生长模式下的
层状生长
(第二工序、第三工序)
时间
TMS供给
H_2

图2

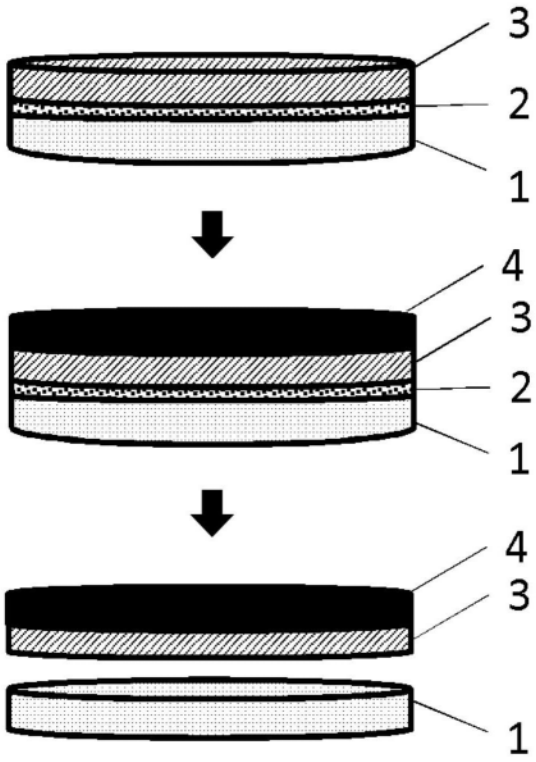

3
2
1
4
3
2
1
4
3
1

图3

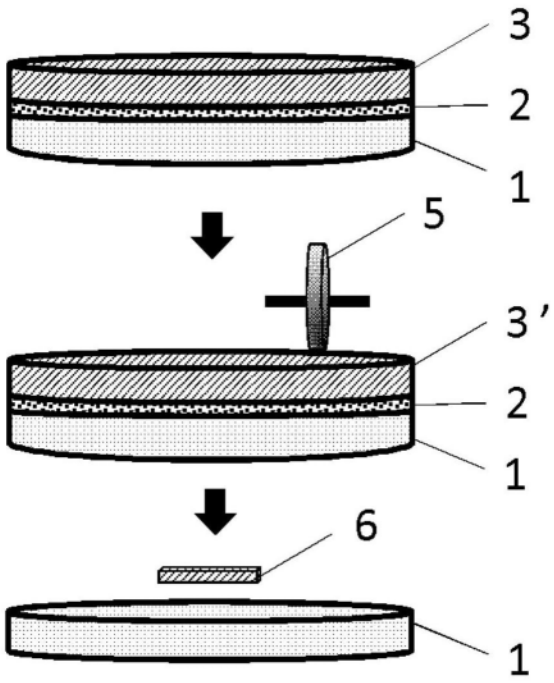

3
2
1
5
3'
2
1
6
1

图4

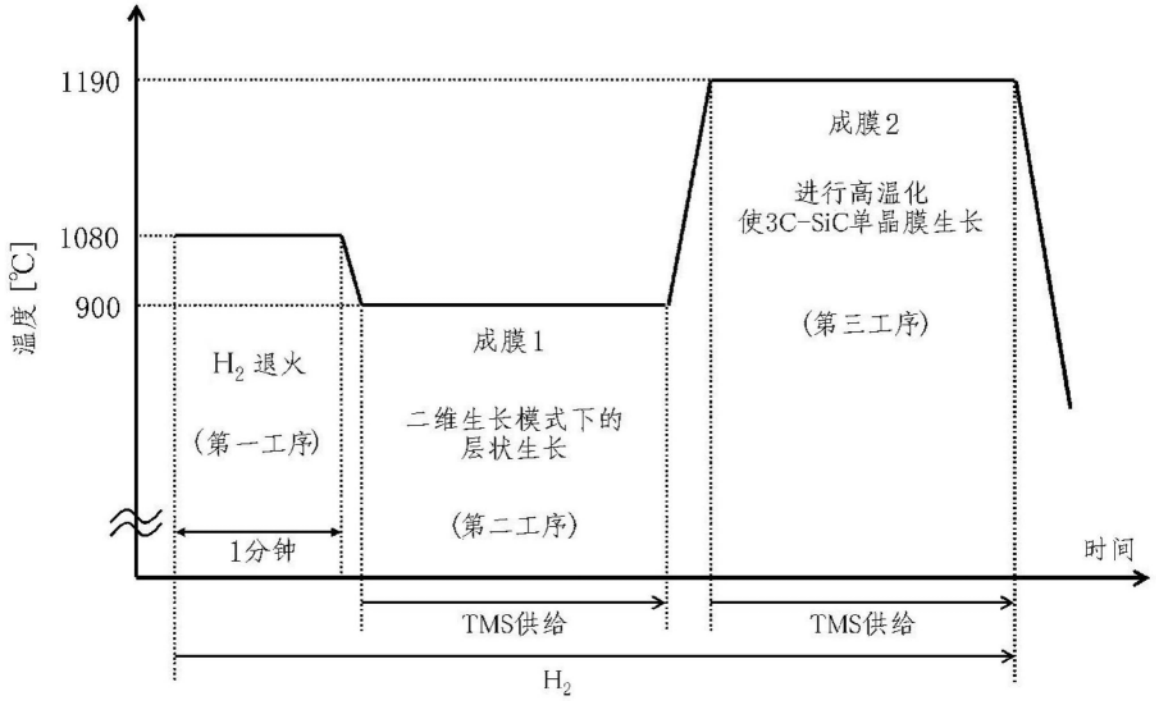

1190
1080
900
温度 [℃]
H_2 退火
(第一工序)
1分钟
成膜1
二维生长模式下的
层状生长
(第二工序)
成膜2
进行高温化
使3C-SiC单晶膜生长
(第三工序)
时间
TMS供给
TMS供给
H_2

图5

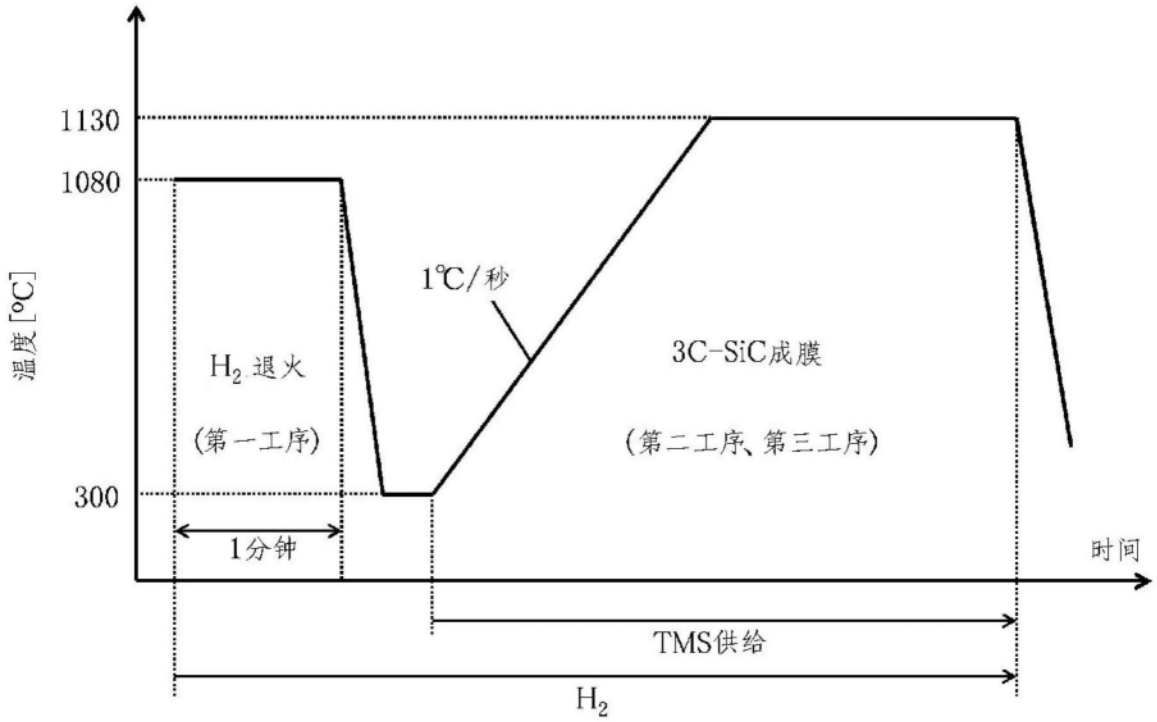

1130
1080
300
温度[°C]
1℃/秒
H2 退火
(第一工序)
3C-SiC成膜
(第二工序、第三工序)
1分钟
时间
TMS供给
H2

图6

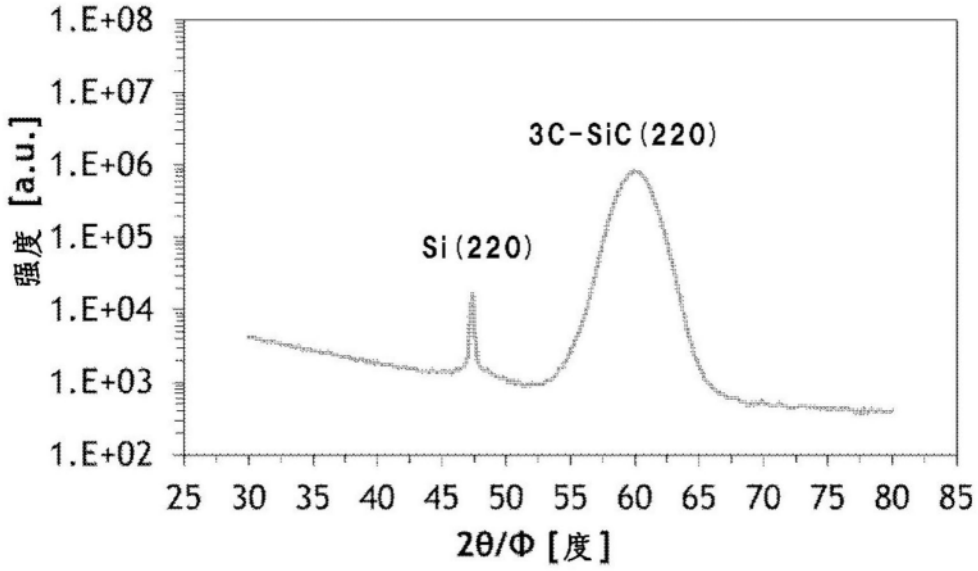

1.E+08
1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
强度 [a.u.]
3C-SiC(220)
Si(220)
25 30 35 40 45 50 55 60 65 70 75 80 85
2θ/Φ [度]

图7

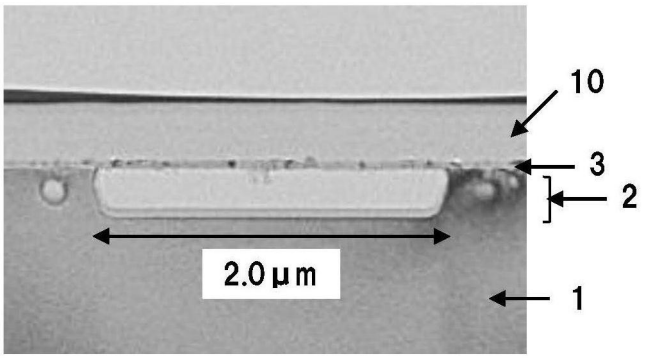


图8

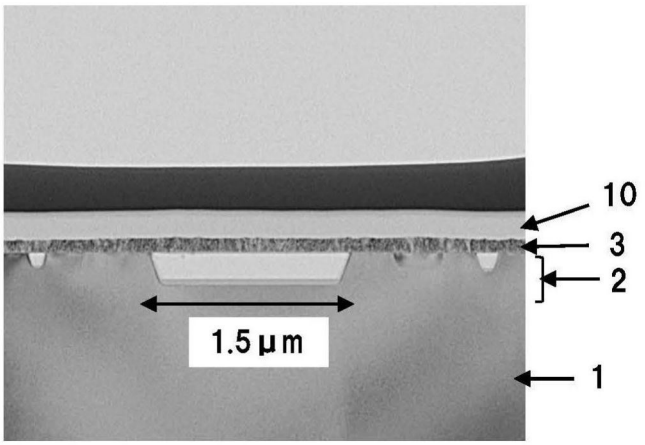


图9