

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年4月30日(2010.4.30)

【公表番号】特表2009-541999(P2009-541999A)

【公表日】平成21年11月26日(2009.11.26)

【年通号数】公開・登録公報2009-047

【出願番号】特願2009-516566(P2009-516566)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 27/115 (2006.01)

【F I】

H 01 L 29/78 3 7 1

H 01 L 27/10 4 3 4

【手続補正書】

【提出日】平成22年3月3日(2010.3.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板内の複数の支柱の各々の上にゲート酸化物層を形成するステップであって、前記支柱は、前記支柱の少なくとも二つの側面に接するトレンチによって画定される、ステップと、

前記ゲート酸化物層の上に浮遊ゲート層を形成するステップと、

前記浮遊ゲート層の上にゲート間誘電層を形成するステップと、

前記浮遊ゲート層の上で、かつ前記それぞれの複数の支柱の各々を覆って、複数の分離されたゲート間誘電領域を作るために、前記浮遊ゲート層の上の前記ゲート間誘電層を分離し、前記複数のゲート間誘電領域の前記ゲート間誘電領域の各々が、前記トレンチによって前記複数のゲート間誘電領域の他の前記ゲート間誘電領域の各々から分離されるようになっているステップと、

前記複数のゲート間誘電領域の上に制御ゲート層を形成するステップと、  
を含む、浮遊ゲートメモリアレイを製造する方法。

【請求項2】

前記浮遊ゲート層を形成するステップは、前記複数の支柱の各々の上に複数の浮遊ゲートを作るために、前記浮遊ゲート層を分離するステップを含み、前記複数の浮遊ゲートの前記浮遊ゲートの各々が、前記トレンチによって前記複数の浮遊ゲートの他の前記浮遊ゲートの各々から分離されるようになっている、請求項1に記載の方法。

【請求項3】

前記複数のゲート間誘電領域のうちのそれぞれの一つは、前記複数の浮遊ゲートのうちのそれぞれの一つの上に形成される、請求項2に記載の方法。

【請求項4】

前記複数の浮遊ゲートを形成する前記ステップと、前記複数のゲート間誘電領域を形成する前記ステップが、同じ処理段階で起こる、請求項3に記載の方法。

【請求項5】

基板の上にゲート酸化物層を配置するステップと、  
前記ゲート酸化物層の上に浮遊ゲート層を配置するステップと、  
前記浮遊ゲート層の上に犠牲層を配置するステップと、  
前記犠牲層、前記浮遊ゲート層、前記ゲート酸化物層、および前記基板の各々を通して複数の実質的に平行なトレンチをエッティングするステップと、  
前記複数のトレンチの各々を絶縁酸化物で充填するステップと、  
前記絶縁酸化物によって形成される側壁を持つ空洞を形成するために、前記犠牲層を除去し、前記浮遊ゲート層が前記空洞を通して露出される、ステップと、  
前記空洞の各々にゲート間誘電層を配置するステップと、  
前記ゲート間誘電層の領域を分離することによって、前記空洞の各々にそれぞれゲート間誘電領域を作るステップと、  
前記ゲート間誘電領域の各々の上に制御ゲートを堆積するステップと、  
を含む、浮遊ゲートメモリアレイの製造方法。

【請求項 6】

前記犠牲層を配置するステップが、窒化ケイ素層を配置するステップを含む、請求項5に記載の方法。

【請求項 7】

前記犠牲層を配置するステップが、400 以上の厚みで前記犠牲層を配置するステップを含む、請求項5に記載の方法。

【請求項 8】

前記犠牲層を配置するステップが、およそ400～700 の範囲の厚みで前記犠牲層を配置するステップを含む、請求項5に記載の方法。

【請求項 9】

前記犠牲層を除去するステップが、過酸化水素と組み合わせた硫酸 ( $H_2SO_4 + H_2O_2$ ) で前記犠牲層をエッティングするステップを含む、請求項5に記載の方法。

【請求項 10】

前記犠牲層を除去するステップが、  
フッ化水素 (HF) 酸溶液に前記犠牲層を晒すステップと、  
前記空洞を形成するために前記犠牲層をエッティングするステップと、  
前記空洞をフッ化水素 (HF) 酸溶液に晒すステップと、  
を含む、請求項5に記載の方法。

【請求項 11】

前記空洞の各々に前記それぞれのゲート間誘電領域を作るステップが、前記ゲート間誘電層を平坦化するステップを含む、請求項5に記載の方法。

【請求項 12】

前記ゲート間誘電層を平坦化するステップが、化学機械平坦化 (CMP) プロセスによって平坦化するステップを含む、請求項11に記載の方法。

【請求項 13】

絶縁酸化物領域を作るために前記複数のトレンチの各々を絶縁酸化物で充填するステップの後、前記絶縁酸化物によって形成される側壁を持つ空洞を形成するために前記犠牲層を除去するステップの前に、前記絶縁酸化物を平坦化するステップをさらに含む、請求項5に記載の方法。

【請求項 14】

基板の上にゲート酸化物層を配置するステップと、  
前記ゲート酸化物層の上に浮遊ゲート層を配置するステップと、  
前記浮遊ゲート層の上にゲート間誘電層を配置するステップと、  
前記ゲート間誘電層、前記浮遊ゲート層、前記ゲート酸化物層、および前記基板の各々を通して、複数の実質的に平行なトレンチをエッティングするステップと、  
前記複数のトレンチの各々を絶縁酸化物で充填するステップと、  
前記ゲート間誘電領域の各々の上に制御ゲートを堆積するステップと、

を含む、浮遊ゲートメモリアレイを製造する方法。

【請求項 1 5】

エッチングするステップが、前記ゲート間誘電層と、前記浮遊ゲート層の各々を単一の処理段階でエッチングするステップを含む、請求項1 4に記載の方法。

【請求項 1 6】

前記浮遊ゲート層の絶縁領域によって分離される絶縁酸化物領域を作るために、前記複数のトレンチの各々を絶縁酸化物で充填するステップの後、前記絶縁酸化物を平坦化するステップをさらに含む、請求項1 4に記載の方法。