



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201133859 A1

(43)公開日：中華民國 100 (2011) 年 10 月 01 日

(21)申請案號：099126360

(22)申請日：中華民國 99 (2010) 年 08 月 06 日

(51)Int. Cl. : *H01L29/786 (2006.01)*

H01L21/336 (2006.01)

(30)優先權：2009/09/30 日本

2009-227013

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：菅野道博 KANNO, MICHIMIRO (JP) ; 河村隆宏 KAWAMURA, TAKAHIRO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：22 項 圖式數：18 共 66 頁

(54)名稱

半導體裝置及顯示裝置

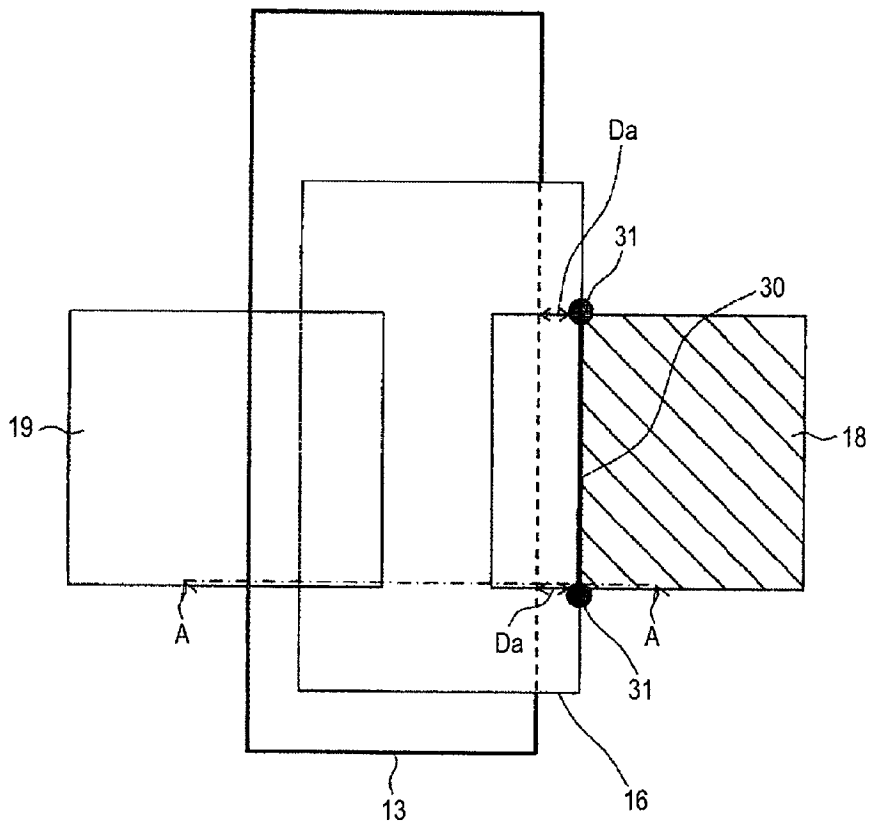
SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

(57)摘要

本發明揭示一種薄膜電晶體，其包括：一絕緣膜；嵌入於該絕緣膜之一淺層部分中之一閘極電極；在該閘極電極及該絕緣膜上之一閘極絕緣膜；在該閘極絕緣膜上之一半導體膜；在該半導體膜之一部分上之一通道保護膜，其具有帶有一向前錐形斜面之端部表面；在該半導體膜上之一第一電極，其安裝至該通道保護膜之一個錐形側上；及在該半導體膜上之一第二電極，其安裝至該通道保護膜之另一錐形側上，其中該閘極電極之最接近於該第一電極之一邊緣自其中該第一電極鄰接該半導體膜之點向該第二電極偏移。

<第一實施例>

10A



10A : TFT

13 : 閘極電極

16 : 半導體通道保護膜

18 : 第一源極/汲極 (SD) 電極

19 : 第二源極/汲極 (SD) 電極

30 : 輪廓部分

31 : 邊緣點

其中源極/汲極電極 (18) 鄰接於半導體膜 (15) 之接觸區



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201133859 A1

(43)公開日：中華民國 100 (2011) 年 10 月 01 日

(21)申請案號：099126360

(22)申請日：中華民國 99 (2010) 年 08 月 06 日

(51)Int. Cl. : *H01L29/786 (2006.01)*

H01L21/336 (2006.01)

(30)優先權：2009/09/30 日本

2009-227013

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：菅野道博 KANNO, MICHIMIRO (JP) ; 河村隆宏 KAWAMURA, TAKAHIRO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：22 項 圖式數：18 共 66 頁

(54)名稱

半導體裝置及顯示裝置

SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

(57)摘要

本發明揭示一種薄膜電晶體，其包括：一絕緣膜；嵌入於該絕緣膜之一淺層部分中之一閘極電極；在該閘極電極及該絕緣膜上之一閘極絕緣膜；在該閘極絕緣膜上之一半導體膜；在該半導體膜之一部分上之一通道保護膜，其具有帶有一向前錐形斜面之端部表面；在該半導體膜上之一第一電極，其安裝至該通道保護膜之一個錐形側上；及在該半導體膜上之一第二電極，其安裝至該通道保護膜之另一錐形側上，其中該閘極電極之最接近於該第一電極之一邊緣自其中該第一電極鄰接該半導體膜之點向該第二電極偏移。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種包含一薄膜電晶體之半導體裝置，該薄膜電晶體具有控制一通道之形成之一閘極電極及形成於一半導體薄膜上之以一絕緣狀態分層於一基板上之兩個源極/汲極電極。另外，本發明係關於一種其中採用該薄膜電晶體作為一像素電路之一元件之顯示裝置。

本申請案主張於2009年9月30日在日本專利局提出申請之日本優先權專利申請案JP 2009-227013之優先權，該案之全部內容藉此皆以引用方式併入本文中。

【先前技術】

當採用一薄膜電晶體作為包含於一顯示裝置中之一像素電路之一個元件時，若在一閘極非啟動之情況下在一源極與一汲極之間流動之一電流較大，則一閃爍點或一輝光點出現於一顯示影像中且偵測為一像素性質之一異常。因此，要求該薄膜電晶體使其一關斷狀態電流得到抑制。為提高一亮度，降低一接通狀態電阻以便確保一必需接通狀態電流較重要。因此，要求提高該薄膜電晶體之接通狀態電流與其之關斷狀態電流之比率(接通-關斷比率)。另外，要求該薄膜電晶體展示對一電流之控制之高回應性，亦即，展示一優良頻率特性。

除包含於顯示裝置中之像素電路之元件之外，通常需求電路元件根據其中利用該等電路元件之一電路之特性符合上述請求。

具有在一半導體膜中所界定之一通道形成區且具有根據該通道形成區之側所界定之兩個源極-汲極區之一所謂的平面薄膜電晶體(TFT)結構係習知。舉例而言，參見日本專利申請案JP-A-2002-313808及JP-A-2006-313776。

在日本專利申請案JP-A-2002-313808中，針對一平面薄膜電晶體，提出一閘極重疊輕摻雜汲極(LDD)結構作為一種用於在不減小一接通狀態電流之情況下抑制一關斷狀態電流之方法。在此情形下，一閘極電極具有與一LDD區重疊之一兩層結構。在形成該兩層閘極之過程中以一自對準方式形成含有一低濃度之一雜質之LDD區。由於該LDD區係以自對準方式形成，因此可忽略該LDD與一源極/汲極區之一未對準。可抑制在製作期間發生之一性質之一變化。

在以上結構中，由於第二層之閘極電極與該LDD區重疊，因此當接通該薄膜電晶體時，該LDD區之導電性得到改良且減小一接通狀態電阻。該結構稱為一閘極重疊輕摻雜汲極(GO LDD)結構。

當與該LDD區重疊之上部層之第二閘極電極係由提供比與該通道形成區相對之下部層之第一閘極電極之電阻高之一電阻之一導電材料製成時，減小一寄生電容。

根據日本專利申請案JP-A-2006-313776，使安置於一LDD區上方之一絕緣膜較厚以便弛豫由一閘極電壓所誘導之一電場。另外，一汲極區中之一雜質之濃度經設計以展示一梯度。

另外，一所謂的交錯TFT結構係習知，舉例而言，參見日本專利申請案JP-A-2008-258345及JP-A-5-275698。

此類型之TFT經結構化以具有形成於不同於一半導體薄膜之其中形成一通道之一層之一層(薄膜)中之一源極/汲極雜質區。該結構分成：一底部閘極交錯類型(反轉交錯類型)，其中將一閘極電極安置於在該半導體薄膜下方之一層中；及一頂部閘極交錯類型(交錯類型)，其中將該閘極電極安置於一上部層中。

根據日本專利申請案JP-A-2008-258345，在底部閘極或頂部閘極交錯結構中，使一源極/汲極區中之一雜質層中之一雜質之濃度朝向該通道更低以便減小一關斷狀態電流。

在日本專利申請案JP-A-5-275698中，出於減小一關斷狀態電流及一寄生電容兩者之目的，提出其中在一閘極電極上形成透過平面圖看到具有不規則性之一端部表面且一源極電極及一汲極電極與該不規則端部表面部分地且離散地重疊之一佈局形狀。

如日本專利申請案JP-A-2002-313808中所述，用於使用一LDD區來減小一洩漏電流之一結構可因在該LDD區之一邊緣上弛豫所誘導之一電場而減小該洩漏電流。然而，在此結構中，由於藉助均勻地形成於一電流路徑中之LDD區實現之一串聯電阻器增加由該電流路徑造成之一串聯電阻。因此，此引起一接通狀態電流之一損失。

當提高該LDD區之一雜質之濃度(降低一電阻)以便保存

一接通狀態電流時，鄰接於一通道之一汲極之一邊緣上之高電場強度之一區中之一載子產生速率升高且一關斷狀態電流增加。

根據利用LDD區之解決方案，藉助一接通狀態電流之保存折衷一關斷狀態電流之一減小。

日本專利申請案JP-A-2006-313776及JP-A-2008-258345中之每一者皆具有一絕緣膜之結構較複雜或一雜質濃度之一梯度改變之缺點。因此，一關斷狀態電流之一減小之一效應並未令人滿意地發揮作用。

一寄生電容之一減小較有效。根據日本專利申請案JP-A-2002-313808、JP-A-2006-313776及JP-A-2008-258345之所有申請案，一閘極電極與一汲極區或一源極區重疊。若重疊之面積較寬廣，則寄生電容增加以妨礙一高速作業。

根據日本專利申請案JP-A-5-275698，弛緩一寄生電容之一減小與一洩漏電流之一減小之間的折衷。更特定而言，根據專利文件4，針對底部閘極交錯結構採用其中一閘極電極之一凸出部分與一汲極電極之在其上該汲極電極鄰接於一半導體薄膜之邊緣離散地重疊之一佈局。

然而，該結構具有一缺陷：由於欲由一閘極電極中所誘導之一電場操控之一通道區沿該閘極之寬度之方向(正交於一通道電流之方向之一方向)分成兩半，因此一電流驅動能力變得不足夠以在饋送與在一接通狀態電阻較大時欲饋送之電流相同之大量電流中失敗。亦即，該結構係不可行，此乃因雖然稍微弛緩寄生電容與洩漏電流之間的折

衷，但一標稱接通狀態電阻增加。

如以上所提及，專利文件1至4中所述之技術已未能在不犧牲一接通狀態電阻之情況下消除或弛緩一寄生電容與一洩漏電流之間的折衷。因此，當將現存薄膜電晶體中之任一者用作包含於一顯示裝置中之一像素電路之一元件時，不會在防止一輝光點或一閃爍點之情況下以一高速度顯示一影像。

因此，需要包含允許在不犧牲一接通狀態電阻之情況下消除或弛緩一寄生電容與一洩漏電流之間的折衷之一薄膜電晶體之一半導體裝置。此外，需要具有用作一像素電路之一元件之此一薄膜電晶體之一顯示裝置。

【發明內容】

與本發明一致之一個實施例包含一種薄膜電晶體，其包括：一絕緣膜；嵌入於該絕緣膜之一淺層部分中之一閘極電極；在該閘極電極及該絕緣膜上之一閘極絕緣膜；在該閘極絕緣膜上之一半導體膜；在該半導體膜之一部分上之一通道保護膜，其具有帶有一向前錐形斜面之端部表面；在該半導體膜上之一第一電極，其安裝至該通道保護膜之一個錐形側上；及在該半導體膜上之一第二電極，其安裝至該通道保護膜之另一錐形側上，其中該閘極電極之最接近於該第一電極之一邊緣自其中該第一電極鄰接該半導體膜之點向該第二電極偏移。

在與本發明一致之另一實施例中，該閘極電極之最接近於該第二電極之一邊緣自其中該第二電極鄰接該半導體膜

之點向該第一電極偏移。

在與本發明一致之另一實施例中，該通道保護層之鄰接該第二電極之下部部分創建一汲極邊緣且該通道保護層之鄰接該第一電極之下部部分創建一源極邊緣。

在與本發明一致之另一實施例中，該閘極絕緣膜係一單層膜。

在與本發明一致之另一實施例中，該半導體膜係由一微晶矽製成；

在與本發明一致之另一實施例中，該主佈線膜係由一低電阻佈線材料製成。

在與本發明一致之另一實施例中，該下部電極係由鈦製成。

在與本發明一致之另一實施例中，該閘極電極之中心係自該通道保護膜之中心偏移。

在與本發明一致之另一實施例中，該閘極電極之表面與該絕緣膜之表面齊平。

與本發明一致之另一實施例陳述一種製造一薄膜電晶體之方法，該方法包括以下步驟：形成一絕緣膜、形成嵌入於該絕緣膜之一淺層部分中之一閘極電極、在該閘極電極及該絕緣膜上面形成一閘極絕緣膜、在該閘極絕緣膜上形成一半導體膜、在該半導體膜上形成具有帶有一向前錐形斜面之端部表面之一通道保護膜、在該通道保護膜之一個錐形側上形成一第一電極及在該通道保護膜之一個錐形側上形成一第二電極，其中該閘極電極之最接近於該第一

電極之一邊緣自其中該第一電極鄰接該半導體膜之點向該第二電極偏移。

在與本發明一致之另一實施例中，該閘極電極之最接近於該第二電極之一邊緣自其中該第二電極鄰接該半導體膜之點向該第一電極偏移。

在與本發明一致之另一實施例中，該第一電極包含在一主佈線膜上方之一上部電極膜，該主佈線膜係在一半導體膜上方之一下部電極膜上方。

在與本發明一致之另一實施例中，該通道保護層之鄰接該第二電極之下部部分充當一汲極邊緣且該通道保護層之鄰接該第一電極之下部部分充當一源極邊緣。

在與本發明一致之另一實施例中，該閘極絕緣膜係一單層膜。

在與本發明一致之另一實施例中，該半導體膜係由一微晶矽製成。

在與本發明一致之另一實施例中，該主佈線膜係由一低電阻佈線材料製成。

在與本發明一致之另一實施例中，該下部電極係由鈦製成。

在與本發明一致之另一實施例中，該閘極電極之中心係自該通道保護膜之中心偏移。

在與本發明一致之另一實施例中，該閘極電極之表面與該絕緣膜之表面齊平。熟習此項技術者在審查以下圖及詳細說明之後將明瞭本發明之其他系統、方法、特徵及優

點。意欲使所有此等額外系統、方法、特徵及優點皆包含於此說明內、屬於本發明之範疇內且由隨附申請專利範圍保護。

【實施方式】

雖然已闡述了本發明之各種實施例，但彼等熟習此項技術者將明瞭，在此發明之範疇內之更多實施例及實施方案係可能。因此，僅根據附加之申請專利範圍及其等效形式來限制本發明。

根據上述構造，當兩個源極/汲極電極中之至少一者用作一汲極電極時，一電流聚集於其中充當汲極之電極鄰接於該半導體膜之區之輪廓部分上。此時，一電流以其中最小化由該電流路徑造成之一電阻之該輪廓部分之方式自該電極之接近於該輪廓部分之該區流動至該通道形成區。自該電極之另一部分流動之一電流聚集於該輪廓部分之邊緣(亦即，兩個邊緣點)上。甚至當該輪廓部分之長度與充當該汲極之源極/汲極電極之寬度(通常，係沿一通道之寬度之方向或一通道寬度方向之長度)一致時，由於一應力聚集於該電極之邊緣上，因此該電流可能聚集於邊緣上。在任一情形下，一電流可能聚集於該輪廓部分上之兩個邊緣點而非其他點上。

以上現象不僅在接通薄膜電晶體時而且在關斷薄膜電晶體時發生。亦即，假定取一n通道電晶體為例，則當關斷該電晶體時，對其源極與汲極施加偏壓且對其閘極施加偏壓至0 V或低於當接通該電晶體時該閘極所設定至之一電

壓位準之一負電壓。此時，一電流即將因施加至源極與汲極之偏壓而流動。然而，由於施加至該閘極之偏壓將一通道強行斷開，因此該電流受到阻擋。然而，一關斷狀態電流流動穿過一洩漏路徑，諸如貫穿該汲極及一基板之深部分之一路徑。在此情形下，關斷狀態電流聚集於充當汲極之源極/汲極電極之輪廓部分之邊緣(兩個邊緣點)上。電極之面積越寬廣，輪廓部分上之電流之聚集越強烈。甚至當兩個邊緣點係一電極層之邊緣時，聚集亦得到強化。

本發明之實施例採用其中兩個邊緣點位於閘極電極外側，或更佳地與閘極電極分離某一距離或更長之一佈局圖案。

只要涉及n通道電晶體，當因離子碰撞而產生於一通道中接近一汲極之一邊緣之高電場強度之一區中之載子中之電子流動至該汲極電極中，且電洞流動穿過一基板之深部分中之一路徑時，即通常產生一關斷狀態電流。此現象於一運作領域中被顯著證明，在該運作領域內一閘極與一汲極之間的一電壓在對該閘極施加負偏壓且對該汲極施加正高偏壓之情況下較高。

一洩漏電流具有取決於一電晶體中之一通道之寬度之一分量及獨立於該通道之寬度之一分量。獨立於該通道寬度之該分量係由其上確定該通道寬度之一半導體膜與一汲極電極彼此鄰接之一邊緣引出之一洩漏分量。出於上述原因，獨立於該通道寬度之該分量由沿貫穿兩個邊緣點之一路徑流動之一電流操控。在本發明之實施例中，閘極電極

與兩個邊緣點分離。此時，一旦其中由碰撞離子化引出載子之一場所與一電極之其上可能聚集一洩漏電流之一邊緣稍微分離，即急劇地減小一關斷狀態電流。

根據本發明之一實施例之一薄膜電晶體(TFT)具有一閘極電極、其中形成一通道之一半導體薄膜、一閘極絕緣膜及分層於一層壓結構(其分層於具有至少一絕緣表面之一基板上)內之兩個源極/汲極電極。

對於針對其採用一多晶矽作為一半導體膜材料之一薄膜電晶體，由於可利用相對高溫度熱處理，因此在製作步驟處執行離子植入及雜質活化。因此，較佳採用具有形成於一半導體膜中之一通道形成區及兩個源極/汲極區之一所謂的平面TFT結構。該兩個源極/汲極區作為子區形成於具有一反向導電雜質之該半導體膜中，該反向導電雜質以一相對高濃度引入至其處透過平面圖看到該等源極/汲極區夾入一通道區之一位置中。

根據一閘極電極是安置於一半導體薄膜之頂部側(與一基板相對)上還是其之底部側(該基板)上，該平面TFT結構分成一頂部閘極類型與一底部閘極類型。考慮到採用一多晶矽作為半導體膜材料之事實，其中可實施本發明之類型係底部閘極平面類型。然而，並不摒棄對本發明應用頂部閘極平面類型。

當採用一非晶矽或一微晶矽時，由於一半導體膜必須係以一低溫度形成，因此較佳採用其中一通道形成區與一源極/汲極區係形成於不同半導體膜中之一所謂的交錯類

型。使一閘極電極形成於一源極/汲極區之底部側上之TFT結構稱為一底部閘極交錯類型，而使該閘極電極形成於該源極/汲極區之頂部側上之TFT結構稱為一頂部閘極交錯類型。該底部閘極交錯類型可稱為一反轉交錯類型。

在與本發明一致之一個實施例中，慮及其中兩個源極/汲極電極中之至少一者鄰接於其中形成一通道之一半導體膜之一區。該區可係其中該源極/汲極電極之表面鄰接於該半導體膜之一平面區或可係其中該源極/汲極電極之側面鄰接於該半導體膜之一橫向區。

在該區中，界定該源極/汲極電極之輪廓之一部分且該輪廓部分之端部處之點將稱為邊緣點。

在上述前提條件下，對本發明之一應用要求係透過平面圖看到(亦即，在一佈局圖案中)兩個邊緣點座落於一閘極電極外側。稍後將闡述其中符合該要求之實例性實施例。可根據閘極電極如何與將其端部視為邊緣點之輪廓部分重疊而想到下文所述之佈局圖案(情形)。

其中閘極電極與輪廓部分不重疊之一(第一)情形亦涵蓋於本發明之範疇中。

相比之下，閘極電極在輪廓部分上之一個位置處與兩個邊緣點之間的源極/汲極電極之輪廓部分重疊。更特定而言，此情形分成其中該閘極電極之凸出部分與一線性輪廓部分重疊之一第二情形與其中該閘極電極之一線性邊緣與該輪廓部分之一凸出部分重疊之一第三情形。另外，存在其中該閘極電極之寬度小於該輪廓部分之寬度且該閘極電

極在其整個寬度上與該輪廓部分重疊之一第四情形。

界定該輪廓部分之一方式端視是否存在用作一蝕刻停止物之一半導體通道保護膜而改變。稍後將相對於實施例對此進行詳述。

第一實施例係關於一底部閘極交錯TFT且與其中一閘極電極與一輪廓部分不重疊之第一情形相關。

圖1係一TFT之一平面圖，且圖2係該TFT之沿圖1中所示之一A-A切割平面線之一截面結構圖。

在圖2中所示之一TFT 10A中，包含由一高熔點金屬(諸如，但不限於鉬(Mo))製成之一預定閘極金屬層(GM)之一閘極電極13經由一床層(一種類之絕緣膜)形成於由玻璃或類似物製成之一基板11上。閘極電極13具有大約數十奈米(諸如，但不限於大約65 nm)之一厚度。

閘極電極13與(舉例而言)一顯示像素電路之其他元件共用一內部佈線。因此，如圖1中所示，形成如同一經拉長佈線之閘極電極13。

如圖2中所示，閘極電極13較佳嵌入於一絕緣表面12之淺層部分中。此意欲使絕緣層12與閘極電極13彼此齊平。當絕緣層12與閘極電極13彼此齊平時，意指該閘極電極相對於該絕緣層係平坦。因此，由於並未強加一膜應力，因此可減輕一電場在一上部半導體膜上或一電極接觸部分上之聚集。若非此一缺陷，閘極電極13即可在形成並處理一閘極電極膜(一鉬膜)之一步驟處形成於絕緣層12之表面上。

形成一閘極絕緣膜14以覆蓋閘極電極13之表面及絕緣層12之圍繞該閘極電極之表面。由一非晶矽(α -Si)或一微晶矽(μ -cSi)製成之一半導體膜15形成於閘極絕緣膜14上。

閘極絕緣膜14可係一單層之氧化矽膜或可係一多層膜。在多層膜之情形下，該多層膜較佳包含氮化矽(SiN)膜之一下部層及二氧化矽(SiO_2)膜之一上部層。該氮化矽膜之厚度介於自十幾奈米至數十奈米之範圍內(舉例而言，係20 nm)。該二氧化矽膜之厚度介於自一百幾十奈米至數百奈米之範圍內(舉例而言，係290 nm)。

半導體膜15具有針對每一TFT隔離之一個圖案。在圖2之截面圖中，跨越閘極絕緣膜14之上部表面形成半導體膜15以便覆蓋閘極絕緣膜14。當半導體膜15係由一微晶矽製成時，其厚度小至十幾奈米(諸如，但不限於15 nm)。

藉助具有圖1中所示之一矩形圖案之一相對厚絕緣膜實現之一半導體通道保護膜16形成於半導體膜15上。如圖2中所示，半導體通道保護膜16之較佳端部表面經向前錐形以具有一適當斜面。形成一第一源極/汲極(SD)電極18及一第二源極/汲極(SD)電極19以自半導體通道保護膜16之左側及右側沿一通道之方向(所圖解說明截面之方向)向該通道之中心安裝該半導體通道保護膜之斜面。

第一源極/汲極電極18用作一汲極電極且第二源極/汲極電極19用作一源極電極。在此情形下，一所謂的汲極邊緣係指其中第一源極/汲極電極18在接近該通道之中心處鄰接於半導體膜15之一接觸區之一邊緣。在第一實施例中，

如藉助圖1中之一粗體實線所指示，該接觸區之邊緣係沿正交於該通道之方向(一所謂的通道長度方向)之一所謂的通道寬度方向延伸之一線。在圖1中，其中第一源極/汲極電極18鄰接於半導體膜15之接觸區顯示為一陰影區域。藉助粗體實線繪製之線係指其中第一源極/汲極電極18鄰接於半導體膜15之區之輪廓之一部分。下文中，該接觸區之接近該通道之中心之邊緣將稱為一輪廓部分30。輪廓部分30之端部將稱為邊緣點31。

甚至針對第二源極/汲極電極19，如圖1中所示，亦界定輪廓部分30及邊緣點31。

在本實施例中，第一源極/汲極電極18及第二源極/汲極電極19中之每一者皆由四個層組成。具體而言，第一源極/汲極電極18及第二源極/汲極電極19中之每一者皆具有以自最底層之彼次序分層之其中形成一源極/汲極區之一源極/汲極半導體膜17A、一下部電極膜17B、一主佈線膜17C及一上部電極膜17D。

舉例而言，源極/汲極半導體膜17A係具有以一高濃度施加至其之一n型雜質之一半導體膜。在該交錯結構中，形成其中形成一源極/汲極區之該半導體膜作為不同於其中形成一通道之半導體膜15之一膜。源極/汲極半導體膜17A之厚度係數十奈米(舉例而言，50 nm)。

厚的主佈線膜17C係由一低電阻佈線材料(諸如，但不限於鋁)製成。在此情形下，將由一高熔點金屬或類似物製成之一薄膜塗佈於主佈線膜17C之上部側及下部側上以便

防止與床層反應或防止由光微影引起之反射。藉助具有介於數百奈米至一千一百奈米之範圍內之一厚度(舉例而言, 900 nm厚)之一鋁膜來實現主佈線膜17C, 且藉助(舉例而言)大約50 nm厚之一鈦膜來實現下部電極膜17B。藉助(舉例而言)大約50 nm厚之一鉬膜來實現上部電極膜17D。

半導體通道保護膜16保護該通道形成區免於欲執行以處理第一源極/汲極電極18及第二源極/汲極電極19之蝕刻。第一源極/汲極電極18及第二源極/汲極電極19足夠厚以確保該保護, 其有助於平衡強加於第一源極/汲極電極18及第二源極/汲極電極19之總應力。

半導體膜15中之覆蓋有半導體通道保護膜16之區係通道形成區。半導體通道保護膜16之斜面之下部邊緣充當一汲極邊緣與一源極邊緣。圖2顯示沿圖1中所示之一A-A切割平面線之剖面。邊緣點31位於接近半導體通道保護膜16之斜面之邊緣處。

本實施例具有透過平面圖看到兩個邊緣點31座落於閘極電極13外側之一特徵。

在本實施例中, 採用一偏移閘極結構以使得其上聚集一電場之汲極側邊緣點31(在圖1或圖2之右側上之邊緣點31)可與閘極電極13分離。換言之, 閘極電極13經偏移以使得閘極電極13在其寬度上之中心可自通道形成區之中心向源極電極偏離。

較佳地, 自邊緣點31中之每一者至閘極電極13之邊緣之

距離 D_a (圖 1)等於或小於一預定距離 D_0 。

在半導體通道保護膜 16 與第一源極/汲極電極 18 之彼此重疊之輪廓通過之邊緣點 31 處，欲強加於下部半導體膜 15 之一應力較大。此係增加透過極薄半導體膜 15 之一洩漏之一因素。具體而言，舉例而言，假定在將第二源極/汲極電極 19 設定至 0 V 之情況下將一正電壓施加至第一源極/汲極電極 18，則由於第一源極/汲極電極 18 之電阻率係低，因此一電流聚集於圖 1 中所示且位於最接近於通道形成區處之輪廓部分 30 上。最重要地，一電場可能因應力而聚集於邊緣點 31 上。大量電流流動穿過邊緣點 31。

上述現象不僅在接通 TFT 時而且在關斷 TFT 時發生。具體而言，假定取一 n 通道類型 TFT 為例，當該 TFT 係關斷時，對其之源極與汲極(第一源極/汲極電極 18 與第二源極/汲極電極 19)施加偏壓且對閘極電極 13 施加偏壓至 0 V 或低於當該 TFT 係接通時該閘極電極所設定至之一電壓位準之一負電壓。一電流即將因源極與汲極之間的偏壓電壓而流動。然而，藉助跨越該閘極之該偏壓電壓將一通道強行斷開，該電流受到阻擋。然而，一關斷狀態電流沿一洩漏路徑(諸如，貫穿汲極電極(第一源極/汲極電極 18)及基板之深部分之一路徑)流動。在此情形下，如同一接通狀態電流，該關斷狀態電流聚集於充當一汲極之源極/汲極電極(第一源極/汲極電極 18)之輪廓部分 30 之端部(兩個邊緣點 31)上。當該電極之面積比輪廓部分 30 之面積更寬廣時，電流之聚集變得更強烈。甚至當兩個邊緣點係一電極層之

邊緣上之點(本實施例)時，該聚集亦得到強化。

本實施例採用其中兩個邊緣點31位於閘極電極13外側，或更佳地與該閘極電極分離某一距離D0或更遠之佈局圖案。

就一n通道TFT而言，當由發生於一通道中接近一汲極邊緣之高電場強度之一區中之離子碰撞引出之載子中之電子流動至一汲極電極(第一源極/汲極電極18)中，且電洞沿一基板之深部分中之一路徑流動時，產生一關斷狀態電流。此現象於一運作領域中被顯著證明，在該運作領域內一閘極與一汲極之間的一電壓在對該閘極施加負偏壓且對該汲極施加正高偏壓之情況下較高。

此外，一洩漏電流具有取決於一TFT之一通道之寬度之一分量及獨立於該通道之寬度之一分量。獨立於該通道寬度之該分量係由其上確定該通道寬度之半導體膜15與該汲極電極(第一源極/汲極電極18)彼此鄰接之一邊緣(輪廓部分30)導出。出於前述原因，獨立於該通道寬度之該分量由流動穿過兩個邊緣點31之一電流操控。在本實施例中，閘極電極13與兩個邊緣點31分離。此時，一旦其中由碰撞離子化引出載子之一場所與一電極之其上可能聚集一洩漏電流之邊緣彼此分離一短距離，即急劇地減小一關斷狀態電流。

更特定而言，應在考慮伴隨微影技術之一圖案之一未對準時界定預定距離D0以使得一最大膜應力可接近於一穩定狀態膜應力，該穩定狀態膜應力係與在第一源極/汲極電

極18之中心下方強加於半導體膜15上之一應力相等。

藉由偏移一閘極，使兩個源極/汲極電極中之至少一者之兩個邊緣點位於閘極電極外側。自此觀點，相對於本實施例所示之結構及佈局基本上不同於一簡單偏移閘極之結構及佈局。

當第一源極/汲極電極18與第二源極/汲極電極19彼此交換一源極與一汲極之角色時，圖1中所示之佈局被鏡像對稱地修改。舉例而言，針對偏移閘極結構，可採用其中閘極電極13在其寬度上之中心自通道之中心向第一源極/汲極電極18移位之一佈局。

圖3A至3E係顯示製作具有上述結構之一TFT之製程之截面圖。在圖3A至3E中，將揭示形成一半導體通道保護膜之一步驟及以敷設一佈線之一步驟結束之後續步驟。圖3A至3E顯示TFT及其他毗鄰元件(舉例而言，一電容性元件及一佈線)。用於敷設佈線之製程稱為一蝕刻停止製程。

為形成一底部閘極TFT，首先，在由玻璃或類似物製成之一基板9之絕緣表面上面塗佈一閘極金屬(GM)，且藉由處理該閘極金屬來形成經圖案化之閘極電極13(圖3A)。

此時，在一附近區中形成充當一電容性元件之一電極或針對一佈線之一內襯之一閘極金屬層13A。

在圖3B中所示之一步驟處，形成由氧化矽或氮化矽製成且覆蓋閘極電極13之閘極絕緣膜14，且在閘極絕緣膜14上形成充當一電晶體之一通道形成區且由一非晶矽或一微晶矽製成之半導體膜15。

其後，較厚塗佈氮化矽或類似物且將其圖案化以便以半導體通道保護膜16與閘極電極13之上部層部分地重疊之此一方式形成半導體通道保護膜16。此時，當該閘極電極經形成而具有圖1中所示之偏移結構時，將半導體通道保護膜16單向地自閘極電極13偏離。

根據其等之形成方法形成圖2中所示之源極/汲極半導體膜17A及下部電極膜17B且然後將該兩者進行圖案化。此時，執行蝕刻以自除由源極/汲極半導體膜17A及下部電極膜17B保護之一區以外之一區移除半導體膜15。最後，半導體膜15留在半導體通道保護膜16或源極/汲極半導體膜17A下方似乎與半導體通道保護膜16或源極/汲極半導體膜17A自對準。

在圖3C中所示之一步驟處，在裸露閘極絕緣膜14之一上部層膜(舉例而言，氧化矽膜14B)之上部表面上形成在一預定位位置處具有一孔口之一抗蝕劑(未顯示)。蝕刻二氧化矽膜14B及在二氧化矽膜14B下方之氮化矽膜14A以便形成一接觸孔14C。

在圖3D中所示之一步驟處，形成充當第一源極/汲極電極18與第二源極/汲極電極19之主佈線膜17C與上部電極膜17D且按順序對其等進行蝕刻以便形成一預定圖案。最後，在通道形成區上方彼此分開地形成第一源極/汲極電極18及第二源極/汲極電極19。在其他區中形成透過接觸孔14C耦合至下部閘極金屬層13A之一佈線20。

此時，可執行蝕刻以便移除源極/汲極半導體膜17A及下

部電極膜17B之在圖3C中所示之步驟處圖案化、座落於通道形成區上方或可如圖1中所示留下之部分。由於半導體通道保護膜16較厚，因此可保護半導體膜15中之通道形成區使其免於在蝕刻期間受到損害。

第二實施例係關於具有一半導體通道保護膜16之一底部閘極交錯TFT且與其中一閘極電極之一凸出部分在一個位置處與線性輪廓部分30重疊之(第二)情形相關。

圖4係一平面圖且圖5係沿圖4之一B-B切割平面線之一截面圖。

至於本發明不同於第一實施例(圖1)之點，第一點係一源極與一汲極相對於一通道之中心彼此橫向地對稱。第二點係閘極電極13具有透過平面圖看到分別投影至一源極電極與一汲極電極之凸出部分13B。凸出部分13B與輪廓部分30重疊。此時，自凸出部分13B至邊緣點31之距離 D_c 較佳等於或長於一定距離 D_0 。邊緣點31與閘極電極13之直部分分離一距離 D_b 。距離 D_b 較佳等於或長於一定距離 D_0 。

在本實施例中，由於受閘極電極13所誘導之一電場操控之一通道形成區與閘極電極13分離，因此大量地減小一關斷狀態電流。自此觀點，本實施例與第一實施例一樣有利。

另外，由於凸出部分13B在最大寬度上與輪廓部分30重疊，因此該通道形成區在輪廓部分30上之幾乎任一點處幾乎直接耦合至第一源極/汲極電極18或第二源極/汲極電極19。因此，由一源極或一汲極造成之一電阻急劇地小於由

包含於一簡單偏移結構中之源極或汲極造成之電阻。

與第一實施例相比較，一閘極與一汲極之間的一重疊電容(寄生電容)增加。並且，一接通狀態電阻之一減小之效應係如此大以使得本實施例證明是有用的。

其中增加一寄生電容之區在圖4中顯示為網狀區域。該等區位於閘極電極13之輪廓外側且直接電耦合至由該閘極電極誘導之一電場。此外，該等區位於半導體通道保護膜16內側，且任一電極皆未安裝於該等區上。因此，在該等區中，就截面結構而言，閘極電極13經由薄閘極絕緣膜14及半導體膜15電容性地耦合至第一源極/汲極電極18或第二源極/汲極電極19。

然而，如自圖4明顯可見，該四個區具有一小面積。當閘極電極13與邊緣點31之間的距離盡可能大地減小至一洩漏將不增加之此一範圍內時，亦即，當該距離等於預定距離D0時，該四個區之面積係最小化。因此，減小寄生電容。

在本實施例中，邊緣點31與閘極電極13之間的距離較佳等於預定距離D0以便減小一關斷狀態洩漏及一寄生電容兩者。

根據實施例之TFT將作為(舉例而言)其中端視電位之間的關係而切換一源極與一汲極之能力之一切換元件證明是有用的。

假定一汲極之能力係固定，則該閘極電極僅在第一源極/汲極電極18之側上具有凸出部分之一想法亦涵蓋於本實施

例之範疇內。

另外，若複數個凸出部分13B與源極與汲極中之一者之輪廓部分30交叉或若凸出部分13B具有一波狀形狀，則本實施例所提供之優點減少。具體而言，由於凸出部分13B交叉之邊緣點31之間的長度之一部分充當一低電阻區，因此若存在複數個矩形或波狀凸出部分13B，則該複數個凸出部分中間之間隔又造成一高電阻。因此，並未令人滿意地減小一接通狀態電阻。另外，類似於圖4中用網狀區域表示之區，在凸出部分13B中間之間隔中，一重疊電容增加。此導致一寄生電容之一增加。因此，出於此等兩個原因，其中複數個凸出部分與輪廓部分30交叉之該佈局結構非係最佳。

相比之下，在第一實施例中，其中一唯一凸出部分13B經形成以具有一最大寬度且在輪廓部分30之端部處與邊緣點31分離用以減小一洩漏所需之一最小距離(預定距離D0)之一佈局係最佳。

在圖4中，當符合一條件 $D_b = D_c = D_0$ 時，由於用網狀區域表示且致使一寄生電容增加之區之面積係最小化，因此其係較佳。在減小一寄生電容時，甚至一條件 $D_b = D_c > D_0$ 亦係有效。

對本實施例之第二應用要求係當邊緣點31毗連閘極電極13之複數個側時，應將邊緣點31與該複數個側分離一相等距離。

<5. 第三實施例>

本實施例係關於包含一半導體通道保護膜16之一底部閘極交錯TFT，且與其中一閘極電極之線性邊緣在輪廓部分30之一個位置處與該輪廓部分之一凹入部分重疊之(第三)情形相關。

圖6係一平面圖，且圖7係沿圖6中所示之一C-C切割平面線之一截面圖。

第二實施例(圖4)具有閘極電極具有一凸出形狀且線性輪廓部分30與凸出部分重疊之一佈局形狀。

相比之下，根據第三實施例之一TFT 10C具有輪廓部分30具有一凸出部分且該凸出部分與閘極電極13之線性邊緣重疊之此一佈局形狀。

更特定而言，在圖6中，半導體通道保護膜16分別在汲極電極與源極電極之側上具有凹入部分。半導體通道保護膜16之邊緣中之每一者界定輪廓部分30，在該輪廓部分上第一源極/汲極電極18或第二源極/汲極電極19在圖7所示之斜面之下部邊緣處鄰接於半導體膜15。因此，如圖6中所示，輪廓部分30經成形而如同具有向一通道之中心投影之一凸出部分30A且彎曲四次之一虛線。其處第一源極/汲極電極18或第二源極/汲極電極19之圖案之外形符合虛線(輪廓部分30)之兩個點係在一接觸區(圖式中之陰影區域)與一非接觸區之間的一邊界上之點且視為邊緣點31。

類似於第二實施例中之一者，該佈局表示其中一閘極電極與其中一源極/汲極電極鄰接於一半導體層之一區之一輪廓部分在該輪廓部分之一個位置處重疊之形式之一實

例。

因此，TFT中之通道形成區在大的凸出部分30A之整個寬度上鄰接於第一源極/汲極電極18或第二源極/汲極電極19，且減小一接通狀態電阻。只要包含於第二實施例中之閘極電極13之凸出部分13B之寬度(沿圖4之紙張之縱向方向之大小)幾乎等於包含於第三實施例中之半導體保護膜16之凹入部分(輪廓部分30之凸出部分)之寬度，第三實施例之優點即大致對應於第二實施例之優點。

相比之下，如圖6中網狀區域所示之區係其中閘極電極13經由薄半導體膜15電容性地耦合至第一源極/汲極電極18或第二源極/汲極電極19之區。該等區之面積往往大於圖4中所示之區之面積。因此，第三實施例往往產生比第二實施例產生之寄生電容大之一寄生電容。

然而，甚至當因強加之限制而難以大量地減小圖4中所示之距離Db以減小一洩漏時，亦可更大地減小圖6中所示之距離Dd，此乃因應僅慮及一未對準。因此，第三實施例中產生之寄生電容可經抑制以與第二實施例中產生之寄生電容相等。

可在一設計中心處使距離Dd為零。在此情形下，若一未對準之量級較大，則凸出部分30A可不與閘極電極13之邊緣重疊，但其毗連閘極電極之邊緣。甚至在此情形下，一接通狀態電阻值亦根據間隔之長度而增加。然而，存在可急劇地減小寄生電容之優點。

當必須在犧牲一接通狀態電阻之情況下減小寄生電容

時，可採用上述佈局設計。

到目前為止，已藉由取一底部閘極交錯TFT為例且陳述佈局圖案之間的差異闡述了三個實施例。可使用該等實施例作為標準佈局圖案來將本發明應用於一頂部閘極交錯類型及一平面類型。

由於已詳述該等佈局，因此下文將結合顯示構造之示意性平面圖及截面圖來闡述其他實施例。

<6. 第四實施例>

圖8A係一示意性平面圖，且圖8B係顯示沿一垂直方向之一構造之一示意圖。該示意性構造圖顯示具有形成於其中之一通道之一半導體膜與一源極/汲極電極沿該通道長度方向重疊之一大致情形。圖8B亦顯示毗連在最短距離處之邊緣點之一閘極電極。

第四實施例係關於包含半導體通道保護膜16之一底部閘極交錯TFT，且與其中閘極電極13在其整個寬度上與輪廓部分30重疊之(第四)情形相關。

如圖8A中所示，閘極電極13之寬度小於輪廓部分30之長度，且閘極電極13在其整個寬度上與輪廓部分30重疊。閘極電極13安置於在半導體膜15下方之一層中且位於接近於在一距離 D_e 處之邊緣點31處。距離 D_e 較佳等於或長於預定距離預定距離 D_0 。在此情形下，急劇地減小一關斷狀態洩漏。

閘極電極13之面積較小。若一源極與一閘極之間的一寄生電容可較小，則可將閘極電極13延伸至源極電極以便形

成一拉出佈線。

上述佈局係其中一閘極電極與其中一源極/汲極電極鄰接於一半導體膜之一區之一輪廓部分在該輪廓區上之一單個位置處重疊之形式之一實例。

圖9A係顯示第五實施例之一示意性平面圖，且圖9B係顯示第六實施例之一示意性平面圖。圖9C係顯示第五及第六實施例通常利用之沿一垂直方向之一構造之一示意圖。

第五及第六實施例與其中一底部閘極交錯TFT缺乏一半導體通道保護膜之一情形相關。特別係，類似於第一實施例，第五實施例與其中閘極電極13不與輪廓部分30重疊之(第一)情形相關。類似於第四實施例，第六實施例與其中閘極電極13沿其寬度方向在其整個寬度上與輪廓部分30重疊之(第四)情形相關。

如圖9A及圖9B中所示，由於缺少半導體通道保護膜，因此第一源極/汲極電極18及第二源極/汲極電極19係安裝於半導體膜15上以與半導體膜15部分地重疊。因此，輪廓部分30對應於該源極/汲極電極之輪廓之與該半導體膜重疊之部分之輪廓，且經成形而如同彎曲兩次之一虛線。

邊緣點31等效於輪廓部分30之端部，亦即，半導體膜15之邊緣與第一源極/汲極電極18或第二源極/汲極電極19之邊緣之交叉點。

在第五實施例中，閘極電極13毗連輪廓部分30但不與輪廓部分30重疊。然而，由於該閘極電極毗連輪廓部分30，因此明顯地抑制一接通狀態電阻之一增加。另一優點係汲

極之側上之一寄生電容係極小。最重要地，由於邊緣點31位於閘極電極13外側，因此急劇地減小一關斷狀態洩漏。

在第六實施例中，類似於第四實施例，閘極電極13之寬度小於輪廓部分30之長度，且閘極電極13在其整個寬度上與輪廓部分30重疊。

在第五及第六實施例中，閘極電極13與邊緣點31中之每一者之間的距離指示為距離Df或距離Dg。距離Df或Dg較佳等於或長於預定距離D0。因此，大量地減小一關斷狀態洩漏。

下文將闡述其間排除第一至第四實施例中所需之半導體通道保護膜之一製作製程。

圖10A至10E係顯示製作根據第五或第六實施例之一TFT之製程之截面圖。用於敷設圖10A至10E中所示之一佈線之製程稱為一背部通道蝕刻製程。

閘極電極13(及閘極金屬層13A)之形成(圖10A)、氮化矽膜14A與二氧化矽膜14B之形成及半導體膜15之形成(圖10B)與圖3A至3E中所示之蝕刻停止製程中所包含之彼等相同。

在圖10B中，在不形成半導體通道保護膜之情況下形成源極/汲極半導體膜17A及下部電極膜17B。

在圖10C中，處理所形成膜以將其圖案化。

其後，類似於圖3A至3E中所示之製程，形成接觸孔14C(圖10D)，形成提供第一源極/汲極電極18、第二源極/汲極電極19及佈線20(主佈線膜17C及上部電極膜17D)之一

膜且藉由執行光微影及蝕刻來將該等電極彼此分離。

針對該蝕刻，較佳地，源極/汲極半導體膜17A充當用於停止蝕刻該上部層之一停止物。然而，源極/汲極半導體膜17A與係源極/汲極半導體膜17A之床之半導體膜15係由一半導體材料製成。若未確定蝕刻選擇性，則仔細地蝕刻源極/汲極半導體膜17A以免可使半導體膜15不必要地變薄。

圖11A係顯示第七實施例之一示意性平面圖，且11B係顯示第八實施例之一示意性平面圖。圖11C係顯示第七及第八實施例中通常利用之沿一垂直方向之一構造之一示意圖。

第七及第八實施例係第五及第六實施例之變型。相對於第七及第八實施例，將揭示意欲保護半導體膜15使其免於在圖10E中所示之蝕刻期間受到損害之一結構。

在第七及第八實施例中，(在一下部層中)形成第一源極/汲極電極18及第二源極/汲極電極19，同時將該兩者彼此分離。其後，形成半導體膜15以覆蓋第一源極/汲極電極18及第二源極/汲極電極19，包含間隔。亦即，第一源極/汲極電極18及第二源極/汲極電極19與半導體膜15之圖11A及11B中所示之上下關係與圖9A及9B中所示之關係係反向。

第七實施例中利用之一佈局圖案中之閘極電極13與輪廓部分30之間的關係對應於第五實施例中利用之關係。第八實施例中利用之佈局圖案中之閘極電極13與輪廓部分30之

間的關係對應於第六實施例中利用之關係。

在第七及第八實施例中，由於薄半導體膜15經形成以與第一源極/汲極電極18及第二源極/汲極電極19重疊，因此第一源極/汲極電極18及第二源極/汲極電極19之邊緣較佳係向前錐形。然而，當形成且蝕刻半導體膜15時，即使充當床之該等源極/汲極電極受到損害，由於該等源極/汲極電極係形成於一厚的導電層中，因此亦不存在缺點。此時，由於已完成處理源極/汲極電極，因此半導體膜15不會招致處理源極/汲極電極之一反效應。

針對上述構造，半導體膜15可係由一多晶矽製成之一膜。該構造較佳應用於其中半導體膜15係一有機半導體膜之一情形。

圖12A係顯示第九實施例之一示意性平面圖，且圖12B係顯示第十實施例之一示意性平面圖。圖12C係顯示第九及第十實施例通常利用之沿一垂直方向之一構造之一示意圖。

第九及第十實施例係第七及第八實施例之變型。一修改點在於閘極電極13係安置於半導體膜15上方之一層中以便實現一頂部閘極結構。其他構成特徵與第七及第八實施例之彼等相同。

第九實施例中利用之一佈局圖案中之閘極電極13與輪廓部分30之間的關係對應於第七實施例中之關係。第十實施例中之佈局圖案中之彼等之間的關係對應於第八實施例中利用之關係。

圖 13A 係顯示第十一實施例之一示意性平面圖，且圖 13B 係顯示第十二實施例之一示意性平面圖。圖 13C 係顯示第十一及第十二實施例通常利用之沿一垂直方向之一構造之一示意圖。

第十一及第十二實施例係關於缺乏半導體通道保護膜之一底部閘極平面 TFT，且與其中輪廓部分 30 非係其中一源極/汲極電極鄰接於一半導體膜之一接觸區之一邊緣之一情形相關。更特定而言，半導體膜 15 含有一通道形成區 (CH) 15a 及兩個源極/汲極區 15b 及 15c (S/D)，該兩個源極/汲極區含有一高濃度之一反向導電雜質且形成於該通道形成區之側上。在此情形下，兩個源極/汲極區 15b 及 15c 用作第一源極/汲極電極 18 或第二源極/汲極電極 19。因此，其上該源極/汲極區鄰接於其中形成一通道之該半導體膜之該區係指半導體膜 15 之其上通道形成區 15a 與源極/汲極區 15b 或 15c 彼此鄰接之內部表面之一部分。該接觸區等效於輪廓部分 30。如其他實施例中之彼等，輪廓部分 30 之端部充當邊緣點 31。

閘極電極 13 安置於半導體膜 15 下方。

第十一實施例中利用之一佈局圖案中之閘極電極 13 與輪廓部分 30 之間的關係對應於第七及第九實施例中利用之關係。第十二實施例中利用之佈局圖案中之彼等之間的關係對應於第八及第十實施例中利用之關係。

圖 14A 係顯示第十三實施例之一示意性平面圖，且圖 14B 係顯示第十六實施例之一示意性平面圖。圖 14D 係顯

示第十四實施例之部分之一示意性平面圖。圖14E係顯示第十五實施例之部分之一示意性平面圖。第十三至第十六實施例中通常使用圖14C中所示之沿一垂直方向之示意性構造。

第十三至第十六實施例係關於一底部閘極平面TFT之第十一及第十二實施例之變型。

如圖14A至14E中所示，安置半導體通道保護膜16以覆蓋通道形成區15a。半導體通道保護膜16可用作一遮罩層以將一高濃度雜質施加至半導體膜15。在第十三至第十六實施例中，作為半導體通道保護膜16該遮罩層可係左側原封不動。

在該等實施例中，可藉助該遮罩層之邊緣之形狀來確定輪廓部分30之平面圖形狀。舉例而言，在第十四實施例(圖14D)中，形成其中半導體通道保護膜16具有一凸出部分之一圖案。藉由反映該圖案，將輪廓部分30形成為在一通道之側上具有一凹入部分。相比之下，在第十五實施例(圖14E)中，形成其中半導體通道保護膜16具有一凹入部分之一圖案。藉由反映該圖案，將輪廓部分30形成為在該通道之側上具有一凸出部分。第十六實施例與其中半導體通道保護膜16具有一簡單矩形形狀之一情形相關。

在第十四至第十六實施例中，閘極電極13在其整個寬度上與輪廓部分30重疊。在第十三實施例中，閘極電極13不與輪廓部分30重疊。

接下來，將闡述一比較性實例以便闡明本發明之優點。

[比較性實例之結構]

圖 15A 顯示一比較性實例之一佈局圖案。

在該比較性實例中，用閘極電極 13 覆蓋藉助半導體通道保護膜 16 之與第一源極/汲極電極 18 (汲極電極) 交叉之一邊緣界定之輪廓部分 30 及在該輪廓部分之端部處之兩個邊緣點 31。

同樣應用於充當一源極電極之第二源極/汲極電極 19。

在該比較性實例之結構之情形下，在接近一汲極電極之其中一電場強度係最高之一區中 (亦即，在藉助半導體通道保護膜 16 之輪廓線之由第一源極/汲極電極 18 覆蓋之一部分界定之輪廓部分 30 上)，一關斷狀態電流增加。特定而言，發生於邊緣點 31 處之一洩漏變成自該 TFT 之該汲極電極之一洩漏之一主要因素。

圖 15B 係指示欲執行以便使用一電場分佈來支持上述事實之模擬之結果之一三維曲線圖。

如圖 15B 中所示，其中一電場強度係最高之一區聚集於第一源極/汲極電極 18 之一邊緣之底部上。特定而言，電場強度在邊緣點 31 處係明顯地高。電場強度在輪廓部分 30 處較高。電場強度在接近邊緣點 31 之沿在一 Y 方向上延伸之輪廓部分 30 之某一位置處突然升高。

模擬之結果表明在減小一洩漏中將該通道形成區 (由閘極電極 13 所誘導之一電場操控之區) 與邊緣點 31 分離係有效。

estimate 可將自其處電場強度大大高於一穩定狀態電場

分佈中所觀察之電場強度之一位置至邊緣點31中之每一者之沿y方向之距離評定為應將閘極電極13分離以便減小一洩漏之最短距離(亦即，預定距離D0)。

圖16係指示與視為一參數之一運作電壓之值相關聯之一關斷狀態洩漏電流之所量測值之一曲線圖。

自該曲線圖看到，當提高該運作電壓(汲極電壓 V_{ds})時，一關斷狀態洩漏電流增加之一速率大於一運作電流(接通狀態電流)增加之一速率。此暗指其上可能聚集一電場之一弱點(諸如，前述之邊緣點)之存在係一關斷狀態洩漏電流之一主要起因。

在前述之第一至第十六實施例中，根據執行以形成該電場分佈之模擬之結果，該比較性實例在一洩漏方面得到改良。當閘極電極13經形成而與邊緣點31分開時，可急劇地抑制一關斷狀態洩漏。應在考量一遮罩之一未對準之情況下設計該閘極電極與該等邊緣點中之每一者之間的距離以使得可確保圖15B中所示之預定距離D0。

根據第一至第十六實施例，提供下文所述之優點。

第一，藉由針對一汲極電極採用其中閘極電極13不覆蓋一半導體膜區之一結構，可弛豫一電場。可在不減小一接通狀態電流之情況下減小在該閘極電極係非啟動(0 V或負偏壓)時出現之一洩漏電流。

第二，將不覆蓋一閘極之一區侷限至一通道之一邊緣(邊緣點31)。因此，可實現使一源極與一汲極彼此對稱之一佈局。該佈局可應用於其中切換源極與汲極以供使用之

一電路。在第一實施例中利用之一非對稱佈局不提供此優點。

第三，將不覆蓋一閘極之一區侷限至一通道之一邊緣。因此，雖然由處理一汲極電極及發生於接通一電晶體時之變化引出之一電流能力之一變化得到抑制，但可減小一洩漏電流。

第四，在其中閘極電極13不覆蓋一通道之一邊緣之一結構中，當將該通道邊緣開凹口時，可減小該通道邊緣上之一邊際電容。由於可減小一電路之一寄生電容，因此可達成一高速作業。

接下來，下文將藉由取一有機電致發光(EL)顯示器為例來闡述其中採用具有前述結構之一TFT作為包含於一顯示裝置中之一像素電路之一元件之一實施例。

該有機EL顯示器作為一扁平顯示器類型顯示裝置已引起注意。由於該顯示裝置利用有機發光元件之放出光現象，因此該顯示裝置具有如一廣泛視角及低功率消耗之此等優良特徵。另外，該顯示裝置具有一高回應速度之優點。

作為針對該顯示裝置之驅動方法，準許比一被動矩陣方法快之回應之一主動矩陣方法係最佳。

採用主動矩陣驅動方法之一有機EL顯示器至少需要由一有機材料製成之一發光元件、驅動該發光元件之一驅動元件及控制一像素之亮度或暗度之一切換元件。採用第一至第十六薄膜電晶體中之任一者作為該驅動元件或切換元件。此時，必須採用根據第一或第二實施例之具有一對稱

佈局之TFT作為該切換元件。作為該驅動元件，可採用具有該對稱佈局之該TFT或具有一非對稱佈局之TFT。

下文將闡述一顯示裝置之一更詳細構造及一電路之一實例。

[顯示裝置及像素電路之構造之實例]

圖17顯示根據本發明之本實施例之一有機EL顯示器之一主要構造。

圖17中所示之一有機EL顯示器1包含具有配置成一矩陣之形式之複數個像素電路(PXLC)3之一像素陣列2及驅動像素陣列2之垂直驅動電路(V掃描器)4與水平驅動電路(H選擇器；HSEL)5。

V掃描器4之數目取決於像素電路3之配置。本文中，V掃描器4包含一水平像素線驅動電路(DSCN)41及一寫入信號掃描電路(WSCN)42。除V掃描器4及H選擇器5之外，還包含未顯示之將一時脈信號給予該V掃描器及H選擇器之一電路、一控制電路(CPU)及其他電路。

圖18之電路圖顯示一有機發光二極體及安置於每一像素中以便控制該發光二極體之一像素電路。

圖18中所示之像素電路3包含充當一電光元件之一有機發光二極體OLED、藉助一NMOS電晶體實現之一取樣電晶體ST、藉助一PMOS電晶體實現之一驅動電晶體DT及一補償單元3A。

有機發光二極體OLED之陰極連接至一第二電源電壓線VSS1。

驅動電晶體DT連接在有機發光二極體OLED與一第一電源電壓線VDD1之間。驅動電晶體DT基於第一電源電壓線VDD1與第二電源電壓線VSS1之間的一電位差控制流動之驅動電流之一量。

驅動電晶體DT之一性質(特別係，其之一臨限電壓 V_t)直接影響欲饋送至有機發光二極體OLED之驅動電流之一量。若臨限電壓 V_t 改變，則自有機發光二極體OLED發出之光之亮度改變。另外，為改良所發射光之亮度之均勻性，必須抑制一裝置之稱為一所謂遷移率 μ 之一性質之變化。包含補償單元3A以便補償該等變化。補償單元3A可具有一任意構造。

補償單元3A連接在取樣電晶體ST之源極及汲極中之一者與驅動電晶體DT之閘極之間。然而，該連接僅顯示為一典型實例。嚴格地，補償單元3A中包含連接在有機發光二極體OLED之陽極與驅動電晶體DT之閘極之間的一元件(電容器或一電晶體)。

取樣電晶體ST之源極及汲極中之另一者連接至一信號輸入線SIG上。將一資料電壓 V_{sig} 施加至該信號輸入線SIG。取樣電晶體ST在一資料電壓施加週期期間之適當時序處對像素電路應顯示之資料進行取樣。

取樣電晶體ST亦可用作提取(舉例而言)一偏移位準(初始位準)之一電晶體且包含於補償單元3A中。在此情形下，必須將該偏移位準及資料電壓 V_{sig} 交替地施加至信號輸入線SIG上。

因此，根據補償單元3A之側上之節點與信號輸入線SIG之側上之節點處之電位頻繁地切換取樣電晶體ST之源極與汲極之能力。

作為取樣電晶體ST，應採用根據第一至第十六實施例之TFT中之具有一對稱佈局之TFT。

根據主動矩陣驅動方法，按順序在該像素陣列中所包含之像素中之每一者處開始欲由取樣電晶體ST執行之資料寫入及光發射。終止光發射經任意地控制以在針對任一其他像素之一驅動週期期間執行。因此，只要執行主動矩陣驅動，即可在一低電流之情況下獲得一高亮度。

在控制光發射中使用之驅動電晶體DT使其源極連接至有機發光二極體OLED之陽極且使其汲極連接至一正電源。因此，通常不切換源極與汲極之能力。作為驅動電晶體DT，不僅可採用根據第一至第十六實施例之TFT中之具有一對稱佈局之一TFT而且可採用其中具有一非對稱佈局之一TFT。

可藉助一PMOS電晶體實現取樣電晶體ST且可藉助一NMOS電晶體實現驅動電晶體DT。

在本實施例中，可採用如第一至第十六實施例所述之TFT中之任一者作為圖18中所示之驅動電晶體DT或取樣電晶體ST。提供下文所述之一優點。

在具有前述構造中之任一者之TFT中，將邊緣點與一閘極電極彼此分離。因此，TFT以一平衡良好方式具有如一小關斷狀態洩漏電流、一低接通狀態電阻及一低寄生電容

之此等特徵。因此，在用於一顯示裝置中之一薄膜電晶體中，可有效地防止由在其間一閘極係非啟動之一週期期間在一源極電極與一汲極電極之間流動之一洩漏電流之一增加引出之一缺陷(諸如一閃爍點或一輝光點)。由於該薄膜電晶體可回應於一高頻率地運作，因此該薄膜電晶體可應用於展示高運動圖片顯示效能之一顯示器。此外，由於一接通狀態電阻較低，因此可達成具有一高亮度之顯示。

另外，一關斷狀態洩漏電流得到抑制且一接通狀態電阻較低。因此，一電流損失受到限制。最後，減小一顯示裝置之功率消耗。

可採用根據前述實施例之TFT中之任一者作為包含於使用一LED而非一有機EL元件(一類型之LED)作為一發光元件或一電漿顯示裝置之一LED顯示裝置中之一像素電路之一元件。根據前述第一至第十六實施例之TFT可較佳不僅應用於該顯示裝置而且應用於其中必須同時滿足一小洩漏、一低接通狀態電阻及一低寄生電容之此任一使用情形。

彼等熟習此項技術者應理解，可端視設計要求及其他因素作出各種修改、組合、子組合及變更，只要其等在隨附申請專利範圍及其等效形式之範疇內即可。

【圖式簡單說明】

圖1係根據一第一實施例之一TFT之一主要部分之一平面圖；

圖2係顯示沿圖1中所示之一A-A切割平面線之主要部分

之截面結構之一圖；

圖3A至3E係顯示製作根據第一實施例之TFT結構之製程之截面圖；

圖4係根據一第二實施例之一TFT之一主要部分之一平面圖；

圖5係顯示沿圖4中所示之一B-B切割平面線之主要部分之截面結構之一圖；

圖6係根據一第三實施例之一TFT之一主要部分之一平面圖；

圖7係顯示沿圖6中之一C-C切割平面線之主要部分之截面結構之一圖；

圖8A及8B係示意性地顯示根據一第四實施例之一TFT之一平面圖及示意性地顯示沿一垂直方向之構造之一圖；

圖9A至9C係示意性地顯示分別根據第五及第六實施例之TFT之平面圖及示意性地顯示沿一垂直方向之一構造之一圖；

圖10A至10E係顯示製作根據第五及第六實施例之TFT之製程之截面圖；

圖11A至11C係示意性地顯示根據第七及第八實施例之TFT之平面圖及示意性地顯示沿一垂直方向之一構造之一圖；

圖12A至12C係示意性地顯示根據第九及第十實施例之TFT之平面圖及示意性地顯示沿一垂直方向之一構造之一圖；

圖 13A 至 13C 係示意性地顯示根據第十一及第十二實施例之 TFT 之平面圖及示意性地顯示沿一垂直方向之一構造之一圖；

圖 14A 至 14E 係示意性地顯示根據第十三至第十六實施例之 TFT 之平面圖及示意性地顯示沿一垂直方向之一構造之一圖；

圖 15A 及 15B 係根據一比較性實例之一 TFT 之一平面圖及指示經執行以形成一電場分佈之模擬之結果之一三維曲線圖；

圖 16 係指示根據比較性實例之 TFT 之一洩漏性質之一曲線圖；

圖 17 係根據第十七實施例之一有機電致發光(EL)顯示器之一方塊圖；且

圖 18 係包含於圖 17 中所示之有機 EL 顯示器中之一像素電路之一電路圖。

【主要元件符號說明】

1	有機 EL 顯示器
2	像素陣列
3	像素電路(PXLC)
3A	補償單元
4	垂直驅動電路(V掃描器)
5	水平驅動電路(H選擇器；HSEL)
10A	TFT
10C	TFT

11	基板
12	絕緣層
13	閘極電極
13A	閘極金屬層
13B	凸出部分
14	閘極絕緣膜
14A	氮化矽膜
14B	二氧化矽膜
14C	接觸孔
15	半導體膜
15a	通道形成區
15b	源極/汲極區
15c	源極/汲極區
16	半導體通道保護膜
17A	源極/汲極半導體膜
17B	下部電極膜
17C	主佈線膜
17D	上部電極膜
18	第一源極/汲極(SD)電極
19	第二源極/汲極(SD)電極
20	佈線
30	輪廓部分
30A	凸出部分
31	邊緣點

41	水平像素線驅動電路(DSCN)
42	寫入信號掃描電路(WSCN)
DT	驅動電晶體
OLED	有機發光二極體
SIG	信號輸入線
ST	取樣電晶體
VDD1	第一電源電壓線
VSS1	第二電源電壓線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： **99126360**

※ 申請日： **99.8.06**

※IPC 分類：

H01L 29/786

(2006.01)

H01L 21/336

(2006.01)

一、發明名稱：(中文/英文)

半導體裝置及顯示裝置

SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

二、中文發明摘要：

本發明揭示一種薄膜電晶體，其包括：一絕緣膜；嵌入於該絕緣膜之一淺層部分中之一閘極電極；在該閘極電極及該絕緣膜上之一閘極絕緣膜；在該閘極絕緣膜上之一半導體膜；在該半導體膜之一部分上之一通道保護膜，其具有帶有一向前錐形斜面之端部表面；在該半導體膜上之一第一電極，其安裝至該通道保護膜之一個錐形側上；及在該半導體膜上之一第二電極，其安裝至該通道保護膜之另一錐形側上，其中該閘極電極之最接近於該第一電極之一邊緣自其中該第一電極鄰接該半導體膜之點向該第二電極偏移。

三、英文發明摘要：

A thin film transistor comprising an insulating film, a gate electrode embedded in a superficial portion of the insulating film, a gate insulating film on the gate electrode and the insulating film, a semiconductor film on the gate insulating film, a channel protection film on a portion of the semiconductor film with end surfaces which have a forward tapered slope, a first electrode on the semiconductor film which mounts onto one tapered side of the channel protection film, and a second electrode on the semiconductor film which mounts onto the other tapered side of the channel protection film, where an edge of the gate electrode closest to the first electrode is offset towards the second electrode from the point where the first electrode abuts the semiconductor film.

七、申請專利範圍：

1. 一種薄膜電晶體，其包括：

一絕緣膜；

在該絕緣膜中之一閘極電極，在平面圖中該閘極電極具有一週邊；

在該絕緣膜上之一半導體薄膜；

在半導體基板上之一通道保護層，在該平面圖中該通道保護膜亦具有帶有兩個相對面對之邊緣之一週邊；

在該半導體薄膜上之一第一電極，其具有上覆於該通道保護層之一個邊緣之一部分；

在該半導體薄膜上之一第二電極，其具有上覆於該通道保護層之另一邊緣之一部分；

其中，

在該平面圖中，邊緣點存在於該第一或第二電極上覆於該通道保護層之該等邊緣處，一邊緣點係沿該通道保護層之該週邊之一部分，且

在該平面圖中，至少一個邊緣點座落於該閘極電極之該週邊外側。

2. 如請求項1之薄膜電晶體，其中在該平面圖中，該第一及第二電極中之每一者之至少一個邊緣點座落於該閘極電極之該週邊外側。

3. 如請求項1之薄膜電晶體，其中在該平面圖中，該通道保護層之該等邊緣中之至少一者具有一切口部分。

4. 如請求項3之薄膜電晶體，其中在該平面圖中，該各別

第一或第二閘極電極延伸至該至少一個切口部分中。

5. 如請求項3之薄膜電晶體，其中在該平面圖中，該通道保護層之每一邊緣具有一切口部分且該第一及第二閘極電極延伸至其等之各別切口部分中。
6. 如請求項1之薄膜電晶體，其中在該平面圖中，該閘極電極寬於該通道保護層。
7. 如請求項1之薄膜電晶體，其中該第一及第二電極係由一低電阻佈線材料製成。
8. 如請求項1之薄膜電晶體，其中該第一及第二電極中之至少一者係由鈦製成。
9. 如請求項1之薄膜電晶體，其中在平面圖中，該閘極電極之中心係自該通道保護膜之一中心偏移。
10. 如請求項1之薄膜電晶體，其中該閘極電極之該表面與該絕緣膜之該表面齊平。
11. 如請求項1之薄膜電晶體，其中在該平面圖中，該閘極電極寬於該通道保護層。
12. 如請求項1之薄膜電晶體，其中該第一及第二電極係由一低電阻佈線材料製成。
13. 如請求項1之薄膜電晶體，其中該第一及第二電極中之至少一者係由鈦製成。
14. 如請求項1之薄膜電晶體，其中在平面圖中，該閘極電極之中心係自該通道保護膜之一中心偏移。
15. 如請求項1之薄膜電晶體，其中該閘極電極之該表面與該絕緣膜之該表面齊平。

16. 一種產生一薄膜電晶體之方法，其包括以下步驟：

形成一絕緣膜；

在該絕緣膜中形成在平面圖中具有一週邊之一閘極電極；

在該絕緣膜上形成一半導體薄膜；

在半導體基板上形成一通道保護層，該通道保護層在該平面圖中亦具有帶有兩個相對面對之邊緣之一週邊；

在該半導體薄膜上形成具有上覆於該通道保護層之一個邊緣之一部分之一第一電極；

在該半導體薄膜上形成具有上覆於該通道保護層之另一邊緣之一部分之一第二電極；

其中，

在該平面圖中，邊緣點存在於該第一或第二電極上覆於該通道保護層之該等邊緣處，一邊緣點係沿該通道保護層之該週邊之一部分，且

在該平面圖中，至少一個邊緣點座落於該閘極電極之該週邊外側。

17. 如請求項16之方法，其中在該平面圖中，該第一及第二電極中之每一者之至少一個邊緣點座落於該閘極電極之該週邊外側。

18. 如請求項16之方法，其中在該平面圖中，該通道保護層之該等邊緣中之至少一者具有一切口部分。

19. 如請求項18之方法，其中在該平面圖中，該各別第一或第二閘極電極延伸至該至少一個切口部分中。

20. 如請求項18之方法，其中在該平面圖中，該通道保護層之每一邊緣具有一切口部分且該第一及第二閘極電極延伸至其等之各別凹入切口部分中。

21. 一種薄膜電晶體，其包括：

一半導體薄膜；

一閘極電極，該閘極電極在平面圖中具有一週邊；

連接至該半導體薄膜之一第一電極，該第一電極具有在平面圖中沿一第一方向向該閘極電極延伸之一部分，該部分具有面對該閘極電極之一邊緣；及

連接至該半導體薄膜之一第二電極，該第二電極具有在平面圖中沿與該第一方向相反之一第二方向向該閘極電極延伸之一部分，該部分具有面對該閘極電極之一邊緣；

其中，

該第一及第二電極之該等邊緣中之一者之至少一部分在該平面圖中座落於該閘極電極之該週邊外側。

22. 如請求項21之薄膜電晶體，其中該第一及第二電極之該等邊緣中之每一者之一部分在該平面圖中座落於該閘極電極之該週邊外側。

八、圖式：

<第一實施例>

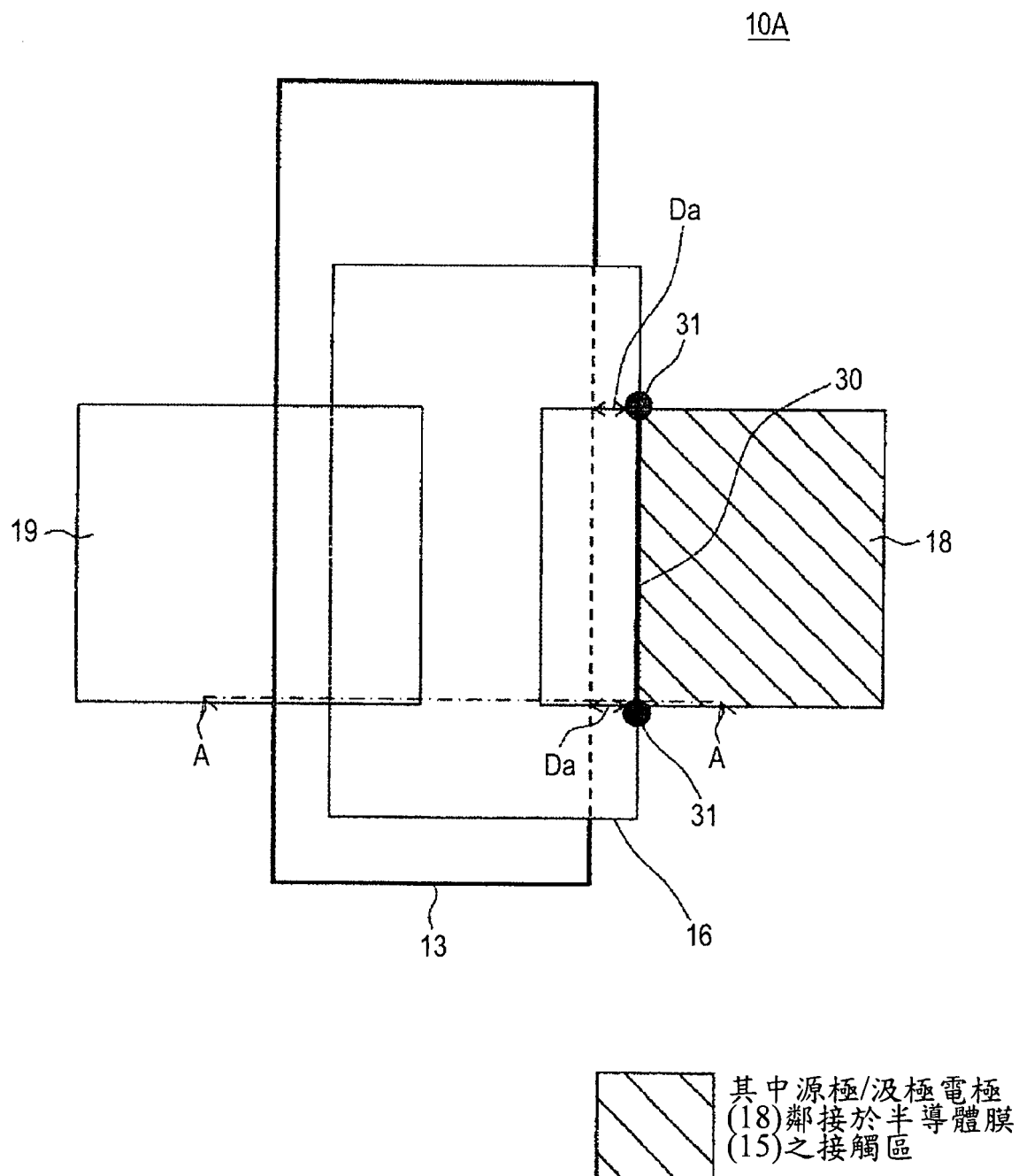


圖1

<第一實施例>

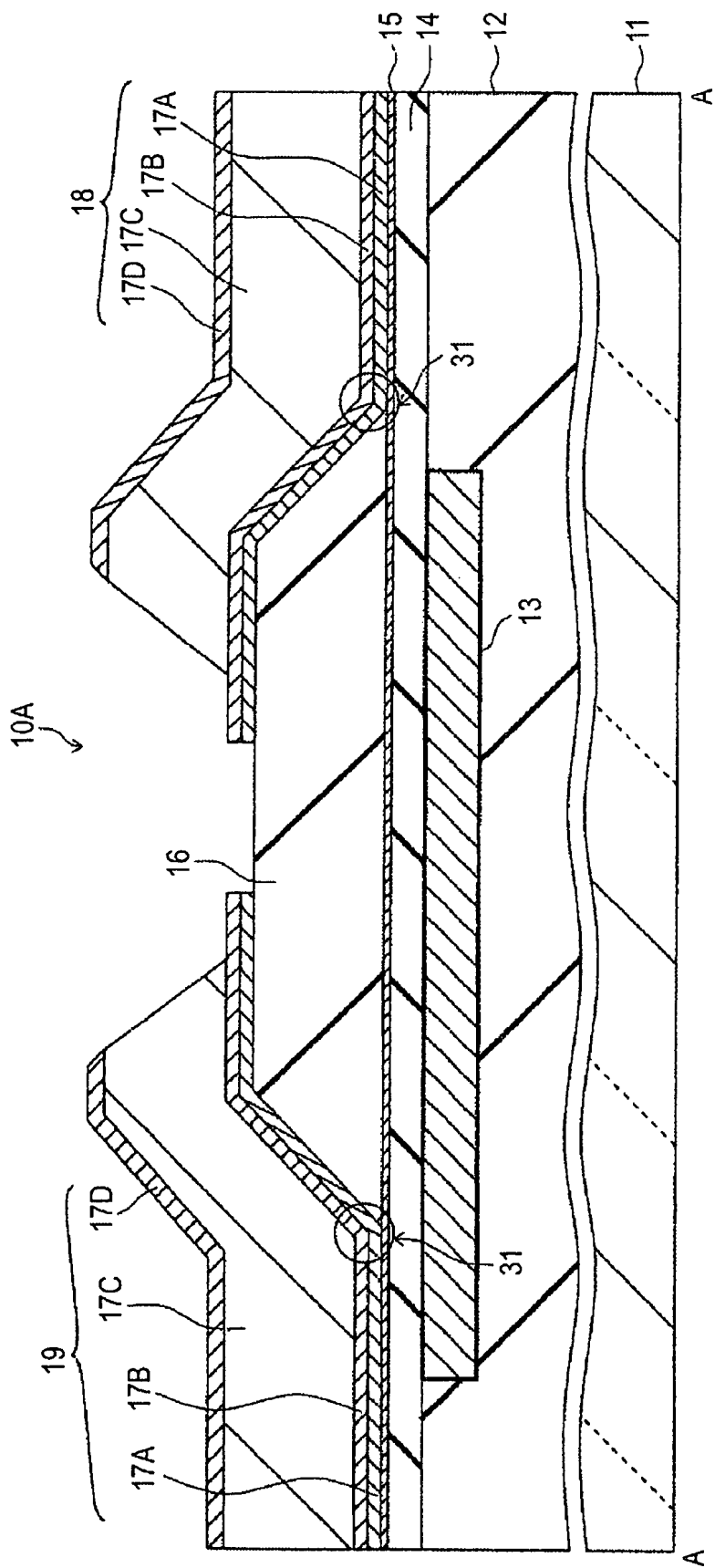


圖 2

<第一實施例>

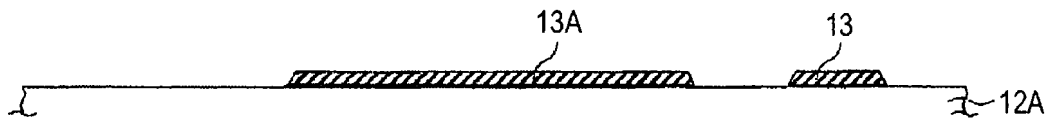


圖 3A

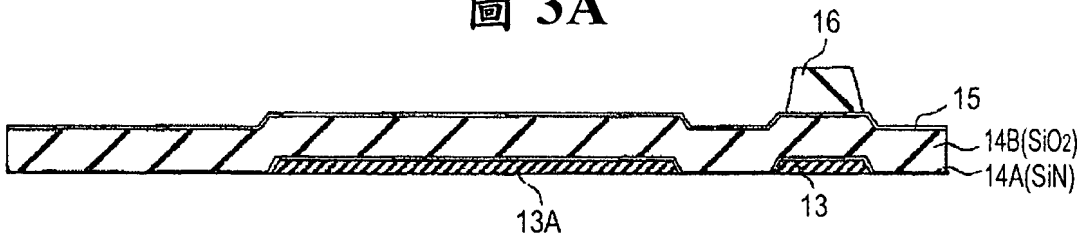


圖 3B

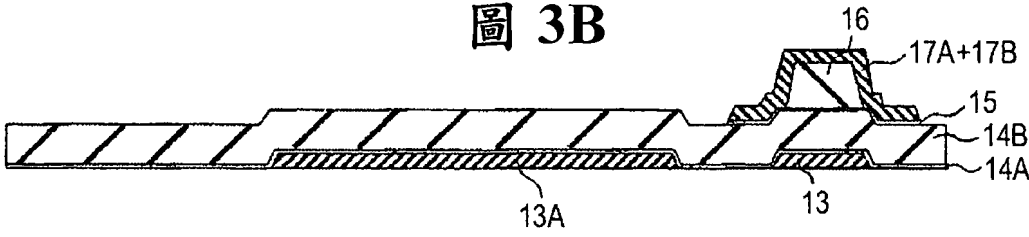


圖 3C

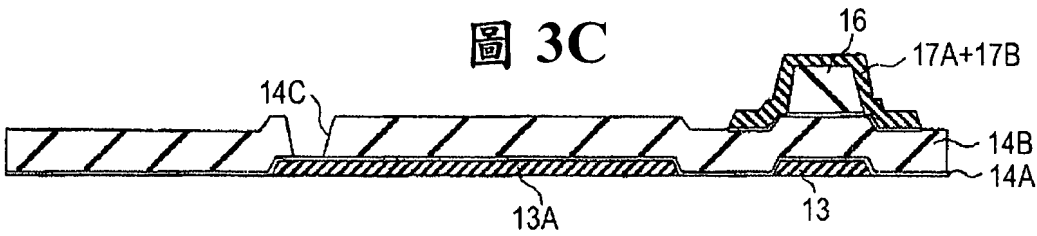


圖 3D

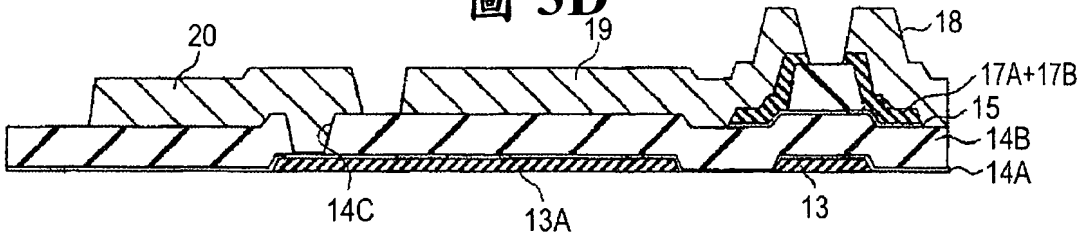


圖 3E

<第二實施例>

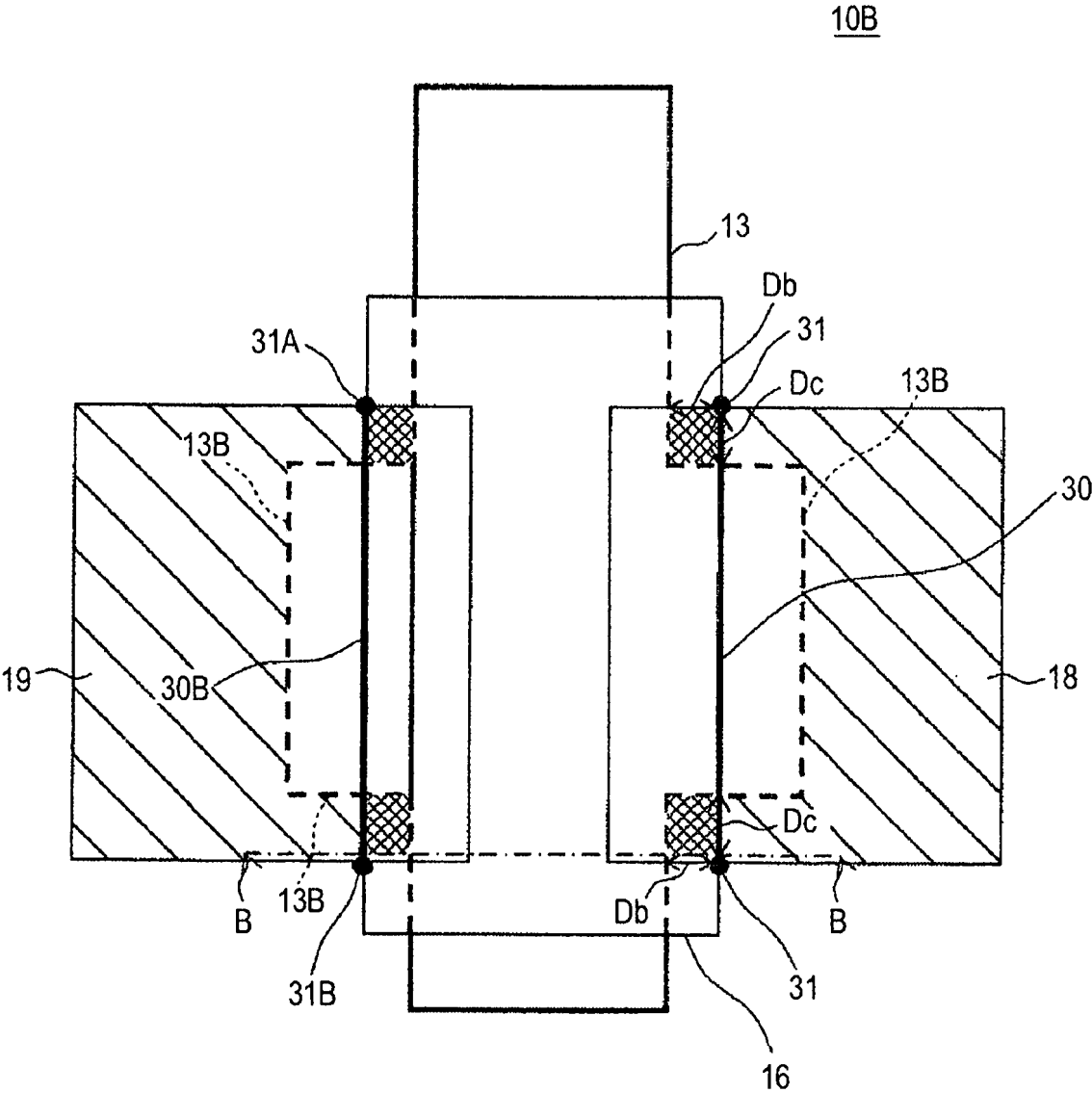


圖4

<第二實施例>

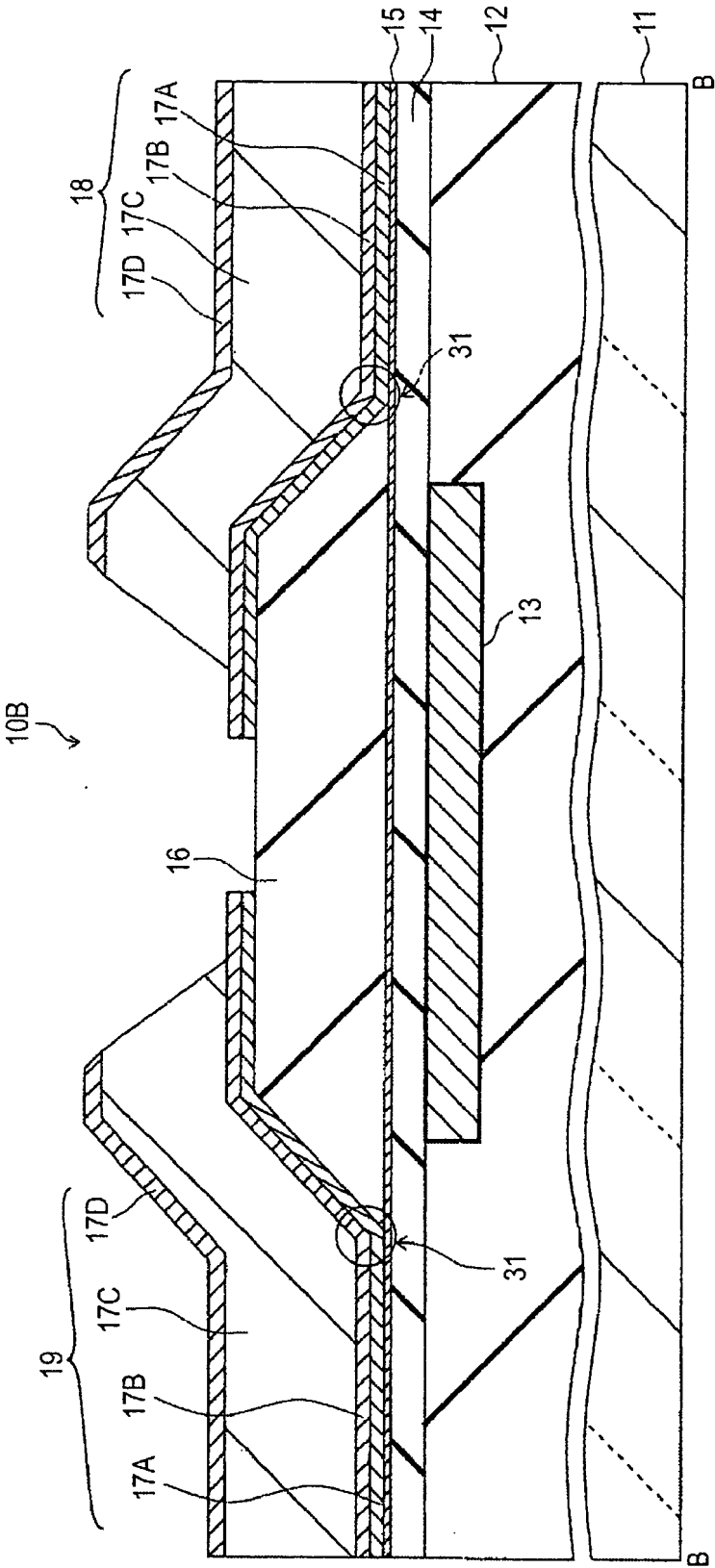


圖 5

<第三實施例>

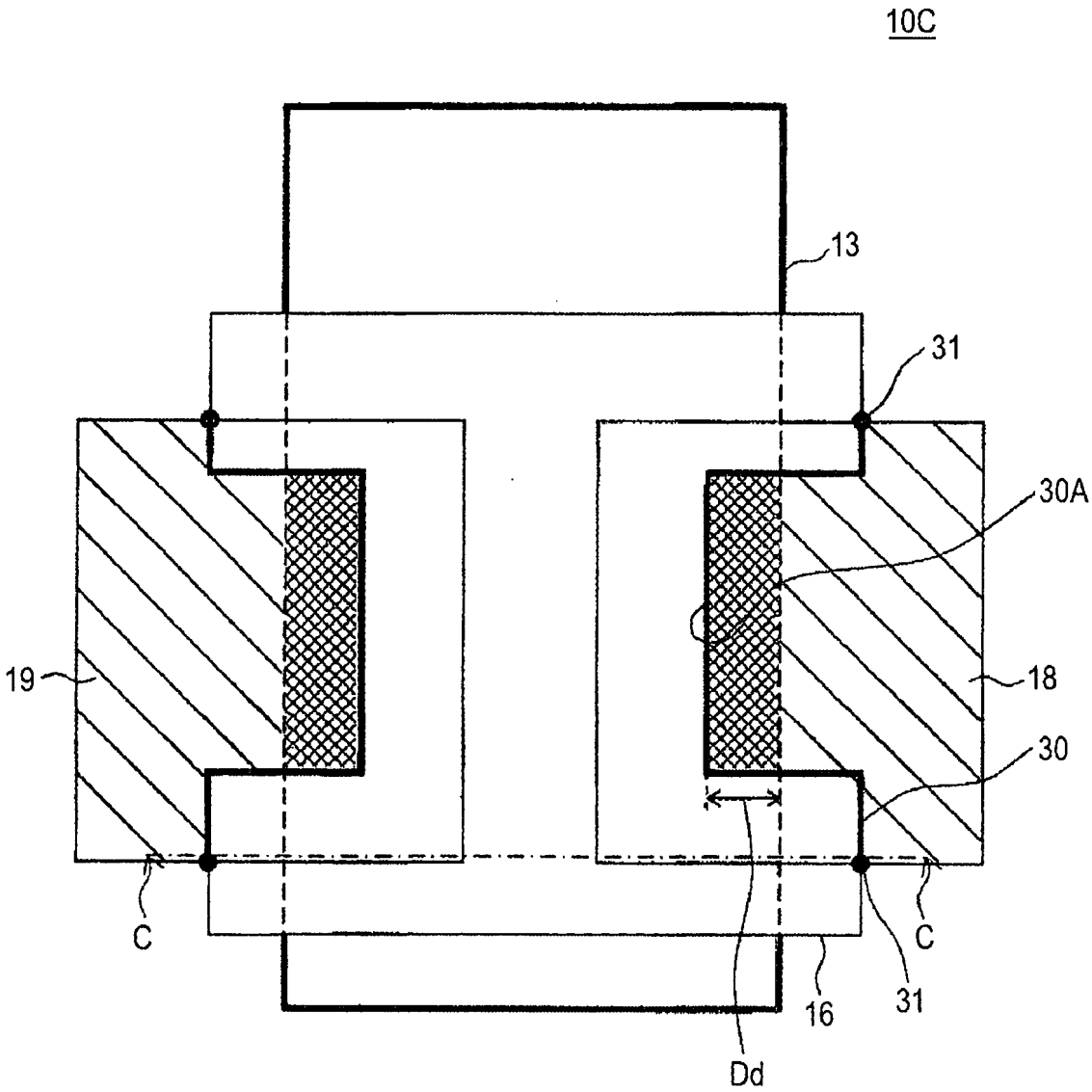


圖6

<第三實施例>

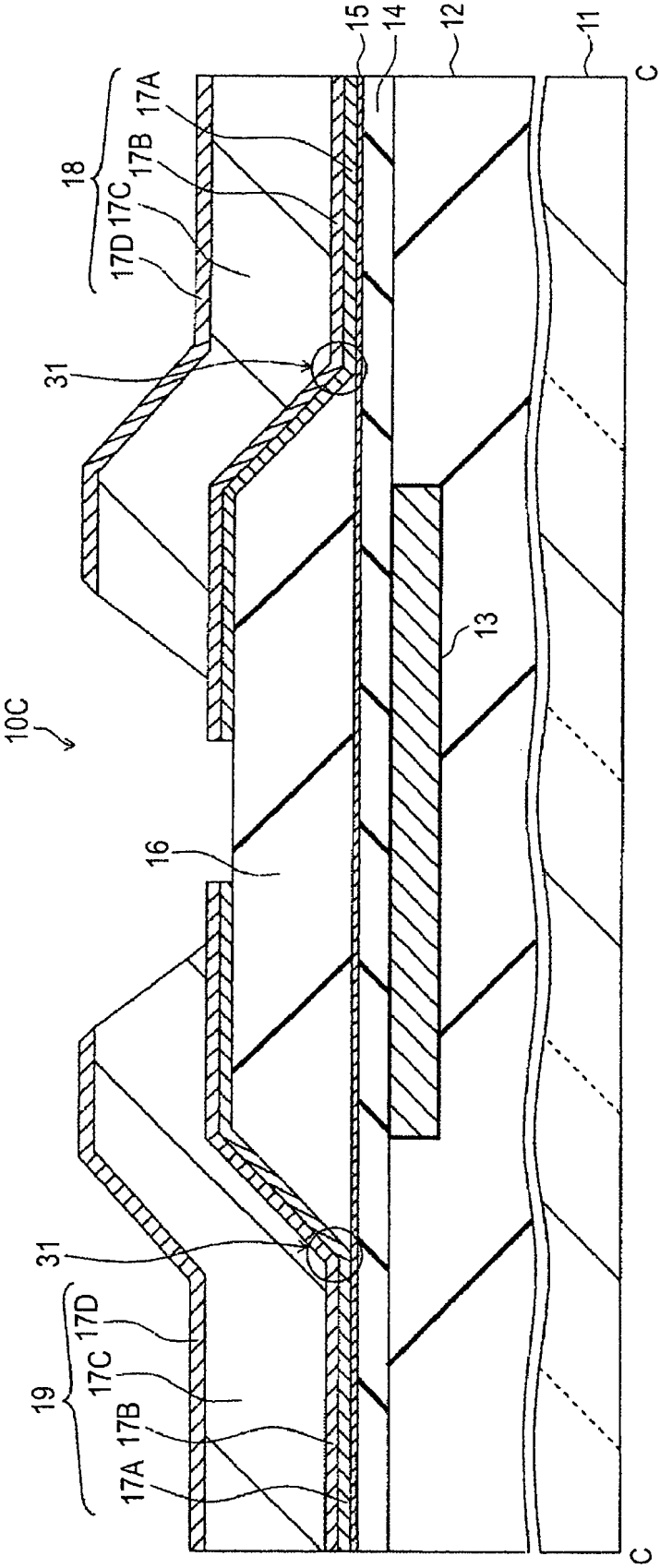


圖 7

<第四實施例>

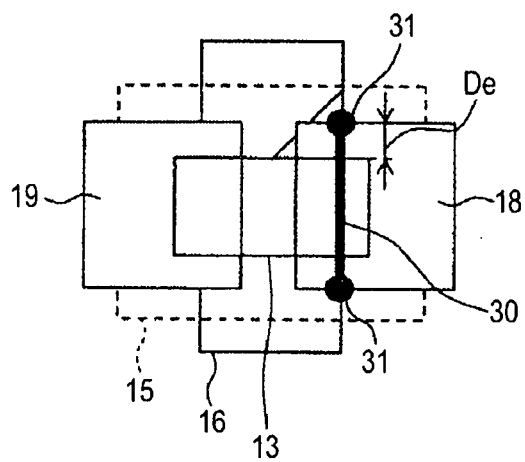


圖 8A

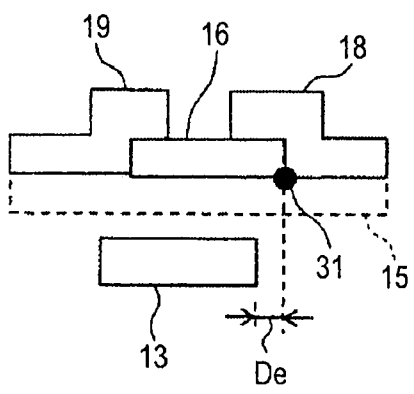


圖 8B

<第五實施例>

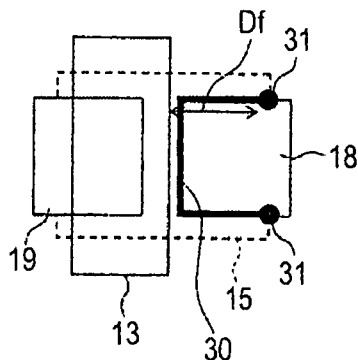


圖 9A

<第六實施例>

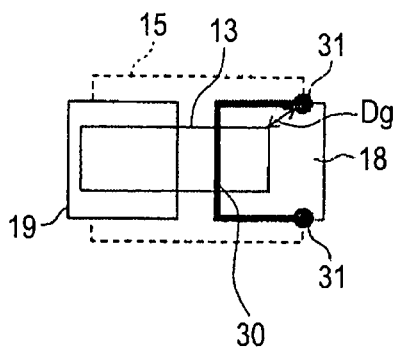


圖 9B

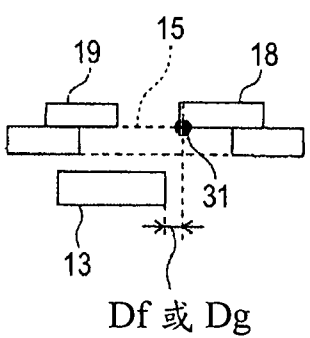


圖 9C

<第五及第六實施>

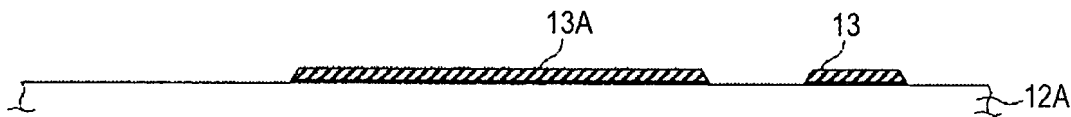


圖 10A

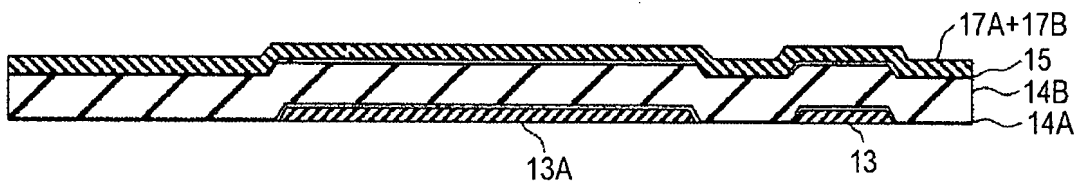


圖 10B

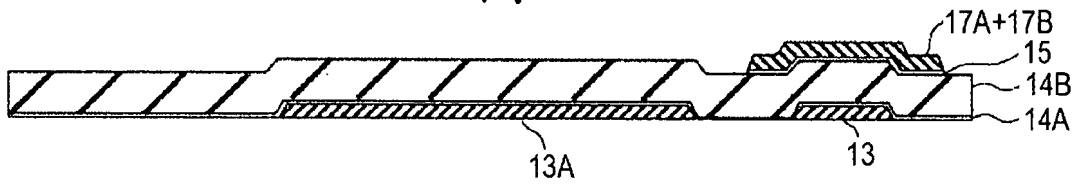


圖 10C

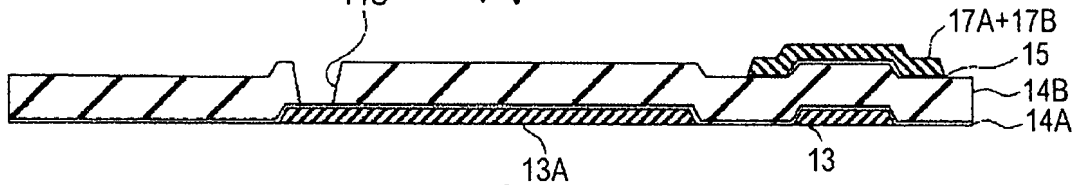


圖 10D

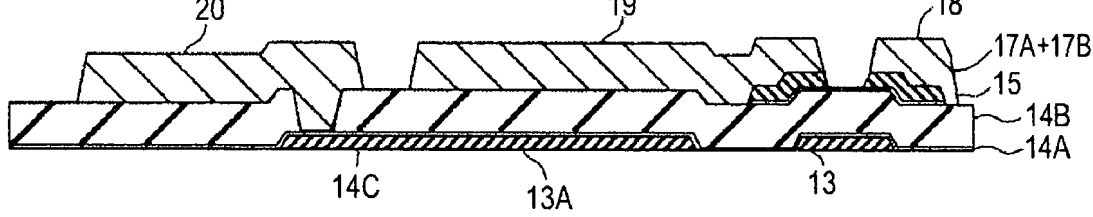


圖 10E

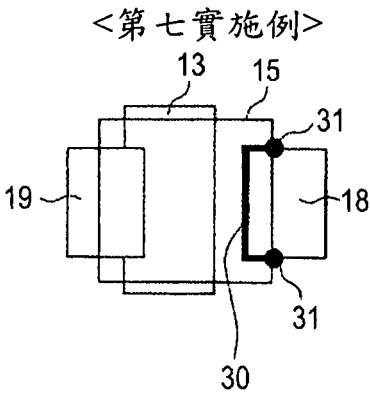


圖 11A

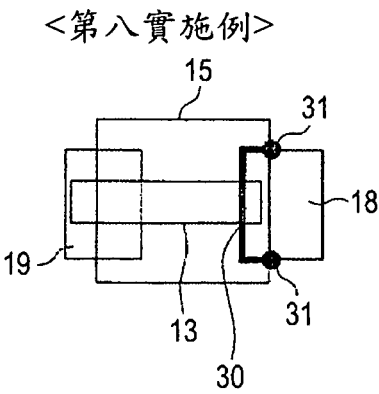


圖 11B

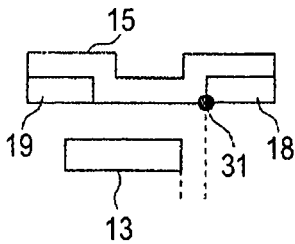


圖 11C

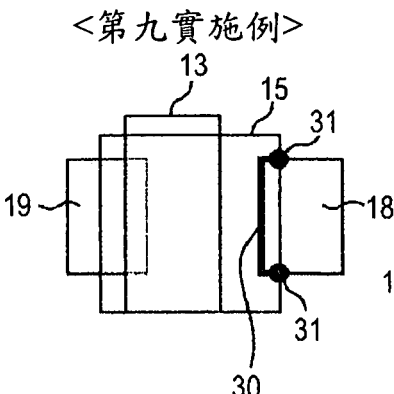


圖 12A

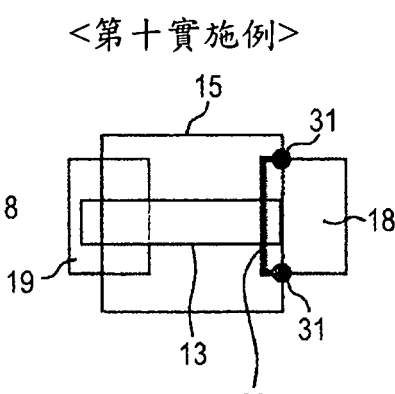


圖 12B

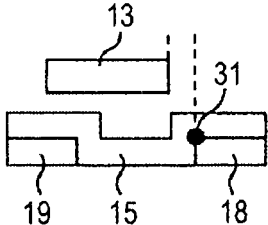


圖 12C

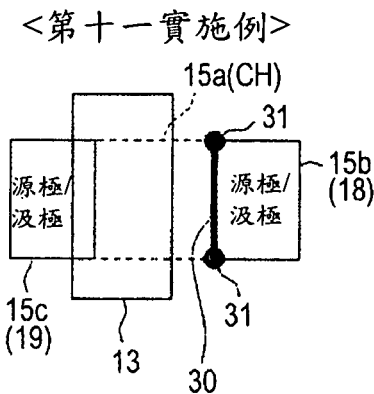


圖 13A

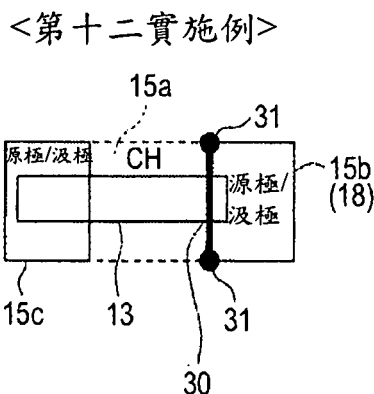


圖 13B

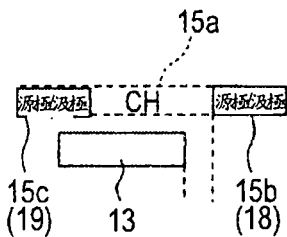
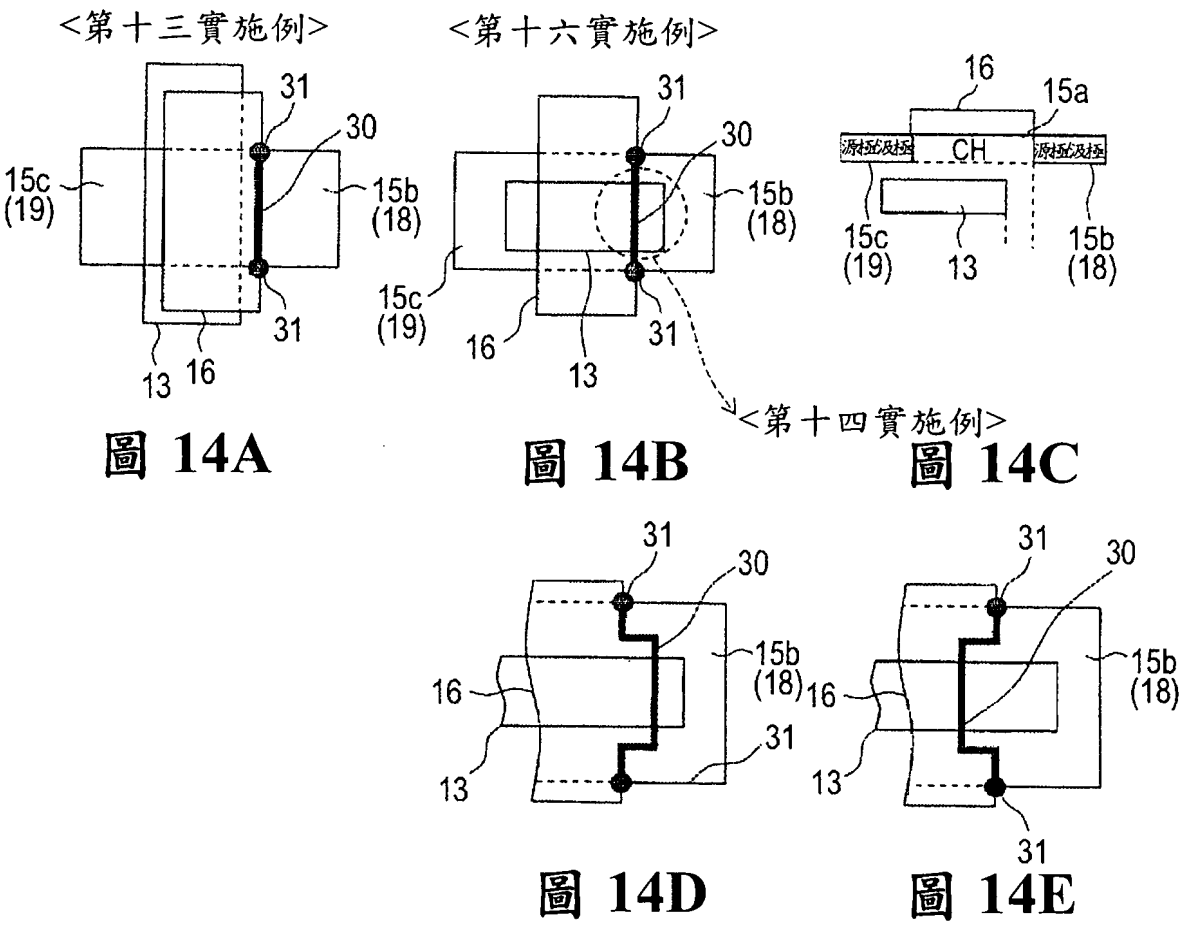


圖 13C



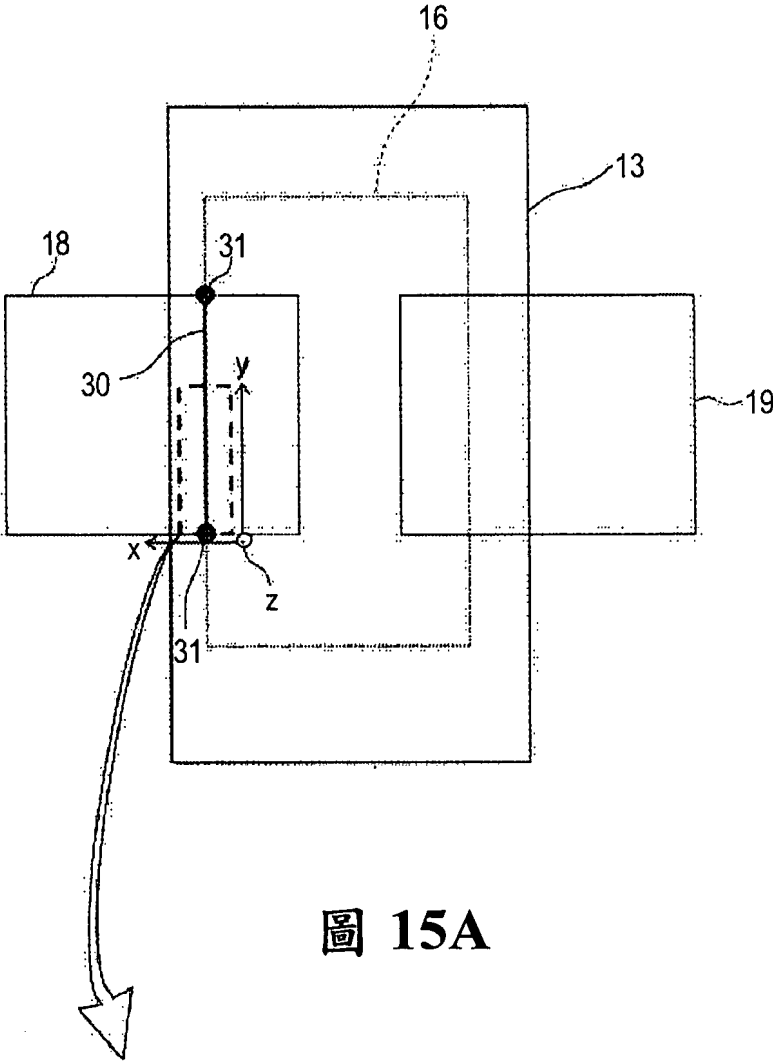


圖 15A

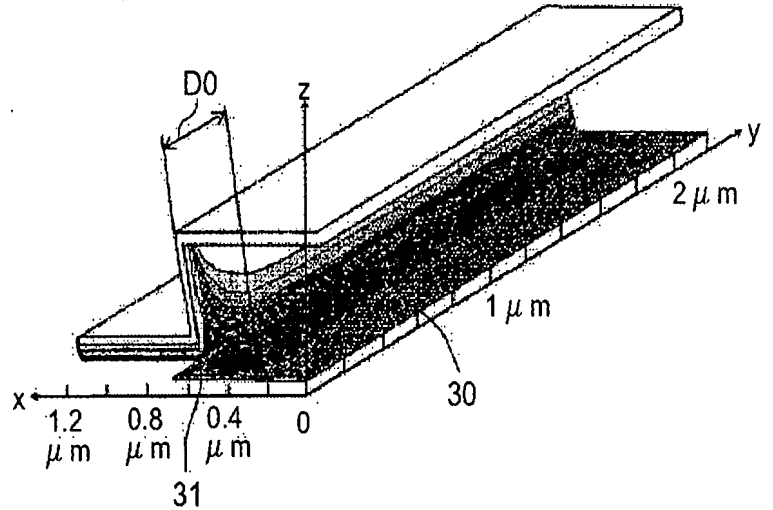


圖 15B

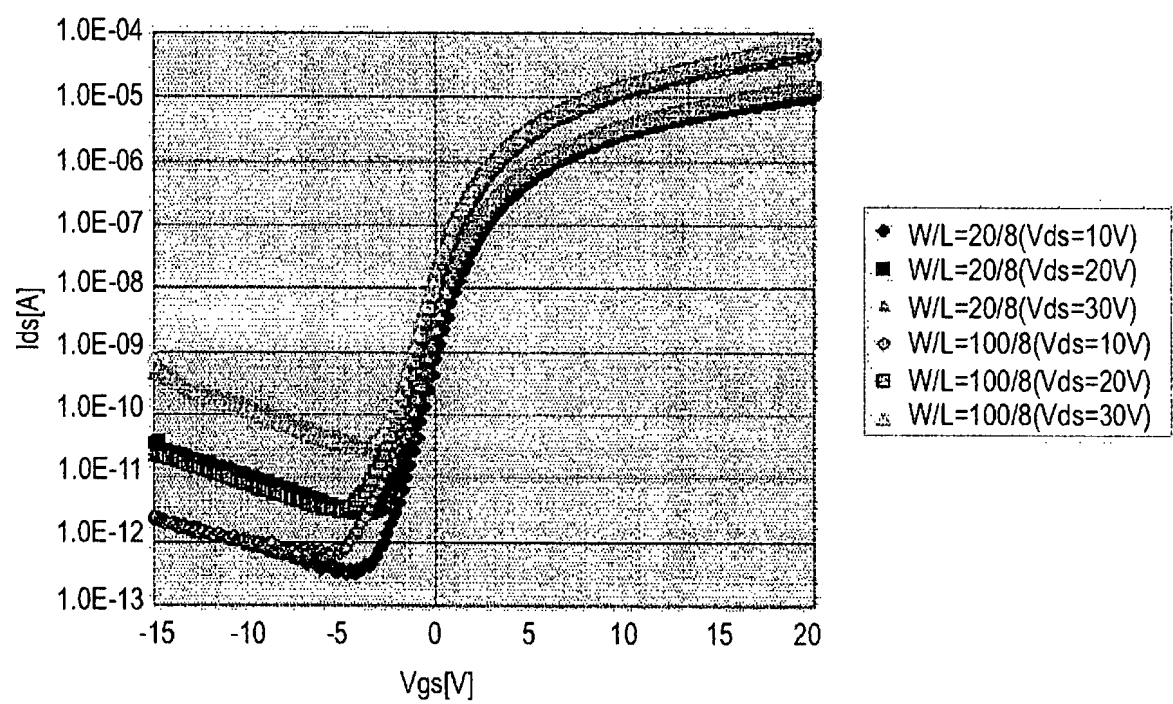


圖 16

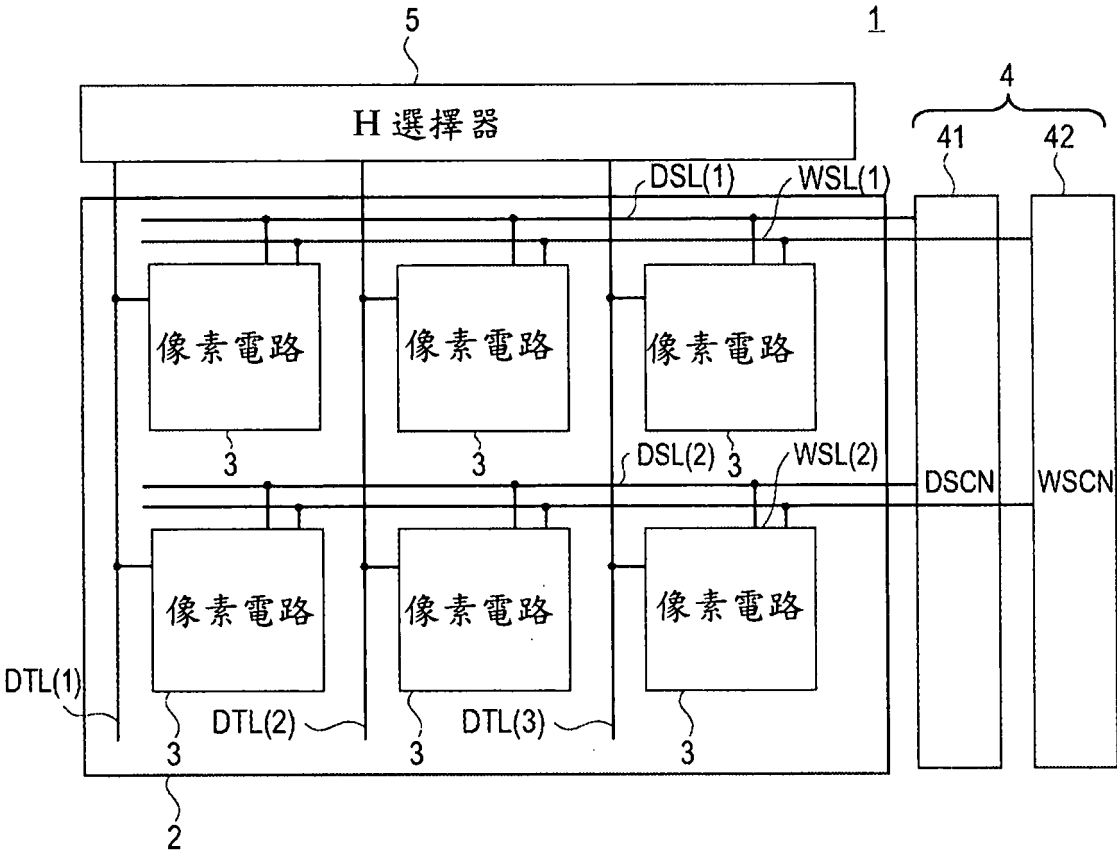


圖 17

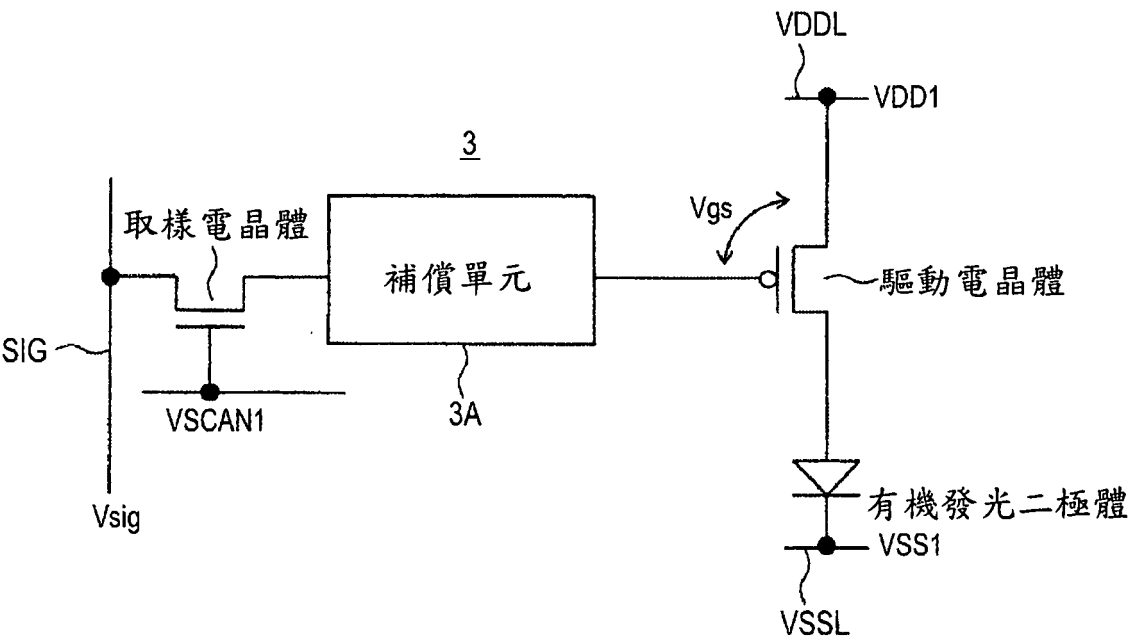


圖 18

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10A	TFT
13	閘極電極
16	半導體通道保護膜
18	第一源極/汲極(SD)電極
19	第二源極/汲極(SD)電極
30	輪廓部分
31	邊緣點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)